



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월06일
(11) 등록번호 10-1046890
(24) 등록일자 2011년06월30일

- (51) Int. Cl.
H05K 3/46 (2006.01) H01L 23/12 (2006.01)
H01L 21/3205 (2006.01)
- (21) 출원번호 10-2007-7030553
- (22) 출원일자(국제출원일자) 2006년06월14일
심사청구일자 2007년12월27일
- (85) 번역문제출일자 2007년12월27일
- (65) 공개번호 10-2008-0013000
- (43) 공개일자 2008년02월12일
- (86) 국제출원번호 PCT/JP2006/311943
- (87) 국제공개번호 WO 2006/134977
국제공개일자 2006년12월21일
- (30) 우선권주장
JP-P-2005-00175575 2005년06월15일 일본(JP)
- (56) 선행기술조사문헌
JP13326293 A*
JP11260148 A*
JP13036253 A*
JP13352141 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
이비덴 가부시카이가이샤
일본 기후켄 오가키시 간다쵸 2쵸메 1반지
- (72) 발명자
가리야 다카시
일본 기후켄 이비군 이비가와쵸 기타가타 1-1 이비덴가부시카이가이샤 오가키기타지교쵸 나이
다나카 히로노리
일본 기후켄 이비군 이비가와쵸 기타가타 1-1 이비덴가부시카이가이샤 오가키기타지교쵸 나이
- (74) 대리인
특허법인코리아나

전체 청구항 수 : 총 16 항

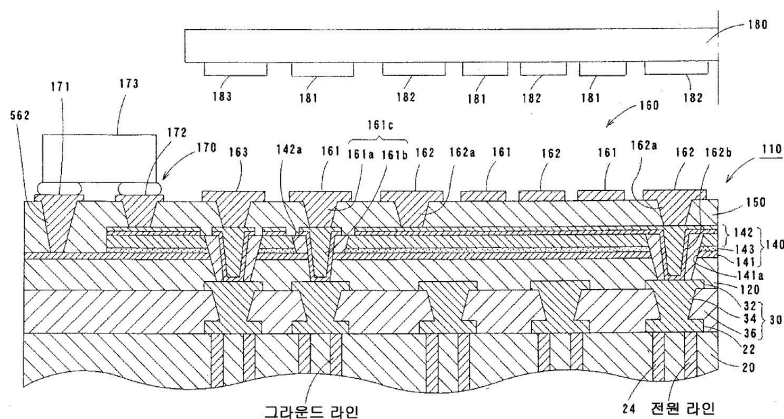
심사관 : 김중희

(54) 다층 프린트 배선판

(57) 요약

다층 프린트 배선판 (110) 은, 반도체 소자를 표면에 실장하는 실장부 (160) 와, 세라믹제의 고유전체층 (143) 을 사이에 두는 제 1 및 제 2 층상 전극 (141, 142) 을 가지고 제 1 층상 전극 (141) 이 반도체 소자의 그라운드 라인, 제 2 층상 전극 (142) 이 반도체 소자의 전원 라인에 접속되는 층상 콘덴서부 (140) 를 구비하고 있다. 그라운드용 패드 (161) 와 배선 패턴의 그라운드 라인을 전기적으로 접속하는 도통로의 일부를 이루고 제 2 층상 전극 (141) 을 비접촉 상태에서 통과하는 비아홀 (161a) 의 수는, 제 1 패드 (161) 의 수에 대해 0.05 ~ 0.7 이고, 전원용 패드 (162) 와 배선 패턴의 전원 라인을 전기적으로 접속하는 도통로의 일부를 이루고 제 1 층상 전극 (141) 을 비접촉 상태에서 통과하는 제 2 봉상 도체 (162b) 의 수는, 전원용 패드 (162) 의 수에 대해 0.05 ~ 0.7 이다.

대표도



특허청구의 범위

청구항 1

수지로 이루어지는 절연층을 개재하여 복수 적층된 배선 패턴끼리를 상기 절연층 내의 비아홀에 의해 전기적으로 접속함으로써 구성되는 빌드업부를 구비한 다층 프린트 배선판으로서,

상기 배선 패턴과 전기적으로 접속되는 반도체 소자를 실장 가능하고, 그 반도체 소자의 그라운드 전극 및 전원 전극 중 어느 일방에 접속되는 제 1 패드와 그 반도체 소자의 그라운드 전극 및 전원 전극 중 다른 일방에 접속되는 제 2 패드를 갖는 실장부와,

상기 실장부와 상기 빌드업부의 사이에서 세라믹제의 고유전체층과 그 고유전체층을 사이에 두고 서로 전위가 상이한 제 1 층상 전극 및 제 2 층상 전극을 가지며, 상기 제 1 층상 전극이 상기 제 1 패드와 동일한 전위가 되도록 전기적으로 접속되고 상기 제 2 층상 전극이 상기 제 2 패드와 동일한 전위가 되도록 전기적으로 접속되는 층상 콘덴서부와,

상기 실장부와 상기 층상 콘덴서부와의 사이에 탄성 재료로 형성된 응력 완화부를 구비하고,

상기 제 1 패드와 상기 배선 패턴의 그라운드 라인 또는 전원 라인을 전기적으로 접속하는 도통로의 적어도 일부를 이루고 상기 제 2 층상 전극을 비접촉 상태에서 통과하는 제 1 봉상 도체의 수는, 상기 제 1 패드의 수에 대한 비율 (제 1 봉상 도체의 수/제 1 패드의 수) 이 0.05 ~ 0.7 이고,

상기 제 2 패드와 상기 배선 패턴의 전원 라인 또는 그라운드 라인을 전기적으로 접속하는 도통로의 적어도 일부를 이루고 상기 제 1 층상 전극을 비접촉 상태에서 통과하는 제 2 봉상 도체의 수는, 상기 제 2 패드의 수에 대한 비율 (제 2 봉상 도체의 수/제 2 패드의 수) 이 0.05 ~ 0.7 이고,

상기 제 1 패드 중에는, 상기 제 1 봉상 도체에 직접 연결되는 패드와, 상기 제 1 봉상 도체에 직접 연결되는 패드에 상기 실장부에 형성된 수평 방향의 배선을 개재하여 연결되는 패드가 포함되고,

상기 제 2 패드 중에는, 상기 제 2 봉상 도체에 직접 연결되는 패드와, 상기 제 2 봉상 도체에 직접 연결되는 패드에 상기 실장부에 형성된 수평 방향의 배선을 개재하여 연결되는 패드가 포함되는, 다층 프린트 배선판.

청구항 2

제 1 항에 있어서,

상기 고유전체층은, 상기 빌드업부와는 별도로 고유전체 재료를 소성하여 제작한 것이 상기 빌드업부 상에 접합되어 있는, 다층 프린트 배선판.

청구항 3

제 1 항에 있어서,

상기 층상 콘덴서부는, 세라믹제의 고유전체층과, 그 고유전체층을 사이에 두고 서로 전위가 상이한 제 1 층상 전극 및 제 2 층상 전극을 갖는 고유전체 시트를 상기 빌드업부에 부착하는 것으로 형성되는, 다층 프린트 배선판.

청구항 4

제 2 항에 있어서,

상기 고유전체층은, 티탄산바륨 ($BaTiO_3$), 티탄산스트론튬 ($SrTiO_3$), 산화탄 탈 (TaO_3 , Ta_2O_5), 티탄산지르콘산납 (PZT), 티탄산지르콘산란탄납 (PLZT), 티탄산지르콘산니오브납 (PNZT), 티탄산지르콘산칼슘납 (PCZT) 및 티탄산지르콘산스트론튬납 (PSZT) 으로 이루어지는 군에서 선택된 1 종 또는 2 종 이상의 금속 산화물을 함유하여 이루어지는 원료를 소성하여 제작한 것인, 다층 프린트 배선판.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 2 봉상 도체는 복수 존재하고, 상기 제 1 층상 전극뿐만 아니라 상기 제 2 층상 전극도 비접촉 상태에서 통과하는 독립 봉상 도체인, 다층 프린트 배선판.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 층상 전극은, 상기 제 2 봉상 도체를 비접촉 상태에서 통과시키는 통과 구멍을 가지는 베타 패턴으로서 상기 고유전체층의 하면측에 형성되고, 상기 제 2 층상 전극은, 상기 제 1 봉상 도체를 비접촉 상태에서 통과시키는 통과 구멍을 가지는 베타 패턴으로서 상기 고유전체층의 상면측에 형성되는, 다층 프린트 배선판.

청구항 7

삭제

청구항 8

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 봉상 도체와 상기 제 2 봉상 도체는, 적어도 일부가 격자 형상 또는 지그재그 형상으로 교대로 나열되어 있는, 다층 프린트 배선판.

청구항 9

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 층상 콘덴서부는, 상기 제 1 층상 전극과 제 2 층상 전극 사이의 거리가 10 μ m 이하로서 실질적으로 단락되지 않는 거리에 설정되어 있는, 다층 프린트 배선판.

청구항 10

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 층상 콘덴서부는, 상기 실장부에 실장되는 반도체 소자의 바로 아래에 형성되어 있는, 다층 프린트 배선판.

청구항 11

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 실장부가 형성된 표면측에 설치되고 상기 층상 콘덴서부의 상기 제 1 층상 전극 및 제 2 층상 전극에 접속되는 칩 콘덴서를 구비한, 다층 프린트 배선판.

청구항 12

삭제

청구항 13

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 응력 완화부는, 상기 실장부에 실장되는 반도체 소자의 바로 아래에만 형성되어 있는, 다층 프린트 배선판.

청구항 14

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 응력 완화부를 형성하는 재료는, 변성 에폭시계 수지 시트, 폴리페닐렌에스테르계 수지 시트, 폴리이미드계 수지 시트, 시아노에스테르계 수지 시트 및 이미드계 수지 시트로 이루어지는 유기계 수지 시트 군에서 선택되는 적어도 1 종인, 다층 프린트 배선판.

청구항 15

제 14 항에 있어서,

상기 유기계 수지 시트는, 열가소성 수지인 폴리올레핀계 수지 및 폴리이미드계 수지, 열경화성 수지인 실리콘 수지, 그리고 고무계 수지인 SBR, NBR 및 우레탄으로 이루어지는 군에서 선택되는 적어도 1 종이 함유되어 이루어지는, 다층 프린트 배선판.

청구항 16

제 14 항에 있어서,

상기 유기계 수지 시트는, 실리카, 알루미늄, 지르코니아로 이루어지는 군에서 선택되는 적어도 1 종이 함유되어 이루어지는, 다층 프린트 배선판.

청구항 17

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 응력 완화부의 영률은, 10 ~ 1000MPa 인, 다층 프린트 배선판.

청구항 18

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 층상 콘덴서부의 용량은 0.5 ~ 5 μ F 인, 다층 프린트 배선판.

명세서

기술분야

[0001] 본 발명은, 절연층을 개재하여 복수 적층된 배선 패턴끼리를 상기 절연층 내의 비아홀에 의해 전기적으로 접속함으로써 구성되는 빌드업부를 구비한 다층 프린트 배선판에 관한 것이다.

배경기술

[0002] 종래부터, 절연층을 개재하여 복수 적층된 배선 패턴끼리를 절연층 내의 비아홀에 의해 전기적으로 접속함으로써 구성되는 빌드업부를 구비한 다층 프린트 배선판의 구조가 여러 가지 제안되고 있다. 예를 들어, 이런 종류의 다층 프린트 배선판에서는, 실장되는 반도체 소자가 고속으로 온 오프되면 스위칭 노이즈가 발생되어 전원 라인의 전위가 순간적으로 저하되는 경우가 있는데, 이러한 전위의 순간적 저하를 억제하기 위해서 전원 라인과 그라운드 라인 사이에 콘덴서부를 접속시켜 디커플링하는 것이 제안되고 있다. 이러한 콘덴서부로서, 특허 문헌 1 에는, 다층 프린트 배선판 내에 층상(層狀) 콘덴서부를 형성하는 것이 제안되고 있다.

[0003] 특허 문헌 1 : 일본 공개특허공보 2001-68858호

발명의 상세한 설명

[0004] 발명의 개시

[0005] 그러나, 특허 문헌 1 의 층상 콘덴서부에서는, 티탄산바륨 등의 무기 필러가 배합된 유기 수지로 이루어지는 유전체층을 채용하고 있기 때문에, 정전 용량을 충분히 크게 할 수 없고, 반도체 소자의 온 오프 주파수가 수 GHz ~ 수십 GHz 로 높게 전위의 순간적 저하가 발생하기 쉬운 상황하에서는 충분한 디커플링 효과를 발휘하는 것이 어려웠다. 또, 히트 사이클 시험 후의 반도체 소자의 오동작도 충분히 방지할 수 없었다.

[0006] 본 발명은, 이러한 과제를 감안한 것으로, 충분한 디커플링 효과를 나타낼 뿐만 아니라 반도체 소자의 오동작도 충분히 방지할 수 있는 다층 프린트 배선판을 제공하는 것을 목적으로 한다.

[0007] 본 발명은, 상기 서술한 목적을 달성하기 위해서 이하의 수단을 선택하였다.

[0008] 즉, 본 발명은, 절연층을 개재하여 복수 적층된 배선 패턴끼리를 상기 절연층 내의 비아홀에 의해 전기적으로 접속함으로써 구성되는 빌드업부를 구비한 다층 프린트 배선판으로서,

[0009] 상기 배선 패턴과 전기적으로 접속되는 반도체 소자를 실장할 수 있고, 그 반도체 소자의 그라운드 전극 및 전원 전극 중 어느 일방에 접속되는 제 1 패드와 그 반도체 소자의 그라운드 전극 및 전원 전극의 다른 일방에 접

속되는 제 2 패드를 갖는 실장부와,

- [0010] 상기 실장부와 상기 빌드업부 사이에서 세라믹체의 고유전체층과 그 고유전체층을 사이에 두고 서로 전위가 상이한 제 1 및 제 2 층상 전극을 가지고, 상기 제 1 층상 전극이 상기 제 1 패드와 동일한 전위가 되도록 전기적으로 접속되고 상기 제 2 층상 전극이 상기 제 2 패드와 동일한 전위가 되도록 전기적으로 접속되는 층상 콘덴서부를 구비하고,
- [0011] 상기 제 1 패드와 상기 배선 패턴의 그라운드 라인 또는 전원 라인을 전기적으로 접속하는 도통로의 적어도 일부를 이루고, 상기 제 2 층상 전극을 비접촉 상태에서 통과하는 제 1 봉상(棒狀) 도체의 수는, 상기 제 1 패드의 수에 대해서 0.05 ~ 0.7 이고,
- [0012] 상기 제 2 패드와 상기 배선 패턴의 전원 라인 또는 그라운드 라인을 전기적으로 접속하는 도통로의 적어도 일부를 이루고, 상기 제 1 층상 전극을 비접촉 상태에서 통과하는 제 2 봉상 도체의 수는, 상기 제 2 패드의 수에 대해서 0.05 ~ 0.7 인 것을 요지로 한다.
- [0013] 그 다층 프린트 배선판에서는, 전원 라인과 그라운드 라인 사이에 접속되는 층상 콘덴서부의 고유전체층이 세라믹체이기 때문에, 종래와 같이 무기 필러가 배합된 유기 수지체의 경우에 비해 유전율을 높일 수 있고, 층상 콘덴서부의 정전 용량을 크게 할 수 있다. 따라서, 반도체 소자의 온 오프 주파수가 수 GHz ~ 수십 GHz (예를 들어, 3GHz ~ 20GHz) 로 높게 전위의 순간적 저하가 발생되기 쉬운 상황하에서도 충분한 디커플링 효과를 나타낸다. 또, 제 1 패드의 수에 대한 제 1 봉상 도체의 수의 비가 0.05 ~ 0.7 이고, 제 2 패드의 수에 대한 제 2 봉상 도체의 수의 비가 0.05 ~ 0.7 이기 때문에, 반도체 소자의 오동작을 충분히 방지할 수 있다. 그 이유는 정확하지 않지만, 이들의 비가 0.05 를 하회하면, 각 봉상 도체의 수가 적다는 점에서 몇 개의 봉상 도체가 열화되었을 경우에 그 영향을 다른 봉상 도체로 다 커버할 수 없다는 우려가 있고, 이들의 비가 0.7 을 상회하면, 각층상 전극에는 각 봉상 도체가 비접촉 상태에서 통과하는 지점이 증가하고 그 개소와 고유전체층의 열팽창 차이에 의해 세라믹체의 약한 고유전체층의 수축·팽창이 발생하기 쉬워져, 그 결과 고유전체층에 크랙이 발생하기 쉬워질 우려가 있다고 추찰(推察) 하고 있다.
- [0014] 본 발명의 다층 프린트 배선판에 있어서, 상기 고유전체층은, 상기 빌드업부와는 별도로 고유전체 재료를 소성시켜 제작한 것이 상기 빌드업부 상에 접합되어 있는 것이 바람직하다. 일반적으로 빌드업부는 200℃ 이하의 온도 조건에서 제작되기 때문에, 고유전체 재료를 소성시켜 세라믹으로 하는 것은 곤란하다는 점에서, 빌드업부와는 별도로 고유전체 재료를 소성시켜 세라믹으로 하는 것이 바람직한 것이다. 이러한 고유전체층으로는, 특별히 한정되는 것은 아니지만, 예를 들어, 티탄산바륨 (BaTiO₃), 티탄산스트론튬 (SrTiO₃), 산화탄탈 (TaO₃, Ta₂O₅), 티탄산지르콘산납 (PZT), 티탄산지르콘산란탄납 (PLZT), 티탄산지르콘산니오브납 (PNZT), 티탄산지르콘산갈슘납 (PCZT) 및 티탄산지르콘산스트론튬납 (PSZT) 으로 이루어지는 군에서 선택된 1 종 또는 2 종 이상의 금속 산화물을 함유하여 이루어지는 원료를 소성시켜 제작한 것이 바람직하다.
- [0015] 본 발명의 다층 프린트 배선판에 있어서, 상기 제 2 봉상 도체는, 상기 제 1 층상 전극뿐만 아니라 상기 제 2 층상 전극도 비접촉 상태에서 통과하는 독립 봉상 도체이어도 된다. 이 경우, 이 독립 봉상 도체와는 별도로, 제 2 패드와 제 2 층상 전극을 전기적으로 접속시킬 필요가 있다.
- [0016] 본 발명의 다층 프린트 배선판에 있어서, 상기 제 1 층상 전극은, 상기 제 2 봉상 도체를 비접촉 상태에서 통과시키는 통과 구멍을 가지는 배타 패턴으로서 상기 고유전체층의 하면측에 형성되고, 상기 제 2 층상 전극은, 상기 제 1 봉상 도체를 비접촉 상태에서 통과시키는 통과 구멍을 가지는 배타 패턴으로서 상기 고유전체층의 상면측에 형성되어도 된다. 이렇게 하면, 층상 콘덴서부의 제 1 및 제 2 층상 전극의 면적을 크게 할 수 있기 때문에, 이 층상 콘덴서부의 정전 용량을 크게 할 수 있다. 또한, 각 배타 패턴은 고유전체층의 상면 또는 하면의 일부에 형성되어 있어도 되고, 전체면에 걸쳐서 형성되어 있어도 된다.
- [0017] 본 발명의 프린트 배선판에 있어서, 상기 제 1 패드 중 일부는 상기 제 1 봉상 도체를 가지고, 상기 제 1 패드 중 나머지는 자체에 상기 제 1 봉상 도체를 가지지 않고, 그 제 1 봉상 도체를 갖는 제 1 패드에 전기적으로 접속되고 있고, 상기 제 2 패드 중 일부는 상기 제 2 봉상 도체를 가지고, 상기 제 2 패드 중 나머지는 자체에 상기 제 2 봉상 도체를 가지지 않고, 그 제 2 봉상 도체를 갖는 제 2 패드에 전기적으로 접속되고 있어도 된다. 이렇게 하면, 제 1 봉상 도체가 제 2 층상 전극을 비접촉 상태에서 통과하는 통과 구멍의 수나 제 2 봉상 도체가 제 1 층상 전극을 비접촉 상태에서 통과하는 통과 구멍의 수가 적어지기 때문에, 제 1 및 제 2 층상 전극의 면적을 크게 할 수 있고, 또한 층상 콘덴서부의 정전 용량을 크게 할 수 있다. 또, (제 1 봉상 도체의 수/제 1 패드의 수) 나 (제 2 봉상 도체의 수/제 2 패드의 수) 가 0.05 ~ 0.7 의 범위가 되도록 용이하게 설계

할 수 있다.

- [0018] 본 발명의 다층 프린트 배선판에 있어서, 상기 제 1 봉상 도체와 상기 제 2 봉상 도체는, 적어도 일부가 격자 형상 또는 지그재그 형상으로 교대로 나열되어 있어도 된다. 이렇게 하면, 루프 인덕턴스가 낮아지기 때문에 전원 전위의 순간적 저하를 방지하기 쉬워진다.
- [0019] 본 발명의 다층 프린트 배선판에 있어서, 상기 층상 콘덴서부는, 상기 제 1 및 제 2 층상 전극 사이의 거리가 10 μ m 이하로서 실질적으로 단락되지 않는 거리에 설정되어 있어도 된다. 이렇게 하면, 층상 콘덴서부의 전극간 거리가 충분히 작기 때문에, 이 층상 콘덴서부의 정전 용량을 크게 할 수 있다.
- [0020] 본 발명의 다층 프린트 배선판에 있어서, 상기 층상 콘덴서부는, 상기 실장부에 실장되는 반도체 소자의 바로 아래에 형성되어 있는 것이 바람직하다. 이렇게 하면, 반도체 소자에 최단의 배선 길이로 전원을 공급할 수 있게 되기 때문에, 온 오프 간격이 짧은 수 GHz ~ 수십 GHz (예를 들어, 3GHz ~ 20GHz) 인 반도체 소자에서도 충분한 디커플링 효과를 얻을 수 있어, 전원 부족이 되기 어렵다.
- [0021] 본 발명의 다층 프린트 배선판은, 상기 실장부가 형성된 표면층에 설치되고 상기 층상 콘덴서부의 상기 제 1 및 제 2 층상 전극에 접속되는 칩 콘덴서를 구비하고 있어도 된다. 이렇게 하면, 층상 콘덴서부만으로는 정전 용량이 부족할 경우, 칩 콘덴서에 의해 그 부족분을 보충할 수 있다. 또, 디커플링 효과는 칩 콘덴서와 반도체 소자의 배선이 길수록 저하되지만, 여기에서는 실장부가 형성된 표면층에 칩 콘덴서를 설치하고 있기 때문에 반도체 소자와의 배선을 짧게 할 수 있어, 디커플링 효과의 저하를 억제할 수 있다. 또, 칩 콘덴서와 반도체 소자를 층상 콘덴서부를 개재하여 접속되도록 하기 때문에, 칩 콘덴서에서 반도체 소자로의 전원 공급 손실이 작아진다.
- [0022] 본 발명의 다층 프린트 배선판은, 상기 실장부와 상기 층상 콘덴서부 사이에 탄성 재료로 형성된 응력 완화부를 구비하고 있어도 된다. 이렇게 하면, 실장부에 실장된 반도체 소자와 층상 콘덴서부나 빌드업부 사이에 열팽창 차이에 의한 응력이 발생했다 하더라도 응력 완화부가 그 응력을 흡수하기 때문에, 접속 신뢰성 저하나 절연 신뢰성 저하 등의 문제가 발생하기 어렵다. 또, 층상 콘덴서부의 고유전체층은 얇고 약하기 때문에 크랙이 발생하기 쉽지만, 응력 완화부가 있기 때문에 크랙이 발생하는 것을 방지할 수 있다. 이때, 응력 완화부는, 상기 실장부에 실장되는 반도체 소자의 바로 아래에만 형성되어 있어도 된다. 열팽창 차이에 의한 응력이 문제가 되는 것은 주로 반도체 소자의 바로 아래이기 때문에, 이 부분에 응력 완화부를 형성하면 재료 비용을 절감할 수 있다. 이러한 응력 완화부의 재료는, 특별히 한정되는 것은 아니지만, 예를 들어, 변성 에폭시계 수지 시트, 폴리페닐렌에테르계 수지 시트, 폴리이미드계 수지 시트, 시아노에스테르계 수지 시트 및 이미드계 수지 시트 등의 유기계 수지 시트를 들 수 있다. 이들의 유기계 수지 시트는, 열가소성 수지인 폴리에틸렌계 수지나 폴리이미드계 수지, 열경화성 수지인 실리콘 수지나 SBR, NBR, 우레탄 등의 고무계 수지를 함유하고 있어도 되고, 실리카, 알루미늄, 지르코니아 등의 무기계의 섬유 형상, 필러 형상, 편평 형상인 것을 함유하고 있어도 된다. 또, 응력 완화부는, 영률이 10 ~ 1000MPa 가 바람직하다. 응력 완화부의 영률이 이 범위라면, 실장부에 탑재되는 반도체 소자와 층상 콘덴서부 사이에 열팽창 계수 차이에 기인하는 응력이 발생했다 하더라도 그 응력을 완화시킬 수 있기 때문이다.

실시예

- [0036] 발명을 실시하기 위한 최선의 형태
- [0037] [제 1 실시형태]
- [0038] 다음으로, 본 발명의 실시형태를 도면에 기초하여 설명한다. 도 1 은 본 발명의 일 실시형태인 다층 프린트 배선판 (110) 의 평면도, 도 2 는 이 다층 프린트 배선판 (110) 의 종단면도 (중심선의 좌측만 나타냄), 도 3 은 층상 콘덴서부 (140) 를 모식적으로 나타낸 사시도이다.
- [0039] 본 실시형태의 다층 프린트 배선판 (110) 은, 도 2 에 나타내는 바와 같이, 표리면에 형성된 배선 패턴 (22) 끼리 스루홀 도체 (24) 를 개재하여 전기적으로 접속하는 코어 기관 (20) 과, 이 코어 기관 (20) 의 상면에서 수지 절연층 (36) 을 개재하여 복수 적층된 배선 패턴 (32, 22) 을 비아홀 (34) 에 의해 전기적으로 접속함으로써 구성된 빌드업부 (30) 와, 이 빌드업부 (30) 에 적층된 층간 절연층 (120) 과, 이 층간 절연층 (120) 에 적층되고 고유전체층 (143) 과 이 고유전체층 (143) 을 사이에 두는 제 1 및 제 2 층상 전극 (141, 142) 으로 구성된 층상 콘덴서부 (140) 와, 이 층상 콘덴서부 (140) 에 적층되고 탄성 재료로 형성된 응력 완화부 (150) 와, 반도체 소자 (180) 를 실장하는 실장부 (160) 와, 이 실장부 (160) 의 주위에 형성된 칩 콘덴서 배치 영역

(170) 을 구비하고 있다. 또한, 빌드업부 (30) 는 다층화되어 있어도 된다.

[0040] 본 실시형태의 층상 콘덴서부 (140) 중, 제 1 층상 전극 (141) 은 구리 전극이고 실장부 (160) 의 그라운드용 패드 (161) 에 비아홀 (161a) 을 개재하여 전기적으로 접속되며, 제 2 층상 전극 (142) 은 구리 전극이고 실장부 (160) 의 전원용 패드 (162) 에 비아홀 (162a) 을 개재하여 전기적으로 접속되어 있다. 이 때문에, 제 1 및 제 2 층상 전극 (141, 142) 은, 각각 실장부 (160) 에 실장되는 반도체 소자 (180) 의 그라운드 전극 (181) 및 전원 전극 (182) 에 접속된다.

[0041] 또, 제 1 층상 전극 (141) 은, 고유전체층 (143) 의 하면에 형성된 배타 패턴으로서 제 2 층상 전극 (142) 에 접속된 비아홀인 제 2 봉상 도체 (162b) 를 비접촉인 상태에서 관통하는 통과 구멍 (141a) 을 가지고 있다. 이 제 2 봉상 도체 (162b) 는, 일부 전원용 패드 (162) 에 대응하여 형성되고, 여기에서는, (제 2 봉상 도체 (162b) 의 수 / 전원용 패드 (162) 의 수) 가 0.05 ~ 0.7 의 범위가 되도록 설계되어 있다. 그 이유는 이하와 같다. 즉, 모든 전원용 패드 (162) 중, 몇 개의 전원용 패드 (162) 는 비아홀 (162a) 을 개재하여 제 2 층상 전극 (142) 에 전기적으로 접속되고, 나머지 전원용 패드 (162) 는 비아홀 (162a) 을 개재하여 제 2 층상 전극 (142) 에 전기적으로 접속된 다른 전원용 패드 (162) 와 배선 (예를 들어, 도 3 에 나타낸 실장부 (160) 에 형성된 배선 (166)) 에 의해 전기적으로 접속되어 있기 때문에, 결국 모든 전원용 패드 (162) 는 제 2 층상 전극 (142) 에 접속되고 있게 되고, 제 2 층상 전극 (142) 으로부터 하방으로 연장되는 제 2 봉상 도체 (162b) 가 적어도 1 개 있으면, 그 제 2 봉상 도체 (162b) 를 통하여 모든 전원용 패드 (162) 를 외부의 전원 라인에 접속할 수 있다. 이와 같이, 일부의 전원용 패드 (162) 에 대응하여 제 2 봉상 도체 (162b) 를 형성함으로써 제 1 층상 전극 (141) 에 형성하는 통과 구멍 (141a) 의 수가 적어도 된다는 점에서, 제 1 층상 전극 (141) 의 면적이 커져서 층상 콘덴서부 (140) 의 정전 용량을 크게 할 수 있다. 또, (제 2 봉상 도체 (162b) 의 수 / 전원용 패드 (162) 의 수) 가 0.05 ~ 0.7 의 범위에 있기 때문에, 후술하는 실험예로 실증되고 있듯이, 실장부 (160) 에 실장되는 반도체 소자 (180) 의 오동작을 충분히 방지할 수 있다. 또한, 통과 구멍 (141a) 의 수나 통과 구멍 (141a) 을 형성하는 위치는, 층상 콘덴서부 (140) 의 정전 용량이나 비아홀 (162a) 의 배치 등을 고려하여 결정된다.

[0042] 한편, 제 2 층상 전극 (142) 은, 고유전체층 (143) 의 상면에 형성된 배타 패턴으로서, 그라운드용 패드 (161) 에 접속된 비아홀 (161a, 161b) 로 이루어지는 제 1 봉상 도체 (161c) 를 비접촉인 상태에서 관통하는 통과 구멍 (142a) 을 가지고 있다. 제 1 봉상 도체 (161c) 는, 일부 그라운드용 패드 (161) 에 대응하도록 형성되고, 여기에서는 (제 1 봉상 도체 (161c) 의 수 / 그라운드용 패드 (161) 의 수) 가 0.05 ~ 0.7 의 범위에 있도록 설계되어 있다. 그 이유는 이하와 같다. 즉, 그라운드용 패드 (161) 끼리는 배선 (예를 들어, 도 3 에 나타낸 실장부 (160) 에 형성된 배선 (165)) 에 의해 전기적으로 접속되어 있기 때문에, 그라운드용 패드 (161) 에서 하방으로 연장되어 제 2 층상 전극 (142) 에 접촉하지 않고 제 1 층상 전극 (141) 에 접촉하는 제 1 봉상 도체 (161c) 가 적어도 1 개 있으면, 그 제 1 봉상 도체 (161c) 를 개재하여 모든 그라운드용 패드 (161) 를 외부 그라운드 라인에 접속할 수 있다. 그리고, 일부 그라운드용 패드 (161) 에 대응하여 제 1 봉상 도체 (161c) 를 형성함으로써 제 2 층상 전극 (142) 에 형성하는 통과 구멍 (142a) 의 수가 적어도 된다는 점에서, 제 2 층상 전극 (142) 의 면적이 커져서, 층상 콘덴서부 (140) 의 정전 용량을 크게 할 수 있다. 또, (제 1 봉상 도체 (161c) 의 수 / 그라운드용 패드 (161) 의 수) 가 0.05 ~ 0.7 의 범위에 있기 때문에, 후술하는 실험예로 실증되고 있듯이, 실장부 (160) 에 실장되는 반도체 소자 (180) 의 오동작을 충분히 방지할 수 있다. 또한, 통과 구멍 (142a) 의 수나 통과 구멍 (142a) 을 형성하는 위치는, 층상 콘덴서부 (140) 의 정전 용량이나 비아홀 (161a) 의 배치 등을 고려하여 결정된다.

[0043] 이와 같이, 층상 콘덴서부 (140) 의 정전 용량을 크게 할 수 있기 때문에, 충분한 디커플링 효과를 나타낼 수 있고, 실장부 (160) 에 실장한 반도체 소자 (180 ; IC) 의 트랜지스터가 전원 부족이 되기 어렵다. 또한, 바로 아래에 비아홀을 가지지 않는 그라운드용 패드 (161) 와 바로 아래에 비아홀을 갖는 그라운드용 패드 (161) 를 전기적으로 연결하는 배선이나, 바로 아래에 비아홀을 가지지 않는 전원용 패드 (162) 와 바로 아래에 비아홀을 갖는 전원용 패드 (162) 를 전기적으로 연결하는 배선은, 실장부 (160) 에 형성해도 되지만, 코어 기판 (20) 의 표면이나 빌드업부 (30) 에 형성해도 된다. 층상 콘덴서부 (140) 와 실장부 (160) 사이에 추가 로 배선층을 형성하여 그 층으로 연결할 수 있다.

[0044] 응력 완화부 (150) 는, 탄성 재료로 형성되어 있다. 탄성 재료로는 특별히 한정되지 않지만, 예를 들어, 변성에폭시계 수지 시트, 폴리페닐렌에테르계 수지 시트, 폴리이미드계 수지 시트, 시아노에스테르계 수지 시트 및 이미드계 수지 시트 등의 유기계 수지 시트를 들 수 있다. 이들의 유기계 수지 시트는, 열가소성 수지인 폴리에틸렌계 수지나 폴리이미드계 수지, 열경화성 수지인 실리콘 수지나 SBR, NBR, 우레탄 등의 고무계 수지를

함유하고 있어도 되고, 실리카, 알루미늄, 지르코니아 등의 무기계인 섬유 형상, 필러 형상, 편평 형상인 것을 함유하고 있어도 된다. 이 응력 완화부 (150) 는, 영률이 10 ~ 1000Mpa 로 낮은 값인 것이 바람직하다.

응력 완화부 (150) 의 영률이 이 범위라면, 실장부 (160) 에 탑재되는 반도체 소자 (180) 와 층상 콘덴서부 (140) 나 빌드업부 (30), 코어 기관 (20) 사이에 열팽창 계수 차이에 기인하는 응력이 발생했다 하더라도 그 응력을 완화할 수 있다.

[0045] 실장부 (160) 는, 반도체 소자 (180) 를 실장하는 영역으로서, 다층 프린트 배선관 (110) 의 표면에 형성되어 있다. 이 실장부 (160) 에 형성된 그라운드용 패드 (161), 전원용 패드 (162), 시그널용 패드 (163) 는, 격자 형상 또는 지그재그 형상으로 배열되어 있다 (도 1 참조). 또한, 시그널용 패드 (163) 는, 반도체 소자 (180) 의 시그널 전극 (183) 에 접속되는 단자이다. 본 실시형태에서는, 그라운드용 패드 (161) 와 전원용 패드 (162) 를 중앙 부근에 격자 형상 또는 지그재그 형상으로 배열하고, 그 주위에 시그널용 패드 (163) 를 격자 형상 또는 지그재그 형상 또는 랜덤하게 배열하고 있다. 실장부 (160) 의 패드 총수는, 1000 ~ 3000 이다. 이 실장부 (160) 의 주위에는, 칩 콘덴서 배치 영역 (170) 이 복수 형성되고, 이 칩 콘덴서 배치 영역 (170) 에는, 칩 콘덴서 (173) 의 그라운드용 단자 및 전원용 단자와 각각 접속하기 위한 그라운드용 패드 (171) 및 전원용 패드 (172) 가 복수쌍 형성되어 있다.

[0046] 각 그라운드용 패드 (171) 는 층상 콘덴서부 (140) 의 제 1 층상 전극 (141) 을 개재하여 외부 전원의 부극 (負極) 에 접속되고, 각 전원용 패드 (172) 는 제 2 층상 전극 (142) 을 개재하여 외부 전원의 정극 (正極) 에 접속된다. 또한, 본 실시형태에 있어서, 그라운드용 패드 (161) 및 전원용 패드 (162) 가 각각 제 1 패드 및 제 2 패드에 상당한다.

[0047] 다음으로, 본 실시형태의 다층 프린트 배선관 (110) 의 제조 순서에 대해, 도 4 ~ 도 7 에 기초하여 설명한다.

[0048] 우선, 도 4(a) 에 나타내는 바와 같이, 코어 기관 (20) 의 적어도 편면에 빌드업부 (30) 를 형성한 기관 (500) 을 준비하고, 빌드업부 (30) 상에 진공 라미네이터를 사용하여 층간 절연층 (510 ; 도 1 의 층간 절연층 (120) 이 되는 것, 열경화성 절연 필름 ; 아지노모토사 제조, ABF-45SH) 을 온도 50 ~ 150℃, 압력 0.5 ~ 1.5Mpa 라는 라미네이트 조건하에서 부착하였다. 계속해서, 미리 제작해 둔 구리박 (522) 과 구리박 (526) 으로 고유전체층 (524) 을 샌드위치한 구조의 고유전체 시트 (520) 를 층간 절연층 (510) 상에 진공 라미네이터를 사용하여 온도 50 ~ 150℃, 압력 0.5 ~ 1.5Mpa 라는 라미네이트 조건하에서 부착하고, 그 후 150℃ 에서 1 시간 건조시켰다 (도 4(b) 참조). 라미네이트할 때의 고유전체 시트 (520) 의 양 구리박 (522, 526) 은, 모두 회로 형성되어 있지 않은 베타층인 것이 바람직하다. 여기서, 양 구리박 (522, 526) 의 일부를 에칭 등으로 제거한다고 하면, (i) 표리에서 금속의 잔존율이 바뀌거나 제거한 부분이 기점이 되어 고유전체 시트가 구부러지거나 접히거나 하는 경우가 있는 것, (ii) 구리박의 일부를 제거하면 코너부 (도 7 참조) 가 존재하게 되고, 그 부분에 라미네이트 압력이 집중되는 것, (iii) 고유전체층에 직접 라미네이터가 접촉하게 되는 것 등이 원인으로, 고유전체층에 크랙이 발생하기 쉬워지고, 그 크랙 부분에 후의 도금 공정에서 도금이 충전되면 양 구리박 사이에서 쇼트된다. 또, 라미네이트 전에 전극의 일부를 제거하면, 고유전체 시트의 정전 용량이 감소한다는 문제도 발생하고, 그 고유전체 시트를 라미네이트하는 경우, 고유전체 시트와 빌드업부를 위치 맞춤하여 부착할 필요도 생긴다. 또한, 고유전체 시트가 얇고 강성이 없기 때문에, 구리박의 일부를 제거할 때의 위치 정밀도가 나빠진다. 거기에 추가하여, 얼라인먼트 정밀도를 고려하여 구리박의 일부를 제거할 필요가 있기 때문에, 크게 구리박을 제거할 필요가 있고, 얼라인먼트 정밀도도 고유전체 시트가 얇기 때문에 나쁘다. 이상으로부터, 라미네이트할 때 고유전체 시트 (520) 의 양 구리박 (522, 526) 은, 모두 회로 형성되어 있지 않은 베타층인 것이 바람직한 것이다.

[0049] 다음으로, 고유전체 시트 (520) 의 제작 순서에 대해 설명한다.

[0050] (1) 건조 질소 중에 있어서, 농도 1.0몰/리터가 되도록 칭량한 디에톡시바륨과 비테트라이소프로폭시드티탄을, 탈수한 메탄올과 2-메톡시에탄올의 혼합 용매 (체적비 3 : 2) 에 용해시키고, 실온의 질소 분위기하에서 3 일간 교반하여 바륨과 티탄의 알콕시드 전구체 조성물 용액을 조제하였다. 이어서, 이 전구체 조성물 용액을 0℃ 로 유지하면서 교반하고, 미리 탈탄산한 물을 0.5 마이크로리터/분의 속도로 질소 기류 중에서 분무하여 가수분해시켰다.

[0051] (2) 이와 같이 하여 제작된 졸 - 겔 용액을, 0.2 마이크론의 필터를 통해, 석출물 등을 여과시켰다.

[0052] (3) 상기 (2) 에서 제작한 여과액을 두께 12 μ m 의 구리박 (522 ; 후에 제 1 층상 전극 (141) 이 됨) 상에 1500rpm 으로 1 분간 스펀코트하였다. 용액을 스펀코트한 기관을 150℃ 로 유지된 핫 플레이트 상에 3 분간

두어 건조시켰다. 그 후 기판을 850℃ 로 유지된 전기로 중에 삽입하고, 15 분간 소성시켰다. 여기서, 1 회의 스펀코트 / 건조 / 소성으로 얻어지는 막두께가 0.03 μ m 가 되도록 졸 - 겔 액의 점도를 조정하였다. 또한, 제 1 층상 전극 (141) 으로는 구리 외에, 니켈, 백금, 금, 은 등을 사용할 수도 있다.

[0053] (4) 스펀코트 / 건조 / 소성을 40 회 반복하여 1.2 μ m 의 고유전체층 (524) 을 얻었다.

[0054] (5) 그 후, 스퍼터 등의 진공 증착 장치를 사용하여 고유전체층 (524) 상에 구리층을 형성하고, 추가로 이 구리층 상에 전해 도금 등으로 구리를 10 μ m 정도 더함으로써, 구리박 (526 ; 후에 제 2 층상 전극 (142) 의 일부를 이룸) 을 형성하였다. 이와 같이 하여, 고유전체 시트 (520) 를 얻었다. 유전특성은, INPEDANCE/GAIN PHASE ANALYZER (뷰렛트팻카드사 제조, 품명 : 4194A) 를 사용하여 주파수 1kHz, 온도 25℃, OSC 레벨 1V 라는 조건에서 측정된 결과, 그 비유전율은 1,850 이었다. 또한, 진공 증착은 구리 이외의 백금, 금 등의 금속층을 형성해도 되고, 전해 도금도 구리 이외의 니켈, 주석 등의 금속층을 형성해도 된다. 또, 고유전체층을 티탄산바륨으로 하였지만, 다른 졸 - 겔 용액을 사용함으로써, 고유전체층을 티탄산스트론튬 (SrTiO₃), 산화탄탈 (TaO₃, Ta₂O₅), 티탄산지르콘산납 (PZT), 티탄산지르콘산란탄납 (PLZT), 티탄산지르콘산니오브납 (PNZT), 티탄산지르콘산칼슘납 (PCZT) 및 티탄산지르콘산스트론튬납 (PSZT) 중 어느 하나로 할 수 있다.

[0055] 또한, 고유전체 시트 (520) 의 그 외의 제작 방법으로서, 이하의 방법도 있다. 즉, 티탄산바륨 분말 (후지티탄 공업 주식회사 제조, HPBT 시리즈) 을, 티탄산바륨 분말의 전체 중량에 대해서, 폴리비닐알코올 5 중량부, 순수 50 중량부 및 용제계 가소제로서 프탈산디옥틸 또는 프탈산디부틸 1 중량부의 비율로 혼합된 바인더 용액에 분산시키고, 이것을 롤코터, 닥터블레이드, α 코터 등의 인쇄기를 사용하여, 두께 12 μ m 의 구리박 (522 ; 후에 제 1 층상 전극 (141) 이 됨) 에, 두께 5 ~ 7 μ m 정도의 박막 형상으로 인쇄하고, 60℃ 에서 1 시간, 80℃ 에서 3 시간, 100℃ 에서 1 시간, 120℃ 에서 1 시간, 150℃ 에서 3 시간 건조시켜 미 (未) 소성층으로 한다. BaTiO₃ 이외에 SrTiO₃, TaO₃, Ta₂O₅, PZT, PLZT, PNZT, PCZT, PSZT 로 이루어지는 군에서 선택된 1 종 또는 2 종 이상의 금속 산화물을 함유하여 이루어지는 페이스트를 롤코터, 닥터블레이드 등의 인쇄기를 사용하여, 두께 0.1 ~ 10 μ m 의 박막 형상으로 인쇄, 건조시켜 미소성층으로 해도 된다. 인쇄 후, 이 미소성층을 600 ~ 950℃ 의 온도 범위에서 소성시켜, 고유전체층 (524) 으로 한다. 그 후, 스퍼터 등의 진공 증착 장치를 사용하여 고유전체층 (524) 상에 구리층을 형성하고, 추가로 그 구리층 상에 전해 도금 등으로 구리를 10 μ m 정도 더함으로써, 구리박 (526 ; 후에 제 2 층상 전극 (142) 의 일부를 이룸) 을 형성한다. 또한, 진공 증착은 구리 이외의 백금, 금 등의 금속층을 형성해도 되고, 전해 도금도 구리 이외의 니켈, 주석 등의 금속층을 형성해도 된다. 그 외, 티탄산바륨을 타겟으로 한 스퍼터법으로도 할 수 있다.

[0056] 다음으로, 고유전체 시트 (520) 를 적층시킨 제작 도중의 기판의 소정 위치에 탄산 가스 레이저나 UV 레이저, YAG 레이저, 엑시머 레이저 등에 의해 스루홀 (530, 531) 을 형성하였다 (도 4(c) 참조). 깊이가 깊은 스루홀 (530) 은, 고유전체 시트 (520) 및 층간 절연층 (510) 을 관통하여 빌드업부 (30) 의 배선 패턴 (32) 표면에 이르는 스루홀이다. 깊이가 얇은 스루홀 (531) 은, 구리박 (526) 과 고유전체층 (524) 을 관통하여 구리박 (522) 의 표면에 이르는 스루홀이다. 여기서, 스루홀 형성은 우선 깊은 스루홀 (530) 을 형성하고, 계속하여 얇은 스루홀 (531) 을 형성하였다. 깊이를 조정하는 레이저 쇼트수를 변경함으로써 실시하였다. 구체적으로는, 스루홀 (531) 은 히타치비어메커닉스(주) 제조의 UV 레이저로, 출력 3 ~ 10W, 주파수 30 ~ 60kHz, 쇼트수 4 라는 조건에서 실시하고, 스루홀 (530) 은 쇼트수 31 로 한 것 이외에는 동일한 조건에서 실시하였다. 그 후, 스루홀 (530, 531) 내에 후술하는 스루홀 충전용 수지 (532) 를 충전하고, 80℃ 에서 1 시간, 120℃ 에서 1 시간, 150℃ 에서 30 분 건조시켰다 (도 4(d) 참조). 또한, 스루홀 (530, 531) 은, 도 1 에 나타낸 전원용 패드 (162) 와 그라운드용 패드 (161) 전부에 대응하도록 형성하지 않았다.

[0057] 스루홀 충전용 수지는, 이하와 같이 하여 제작하였다. 비스페놀 F 형 에폭시모노머 (유화셀 제조, 분자량 : 310, 상품명 ; E-807) 100 중량부와, 이미다졸 경화제 (시코쿠 화학 제조, 상품명 : 2E4MZ-CN) 6 중량부를 혼합하고, 추가로 그 혼합물에 대해, 평균 입자경 1.6 μ m 의 SiO₂ 구상 입자 170 중량부를 혼합하고, 3 개 물로 혼합 시킴으로써 그 혼합물의 점도를, 23 \pm 1℃ 에 있어서 45000 ~ 49000cps 로 조정하여, 스루홀 충전용 수지를 얻었다.

[0058] 이어서, 전 공정에서 충전한 스루홀 충전용 수지 (532) 에 스루홀 (530a, 531a) 을 형성하고, 과망간산 용액에 침지시켜 조화 (粗化) 하고, 그 후, 170℃ 에서 3 시간 건조 경화하여 완전 경화시켰다 (도 4(e) 참조). 스루홀 (530a) 은, 스루홀 충전용 수지 (532) 를 관통하여 빌드업부 (30) 의 배선 패턴 (32) 의 표면에 이르는 스루홀이다. 다른 일방의 스루홀 (531a) 은, 스루홀 충전용 수지 (532), 구리박 (522) 및 층간 절연층 (510)

을 관통하여 빌드업부 (30) 의 배선 패턴 (32) 의 표면에 이르는 스루홀이다. 또, 스루홀 (530a) 은, CO₂ 레이저로, ø1.4mm 의 마스크 직경을 통하여 2.0mj 의 에너지 밀도, 2 쇼트라는 조건에서 형성하고, 스루홀 (531a) 은 UV 레이저로 52 쇼트로 한 것 이외에는 동일한 조건에서 형성하였다 (출력 : 3 ~ 10w, 주파수 : 30 ~ 60kHz).

[0059] 그 후, 기판 표면에 무전해 구리 도금용 촉매를 부여하고, 이하의 무전해 구리 도금액에 침지시켜 기판 표면에 0.6 ~ 3.0 μ m 의 무전해 구리 도금막 (540) 을 형성하였다 (도 5(a) 참조). 또한, 무전해 구리 도금 수용액은 이하의 조성인 것을 사용하였다. 황산구리 : 0.03mol/L, EDTA : 0.200mol/L, HCHO : 0.1g/L, NaOH : 0.1mol/L, α , α' -비피리딘 : 100mg/L, 폴리에틸렌글리콜 (PEG) 0.1g/L.

[0060] 이어서, 무전해 구리 도금막 (540) 상에 시판되는 드라이 필름을 부착하고, 노광·현상에 의해 도금 레지스트 (541) 를 형성하고 (도 5(b) 참조), 도금 레지스트 비형성부에 두께 25 μ m 의 전해 구리 도금막 (542) 을 형성하였다 (도 5(c) 참조). 또한, 전해 구리 도금액은 이하의 조성인 것을 사용하였다. 황산 : 200g/L, 황산구리 : 80g/L, 첨가제 : 19.5ml/L (아토테크 재판사 제조, 카파라시드 GL). 또, 전해 구리 도금은 이하의 조건에서 실시하였다. 전류 밀도 1A/dm², 시간 115 분, 온도 23 \pm 2 $^{\circ}$ C. 계속해서, 도금 레지스트 (541) 를 벗기고, 그 도금 레지스트 (541) 가 남아 있던 부분, 즉 전해 구리 도금막 (542) 끼리의 사이에 존재하는 무전해 구리 도금막 (540) 을 황산-과산화수소계의 에칭액으로 에칭 (퀵 에칭) 하고, 상부 전극 (543) 이나, 구리박 (522) 과 전기적으로 접속된 랜드 (544) 를 형성하였다 (도 5(d) 참조). 또한, 스루홀 (531a) 에 충전된 도체 및 랜드 (544) 가 도 2 의 비아홀 (161b) 에 상당하고, 스루홀 (530a) 에 충전된 도체가 도 2 의 제 2 봉상도체 (162b) 에 상당한다.

[0061] 이어서, 상부 전극 (543), 랜드 (544) 상에 하기의 응력 완화 시트 (550 ; 도 1 의 응력완화부 (150) 가 되는 것) 를 온도 50 ~ 150 $^{\circ}$ C, 압력 0.5 ~ 1.5MPa 라는 라미네이트 조건하에서 부착하고, 150 도에서 1 시간 건조시켰다 (도 5(e) 참조).

[0062] 응력 완화 시트 (550) 는 이하와 같이 하여 제조하였다. 즉, 나프탈렌형의 에폭시 수지 (니혼 화학(주) 제조, 상품명 : NC-7000L) 100 중량부, 페놀 - 크실릴렌글리콜 축합 수지 (미즈이 화학사 제조, 상품명 : XLC-LL) 20 중량부, 가교 고무 입자로서 Tg 가 -50 $^{\circ}$ C 인 카르복실산 변성 NBR (JSR(주) 제조, 상품명 : XER-91) 90 중량부, 1-시아노에틸-2-에틸-4-메틸이미다졸 4 중량부를 락트산에틸 300 중량부에 용해시키고, 얻어진 수지 조성물을 롤코터 (서마트로닉스 무역 제조) 를 사용하여 폴리메틸렌텐 (TPX ; 미즈이 석유 화학 공업 제조, 상품명 : 오프란 X-88) 제의 42 ~ 45 μ m 두께의 필름 상에 도포하고, 그 후 80 $^{\circ}$ C 에서 2 시간, 120 $^{\circ}$ C 에서 1 시간, 150 $^{\circ}$ C 에서 30 분 건조시켜 두께 40 μ m 의 응력 완화 시트로 하였다. 또한, 이 응력 완화 시트는 30 $^{\circ}$ C 에서 영률이 500MPa 이다.

[0063] 이어서, 응력 완화 시트 (550) 의 소정 위치에 CO₂ 레이저로, ø1.4mm 의 마스크 입경을 통하여 2.0mj 의 에너지 밀도, 1 쇼트에서 비아홀 (560) 을 형성하였다 (도 6(a) 참조). 계속해서, 조화 처리하고, 150 $^{\circ}$ C 에서 3 시간 건조 경화하여 응력 완화 시트 (550) 을 완전 경화시켰다. 그 후, 촉매 부여, 화학 구리, 도금 레지스트 형성, 전기 구리 도금, 도금 레지스트 박리, 퀵 에칭의 공정을 실시함으로써, 비아홀 (560) 을 금속으로 충전함과 동시에 최표층에 각 비아홀 (560) 의 상면에 패드 (그라운드용 패드 (161), 전원용 패드 (162), 시그널용 패드 (163) (도 6 에는 도시하지 않음)) 를 형성하고, 실장부 (160) 을 갖는 다층 프린트 배선판 (110) 를 얻었다 (도 6(b)). 또한, 랜드 (544) 에 접속되고 있는 그라운드용 패드 (161) 는 그라운드 라인에 접속되고, 상부 전극 (543) 에 접속되고 있는 전원용 패드 (162) 는 전원 라인에 접속된다. 또, 시그널용 패드 (163) 는 신호 라인에 접속된다. 여기서, 구리박 (522) 이 제 1 층상 전극 (141) 에 상당하고, 구리박 (526) 및 상부 전극 (543) 이 제 2 층상 전극 (142) 에 상당하며, 고유전체층 (524) 이 고유전체층 (143) 에 상당하고, 이들이 층상 콘덴서부 (140) 가 된다.

[0064] 그 후, 실장부 (160) 의 각 단자 상에는 뱀납 범프를 형성해도 된다. 또, 도 1 과 같이 칩 콘덴서 (173) 를 실장하는 경우, 도 4(b) 의 공정 후, 칩 콘덴서 (173) 의 일방의 단자와 제 1 층상 전극 (141) 이 도체 (562 ; 도 2 참조) 에서 전기적으로 연결되도록 에칭 공정 (소위 텐팅법) 을 실시하였다. 그 에칭 공정에서는, 염화 제 2 구리 에칭액을 사용했는데, 구리박 (526) 및 고유전체층 (524) 까지 에칭된 후 구리박 (522) 이 약간 에칭된 상태가 되도록 단시간에 처리하였다. 그리고, 최종적으로는 이 구리박 (522) 에 연결되는 금속층을 응력 완화 시트 (550) 에 형성하고, 그 금속층의 상면에 패드 (171) 를 형성하였다. 또, 칩 콘덴서 (173) 의 다른 일방의 단자와 접속시키기 위한 패드 (172) 는, 응력 완화 시트 (550) 에 형성한 비아홀 (560) 의 하나

에 충전된 금속의 상면에 형성하였다.

- [0065] 이상 상기 서술한 본 실시형태의 다층 프린트 배선판 (110) 에 의하면, 전원 라인과 그라운드 라인 사이에 접속되는 층상 콘덴서부 (140) 의 고유전체층 (143) 이 세라믹제이기 때문에, 종래와 같이 무기 필러가 배합된 유기 수지재의 경우에 비해 유전율을 높일 수 있고, 층상 콘덴서부 (140) 의 정전 용량을 크게 할 수 있다. 따라서, 반도체 소자 (180) 의 온 오프 주파수가 수 GHz ~ 수십 GHz (3GHz ~ 20GHz) 로 높은 상황하에서도 충분한 디커플링 효과를 나타내기 때문에, 전위의 순간적 저하가 발생하기 어렵다.
- [0066] 또, 그라운드용 패드 (161) 의 수에 대한 제 1 봉상 도체 (161c) 의 수의 비가 0.05 ~ 0.7 이고, 전원용 패드 (162) 의 수에 대한 제 2 봉상 도체 (162b) 의 수의 비가 0.05 ~ 0.7 이기 때문에, 실장부 (160) 에 실장되는 반도체 소자 (180) 의 오동작을 충분히 방지할 수 있다. 그 이유는 정확하지 않지만, 이들의 비가 0.05 를 하회하면, 제 1 봉상 도체 (161c) 나 제 2 봉상 도체 (162b) 의 수가 적다는 점에서, 몇 개의 봉상 도체의 전기적인 접속 상태가 열화했을 경우에 그 영향을 다른 봉상 도체로 다 커버할 수 없기 때문은 아닌지 추찰하고 있다. 또, 이들의 비가 0.7 을 상회하면, 제 1 층상 전극 (141) 에는 제 2 봉상 도체 (162b) 가 비접촉 상태에서 통과하는 지점이 증가하고, 제 2 층상 전극 (142) 에는 제 1 봉상 도체 (161c) 가 비접촉 상태에서 통과하는 지점이 증가하며, 이들의 지점에는 수지가 충전되어 있다는 점에서 고유전체층 (143) 의 수축·팽창이 발생하기 쉬워지고, 세라믹제의 약한 고유전체층 (143) 에 크랙이 발생하기 쉬워지기 때문은 아닌지 추찰하고 있다.
- [0067] 또, 일반적으로 빌드업부 (30) 는 통상 200℃ 이하의 온도 조건에서 제조되기 때문에, 빌드업부 (30) 의 형성 도중에 고유전체 재료를 소성시켜 세라믹으로 하는 것은 곤란하지만, 상기 서술한 실시형태에서는 층상 콘덴서부 (140) 의 고유전체층 (143) 은 빌드업부 (30) 와는 별도로 고유전체 재료를 소성시켜 세라믹으로 한 것이므로, 유전율을 충분히 높이기 쉽다.
- [0068] 또한, 층상 콘덴서부 (140) 를 구성하는 제 1 층상 전극 (141) 은, 고유전체층 (143) 의 양면 중 실장부 (160) 로부터 먼 면, 즉 고유전체층 (143) 의 하면에 형성된 배타 패턴이고, 제 2 층상 전극 (142) 은, 실장부 (160) 에 가까운 면, 즉 고유전체층 (143) 의 상면에 형성된 배타 패턴으로서, 제 1 층상 전극 (141) 에 접속되는 비아홀 (161a) 을 비접촉 상태에서 통과시키는 통과 구멍 (142a) 을 가지고 있는 형상이기 때문에, 각 층상 전극 (141, 142) 의 면적을 충분히 크게 할 수 있고, 이 층상 콘덴서부 (140) 의 정전 용량을 크게 할 수 있다. 여기서, 제 1 층상 전극 (141) 에 접속되는 제 1 봉상 도체 (161c) 와 제 2 층상 전극 (142) 에 접속되는 제 2 봉상 도체 (162b) 는, 적어도 일부가 격자 형상으로 교대로 나열되어 있기 때문에 루프 인덕턴스가 낮아지므로, 전원 전위의 순간적 저하를 방지하기 쉬워진다. 또한, 제 1 봉상 도체 (161c) 와 제 2 봉상 도체 (162b) 는 지그재그 형상으로 교대로 나열되어 있어도 되고, 이 경우도 동일한 효과가 얻어진다.
- [0069] 또한, 층상 콘덴서부 (140) 는, 제 1 및 제 2 층상 전극 (141, 142) 사이의 거리가 10 μ m 이하로서 실질적으로 단락되지 않는 거리로 설정되어 있기 때문에, 층상 콘덴서부 (140) 의 전극간 거리가 충분히 작고, 이 층상 콘덴서부 (140) 의 정전 용량을 크게 할 수 있다.
- [0070] 그리고, 층상 콘덴서부 (140) 만으로도 정전 용량이 부족한 경우에는 칩 콘덴서 (173) 에 의해 그 부족분을 보충할 수 있다. 즉, 칩 콘덴서 (173) 는 필요에 따라 탑재하면 된다. 또, 디커플링 효과는 칩 콘덴서 (173) 와 반도체 소자 (180) 의 배선이 길수록 저하되지만, 여기에서는 실장부 (160) 가 형성된 표면층에 칩 콘덴서 (173) 를 형성하고 있기 때문에 반도체 소자 (180) 와의 배선을 짧게 할 수 있어, 디커플링 효과의 저하를 억제할 수 있다.
- [0071] 그리고 또한, 실장부 (160) 에 실장된 반도체 소자 (180) 와 층상 콘덴서부 (140) 나 빌드업부 (130) 사이에 열팽창 차이에 의한 응력이 발생했다 하더라도 응력 완화부 (150) 가 그 응력을 흡수하기 때문에 문제가 발생하기 어렵다. 또한, 응력 완화부 (150) 는, 실장부 (160) 에 실장되는 반도체 소자 (180) 의 바로 아래에만 형성되어 있어도 된다. 열팽창 차이에 의한 응력이 문제가 되는 것은 주로 반도체 소자 (180) 의 바로 아래이기 때문에, 이 부분에 응력 완화부 (150) 을 형성하면 재료 비용을 절감할 수 있다.
- [0072] [제 2 실시형태]
- [0073] 도 8 은 제 2 실시형태의 다층 프린트 배선판 (210) 의 중단면도 (중심선의 좌측만 나타냄) 이다. 본 실시형태의 다층 프린트 배선판 (210) 은, 도 8 에 나타내는 바와 같이, 제 1 실시형태와 동일한 코어 기판 (20) 과, 이 코어 기판 (20) 의 상면에 수지 절연층 (36) 을 개재하여 적층되고 배선 패턴 (22) 과 배선 패턴 (32) 을 비아홀 (34) 에 의해 전기적으로 접속하는 빌드업부 (30) 와, 이 빌드업부 (30) 에 적층된 층간 절연층

(220) 과, 이 층간 절연층 (220) 에 적층되고 고유전체층 (243) 과 이 고유전체층 (243) 을 사이에 두는 제 1 및 제 2 층상 전극 (241, 242) 으로 구성된 층상 콘덴서부 (240) 와, 이 층상 콘덴서부 (240) 에 적층된 층간 절연층 (245) 과, 이 층간 절연층 (245) 에 적층되고 탄성 재료로 형성된 응력 완화부 (250) 와, 반도체 소자를 실장하는 실장부 (260) 와, 이 실장부 (260) 의 주위에 형성된 칩 콘덴서 배치 영역 (270) 을 구비하고 있다.

[0074] 본 실시형태의 층상 콘덴서부 (240) 중, 제 1 층상 전극 (241) 은 고유전체층 (243) 의 하면에 형성된 배타 패턴의 구리 전극이고, 실장부 (260) 의 그라운드용 패드 (261) 에 전기적으로 접속되어 있다. 설명상, 그라운드용 패드 (261) 를 그라운드용 패드 (261x) 와 그라운드용 패드 (261y) 2 종류로 분류한다. 그 중, 그라운드용 패드 (261x) 는, 비아홀 (261a) 을 개재하여 랜드 (266x) 에 전기적으로 접속되어 있다. 이 랜드 (266x) 는, 바로 아래에 비아홀을 가지고 있지 않다. 또, 그라운드용 패드 (261y) 는, 비아홀 (261a) 를 개재하여 랜드 (266y) 에 접속되고 그 랜드 (266y) 가 비아홀 (261b ; 제 1 봉상 도체) 을 개재하여 제 1 층상 전극 (241) 및 빌드업부 (30) 의 배선 패턴 (32) 의 그라운드 라인에 전기적으로 접속되어 있다. 또한, 비아홀 (261b) 에 접속된 랜드 (268) 는, 제 2 층상 전극 (242) 과는 전기적으로 독립되어 있다. 또, 그라운드용 패드 (261x) 에 연결되는 랜드 (266x) 와 그라운드용 패드 (261y) 에 연결되는 랜드 (266y) 란, 배선 (246 ; 도 9 참조) 에 의해 전기적으로 접속되어 있다. 그 결과, 모든 그라운드용 패드 (261) 와 동일한 전위가 된다. 이와 같이 하여, 제 1 층상 전극 (241) 은, 각 그라운드용 패드 (261) 에 접속됨과 함께 빌드업부 (30) 의 배선 패턴 (32) 의 그라운드 라인에 접속되고, 이 그라운드 라인을 개재하여 외부 그라운드 라인에 접속되어 있다. 또, 제 1 층상 전극 (241) 은, 후술하는 비아홀 (262c) 을 비접촉인 상태에서 관통하는 통과 구멍 (241a) 을 가지고 있지만, 비아홀 (262c) 은, 후술하는 바와 같이 한정된 전원용 패드 (262y) 에 대응하여 형성되어 있는 것이기 때문에 통과 구멍 (241a) 의 수는 적어도 된다. 여기서, 비아홀 (262c ; 제 2 봉상 도체) 은, 일부의 전원용 패드 (262y) 에 대응하여 형성되고, 구체적으로는 비아홀 (262c) 의 수 / 전원용 패드 (262) 의 수가 0.05 ~ 0.7 의 범위에 있도록 설계되어 있다. 그 결과, 제 1 층상 전극 (241) 의 면적이 커져서 층상 콘덴서부 (240) 의 정전 용량을 크게 할 수 있다. 또, 실장부 (260) 에 실장되는 반도체 소자의 오동작을 충분히 방지할 수 있다. 또한, 통과 구멍 (241a) 의 수나 통과 구멍 (241a) 을 형성하는 위치는, 층상 콘덴서부 (240) 의 정전 용량 등을 고려하여 결정된다.

[0075] 한편, 제 2 층상 전극 (242) 은 고유전체층 (243) 의 상면에 형성된 배타 패턴의 구리 전극이고, 실장부 (260) 의 전원용 패드 (262) 에 전기적으로 접속되어 있다. 설명상, 전원용 패드 (262) 를 전원용 패드 (262x) 와 전원용 패드 (262y) 의 2 종류로 분류한다. 그 중, 전원용 패드 (262x) 는, 비아홀 (262a) 을 개재하여 랜드 (267x) 에 접속되고 그 랜드 (267x) 가 비아홀 (262b) 을 개재하여 제 2 층상 전극 (242) 에 전기적으로 접속되어 있다. 또, 전원용 패드 (262y) 는, 비아홀 (262a) 을 개재하여 랜드 (267y) 에 접속되고 그 랜드 (267y) 가 비아홀 (262c) 을 개재하여 제 1 및 제 2 층상 전극 (241, 242) 에 접촉하는 일 없이 빌드업부 (30) 의 배선 패턴 (32) 중 전원 라인에 전기적으로 접속되어 있다. 또, 전원용 패드 (262x) 에 연결되는 랜드 (267x) 와 전원용 패드 (262y) 에 연결되는 랜드 (267y) 란, 배선 (247 ; 도 9 참조) 에 의해 전기적으로 접속되어 있다. 그 결과, 모든 전원용 패드 (262) 는 동일한 전위가 된다. 이와 같이 하여, 제 2 층상 전극 (242) 은, 각 전원용 패드 (262) 에 접속됨과 함께 빌드업부 (30) 의 배선 패턴 (32) 의 전원 라인에 접속되고, 이 전원 라인을 개재하여 외부 전원 라인에 접속되어 있다. 이 때문에, 제 2 층상 전극 (242) 에는, 빌드업부 (30) 의 배선 패턴 (32) 의 전원 라인으로부터 비아홀 (262c), 배선 (247) 및 비아홀 (262b) 을 거쳐 전원이 공급된다. 또, 제 2 층상 전극 (242) 은, 비아홀 (262c) 을 비접촉인 상태에서 관통하는 통과 구멍 (242a) 이나 랜드 (268) 의 절연을 확보하기 위한 통과 구멍 (242b) 을 가지고 있지만, 비아홀 (262c) 은 전원용 패드 (262) 중 일부의 전원용 패드 (262y) 에 형성되고, 통과 구멍 (242b) 은 그라운드용 패드 (261) 중 일부 그라운드용 패드 (261y) 에 대응하여 형성되어 있는 것이기 때문에, 통과 구멍 (242a, 242b) 의 수는 적어도 된다. 여기서, 비아홀 (261b) 은, 일부 그라운드용 패드 (261y) 에 대응하여 형성되고, 구체적으로는, 비아홀 (261b) 의 수 / 그라운드용 패드 (261) 의 수가 0.05 ~ 0.7 의 범위에 있도록 설계되어 있다. 그 결과, 제 2 층상 전극 (242) 의 면적이 커져서 층상 콘덴서부 (240) 의 정전 용량을 크게 할 수 있다. 또, 실장부 (260) 에 실장되는 반도체 소자의 오동작을 충분히 방지할 수 있다. 또한, 통과 구멍 (242a, 242b) 의 수나 통과 구멍 (242a, 242b) 을 형성하는 위치는, 층상 콘덴서부 (240) 의 정전 용량 등을 고려하여 결정된다.

[0076] 이와 같이, 층상 콘덴서부 (240) 의 정전 용량을 크게 할 수 있기 때문에, 충분한 디커플링 효과를 나타낼 수 있게 되어, 실장부 (260) 에 실장된 반도체 소자 (IC) 의 트랜지스터가 전원 부족이 되기 어렵다. 또한, 그라운드용 패드 (261x) 와 그라운드용 패드 (261y) 는 층간 절연층 (245) 상의 배선 (246) 을 개재하여 접속하고, 전원용 패드 (262x) 와 전원용 패드 (262y) 는 층간 절연층 (245) 상의 배선 (247) 을 개재하여 접속

하였지만, 이러한 배선을 제 2 층상 전극보다 위의 어느 한 층 (실장부이어도 됨) 이나 코어 기판 (20) 의 표면이나 빌드업부 (30) 에 형성해도 된다. 또, 그라운드용 패드 (261x) 와 그라운드용 패드 (261y), 전원용 패드 (262x) 와 전원용 패드 (262y) 를 어느 한 층의 배선으로 선을 연결함으로써, 비아홀 (261a) 을 모든 그라운드용 패드 (261) 의 바로 아래에 형성하거나 비아홀 (262a) 을 모든 전원용 패드 (262) 의 바로 아래에 형성하거나 할 필요가 없다. 그로써, 실장부 바로 아래의 층의 랜드 수도 줄일 수 있다. 따라서, 형성해야 하는 비아홀 수나 랜드 수가 줄어들기 때문에 고밀도화가 가능해진다.

[0077] 응력 완화부 (250) 는, 제 1 실시형태와 동일한 탄성 재료로 형성되어 있다. 또, 실장부 (260) 에 형성된 그라운드용 패드 (261), 전원용 패드 (262), 시그널용 패드 (263) 는, 제 1 실시형태와 동일하게 격자 형상 또는 지그재그 형상으로 배열되고, 또한 이들의 수도 제 1 실시형태와 동일하다. 여기서, 시그널용 패드 (263) 는, 층상 콘덴서부 (240) 의 제 1 및 제 2 층상 전극 (241, 242) 중 어느 것과도 접촉하고 있지 않다.

또한, 그라운드용 패드 (261) 와 전원용 패드 (262) 를 중앙 부근에 격자 형상 또는 지그재그 형상으로 배열하고, 그 주위에 시그널용 패드 (263) 를 격자 형상 또는 지그재그 형상 또는 랜덤으로 배열해도 된다. 이 실장부 (260) 주위에는, 칩 콘덴서 배치 영역 (270) 이 복수 형성되고, 이 칩 콘덴서 배치 영역 (270) 에는, 칩 콘덴서 (273) 의 그라운드용 단자 및 전원용 단자와 각각 접촉하기 위한 그라운드용 패드 (271) 및 전원용 패드 (272) 가 복수쌍 형성되어 있다.

[0078] 각 그라운드용 패드 (271) 는 층상 콘덴서부 (240) 의 제 1 층상 전극 (241) 을 개재하여 외부 전원의 부극에 접속되고, 각 전원용 패드 (272) 는 제 2 층상 전극 (242) 을 개재하여 외부 전원의 정극에 접속된다. 본 실시형태에 있어서, 그라운드용 패드 (261) 및 전원용 패드 (262) 가 각각 제 1 패드 및 제 2 패드에 상당하고, 비아홀 (261b) 및 비아홀 (262c) 이 각각 제 1 봉상 도체 및 제 2 봉상 도체에 상당한다.

[0079] 각 그라운드용 패드 (271) 는 층상 콘덴서부 (240) 의 제 1 층상 전극 (241) 을 개재하여 외부 전원의 부극에 접속되고, 각 전원용 패드 (272) 는 제 2 층상 전극 (242) 을 개재하여 외부 전원의 정극에 접속된다. 본 실시형태에 있어서, 그라운드용 패드 (261) 및 전원용 패드 (262) 가 각각 제 1 패드 및 제 2 패드에 상당하고, 비아홀 (261a, 261b) 및 비아홀 (262a, 262b) 이 각각 제 1 봉상 도체 및 제 2 봉상 도체에 상당한다.

[0080] 다음으로, 본 실시형태의 다층 프린트 배선판 (210) 의 제조 순서에 대해, 도 10 ~ 도 12 에 기초하여 설명한다. 또한, 도 8 은 반도체 소자의 바로 아래, 즉 다이 바로 아래의 전원용 패드 (262) 및 그라운드용 패드 (261) 가 교대로 격자 형상 또는 지그재그 형상으로 배열된 부분을 절단했을 때의 단면도이고, 도 10 ~ 도 12 는 전원용 패드 (262) 및 그라운드용 패드 (261) 가 교대로 배치되어 있지 않은 부분을 절단했을 때의 단면도이다.

[0081] 우선, 도 10(a) 에 나타내는 바와 같이, 코어 기판 (20) 의 적어도 편면에 빌드업부 (30) 를 형성한 기판 (600) 을 준비하고, 빌드업부 (30) 상에 진공 라미네이터를 사용하여 층간 절연층 (610 ; 열경화성 절연 필름 ; 아지노모토사 제조, ABF-45SH) 을 온도 50 ~ 150℃, 압력 0.5 ~ 1.5MPa 라는 라미네이트 조건하에서 부착하였다.

계속해서, 미리 제작해 둔 고유전체 시트 (620 ; 제작 순서는 제 1 실시형태의 고유전체 시트 (520) 와 동일) 를 층간 절연층 (610 ; 도 8 의 층간 절연층 (220) 이 되는 것) 상에 진공 라미네이터를 사용하여 온도 50 ~ 150℃, 압력 0.5 ~ 1.5MPa 라는 라미네이트 조건하에서 부착하고, 그 후 150℃ 에서 1 시간 건조시켰다 (도 10(b) 참조). 고유전체 시트 (620) 의 구리박 (622, 626) 은, 모두 회로 형성되어 있지 않은 베타층으로 하였다. 그 후, 텐딩법으로 고유전체 시트 (620) 를 에칭하였다. 그 에칭 공정에서는, 염화 제 2 구리 에칭액을 사용했지만, 구리박 (626) 및 고유전체층 (624) 까지 에칭한 후 구리박 (622) 이 약간 에칭된 상태가 되도록 단시간에 처리하였다 (도 10(c) 참조). 도 10(c) 에서는, 구리박 (626) 의 일부를 에칭에 의해 분리하여 고립된 랜드 (626a ; 도 8 의 랜드 (268) 가 되는 것) 를 형성하였다. 그 후, 고유전체 시트 (620) 상에 층간 절연층 (도 7 의 층간 절연층 (245) 이 되는 것, 열경화성 절연 필름 ; 아지노모토사 제조, ABF-45SH ; 628) 을 라미네이트하였다 (도 10(d) 참조). 다음으로, 층간 절연층 (628) 을 적층시킨 제작 도중의 기판의 소정 위치에 탄산 가스 레이저나 UV 레이저, YAG 레이저, 엑시머 레이저 등에 의해 스루홀 (630) 을 형성하였다 (도 10(e) 참조). 스루홀 (630) 은, 층간 절연층 (628), 고유전체 시트 (620) 및 층간 절연층 (610) 을 관통하여 빌드업부 (30) 의 배선 패턴 (32) 의 표면에 이르도록 형성하였다. 레이저 조건은, 히타치 비아메커닉스(주) 사 제조의 UV 레이저로, 출력 3 ~ 10kW, 주파수 30 ~ 60kHz, 쇼트수 54 로 하였다.

[0082] 스루홀 (630) 을 형성한 후, 이 스루홀 (630) 에 스루홀 충전용 수지 (640 ; 제작 순서는 제 1 실시형태의 스루홀 충전용 수지 (532)) 를 충전하여 건조시켰다 (도 11(a) 참조). 이어서, 이 제작 도중의 기판의 소정 위치에 탄산 가스 레이저나 UV 레이저, YAG 레이저, 엑시머 레이저 등에 의해 스루홀 (651, 652, 653) 을 형성하

였다 (도 11(b) 참조). 스루홀 (651) 은, 스루홀 충전용 수지 (640) 를 관통하여 빌드업부 (30) 의 배선 패턴 (32) 의 표면에 이르도록 형성하고, 스루홀 (652) 은, 층간 절연층 (628) 을 관통하여 구리박 (626) 의 표면에 이르도록 형성하며, 스루홀 (653) 은, 층간 절연층 (628), 고유전체 시트 (620 ; 랜드 (626a), 고유전체층 (624) 및 구리박 (622)) 및 층간 절연층 (610) 을 관통하여 빌드업부 (30) 의 배선 패턴 (32) 의 표면에 이르도록 형성하였다. 이들 스루홀 (651, 652, 653) 의 형성은, 우선 스루홀 (651) 을 형성하고, 계속해서 스루홀 (652, 653) 의 순서로 형성하였다. 그 스루홀 깊이의 조절은 레이저중, 레이저 쇼트 수를 변경하여 조절하였다. 예를 들어, 스루홀 (651) 은, CO₂ 레이저로, ø1.4mm 의 마스크 직경을 통하여 2.0mj 의 에너지 밀도, 3 쇼트라는 조건을 채용하고, 스루홀 (652) 은, 1 쇼트로 한 것 이외에는 상기 조건과 동일한 조건을 채용하며, 스루홀 (653) 은, UV 레이저로 56 쇼트로 한 것 이외에는 상기 조건과 동일한 조건을 채용하였다 (출력 : 3 ~ 10W, 주파수 : 30 ~ 60kHz). 또한, 스루홀 (630) 은, 도 8 에 나타낸 전원용 패드 (262) 의 전부는 아니고, 일부, 즉 전원용 패드 (262y) 에 대응하게 형성되고, 스루홀 (653) 은, 도 8 에 나타낸 그라운드용 패드 (261) 의 전부는 아니고 일부, 즉 그라운드용 패드 (261y) 에 대응하여 형성되었다.

[0083] 그 후, 170℃ 에서 3 시간 건조 경화하여 완전 경화시켰다. 계속해서, 기판 표면에 촉매 부여하고, 통상적인 세미 어디브법을 실시함으로써, 스루홀 (651, 652, 653) 을 각각 금속으로 충전하여 비아홀 (262c, 262b, 261b) 을 형성함과 함께 이들 비아홀 (262c, 262b, 261b) 의 상면에 랜드 (267y, 267x, 266y) 를 형성하고, 추가로 랜드 (267x) 와 랜드 (267y) 를 연결하는 배선 (247) 도 형성하였다 (도 11(c) 참조). 이 배선 (247) 을 개재하여 빌드업부 (30) 의 배선 패턴 (32) 과 구리박 (626 ; 제 2 층상 전극 (242) 이 됨) 이 접촉하게 된다. 또한, 여기에서는 도시를 생략했지만, 도 9 의 랜드 (266x) 나 배선 (246) 도 동시에 형성하였다. 다음으로, 응력 완화 시트 (670 ; 도 8 의 응력 완화부 (250) 가 되는 것, 제작 순서는 제 1 실시형태의 응력 완화 시트 (550) 를 참조) 를 라미네이트하였다 (도 11(d) 참조).

[0084] 계속해서, 응력 완화 시트 (670) 중 각 랜드 (267y, 267x, 266y) 의 바로 위에 각각 스루홀 (680) 을 형성하고 (도 12(a) 참조), 조화, 완전 경화, 촉매 부여, 화학 구리, 도금 레지스트, 전기 구리 도금, 도금 레지스트 박리, 킵 에칭을 실시함으로써, 각 스루홀 (680) 을 금속으로 충전함과 함께 충전된 금속의 상면에 패드를 형성하였다 (도 12(b) 참조). 이로써, 랜드 (267y) 상에 비아홀 (262a) 및 전원용 패드 (262y) 를 형성하고, 랜드 (267x) 상에 비아홀 (262a) 및 전원용 패드 (262x) 를 형성하며, 랜드 (266y) 상에 비아홀 (261a) 및 그라운드용 패드 (261y) 를 형성하였다. 또, 여기에서는 도시를 생략했지만, 도 8 및 도 9 의 랜드 (266x) 상에 비아홀 (261a) 및 그라운드용 패드 (261x) 도 형성하였다. 이와 같이 하여 도 8 의 다층 프린트 배선판 (210) 을 얻었다. 또한, 구리박 (622) 이 제 1 층상 전극 (241) 에 상당하고, 구리박 (626) 이 제 2 층상 전극 (242) 에 상당하며, 고유전체층 (624) 이 고유전체층 (243) 에 상당하고, 이들이 층상 콘텐서부 (240) 가 된다. 제 2 실시형태에 있어서, 그라운드용 패드 (261x) 가 어느 한 층 (예를 들어 실장부 (260)) 에서 그라운드용 패드 (261y) 에 접촉되어 있는 경우, 비아홀 (261a), 랜드 (266x) 는 불필요해진다. 마찬가지로, 전극용 패드 (262x) 가 어떠한 층 (예를 들어 실장부 (260)) 에서 전극용 패드 (262y) 에 접촉되어 있는 경우, 전원용 패드 (262x) 의 바로 아래의 비아홀 (262a) 이나 랜드 (267x), 비아홀 (262b) 도 불필요해진다. 이렇게 함으로써 비아홀이나 랜드를 줄일 수 있다.

[0085] 그 후, 실장부 (260) 의 각 단자 상에 뿔뿔을 형성해도 된다. 또, 도 8 과 같이 칩 콘텐서 (273) 를 실장하는 경우에는, 제 1 실시형태와 동일하게 하여 패드 (271, 272) 를 형성하면 된다.

[0086] 이상 상기 서술한 제 2 실시형태의 다층 프린트 배선판 (210) 에 의하면, 상기 서술한 제 1 실시형태와 동일한 효과가 얻어진다. 거기에 추가하여, 본 실시형태에서는, 빌드업부 (30) 로부터, 층상 콘텐서부 (240) 를 우회하는 일 없이 비아홀 (262c, 262b) 을 개재하여 외부의 전원 공급원으로부터 고유전체 시트 (620) 로 전하가 차아지 (charge) 되기 때문에, 외부의 전원 공급원과 층상 콘텐서부 (240) 의 전원 전극인 제 2 층상 전극 (242) 을 연결하는 배선 길이나, 그라운드 전극인 제 1 층상 전극 (241) 을 연결하는 배선 길이가 짧아지기 때문에, 고속 구동하는 반도체 소자 (IC) 를 실장부 (260) 에 실장했다 하더라도 층상 콘텐서부 (240) 가 차아지 부족이 되기 어렵다.

[0087] 또한, 상기 서술한 제조 순서에서는, 도 10(c) 의 공정 후에 층간 절연층 (628) 을 라미네이트 하고 (도 10(d) 참조), 그 층간 절연층 (628) 의 소정 위치에 스루홀 (630) 을 형성하며 (도 10(e) 참조), 스루홀 (630) 에 스루홀 충전용 수지 (640) 를 충전하여 건조시킨 후 (도 11(a) 참조), 그 스루홀 충전용 수지 (640) 에 스루홀 (651) 을 형성하였으나 (도 11(b) 참조), 그 대신에 다음과 같이 해도 된다. 즉, 도 10(c) 의 공정 후에, 기판 표면에 시판되는 드라이 필름을 부착하고, 그 후 텐팅법으로 비아홀 (262c ; 도 11(c) 참조) 을 형성하는

위치의 고유전체 시트 (620) 를 비아홀 (262c) 보다 크게 에칭 제거함으로써 확대 홀 (632) 을 형성하고 (도 13(a) 참조), 그 후 고유전체 시트 (620) 상에 층간 절연층 (628) 을 라미네이트하여, 조금전 에칭 제거하여 형성한 확대 홀 (632) 에도 층간 절연층 (628) 을 충전하고 그 후 건조시킨다 (도 13(b) 참조). 그리고, 그 후에는 제 2 실시형태의 스루홀 (651, 652, 653) 을 형성하는 공정 이후의 공정을 실시하여도 된다. 이로써, 스루홀 (630) 로의 충전 공정을 삭제할 수 있게 된다.

[0088] 실시예

[0089] (실험예 1 ~ 5)

[0090] 실험예 1 ~ 5 에서는, 제 1 실시형태에 있어서, 고유전체 시트의 제작 순서 (4) 의 스핀 코트 / 건조 / 소성의 반복 횟수를 4 회로 하여 0.12 μ m 의 고유전체층 (143) 을 얻었다. 또, 도 2 에 나타내는 다층 프린트 배선판 (110) 의 제 2 봉상 도체 (162b) 의 수, 제 1 봉상 도체 (161c) 의 수를 각 실험예마다 변경함으로써, 표 1 에 나타내는 제 2 봉상 도체 (162b) 의 수 / 전원용 패드 (162) 의 수, 제 1 봉상 도체 (161c) 의 수 / 그라운드용 패드 (161) 의 수가 되도록 조정하였다. 또한, 전원용 패드 (162) 의 수 및 그라운드용 패드 (161) 의 수는, 모두 10000 개로 하였다. 또, 통과 구멍 (141a, 142a) 의 크기를 조정함으로써 층상 콘덴서부 (140) 의 용량을 3.8 μ F 로 하였다.

[0091] (실험예 6 ~ 10)

[0092] 실험예 6 ~ 10 에서는, 제 2 실시형태에 있어서, 고유전체 시트의 제작 순서 (4) 의 스핀 코트 / 건조 / 소성의 반복 횟수를 4 회로 하여 0.12 μ m 의 고유전체층 (143) 을 얻었다. 또, 도 7 에 나타내는 다층 프린트 배선판 (210) 의 비아홀 (262c ; 제 2 봉상 도체) 의 수, 비아홀 (261b ; 제 1 봉상 도체) 의 수를 각 실험예마다 변경함으로써, 표 2 에 나타내는 비아홀 (262c) 의 수 / 전원용 패드 (262) 의 수, 비아홀 (261b) 의 수 / 그라운드용 패드 (261) 의 수가 되도록 조정하였다. 또한, 전원용 패드 (262) 의 수 및 그라운드용 패드 (261) 의 수는, 모두 10000 개로 하였다. 또, 통과 구멍 (241a, 242a, 242b) 의 크기를 조정함으로써 콘덴서부의 용량을 3.8 μ F 로 하였다.

[0093] (평가 시험 1)

[0094] 실험예 1 ~ 10 의 다층 프린트 배선판에 있어서 이하의 히트 사이클 시험을 실시하였다.

[0095] 히트 사이클 시험 조건 : -55 $^{\circ}$ C \times 30분, 125 $^{\circ}$ C \times 30분을 1000 회

[0096] 그 후, 구동 주파수 3.6GHz, FSB1066MHz 의 IC 칩을 실장하여, 동시 스위칭을 100 회 반복하고, 펄스·패턴·제너레이터/에러·디텍터 (아드반테스트사 제조, 상품명 : D3186/3286) 를 사용하여 오동작의 유무를 확인하였다.

그리고, 오동작이 관찰되지 않은 경우를 ○, 오동작이 관찰된 경우를 × 로 평가하였다. 그 결과를 표 1, 2 에 나타낸다. 표 1, 2 로부터 명백해지는 바와 같이, 봉상 도체수/패드수가 0.01 인 경우에는, 실장한 IC 칩에 오동작이 관찰되었다. 이것은, 봉상 도체의 수가 적다는 점에서, 히트 사이클 시험에 의해 전기적 인 접촉 상태가 열화된 봉상 도체가 발생했을 때에 그 영향을 다른 봉상 도체로 다 커버할 수 없고, 그 결과 오동작이 발생한 것이 아닌지 추찰하고 있다. 또, 봉상 도체수/패드수가 1 인 경우에도, 실장한 IC 칩에 오동작이 관찰되었다. 이것은, 층상 콘덴서부의 고유전체층을 관통하는 관통 구멍이나 그 관통 구멍에 들어가는 수지가 많아지기 때문에, 고유전체층을 수축 / 팽창시키는 지점이 많아지므로, 세라믹제의 약한 고유전체층에 크랙이 발생한 것은 아닌지 추찰하고 있다.

표 1

[0097]

실험예	봉상 도체수/패드수		평가시험 1의 결과
	162b/162	161c/161	
실험예 1	1	1	×
실험예 2	0.7	0.7	○
실험예 3	0.1	0.1	○
실험예 4	0.05	0.05	○
실험예 5	0.01	0.01	×

표 2

[0098]

실험예	봉상 도체수/패드수		평가시험 1의 결과
	262c/262	261b/261	
실험예 6	1	1	×
실험예 7	0.7	0.7	○
실험예 8	0.1	0.1	○
실험예 9	0.05	0.05	○
실험예 10	0.01	0.01	×

[0099]

상기 서술한 실험예 1 ~ 5, 실험예 6 ~ 10 에서는, 층상 콘덴서부 (140, 240) 의 용량이 3.8 μ F 가 되도록 조정하고, 고유전체 시트의 제작 순서 (4) 의 스핀 코트 / 건조 / 소성의 반복 횟수를 변경하거나 제 1 및 제 2 층상 전극의 통과 구멍 크기를 변경함으로써, 실험예 1 ~ 5, 실험예 6 ~ 10 의 각각에 대해, 층상 콘덴서부의 용량이 0.06, 0.3, 0.4, 0.5, 0.8, 1, 2, 5, 10, 16, 20 μ F 인 것을 제작하여 평가 시험 1 에 의한 평가를 실시하였다. 그 결과, 용량이 0.5 ~ 5 μ F 인 범위에 대해서는 실험예 1 ~ 5, 실험예 6 ~ 10 과 대체로 동일한 결과가 얻어졌지만, 용량이 이 범위를 벗어나면 (봉상 도체수/패드수) 가 0.05 ~ 0.7 인 범위이더라도 미세하지만 오동작이 관찰되는 경우도 있었다.

[0100]

본 발명은, 2005년 6월 15일에 출원된 일본 특허출원 2005-175575호를 우선권 주장의 기초로 하고 있고, 그 내용의 모든 것이 편입된다.

산업상 이용 가능성

[0101]

본 발명의 다층 프린트 배선판은, IC 칩 등의 반도체 소자를 탑재하기 위해서 사용되는 것이며, 예를 들어 전기 관련 산업이나 통신 관련 산업 등에 이용된다.

도면의 간단한 설명

[0023]

도 1 은, 제 1 실시형태의 다층 프린트 배선판 (110) 의 평면도이다.

[0024]

도 2 는, 제 1 실시형태의 다층 프린트 배선판 (110) 의 종단면도이다.

[0025]

도 3 은, 층상 콘덴서부 (140) 를 모식적으로 나타낸 사시도이다.

[0026]

도 4 는, 다층 프린트 배선판 (110) 의 제조 공정을 나타내는 설명도이다.

[0027]

도 5 는, 다층 프린트 배선판 (110) 의 제조 공정을 나타내는 설명도이다.

[0028]

도 6 은, 다층 프린트 배선판 (110) 의 제조 공정을 나타내는 설명도이다.

[0029]

도 7 은, 코너부 (角部) 를 가지는 고유전체 시트 (520) 의 설명도이다.

[0030]

도 8 은, 제 2 실시형태의 다층 프린트 배선판 (210) 의 종단면도이다.

[0031]

도 9 는, 층상 콘덴서부 (240) 를 모식적으로 나타낸 사시도이다.

[0032]

도 10 은, 다층 프린트 배선판 (210) 의 제조 공정을 나타내는 설명도이다.

[0033]

도 11 은, 다층 프린트 배선판 (210) 의 제조 공정을 나타내는 설명도이다.

[0034]

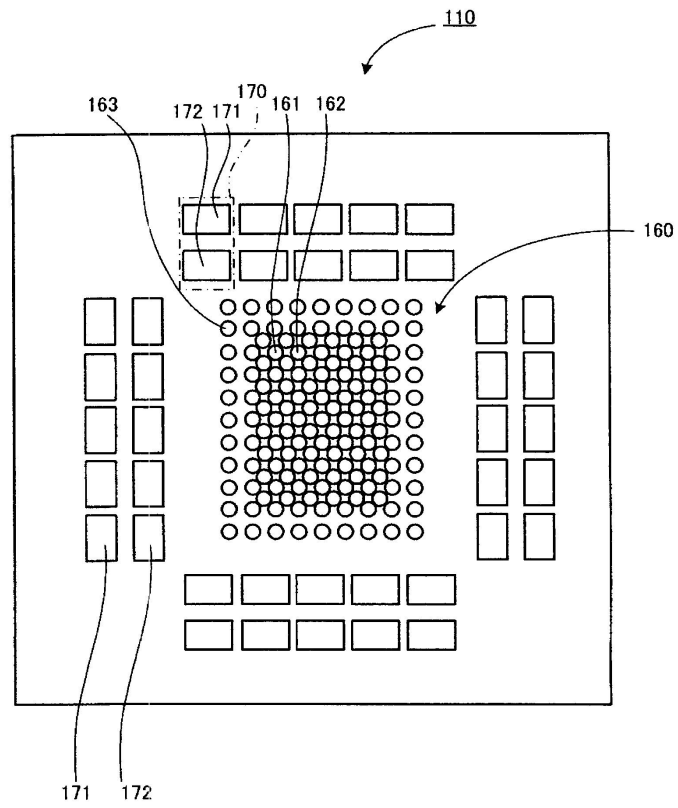
도 12 는, 다층 프린트 배선판 (210) 의 제조 공정을 나타내는 설명도이다.

[0035]

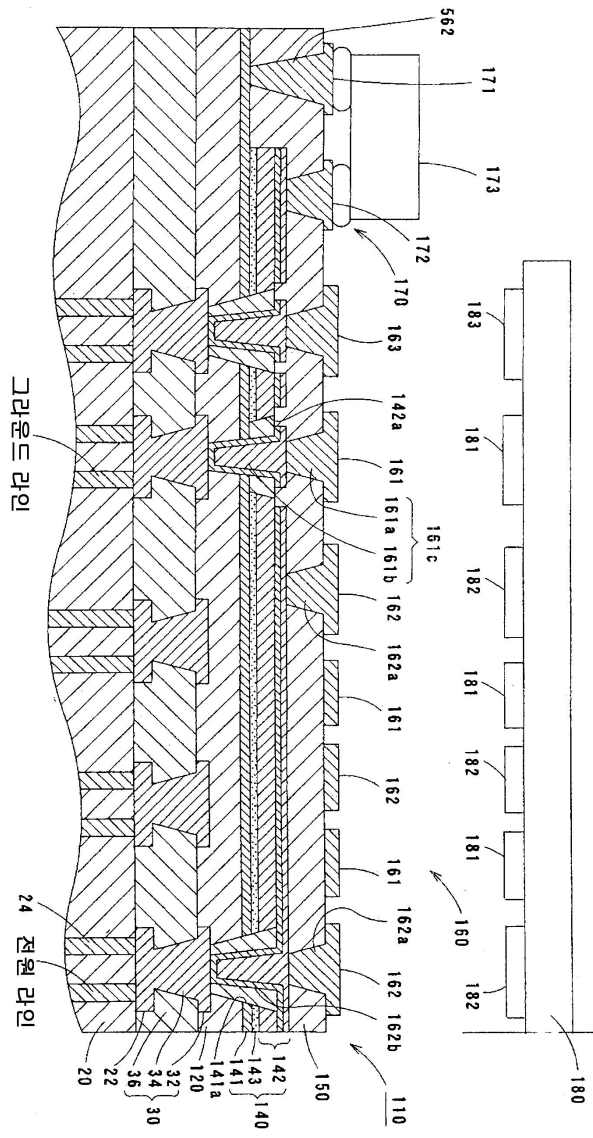
도 13 은, 그 밖의 다층 프린트 배선판 (210) 의 제조 공정을 나타내는 설명도이다.

도면

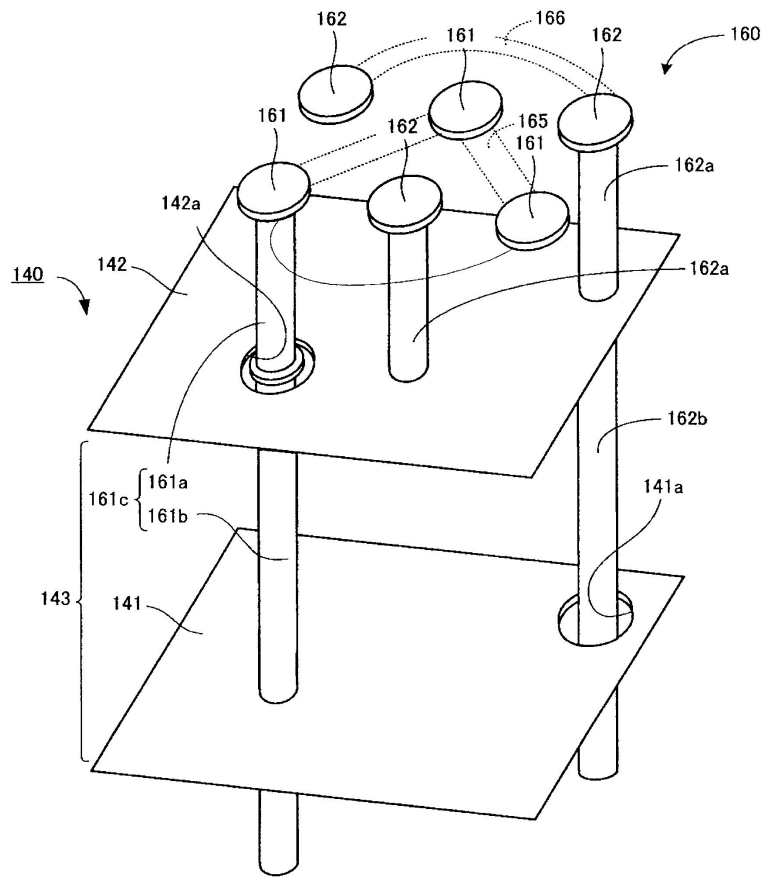
도면1



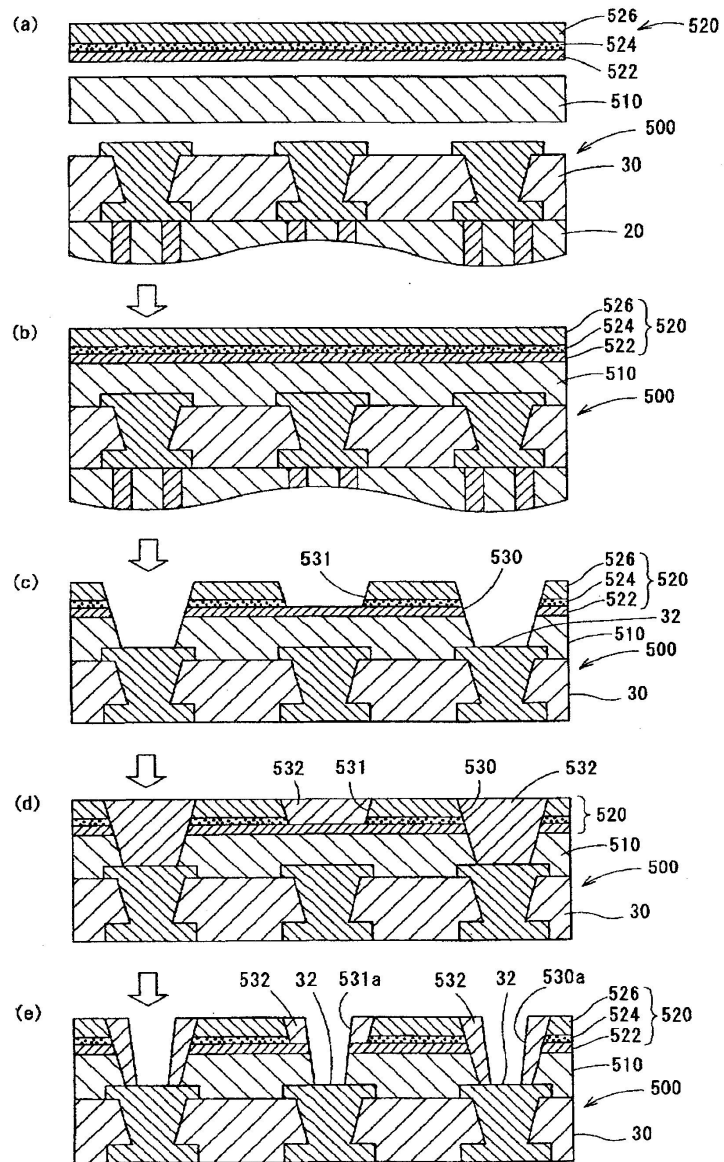
도면2



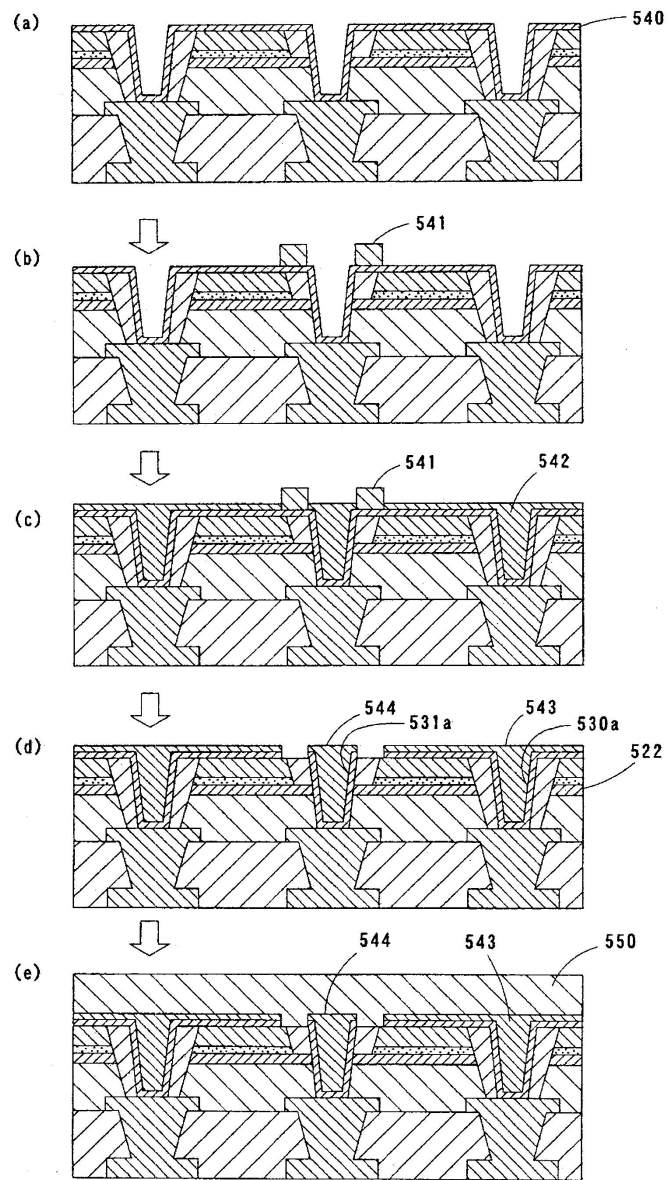
도면3



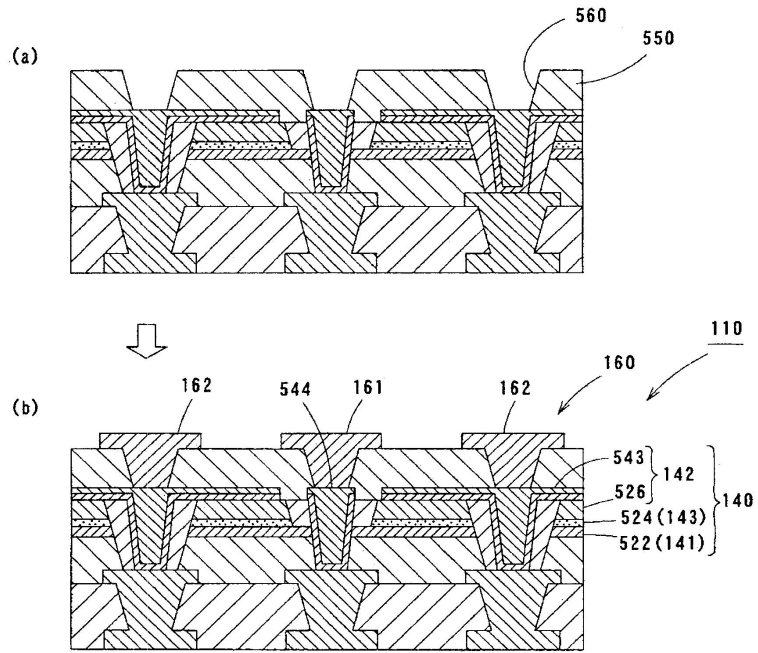
도면4



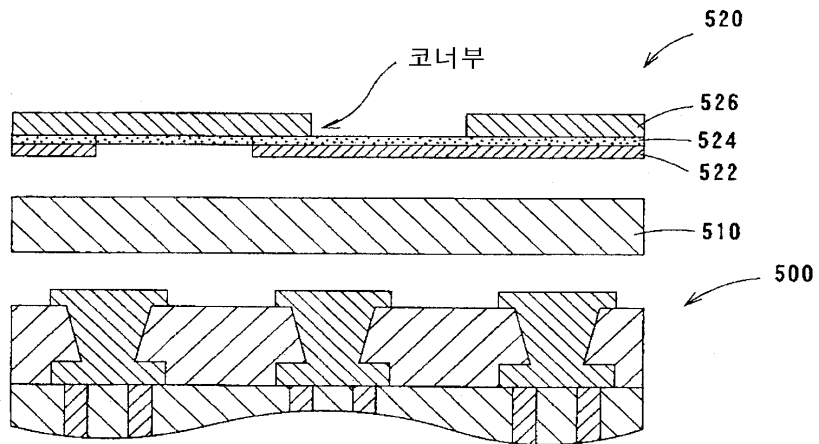
도면5



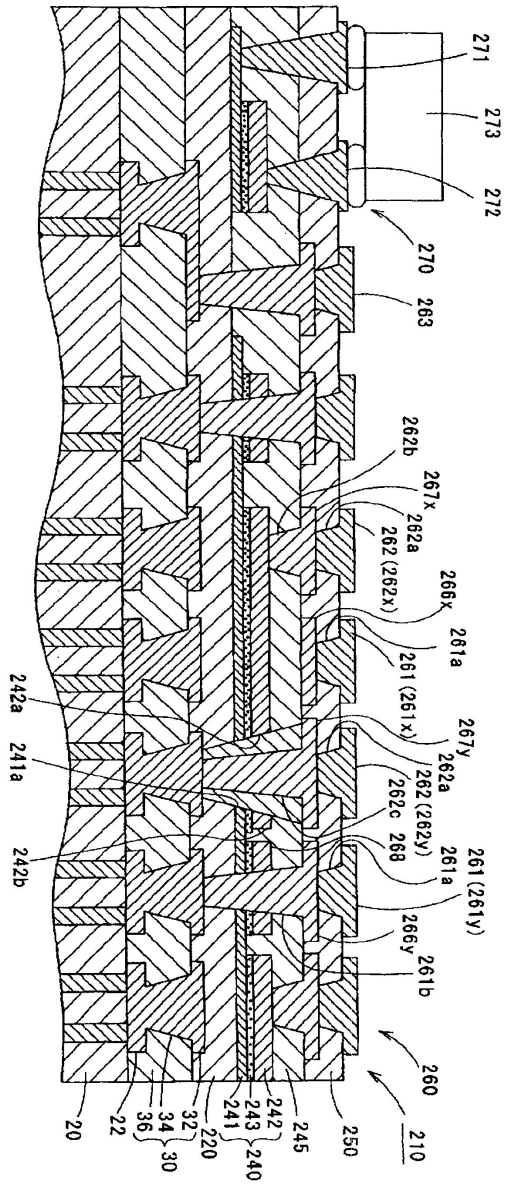
도면6



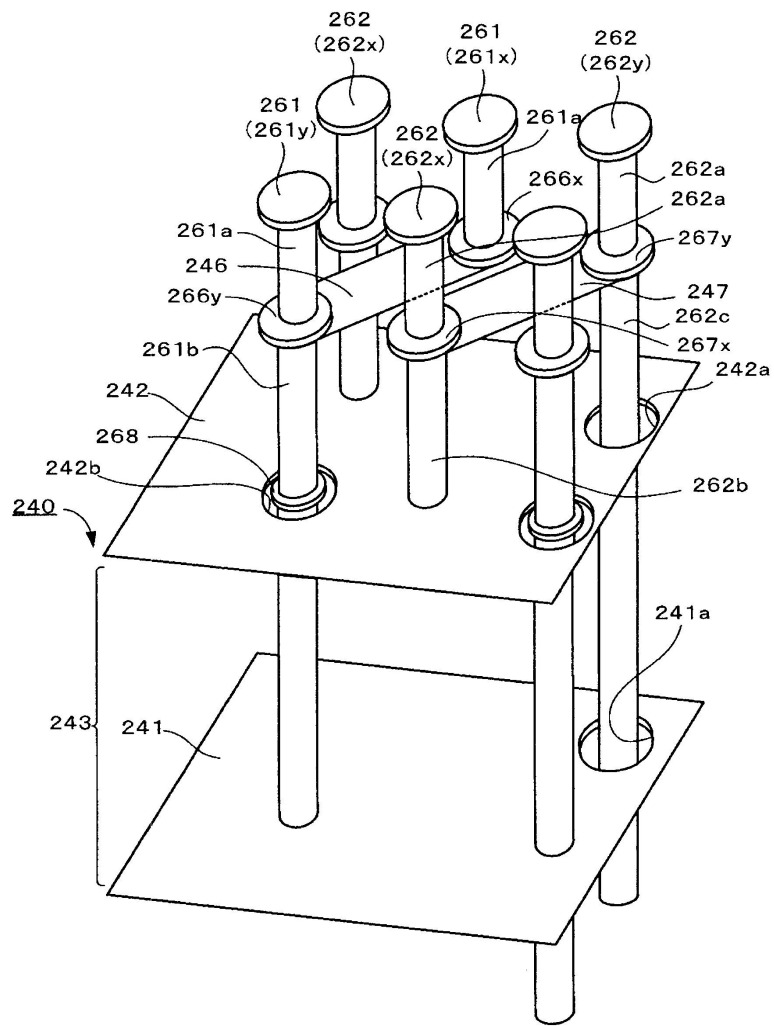
도면7



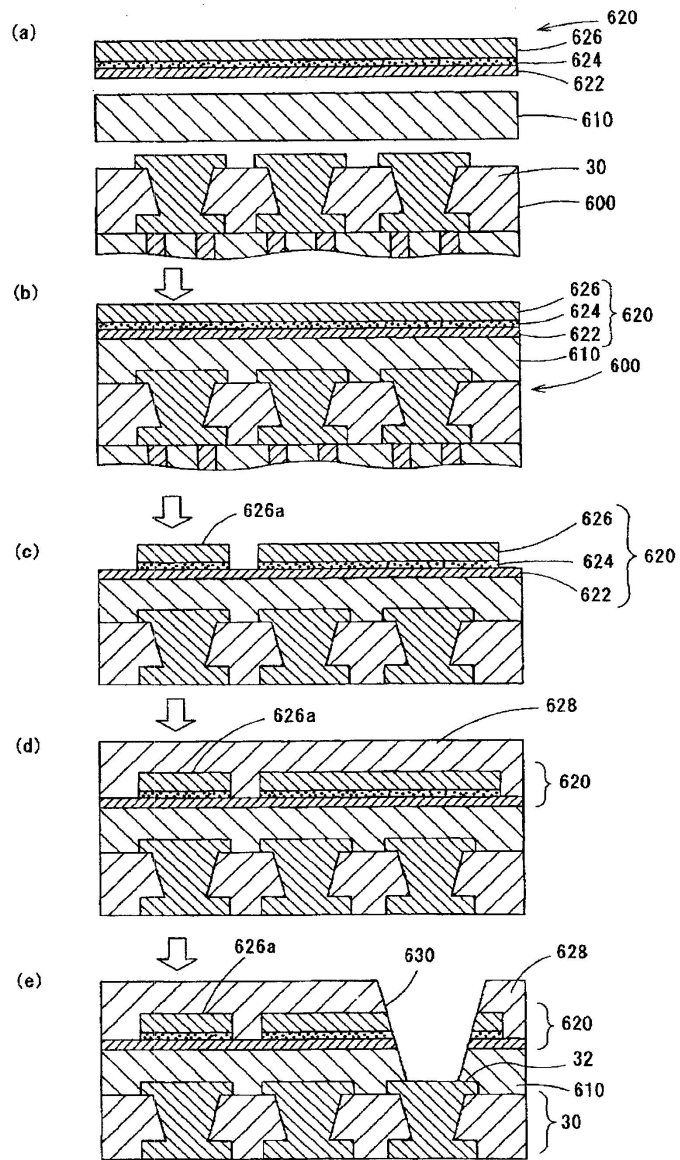
도면8



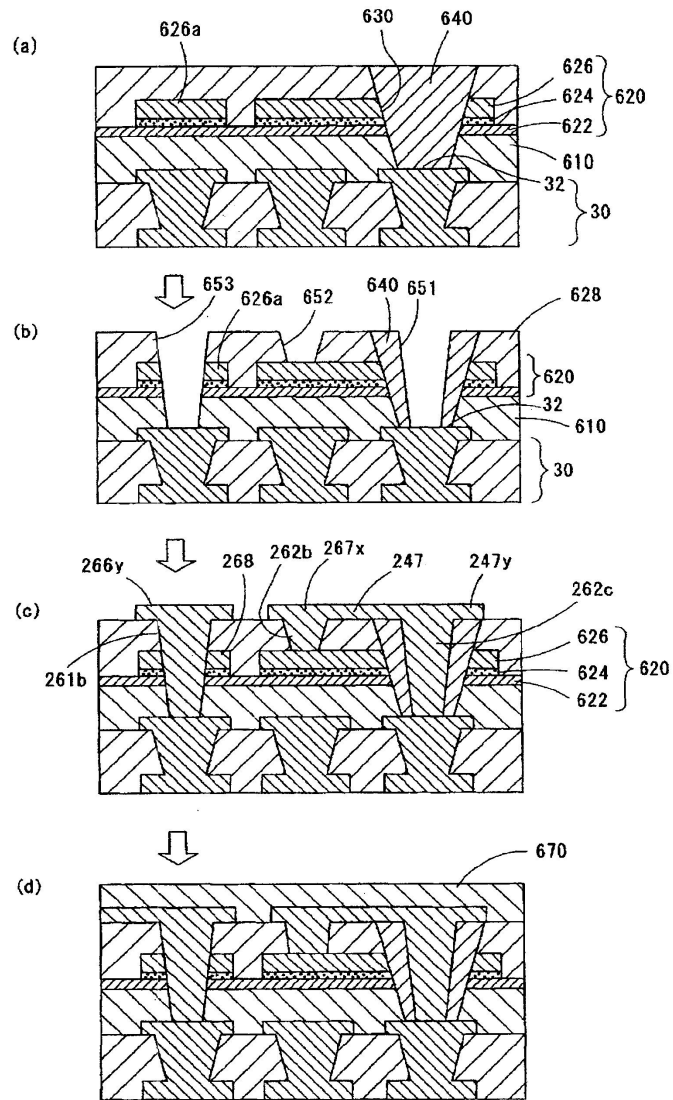
도면9



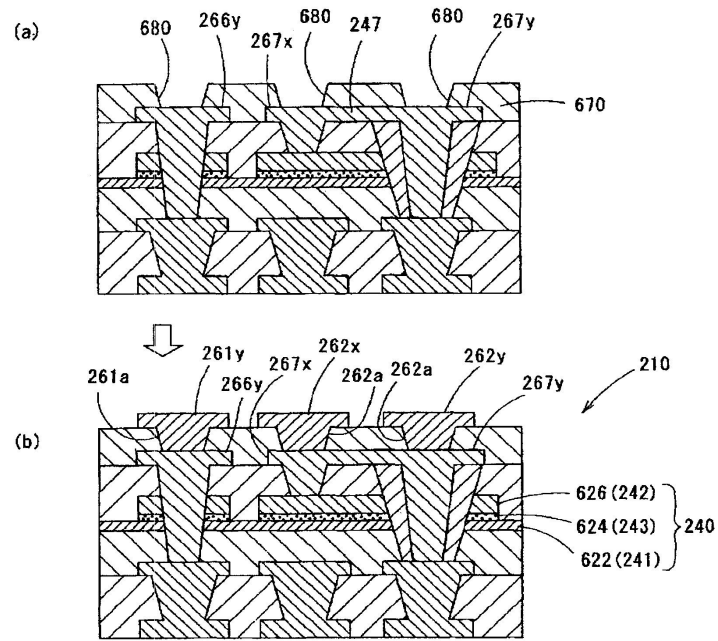
도면10



도면11



도면12



도면13

