

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4448076号
(P4448076)

(45) 発行日 平成22年4月7日(2010.4.7)

(24) 登録日 平成22年1月29日(2010.1.29)

(51) Int.Cl. F I
H04L 7/033 (2006.01) H04L 7/02 B

請求項の数 1 (全 15 頁)

(21) 出願番号	特願2005-270984 (P2005-270984)	(73) 特許権者	000005223
(22) 出願日	平成17年9月16日 (2005.9.16)		富士通株式会社
(65) 公開番号	特開2007-82147 (P2007-82147A)		神奈川県川崎市中原区上小田中4丁目1番 1号
(43) 公開日	平成19年3月29日 (2007.3.29)	(74) 代理人	100074099
審査請求日	平成18年9月25日 (2006.9.25)		弁理士 大菅 義之
前置審査		(74) 代理人	100133570
			弁理士 ▲徳▼永 民雄
		(72) 発明者	山口 久勝
			神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(72) 発明者	神田 浩一
			神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 データ送受信回路のタイミング調整回路、LSI及びデータ送受信システム

(57) 【特許請求の範囲】

【請求項1】

データを送信するデータ送信部と当該データを受信するデータ受信部との間でのデータ送受信のタイミングを調整するタイミング調整回路であって、

前記データ送信部が出力するデータの位相と前記データ受信部がデータを受信するタイミングを規定するクロックの位相を比較し、その比較結果に応じて、前記データ送信部がデータを送信するタイミングを規定するクロックの位相を調整し、

常にデータの変化のある1010繰り返しデータを、前記データ送信部がデータを送信するタイミングを規定するクロックに基づいて出力するダミーデータ出力回路と、

前記データ受信部がデータを受信するタイミングを規定するクロックと前記ダミーデータ出力回路が出力するデータとの位相比較を行う位相比較部と、

前記位相比較部の位相比較結果に応じて、前記データ送信部がデータを送信するタイミングを規定するクロックの位相を変化させる位相調整部を有すること

を特徴とするタイミング調整回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ送信部とデータ受信部との間、例えばLSI内の複数の素子や回路ブロック間のデータ送受信、LSI間のデータ送受信、ボード間や筐体間のデータ送受信を行うデータ送受信回路のタイミング調整回路、及びタイミング調整回路を有するLSIとデータ

10

20

送受信システムに関し、特に、入力パラレルデータをシリアルデータに変換する、例えば、データビット幅16bit、速度2.5Gbpsの入力パラレルデータを8bit 5Gbps 4bit 10Gbps 2bit 20Gbps 1bit 40Gbpsのように内部生成クロックを分周したクロックを用いて段階的に変換するデータ送信回路において、段階的なデータビット幅の変換を順次行うマルチプレクサ間のデータ送受信が確実に行えるようにデータとクロックの位相関係を調整するタイミング調整回路等に関する。

【背景技術】

【0002】

近年、コンピュータ及び通信分野において、処理されるべき情報量が増大している。この増大傾向にある情報量に対応するため、LSI間のデータ送受信速度は上昇している。研究レベルではあるが、2002年にCMOS 10Gbpsトランシーバが発表された。それ以降、CMOS 40Gbpsトランシーバの研究に着目が集まっている。特に、これら高いデータ転送レートが要求される領域では、最先端テクノロジーが適用される。例えば、CMOS 40Gbpsトランシーバは0.1 μ m以下のテクノロジーを想定して、研究が進められている。しかしながら、高いデータ転送レートが要求されるデータ送受信系では、LSI内部クロック周波数をより高める必要がある。また、半導体プロセスの微細化に伴うトランジスタの性能向上とは裏腹に、そのプロセスばらつきは非常に大きくなっている。従来、レイアウトの工夫により、データ送受信を行うブロックを可能な限り近接させるようにして、データ受信に対するタイミングマージンを確保してきた。しかしながら、データ転送レートの向上やプロセスばらつきの影響により、このような手法も限界に達しつつある。

【0003】

上記高速トランシーバの一例であるデータ送信回路の構成例を図10に示す。図10のデータ送信回路は、16ビット幅で速度が2.5Gbpsのパラレルデータを一旦ファーストインファーストアウト(FIFO)のデータバッファ110に格納した後、PLL(100)が生成した内部生成クロックを分周器(210,220,230)が順次分周したクロックを用いて、入力パラレルデータを段階的にシリアルデータに変換する。すなわち、入力16bit 2.5Gbpsデータを16:8マルチプレクサ(120)で8bit 5Gbpsのデータに変換し、次に8:4マルチプレクサ(130)で4bit 10Gbpsのデータに変換し、さらに4:2マルチプレクサ(140)で2bit 20Gbpsのデータへ、2:1マルチプレクサ(170)で1bit、すなわち40Gbpsのシリアルデータに変換する。そして、最終段のバッファ(180)を介して40Gbpsのデータが外部に出力される。

【0004】

次に、図10に示したデータ送信回路のマルチプレクサによるデータ変換とマルチプレクサ間のデータ送受信について、4:2マルチプレクサ(140)と2:1マルチプレクサ(170)の例を図11により説明する。

【0005】

前段の8:4マルチプレクサ(130)からの4ビットの入力であるDT_IN[0]、DT_IN[1]、DT_IN[2]、DT_IN[3]は、後段の2:1マルチプレクサ(170)に供給される20GHzのクロックCLK_Aを分周器(210)で2分の1に分周した10GHzのクロックCLK_Bに同期して、4:2マルチプレクサ(140)の初段のラッチ回路(141,143,151,153)で受信される。DT_IN[0]はラッチ回路(142)を介して、DT_IN[2]はラッチ回路(144,145)を介してセレクト(146)に供給され、DT_IN[1]はラッチ回路(152)を介して、DT_IN[3]はラッチ回路(154,155)を介してセレクト(156)に供給される。

【0006】

セレクト(146,156)はクロックCLK_Bの立ち上がりでそれぞれDT_IN[0]、DT_IN[1]を選択し、クロックCLK_Bの立ち下がりでそれぞれDT_IN[2]、DT_IN[3]を選択するので、セレクト(146)の出力DTには10GHzの2倍の速度のDT_IN[0]とDT_IN[2]のシリアルデータがえられる。セレクト(156)の出力DTXについても同様な出力が得られる。

【0007】

4:2マルチプレクサ(140)の出力であるDT,DTXは、20GHzのクロックCLK_Aに同期して2:1マルチプレクサ(170)の初段のラッチ回路(171,173)で受信され、それぞれラッチ回路(172

10

20

30

40

50

)、ラッチ回路(174,175)を介してセレクト(176)に供給され、セレクト(176)においてそれぞれクロックCLK_Aの立ち上がり、立ち下りに同期して選択され、送信回路の出力信号DT_OUTとして出力される。

【0008】

図12は、図11に示した4:2マルチプレクサ(140)と2:1マルチプレクサ(170)の間のデータ送受信が正常に行われる場合のタイミングチャートである。

クロックCLK_Aは、後段の2:1マルチプレクサ(170)にてデータを受け取るタイミングを規定するクロックである。クロックCLK_Bは、前段である4:2マルチプレクサ(140)にてデータを出力するタイミングを規定するクロックであり、クロックCLK_Aの立ち上がりエッジに同期した分周クロックである。いま、クロックCLK_Aの立ち上がり同期したクロックCLK_Bの立ち上がりにて、4:2マルチプレクサ(140)からデータが出力される。2:1マルチプレクサ(170)は次サイクルのクロックCLK_Aの立ち上がりにて、このデータを受け取る。設計では、プロセスばらつきや電源電圧・温度変動を考慮した条件下にて、このタイミングチャートを実現する必要がある。従来の技術の場合、マルチプレクサ間の物理的な距離を短くすると共に、マルチプレクサや分周器の回路構成を工夫し、図12に示したタイミングチャートを実現している。

【0009】

しかし、図10に示した最終的に40Gbpsの速度のデータを出力する高速な送信回路の例であれば、マルチプレクサ間のデータ送受信を確実にすることが困難になってきている。マルチプレクサ間のデータ送受信が正常に行われない場合のタイミングチャートを図13に示す。図13に示すようにクロックCLK_Aの立ち上がりタイミングにて、受信データの変位がある場合、2:1マルチプレクサ(170)の初段のラッチ回路(171,173)は正しくデータをラッチすることができず、2:1マルチプレクサ(170)は正しくデータを受信することができない。

【0010】

LSI間等のデータ送受信に関する従来の技術は、例えば下記の特許文献1～3及び非特許文献1に記載されている。特許文献1、2に記載されたものは、一般的に、DLLと呼ばれる回路技術を応用したものである。データ受信回路でのデータ受け取りを確実にできるように、データ送信回路にて、出力データと出力クロックの位相関係を調整するものである。しかし、転送距離が延びたり、転送速度がより高速になると、プロセスばらつきや電源電圧・温度変動の影響により、データ受信回路でのデータ受信を確実にすることが困難になる。

【0011】

一方、特許文献3及び非特許文献1に記載されたデータ送受信技術は、データ受信回路で、データ送信回路からの出力データに対してデータ受信回路のデータ受信タイミングを規定するクロックの位相を調整するものである。したがって、データ受信に限って考えればデータ受信回路でのデータ受け取りを確実にすることができるが、クロック周波数が高速なものになると、データ受信後のデータ受信回路での処理や図10に示した送信回路のマルチプレクサ出力の精度を考慮すると、受信側のクロックを調整することは好ましくない。

【特許文献1】特開平10-112182号公報

【特許文献2】特開2004-145999号公報

【特許文献3】特開平10-228449号公報

【非特許文献1】田村泰孝、後藤公太郎「高速信号伝送技術：SynfinityII」FUJITSU Vol.50 No.4(07,1999)pp.235-241

【発明の開示】

【発明が解決しようとする課題】

【0012】

そこで、本発明の解決しようとする課題は、データ転送レートが高速になっても、プロセスばらつきや電源電圧・温度変動の影響を受けないデータ送受信を実現するためのタイ

10

20

30

40

50

ミング調整回路と、そのようなタイミング調整回路を備えたLSIとデータ送受信システムを提供することである。

【課題を解決するための手段】

【0013】

本発明の提供するタイミング調整回路は、データ送信部が出力するデータの位相とデータ受信部がデータを受信するタイミングを規定するクロックの位相を比較し、その比較結果に応じて、前記データ送信部がデータを送信するタイミングを規定するクロックの位相を調整する。

【0014】

そして、本発明のLSIは、複数のブロック間で順次データの送受信が行われ、各送信側となるブロックと受信側となるブロック毎に、データ送信側ブロックが出力するデータの変化を検出するデータ変化検出部と、前記データ受信側ブロックがデータを受信するタイミングを規定するクロックと前記データ送信側ブロックが出力するデータとの位相比較を行う位相比較部と、前記データ変化検出部が前記データ送信側ブロックが出力するデータの変化を検出したときに、前記位相比較部の位相比較結果に応じて、前記データ送信側ブロックがデータを送信するタイミングを規定するクロックの位相を変化させる位相調整部を有するタイミング調整回路を備える。

10

【0015】

さらに、本発明のLSI間のデータ送受信システムは、第1のLSIが出力するデータの変化を検出するデータ変化検出部と、第2のLSIがデータを受信するタイミングを規定するクロックと前記第1のLSIが出力するデータとの位相比較を行う位相比較部と、前記データ変化検出部が前記第1のLSIが出力するデータの変化を検出したときに、前記位相比較部の位相比較結果に応じて、前記第1のLSIがデータを送信するタイミングを規定するクロックの位相を変化させる位相調整部を有するタイミング調整回路を備える。

20

【発明の効果】

【0016】

本発明により、データ転送レートが高速になっても、プロセスばらつきや電源電圧・温度変動の影響を受けずに、データ送受信を行う回路ブロック間のデータ送受信を確実に行うことができるようになる。

【発明を実施するための最良の形態】

30

【0017】

図1に本発明の基本構成を示す。本発明においては、データ送信部(10)からデータ受信部(20)に送信されたデータとデータ受信部(20)でのデータ受信のタイミングを規定する受信側クロックの位相を位相比較部(30)で比較し、位相比較部(30)での比較結果に応じてデータ送信部(10)でのデータ送信のタイミングを規定する送信側クロックの位相を位相調整部(40)で調整してデータ送信部(10)に供給する。

【0018】

データ送信部(10)とデータ受信部(20)は、図10に示したマルチプレクサのようなLSI内の複数の素子や回路ブロック間のデータ送受信を行う回路として、あるいはLSI間のデータ送受信の回路、ボード間や筐体間のデータ送受信を行うデータ送受信回路として実施可能である。

40

【0019】

図2は、図1に示した本発明の基本構成の応用例であり、図1のデータ送信部(10)に相当する前段ラッチ部(12)に入力された入力データが、図1のデータ受信部(20)に相当する後段ラッチ部(22)を介して出力データとして出力される系についてのものであり、後段ラッチ部(22)のデータ受信のタイミングを規定するクロックが位相調整されて前段ラッチ部(12)のデータ出力タイミングを規定するクロックとして供給されている。そして、前段ラッチ部(12)が出力するデータの値が"0"から"1"あるいは"1"から"0"に変化したタイミングを検出するデータ変化検出部(52)が設けられ、データ変化を検出したときに位相比較部(32)にイネーブル信号を送出する。

50

【 0 0 2 0 】

位相比較部(32)は、イネーブル信号を受信すると前段ラッチ部(12)の出力データと後段ラッチ部(22)のデータ受信のタイミングを規定するクロックの位相比較を行い、比較結果に応じて位相調整部(42)が前段ラッチ部(12)のデータ出力タイミングを規定するクロックの位相調整を行う。

【 0 0 2 1 】

なお、データ変化検出部(52)を設けることに替えて、前段と同じ構成にて、常にデータの変化のあるデータを出力するレプリカを前段ラッチ部(12)側に設け、その出力を位相比較部に与えてもよい。

【 0 0 2 2 】

図1との対比から明らかとなり、図2の位相比較部(32)とデータ変化検出部(52)、あるいはデータ変化検出部(52)を設けることに替えて前段ラッチ部(12)側に設けたレプリカの出力と後段ラッチ部(22)のデータ受信のタイミングを規定するクロックの位相比較を行う位相比較部は、図1の位相比較部(30)に相当するものである。

【 0 0 2 3 】

本発明は、上記図1あるいは図2に記載された構成により、データ転送レートに関係なく、プロセスばらつきや電源電圧・温度変動の影響を受けないデータ送受信系を実現することができる。図2の構成を図10に記載された送信回路に適用させた場合、例えば4:2マルチプレクサ(140)が前段ラッチ部(12)に相当し、2:1マルチプレクサ(170)が後段ラッチ部(22)に相当する。本発明は、データ送受信を行うデータ送受信系において、前段に相当するデータ送信ブロックが出力するデータの位相と、後段に相当するデータ受信ブロックにおけるクロックの位相を比較し、その比較結果に応じて、後段にて、前段が出力するデータを確実に受け取れるように、前段に対するクロックの位相を変化させるものである。

【 0 0 2 4 】

以下、図11に示した4:2マルチプレクサ(140)と2:1マルチプレクサ(170)間のデータ送受信のためのタイミング調整回路として、データ変化検出部(52)を設けたものを本発明の第一の実施例とし、常にデータの変化のあるデータを出力するレプリカを設けたものを本発明の第二の実施例として詳細に説明する。

【 0 0 2 5 】

まず、本発明の第一の実施例を図3、図4及び図5により説明する。

図3は、本発明の第一の実施例の構成を詳細に示すものである。図11において付与されている符号と同一の符号を付与したものは、図11において説明したものと同一である。また、データ変化検出部(52)と位相比較部(32)は、図2に示した応用例のデータ変化検出部(52)と位相比較部(32)の具体的構成例を示すものであり、4:2マルチプレクサ(140)に対するクロックの位相を変化させる機能を有する位相補間器PI(Phase Interpolator)(421)とPI制御部(422)は、図2の位相調整部(42)に相当する。

【 0 0 2 6 】

以下、図3に示す構成例の動作概要を説明する。

図示しないPLLから供給される20GHzのクロックCLK_Aは、分周器(210)、2:1マルチプレクサ(170)及び位相シフタ(320)に分配される。

【 0 0 2 7 】

分周器(210)ではクロックCLK_Aを分周して周波数が10GHz、位相差が0、90、180及び270度のクロックを位相補間器PI(421)に供給する。位相補間器PI(421)は、PI制御部(422)の制御により位相を調整された10GHzのクロックCLK_Bを4:2マルチプレクサ(140)に供給する。

【 0 0 2 8 】

データ変化検出部(52)は、データ変化検出信号PI_ENをPI制御部(422)に出力し、PI制御部(422)は、データ変化検出信号PI_ENがHighの期間だけ、4:2マルチプレクサ(140)に対するクロックCLK_Bの位相を変化させる機能を有する位相補間器PI(421)を有効とする。な

10

20

30

40

50

お、本実施例では、クロックの位相を変化させる手段として、位相補間器PI(421)を採用したが、これに限る必要はない。例えば、位相補間器PI(421)の代わりに、クロックバッファをシリーズに接続させ、その取り出し口を調整することにより、クロックの位相を変化させるのもであってもよい。これに関しては、以降の実施例でも同様である。

【0029】

位相シフタ(320)は、クロックCLK_Aの位相を固定量シフトしたクロックCLK_A_DMYを位相比較部(32)のラッチ回路(321)に供給する。

本実施例における位相比較はデータの変化を検出することに行われる。これはデータの変化が4:2マルチプレクサ(140)におけるクロックの位相を反映したものだからである。データの変化の検出は、4:2マルチプレクサ(140)が出力する連続データに関して、データ変化検出部(52)のXOR論理回路(524)でラッチ回路(522)とラッチ回路(523)の出力のXOR論理を演算することにより行われる。

10

【0030】

このデータの変化検出に関するタイミングチャートを図4に示す。

データ変化検出部(52)はクロックCLK_Bに同期して、4:2マルチプレクサ(140)の出力DTを2ビットずつ取り出し、データ変化の有無を検出する。

【0031】

図示のように、クロックCLK_Bの立ち下がりで出力データDT"1"をラッチ回路(521)がラッチし、その出力SFT0は"1"となる。次のクロックCLK_Bの立ち上がりで2ビット目のDT"0"をラッチ回路(523)がラッチするとともに、1ビット目のデータであるSFT0がラッチ回路(522)にラッチされ、ラッチ回路(522)の出力SFT1とラッチ回路(523)の出力SFT2とがXOR論理回路(524)で演算され、PI_EN_TMP信号として出力され、ラッチ回路(525)で1クロック遅延されてPI_EN信号として、PI制御部(422)に入力される。以下、出力データDTの3ビット目と4ビット目以降についても、同様な処理が行われ、PI_EN信号が生成される。

20

【0032】

次に、位相比較部(32)の動作について説明する。

位相比較の対象は、4:2マルチプレクサ(140)の出力データDTと2:1マルチプレクサ(170)に対するクロックCLK_Aを位相シフタ(320)で位相シフトさせたクロックCLK_A_DMYである。出力データDTの変化タイミングがクロックCLK_A_DMYの変化タイミングと一致するように、出力データDTを出力するクロックCLK_Bの位相が調整される。ここで、位相比較対象として、クロックCLK_A_DMYではなく、クロックCLK_Aを適用する場合、出力データDTの変化タイミングにクロックCLK_Aの立ち上がりエッジが位置することになる。この状態では、2:1マルチプレクサ(170)にて、確実に4:2マルチプレクサ(140)の出力データを受け取ることができない。このため、位相比較では、クロックCLK_Aを一定量だけ位相シフトさせた(位相オフセットを加えた)クロックCLK_A_DMYを用いる必要がある。また、クロックCLK_A_DMYの立ち上がりエッジにて出力データDTを受け取るためのラッチ回路(321)は、2:1マルチプレクサ(170)の初段のラッチ回路(171,173)と物理的な構成が同一の回路にする必要がある。

30

【0033】

位相比較は、4:2マルチプレクサ(140)が出力する連続データに関して、クロックCLK_A_DMYの立ち上がりエッジにて、時間的に前か後るか、どちらのデータを受け取ったかに応じて、出力データDTに対するクロックCLK_A_DMYの位相遅れ、または、位相進みを判断する。この位相比較のタイミングチャートを図5に示す。

40

【0034】

図示のように、クロックCLK_Bは図4に示した2ビットずつの出力データDTの後半のビットをラッチ回路(323)にラッチしており、クロックCLK_Bの立ち上がりで2ビット目の出力データDT"0"がラッチ回路(323)にラッチされ、その出力DT_B0の値は"0"となる。一方、クロックCLK_A_DMYの立ち上がりでラッチ回路(321)にラッチされた出力データDTの値も"0"であり、2ビット目の出力データDTである。ラッチ回路(321)の出力DT_Aはクロッ

50

クCLK_Bの立ち上がりでラッチ回路(322)にラッチされ、その出力DT_B1は、ラッチ回路(323)の出力DT_B0とXOR論理回路(324)でXOR論理演算が行われて出力PI_SFT_TMPが生成され、ラッチ回路(325)で1クロック遅延されて位相比較結果信号PI_SFTとして、PI制御部(422)に入力される。今の場合、位相比較信号PI_SFTの値は"0"であり、クロックCLK_A_DMYがラッチしたデータは後半のデータであることを一応示している。同様な処理が引き続き行われるが、3ビット目、4ビット目の出力データDTの場合は、図示のとおり、クロックCLK_A_DMYの立ち上がりでラッチ回路(321)にラッチされた出力データDTは3ビット目のデータ、すなわち2ビットずつの出力データDTの前半のデータであり、位相比較信号PI_SFTの値は"1"となる。

【0035】

以上のように、このタイミングチャートでは、クロックCLK_A_DMYが時間的に前のデータを受け取った場合、位相比較結果として位相比較信号PI_SFT=1を出力する。この場合、PI制御部(422)に対して、クロックCLK_Bの位相を進めるように指示する。また、逆に、クロックCLK_A_DMYが時間的に後ろのデータを受け取った場合、位相比較信号PI_SFT=0を出力する。この場合、PI制御部(422)に対して、クロックCLK_Bの位相を遅らせるように指示する。

【0036】

そして、PI制御部(422)においては、位相比較信号PI_SFTの値が"0"であっても、図4で説明した連続データにデータ変化がなければ、クロックCLK_A_DMYの立ち上がりでラッチ回路(321)にラッチされた出力データDTが前半のものか後半のものか識別できないことから、データ変化検出部(52)がデータ変化を検出した連続データに関してのみ位相比較結果信号は有効とし、例えば有効な位相比較結果信号を積分するなどして制御信号を位相補間器PI(421)に供給してクロックCLK_Bの位相を調整させる。

【0037】

以上の一連の作業を繰り返すことにより、出力データDTとクロックCLK_A_DMYの位相は一致し、2:1マルチプレクサ(170)にて4:2マルチプレクサ(140)出力データを確実に受け取ることができるようになる。本実施例により、データ転送レートに関係なく、プロセスばらつきや電源電圧・温度変動の影響を受けないデータ送受信系を実現することができる。

【0038】

次に、本発明の第二の実施例を図6及び図7により説明する。

本実施例は、先に述べたように、常にデータの変化のあるデータを出力するレプリカを設けたものであり、図6は本実施例の構成を詳細に示し、図7は本実施例における位相比較のタイミングチャートを示すものである。

【0039】

図6に示す構成要素のうち、図3に示すものと同一の符号が付与されたものは、位相比較部(32)の入力データとラッチ回路(321)のクロックが異なるものになってはいるものの、機能的には図3に記載されたものと同一である。図6に示すように、本実施例では、図3に記載されたデータ変化検出部(52)は存在せず、その代わりに、4:2マルチプレクサ(140)の最終段セレクト(146,156)と同じ物理的構成のセレクト(166)を用いた1010繰返しデータを生成するブロックであるダミーデータ出力部(160)を有する。この1010繰返しデータは、4:2マルチプレクサ(140)出力データと並走するものであり、図示はされていないが、ダミーデータ出力部(160)は、セレクト(146,156)と同様に4:2マルチプレクサ(140)に設けられる。

【0040】

セレクト(166)の物理的構成を4:2マルチプレクサ(140)の最終段セレクト(146,156)と同じにするのは、4:2マルチプレクサ(140)の本来の出力データである最終段セレクト(146,156)の出力データの変化のタイミングを正確に模擬するためである。

【0041】

したがって、一般的には、セレクトに限らずデータ送信部の最終段の回路と同じ物理的構成の回路がダミーデータ出力部として用いられる。

10

20

30

40

50

なお、1010繰返しデータの場合、常にデータの変化が存在するため、データの変化検出を行う必要がない。位相比較は、この1010繰返しデータDT_DMYと2:1マルチプレクサ(170)に対するクロックCLK_Aの間にて行われる。図3に示した第一の実施例では、クロックCLK_Aの位相を固定量位相シフトしたクロックCLK_A_DMYが用いられているが、本実施例ではそれに替えてクロックCLK_Bの位相を位相シフタ(167)で固定量位相シフトしたクロックCLK_B_DMYが用いられている。位相シフタ(167)を用いる理由は位相シフタ(320)を用いる理由と同じであり、相互に置き換え可能である。

【0042】

以下、図7を参照して、本実施例の位相比較の動作を説明する。

図示のように、クロックCLK_B_DMYの立ち上がりで1010繰返しデータDT_DMYのデータ"0"がラッチ回路(323)にラッチされ、一方クロックCLK_Aの立ち上がりエッジで1010繰返しデータDT_DMYがラッチ回路(321)にラッチされ、その出力DT_AがクロックCLK_B_DMYの立ち上がりでラッチ回路(322)にラッチされる。そして、ラッチ回路(322)の出力DT_B1とラッチ回路(323)の出力DT_B0がXOR論理回路(324)で比較され、一致不一致を示す信号PI_SFT_TMPが生成され、ラッチ回路(325)で1クロック分遅延されて位相比較結果信号PI_SFTとしてPI制御部(423)に入力される。1010繰返しデータDT_DMYは常にデータの変位が発生しているので、PI制御部(423)は図3に示したPI_EN_TMP信号が常に入力されているのと同じ構成になっている。この位相比較結果による制御信号により、位相補間器PI(421)は4:2マルチプレクサ(140)に対するクロックCLK_Bの位相を調整する。

【0043】

本実施例により、データの変化検出ブロックを省くことができるため、より小さな回路規模にて、データ転送レートに関係なく、プロセスばらつきや電源電圧・温度変動の影響を受けないデータ送受信系を実現することができる。

【0044】

図8及び図9にそれぞれ示すものは、第一の実施例及び第2の実施例の4:2マルチプレクサ(140)と2:1マルチプレクサ(170)間のデータ送受信のためのタイミング調整回路構成を図10に示すデータ送信回路のマルチプレクサ間に適用した第三の実施例と第四の実施例である。なお、ここでは、位相比較の仕組みについては省略している。

【0045】

図8に示す第三の実施例と図9に示す第四の実施例の違いは、位相補間器PI(421,431,441)の配置である。

図8の第三の実施例では、各マルチプレクサに対して、個別にそのクロックの位相を調整することができるように配置されている。そのため、クロックの位相の変化の影響が前段のマルチプレクサに伝播しない。

【0046】

例えば、4:2マルチプレクサ(140)と2:1マルチプレクサ(170)間のデータ送受信を確実なものとするため、4:2マルチプレクサ(140)に対する10GHzクロックの位相補間器PI(421)の出力位相を変化させた場合、その前段にある8:4マルチプレクサ(130)と4:2マルチプレクサ(140)間のデータとクロックの位相関係が変化してしまう。そのため、位相補間器PI(431)及び位相補間器PI(441)の出力位相を順次調整する必要が生じうる。

【0047】

一方、図9の第四の実施例では、図示のように位相補間器PIの出力が前段の分周器に供給されるように位相補間器PIが配置されている。4:2マルチプレクサ(140)と2:1マルチプレクサ(170)間のデータ送受信を確実なものとするため、10GHzクロックの位相補間器PI(421)の出力位相を変化させた場合、その前段にある8:4マルチプレクサ(130)と4:2マルチプレクサ(140)間のデータとクロックの位相関係は保持される。これは、4:2マルチプレクサ(140)に対するクロックを基準として、その前段の8:4マルチプレクサ(130)に対するクロックを生成しているからである。

【0048】

第三の実施例と第四の実施例により、本発明をデータ送信回路全体に適用することが可

10

20

30

40

50

能となる。とりわけ、図9に示した第四の実施例の構成は、位相調整結果がその他の回路ブロック間に伝播しないため、使い勝手の良いデータ送受信系を提供することができる。

【0049】

なお、本発明は、LSI間のデータ送受信にも適用可能である。半導体プロセスの微細化が進むに従い、そのプロセスばらつきの影響は顕著になっている。本発明のタイミング調整回路のようなプロセスばらつきに対応した回路技術は、今後、LSIを実現する重要な要素技術になると考えられる。

【0050】

(付記1) データを送信するデータ送信部と当該データを受信するデータ受信部との間でのデータ送受信のタイミングを調整するタイミング調整回路であって、前記データ送信部が出力するデータの位相と前記データ受信部がデータを受信するタイミングを規定するクロックの位相を比較し、その比較結果に応じて、前記データ送信部がデータを送信するタイミングを規定するクロックの位相を調整することを特徴とするタイミング調整回路。

10

(付記2) 前記データ送信部が出力するデータの変化を検出するデータ変化検出部と、前記データ受信部がデータを受信するタイミングを規定するクロックと前記データ送信部が出力するデータとの位相比較を行う位相比較部と、前記データ変化検出部が前記データ送信部が出力するデータの変化を検出したときに、前記位相比較部の位相比較結果に応じて、前記データ送信部がデータを送信するタイミングを規定するクロックの位相を変化させる位相調整部を有することを特徴とする付記1記載のタイミング調整回路。

(付記3) 前記位相比較部は、その初段回路として、前記データ受信部がデータを受信するタイミングを規定するクロックに基づいて前記データ送信回路が出力するデータを受け取る回路であって、前記データ受信部ブロックの初段回路と同一の構成のラッチ回路を備えることを特徴とする付記2記載のタイミング調整回路。

20

(付記4) 前記ラッチ回路は、前記データ受信部がデータを受信するタイミングを規定するクロックを所定量位相シフトしたクロックに同期して前記データ送信部が出力するデータを受け取ることを特徴とする付記3記載のタイミング調整回路。

(付記5) 常にデータの変化のある1010繰り返しデータを、前記データ送信部がデータを送信するタイミングを規定するクロックに基づいて出力するダミーデータ出力回路と、前記データ受信部がデータを受信するタイミングを規定するクロックと前記ダミーデータ出力回路が出力するデータとの位相比較を行う位相比較部と、前記位相比較部の位相比較結果に応じて、前記データ送信部がデータを送信するタイミングを規定するクロックの位相を変化させる位相調整部を有することを特徴とする付記1記載のタイミング調整回路。

30

(付記6) 前記ダミーデータ出力回路は、前記データ送信部の最終段と同一の構成であることを特徴とする付記5記載のタイミング調整回路。

(付記7) 前記ダミーデータ出力回路は、前記データ送信部がデータを送信するタイミングを規定するクロックを所定量位相シフトしたクロックに同期して常にデータの変化のある1010繰り返しデータを出力することを特徴とする付記6記載のタイミング調整回路

(付記8) 複数個のブロック間で順次データの送受信が行われるLSIにおいて、各送信側となるブロックと受信側となるブロック毎に、データ送信側ブロックが出力するデータの変化を検出するデータ変化検出部と、前記データ受信側ブロックがデータを受信するタイミングを規定するクロックと前記データ送信側ブロックが出力するデータとの位相比較を行う位相比較部と、前記データ変化検出部が前記データ送信側ブロックが出力するデータの変化を検出したときに、前記位相比較部の位相比較結果に応じて、前記データ送信側ブロックがデータを送信するタイミングを規定するクロックの位相を変化させる位相調整部を有するタイミング調整回路を備えたことを特徴とするLSI。

40

(付記9) あるデータ送信側ブロックとデータ受信側ブロック間における位相調整の対象となるクロックが、別のデータ送信側ブロックとデータ受信側ブロック間のデータ送受信タイミングに影響を与えるように前記位相調整部が配置されたことを特徴とする付記8記載のLSI。

(付記10) あるデータ送信側ブロックとデータ受信側ブロック間における位相調整の対

50

象となるクロックが、別のデータ送信側ブロックとデータ受信側ブロック間のデータ送受信タイミングに影響を与えないように前記位相調整部が配置されたことを特徴とする付記 8 記載の LSI。

(付記 1 1) 前記複数のブロックは、パラレルデータを順次シリアルデータに変換する複数のマルチプレクサであって、当該 LSI からデータを外部に出力するデータ送信回路を構成するものであることを特徴とする付記 8 記載の LSI。

(付記 1 2) 前記各マルチプレクサは入力データのビット幅を半分とし、速度を 2 倍としたデータを出力することを特徴とする付記 1 1 記載の LSI。

(付記 1 3) 前記複数のマルチプレクサのうちの最終段のマルチプレクサがデータを受信するタイミングを規定するクロックは当該 LSI のクロック生成手段により生成され、送信側となる前記マルチプレクサと受信側となる前記マルチプレクサ毎に 2 分の 1 分周器が設けられ、最終段以外の前記マルチプレクサは後段の前記マルチプレクサのデータ受信タイミングを規定するクロックを前記 2 分の 1 分周器で 2 分の 1 に分周したクロックを位相調整部を介して供給され、当該供給されたクロックにより当該マルチプレクサの後段の前記マルチプレクサに送信するデータの送信タイミングを規定することを特徴とする付記 1 2 記載の LSI。

(付記 1 4) 最終段のマルチプレクサとその前段のマルチプレクサに対応する 2 分の 1 分周器には前記 LSI のクロック生成手段により生成されたクロックが入力され、それ以外の 2 分の 1 分周器には後段の 2 分の 1 分周器の出力が入力されることを特徴とする付記 1 3 記載の LSI。

(付記 1 5) 最終段のマルチプレクサとその前段のマルチプレクサに対応する 2 分の 1 分周器には前記 LSI のクロック生成手段により生成されたクロックが入力され、それ以外の 2 分の 1 分周器には後段の 2 分の 1 分周器の出力が位相調整部を介して入力されることを特徴とする付記 1 3 記載の LSI。

(付記 1 6) 第 1 の LSI と第 2 の LSI との間でデータ送受信を行うデータ送受信システムにおいて、前記第 1 の LSI が出力するデータの変化を検出するデータ変化検出部と、前記第 2 の LSI がデータを受信するタイミングを規定するクロックと前記第 1 の LSI が出力するデータとの位相比較を行う位相比較部と、前記データ変化検出部が前記第 1 の LSI が出力するデータの変化を検出したときに、前記位相比較部の位相比較結果に応じて、前記第 1 の LSI がデータを送信するタイミングを規定するクロックの位相を変化させる位相調整部を有するタイミング調整回路を備えたことを特徴とするデータ送受信システム。

(付記 1 7) 前記第 1 の LSI は、パラレルデータを順次シリアルデータに変換する複数のマルチプレクサを含み該第 1 の LSI からデータを外部に出力するデータ送信回路を備えたことを特徴とする付記 1 6 記載のデータ送受信システム。

(付記 1 8) 前記各マルチプレクサは入力データのビット幅を半分とし、速度を 2 倍としたデータを出力することを特徴とする付記 1 7 記載のデータ送受信システム。

(付記 1 9) 各送信側となるマルチプレクサと受信側となるマルチプレクサ毎に、データ送信側マルチプレクサが出力するデータの変化を検出するデータ変化検出部と、前記データ受信側マルチプレクサがデータを受信するタイミングを規定するクロックと前記データ送信側マルチプレクサが出力するデータとの位相比較を行う位相比較部と、前記データ変化検出部が前記データ送信側マルチプレクサが出力するデータの変化を検出したときに、前記位相比較部の位相比較結果に応じて、前記データ送信側マルチプレクサがデータを送信するタイミングを規定するクロックの位相を変化させる位相調整部を有するタイミング調整回路を備えたことを特徴とする付記 1 8 記載のデータ送受信システム。

【図面の簡単な説明】

【0051】

【図 1】本発明の基本構成を示す図。

【図 2】図 1 に示す本発明の基本構成の応用例を示す図。

【図 3】本発明の第一の実施例の構成を示す図。

【図 4】第一の実施例のデータ変化検出のタイミングチャートを示す図。

10

20

30

40

50

【図5】第一の実施例の位相比較のタイミングチャートを示す図。

【図6】本発明の第二の実施例の構成を示す図。

【図7】第二の実施例の位相比較のタイミングチャートを示す図。

【図8】本発明の第三の実施例を示す図。

【図9】本発明の第四の実施例を示す図。

【図10】従来のデータ送信回路の構成例を示す図

【図11】図10に示すデータ送信回路のマルチプレクサ間のデータ送受信を説明する図

。【図12】図11に示したマルチプレクサ間のデータ送受信が正常に行われる場合のタイミングチャートを示す図。

10

【図13】図11に示したマルチプレクサ間のデータ送受信が正常に行われない場合のタイミングチャートを示す図。

【符号の説明】

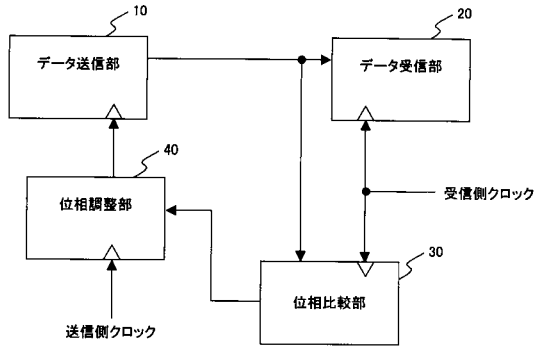
【0052】

10	データ送信部
12	前段ラッチ部
20	データ受信部
22	後段ラッチ部
30、32	位相比較部
40、42	位相調整部
52	データ変化検出部
100	PLL
110	データバッファ
120	16:8マルチプレクサ
130	8:4マルチプレクサ
140	4:2マルチプレクサ
160	ダミーデータ出力部
170	2:1マルチプレクサ
180	出力バッファ

20

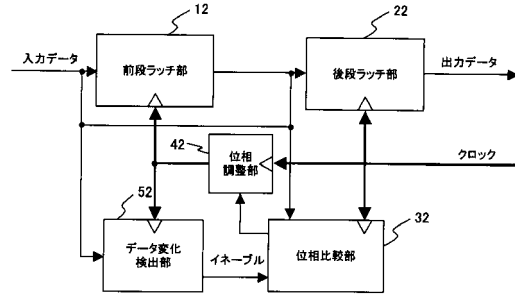
【図1】

本発明の基本構成を示す図



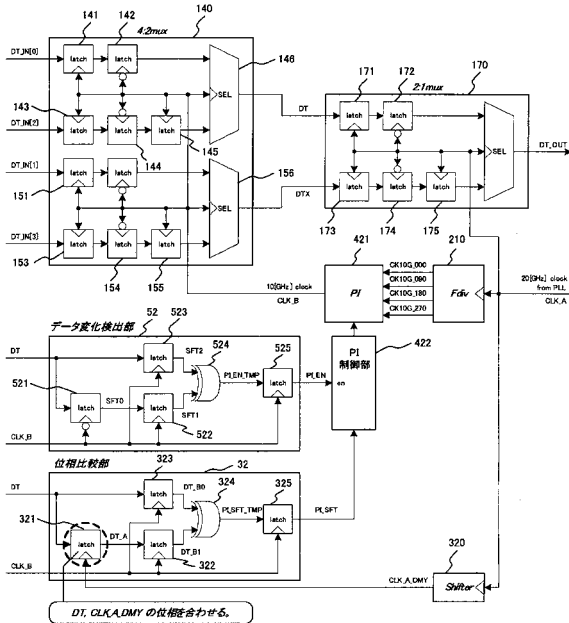
【図2】

図1に示す本発明の基本構成の応用例を示す図



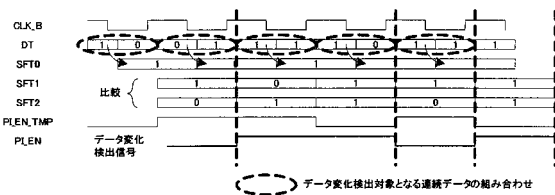
【図3】

本発明の第一の実施例の構成を示す図



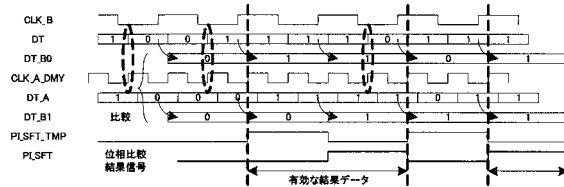
【図4】

第一の実施例のデータ変化検出のタイミングチャートを示す図



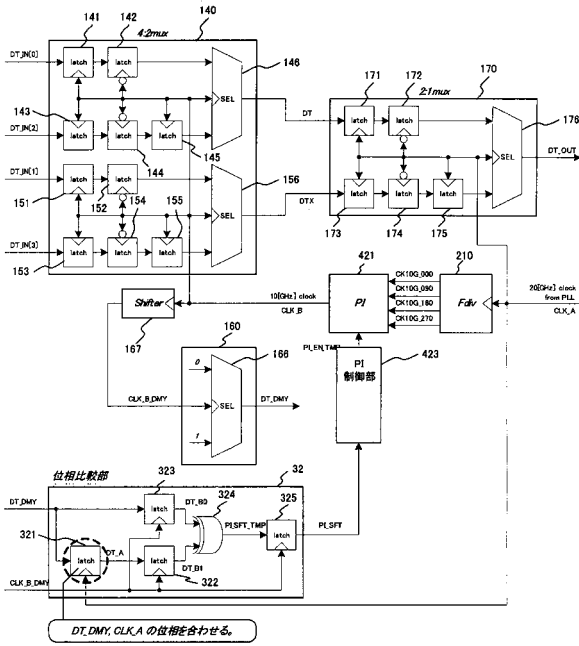
【図5】

第一の実施例の位相比較のタイミングチャートを示す図



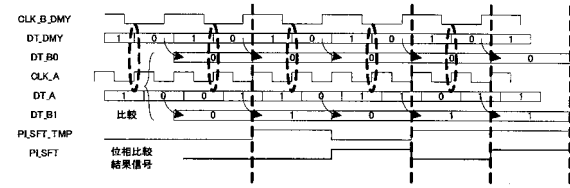
【図6】

本発明の第二の実施例の構成を示す図



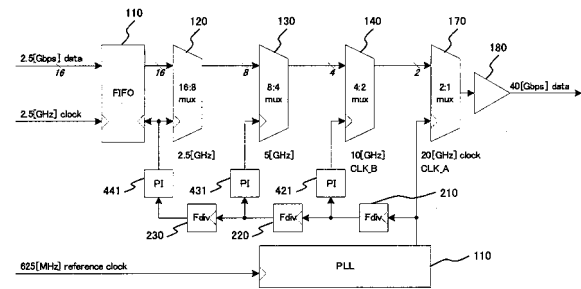
【図7】

第二の実施例の位相比較のタイミングチャートを示す図



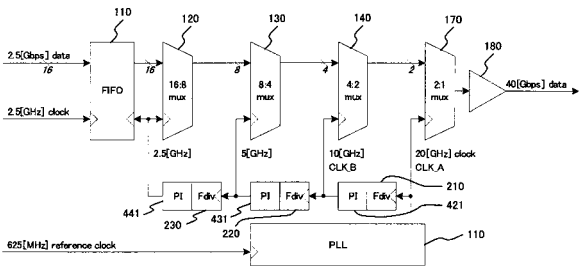
【図8】

本発明の第三の実施例を示す図



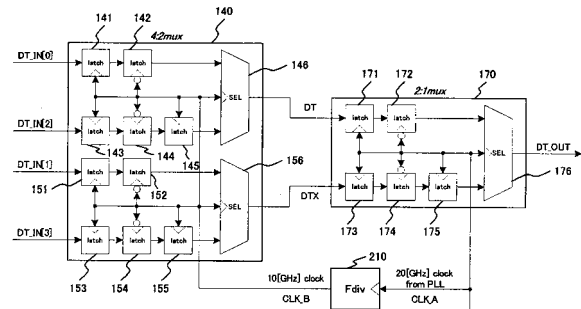
【図9】

本発明の第四の実施例を示す図



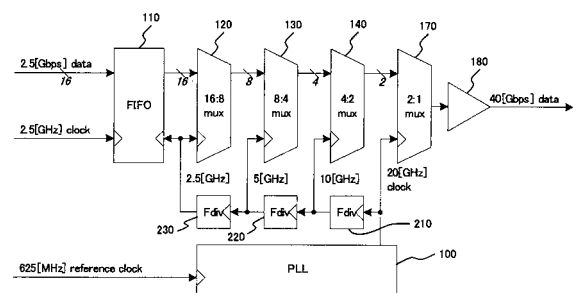
【図11】

図10に示すデータ送信回路のマルチプレクサ間のデータ送受信を説明する図



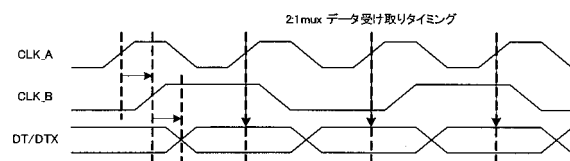
【図10】

従来のデータ送信回路の構成例を示す図



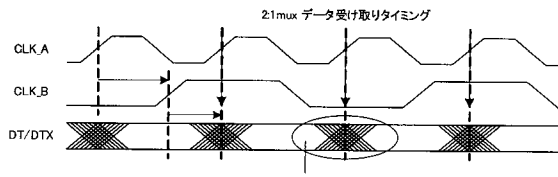
【図12】

図11に示したマルチプレクサ間のデータ送受信が正常に行われる場合のタイミングチャートを示す図



【 図 1 3 】

図11に示したマルチプレクサ間のデータ送受信が正常に行われない場合のタイミングチャートを示す図



フロントページの続き

- (72)発明者 小川 淳二
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 田村 泰孝
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 白井 亮

- (56)参考文献 特開平08-130534(JP,A)
特開平05-219039(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04L 7/00 - 7/10