

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4504403号  
(P4504403)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	HO 1 L 21/88 Z
HO 1 L 27/115 (2006.01)	
HO 1 L 21/3205 (2006.01)	

請求項の数 4 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2007-222600 (P2007-222600)  
 (22) 出願日 平成19年8月29日(2007.8.29)  
 (65) 公開番号 特開2009-54941 (P2009-54941A)  
 (43) 公開日 平成21年3月12日(2009.3.12)  
 審査請求日 平成21年8月6日(2009.8.6)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100075672  
 弁理士 峰 隆司  
 (74) 代理人 100109830  
 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

それぞれ第1の方向に延出する複数の素子領域が表面に形成された半導体基板と、前記半導体基板の上方に形成され、それぞれ前記第1の方向に直交する第2の方向に延出した複数のワード線と、

前記半導体基板の上方で前記複数のワード線間に形成され、それぞれ前記第2の方向に延出した一対の選択ゲート線と、

前記ワード線および前記選択ゲート線の上方に形成され、それぞれ前記第1の方向に延出したビット線と、

前記ビット線と前記ワード線および前記選択ゲート線との間に形成されたシリコン酸化膜からなる層間絶縁膜と、

前記層間絶縁膜と前記ビット線との間に形成されたシリコン窒化膜と、

前記一対の選択ゲート線の間の前記素子領域上に配置され、前記ビット線と前記素子領域とを電気的に接続するコンタクトプラグとを備え、

前記ビット線の底面の一部領域は前記コンタクトプラグの上面よりも低く位置し、且つ前記底面の前記一部領域は前記コンタクトプラグの側面に接し、

前記シリコン窒化膜は前記コンタクトプラグに接することのないように前記一対の選択ゲート線間で分離されていることを特徴とする半導体記憶装置。

【請求項2】

前記シリコン窒化膜は、更にカーボン(C)を含むことを特徴とする請求項1記載の半

10

20

導体記憶装置。

【請求項 3】

前記コンタクトプラグは前記第 1 の方向に長軸を有し、前記第 2 の方向に短軸を有する楕円形状であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】

隣接する前記コンタクトプラグは千鳥状に配置されたことを特徴とする請求項 1 記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体記憶装置に関する。例えば、NAND型フラッシュメモリにおけるコンタクトプラグと配線の構成に関する。

【背景技術】

【0002】

近年の半導体装置の微細化の進展にはめざましいものがある。この微細化に伴って、金属配線層の線幅や配線間隔も縮小されて来ている。

【0003】

従来の金属配線層は、例えば層間絶縁膜中に形成した溝内を導電層で埋め込むことによって形成される。この際、溝を形成する際のエッチングストッパーとして機能する絶縁膜を、層間絶縁膜中に形成しておく方法が広く用いられる（例えば特許文献 1～3 参照）。

【0004】

しかし、エッチングストッパーとして機能する絶縁膜に用いられる材料は、層間絶縁膜に用いられる材料に比べて誘電率が高いことが通常である。従って、金属配線層間にこの絶縁膜が存在すると、金属配線層間における寄生容量が増大する。

【0005】

特に、高集積化が求められる半導体メモリ、例えばEEPROM (Electrically Erasable and Programmable Read Only Memory) においては、隣接するビット線は最小加工寸法により形成される。従って、上記寄生容量が増大すると、動作速度が低下する等、半導体メモリとしての動作信頼性が低下するという問題があった。

【特許文献 1】特開 2005 - 116970 号公報

【特許文献 2】特開 2003 - 045964 号公報

【特許文献 3】特開平 7 - 335757 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

この発明は、動作信頼性を向上出来る半導体記憶装置を提供する。

【課題を解決するための手段】

【0007】

本発明の一態様に係る半導体記憶装置は、それぞれ第 1 の方向に延出する複数の素子領域が表面に形成された半導体基板と、前記半導体基板の上方に形成され、それぞれ前記第 1 の方向に直交する第 2 の方向に延出した複数のワード線と、前記半導体基板の上方で前記複数のワード線間に形成され、それぞれ前記第 2 の方向に延出した一対の選択ゲート線と、前記ワード線および前記選択ゲート線の上方に形成され、それぞれ前記第 1 の方向に延出したビット線と、前記ビット線と前記ワード線および前記選択ゲート線との間に形成されたシリコン酸化膜からなる層間絶縁膜と、前記層間絶縁膜と前記ビット線との間に形成されたシリコン窒化膜と、前記一対の選択ゲート線の間の前記素子領域上に配置され、前記ビット線と前記素子領域とを電気的に接続するコンタクトプラグとを備え、前記ビット線の底面の一部領域は前記コンタクトプラグの上面よりも低く位置し、且つ前記底面の前記一部領域は前記コンタクトプラグの側面に接し、且つ前記シリコン窒化膜は前記コンタクトプラグに接することのないように前記一対の選択ゲート線間で分離されている。

10

20

30

40

50

## 【発明の効果】

## 【0009】

本発明によれば、動作信頼性を向上出来る半導体記憶装置を提供できる。

## 【発明を実施するための最良の形態】

## 【0010】

以下、本発明の実施の形態について、図面を参照して説明する。この説明に際し、全図にわたり共通する部分には共通する参照符号を付す。

## 【0011】

## 〔第1の実施形態〕

この発明の第1の実施形態に係る半導体装置について図1を用いて説明する。図1は本実施形態に従った半導体装置の平面図であり、特に金属配線層とこの金属配線層下に設けられたコンタクトプラグとを示す図である。

10

## 【0012】

図1に示すように、半導体装置1は複数の金属配線層2を備えている。図1では8本の金属配線層のみ図示しているが、この数に限定されるものではない。金属配線層2の各々は、第1方向に沿ったストライプ形状を有しており、第1方向に直交する第2方向に沿って隣接している。また、各々の金属配線層2下にはコンタクトプラグ3が形成されている。コンタクトプラグ3は更に下層の金属配線層4に接続されている。コンタクトプラグ3は、第2方向で隣接するもの同士が第1方向において異なる位置に配置されている。換言すれば、コンタクトプラグ3は第2の方向に沿って千鳥状に配置されている。

20

## 【0013】

次に、上記構成の半導体装置1の断面構造について図2(a)乃至(c)を用いて説明する。図2(a)乃至(c)は、図1におけるそれぞれA-A'線、B-B'線及びC-C'線に沿った断面図である。

## 【0014】

図示するように、層間絶縁膜5の表面内に金属配線層4が形成されている。層間絶縁膜5上には更に層間絶縁膜6が形成されている。層間絶縁膜6上には絶縁膜7が形成されている。絶縁膜7は、層間絶縁膜に用いられる材料よりも誘電率の高い材料を用いて形成される。絶縁膜7上には更に層間絶縁膜8が形成されている。層間絶縁膜8は、絶縁膜7に用いられる材料よりも誘電率の低い材料を用いて形成される。そして、層間絶縁膜8の表面から層間絶縁膜8、絶縁膜7及び層間絶縁膜6を貫通し、その底部が金属配線層4に達するようにして、コンタクトプラグ3が形成されている。層間絶縁膜8上には更に層間絶縁膜9が形成されている。層間絶縁膜8、9中には、金属配線層2が形成されている。金属配線層2は層間絶縁膜9の表面から層間絶縁膜9を貫通してコンタクトプラグ3の上面に達し、また層間絶縁膜9、8を貫通して絶縁膜7に達するように形成されている。つまり金属配線層2の底部は、コンタクトプラグ3の位置する領域ではコンタクトプラグ3の上面に接し、コンタクトプラグ3の位置しない領域では、コンタクトプラグ3上面より深い絶縁膜7に接している。層間絶縁膜9上には更に層間絶縁膜10が形成されており、層間絶縁膜10内部に金属配線層11が配置されている。金属配線層11は、いずれかの金属配線層2に接している。

30

40

## 【0015】

次に、上記構成の半導体装置1の製造方法について、図3(a)~(c)乃至図10(a)~(c)を用いて説明する。図3(a)~(c)乃至図10(a)~(c)は、本実施形態に従った半導体装置1の製造工程を順次示す断面図である。図3(a)乃至図10(a)は図1におけるA-A'線に対応する断面図であり、図3(b)乃至図10(b)は図1におけるB-B'線に対応する断面図であり、図3(c)乃至図10(c)は図1におけるC-C'線に対応する断面図である。

## 【0016】

まず図3(a)乃至(c)に示すように、層間絶縁膜5の表面領域内に、複数の金属配線層4を形成する。層間絶縁膜5は図示せぬ半導体素子を被覆しており、例えばSiO<sub>2</sub>

50

を材料に用いて形成される。次に、層間絶縁膜 5 の上に、例えば  $\text{SiO}_2$  を材料に用いて層間絶縁膜 6 (以下、 $\text{SiO}_2$  膜 6 と呼ぶことがある) を形成する。引き続き、層間絶縁膜 6 上に、例えば層間絶縁膜 6 よりも誘電率の高い  $\text{SiN}$  を材料に用いて絶縁膜 7 (以下  $\text{SiN}$  膜 7 と呼ぶことがある) を形成する。なお、絶縁膜 7 の材料としては  $\text{SiN}$  の代わりに、 $\text{SiCN}$  や、または  $\text{SiN}$  と  $\text{SiCN}$  の積層膜を使用してよい。

【0017】

次に、図 4 (a) 乃至 (c) に示すように、絶縁膜 7 上に、例えば  $\text{SiO}_2$  を材料に用いて層間絶縁膜 8 (以下、 $\text{SiO}_2$  膜 8 と呼ぶことがある) を形成する。

【0018】

次に図 5 (a) 乃至 (c) に示すように、フォトリソグラフィ技術と異方性のドライエッチングとにより層間絶縁膜 6、絶縁膜 7、層間絶縁膜 8 をエッチングする。このエッチングにより金属配線層 4 に達するコンタクトホール 12 を形成する。その後、コンタクトホール 12 中、及び層間絶縁膜 8 上に導電層 13 を形成し、コンタクトホール 12 内部を導電層 13 で埋め込む。

10

【0019】

次に図 6 (a) 乃至 (c) に示すように、導電層 13 を例えば CMP (Chemical Mechanical Polishing) 法等により研磨し、コンタクトホール 12 内にもみ残存させる。これにより、図示するようなコンタクトプラグ 3 が形成される。コンタクトプラグ 3 の底部は金属配線層 4 に接している。そして図 7 (a) 乃至 (c) に示すように、層間絶縁膜 8 上に、例えば  $\text{SiO}_2$  を材料に用いて層間絶縁膜 9 (以下、 $\text{SiO}_2$  膜 9 と呼ぶことがある) を形成する。層間絶縁膜 9 は、コンタクトプラグ 3 の上面を被覆する。

20

【0020】

次に、図 8 (a) 乃至 (c) に示すように、フォトリソグラフィ技術とドライエッチング (例えば RIE (Reactive Ion Etching)) とを用いて層間絶縁膜 8、層間絶縁膜 9 をエッチングし、溝 14 を形成する。この際、絶縁膜 7 は RIE のエッチングストッパーとして機能する。その結果、溝 14 の底面には絶縁膜 7、及びコンタクトプラグ 3 が露出される。従って、絶縁膜 7 の材料としては、 $\text{SiN}$  に限らず、本エッチング工程において層間絶縁膜 8 及び層間絶縁膜 9 に対してエッチング選択比のとれる材料であればよい。その一例は  $\text{SiCN}$  並びに  $\text{SiN}$  及び  $\text{SiCN}$  の積層膜のいずれか等である。言い換えれば、層間絶縁膜 ( $\text{SiO}_2$ ) 8、9 と、絶縁膜 7 ( $\text{SiN}$ 、 $\text{SiN}$ 、 $\text{SiCN}$ ) との間で、十分なエッチング選択比の取れるエッチング条件により RIE を行う。なお、図 8 (a) 乃至 (c) ではリソグラフィの合わせずれが発生した場合について示している。これにより、図 8 (a) に示すように溝 14 の底部にはコンタクトプラグ 3 の上面だけでなくその側面と、絶縁膜 7 の表面とが露出される。

30

【0021】

次に、図 9 (a) 乃至 (c) に示すように、溝 14 内部及び層間絶縁膜 9 上に導電層 13 を形成し、溝 14 内部を導電層 13 により埋め込む。引き続き、図 10 (a) 乃至 (c) に示すように、層間絶縁膜 9 をストッパーに用いた CMP 法等により、導電層 13 を研磨する。この結果、それぞれが溝 14 内に埋め込まれた金属配線層 2 が完成する。

【0022】

その後、層間絶縁膜 9 上に、例えば  $\text{SiO}_2$  を材料に用いて層間絶縁膜 10 を形成する。そして、ドライエッチングまたはウェットエッチングを用いて、層間絶縁膜 10 の一部を貫通し、いずれかの金属配線層 2 に達する溝を形成する。そして、この溝を金属等で埋め込むことにより、金属配線層 2 に接続された金属配線層 11 を形成し、図 1 及び図 2 (a) 乃至 (c) の構成が完成する。

40

【0023】

上記の半導体装置及びその製造方法によれば、下記 (1)、(2) の効果が得られる。

(1) 金属配線層の製造精度を向上出来る。

本実施形態に従った構成であると、層間絶縁膜 6 上にエッチングストッパーとしての S

50

i N膜7が設けられている。従って、金属配線層2形成用の溝14形成時において、層間絶縁膜8、層間絶縁膜9のエッチングはSiN膜7上で一旦停止する(図8(a)乃至(c)参照)。その結果、金属配線層2を埋め込む溝14の深さはほぼ均一となる。換言すれば、溝14形成時の層間絶縁膜8、層間絶縁膜9のエッチングはSiN膜7に達するまで行えば良く、層間絶縁膜8、層間絶縁膜9のエッチングの終端位置が明確である。従って、溝14の深さ制御が容易となる。

【0024】

更に、図9(a)乃至(c)及び図10(a)乃至(c)で説明したように、CMP法により導電層13を研磨することにより金属配線層2は形成される。この際、層間絶縁膜9がCMPのストッパーとして機能する。従って、金属配線層2の上面も各金属配線層2間で均一となる。

10

【0025】

以上の結果、金属配線層2の上面及び下面の位置はほぼ均一となる。つまり、層間絶縁膜9の表面からの深さを容易に均一にできる。従って、図11で示すように、隣り合う金属配線層2の高さ $h_1$ 、 $h_2$ を均一に出来る。図11は図2(a)の拡大図であり、特に金属配線層2に着目して示したものである。図示するように、複数の金属配線層2の底面は同一面上に位置し、上面も同一面上に位置する。従って、ある金属配線層2の高さ $h_1$ は、それに隣接する金属配線層の高さ $h_2$ と等しくなる。

【0026】

更に、金属配線層2の高さの均一化は、半導体装置1の性能向上につながる。金属配線層2の高さのバラツキは、隣接する金属配線層2間の寄生キャパシタにおける対向面積のバラツキに等しい。そして、対向面積がばらつくことにより寄生キャパシタの容量がばらつく結果、半導体装置の特性が悪化する。しかし本実施形態に従った構成であると、金属配線層2の高さをほぼ均一にすることができるため、配線容量のバラツキを抑制し、半導体装置1の特性を向上出来る。

20

【0027】

(2)半導体装置の配線間容量を低減できる。

本実施形態に従った構成であると、図2(a)に示すように、 $SiO_2$ 膜よりも誘電率の高いSiN膜7の上面は、金属配線層2の底面と同じ高さか、それよりも低い位置にある。そして金属配線層2間には、SiNよりも誘電率の低い $SiO_2$ 膜が存在する。その結果、隣接する金属配線層2間にSiNが存在する場合に比べて、金属配線層2間における配線間容量が低減される。そして配線間容量の低減により、金属配線層2における信号遅延を抑制できる。

30

【0028】

なお、上記実施形態では金属配線層2の底面の一部が絶縁膜7に接する場合について説明した。しかし、絶縁膜7に接しない場合であっても良い。この場合について、図12を用いて説明する。図12は上記実施形態の変形例に係る半導体装置の断面図であり、特に金属配線層2に着目した図である。図示するように、コンタクトプラグ3に接しない領域の金属配線層2の底面は、絶縁膜7に接することなく、層間絶縁膜8中に位置しても良い。

40

【0029】

[第2の実施形態]

次に、この発明の第2の実施形態に従った半導体装置について説明する。本実施形態は、上記第1の実施形態において、コンタクトプラグ3の周囲の領域における絶縁膜7を除去したものである。図13は本実施形態に従った半導体装置の平面図である。なお図13では絶縁膜7も図示している。

【0030】

図示するように、本実施形態に係る半導体装置1は、第1の実施形態で説明した図1の構成と同様に、金属配線層2、金属配線層2下に設けられたコンタクトプラグ3、金属配線層4、及び絶縁膜7を備えている。以下、コンタクトプラグ3が設けられた領域を領域

50

A 1 と呼び、その他の領域を領域 A 2 と呼ぶことにする。図示するように、本実施形態に係る構成であると、コンタクトプラグ 3 の周辺の領域 A 1 における絶縁膜 7 が除去されている。すなわち、第 2 方向に沿ったストライプ形状に、絶縁膜 7 が除去されている。領域 A 2 では、第 1 の実施形態と同様、絶縁膜 7 が存在する。

【 0 0 3 1 】

次に、上記構成の半導体装置 1 の断面構造について図 1 4 ( a )、( b ) を用いて説明する。図 1 4 ( a )、( b ) は、図 1 3 におけるそれぞれ A - A ' 線及び B - B ' 線に沿った断面図である。また本実施形態における図 1 3 の C - C ' 線に沿った断面は、第 1 の実施形態で説明した図 2 ( c ) と同一のため省略する。

【 0 0 3 2 】

図 1 4 ( a )、( b ) に示すように、本実施形態に係る構成では、第 1 の実施形態に係る構成においてコンタクトプラグ 3 周辺の領域 A 1 の絶縁膜 7 を除去している。よってこの領域 A 1 では、層間絶縁膜 6 の上に直接層間絶縁膜 8 が形成されている。コンタクトプラグ 3 は、層間絶縁膜 8 の表面から、層間絶縁膜 8、6 を貫通し、その底部は金属配線層 4 に達している。層間絶縁膜 9 中には金属配線層 2 が形成されている。金属配線層 2 は層間絶縁膜 9 の表面から層間絶縁膜 9 を貫通して、その底部は領域 A 1 では層間絶縁膜 8 中に位置すると共に、その一部がコンタクトプラグ 3 と接する。また領域 A 2 では絶縁膜 7 の上面に接する。

【 0 0 3 3 】

従って、領域 A 1 における金属配線層 2 の底面は、領域 A 2 における金属配線層 2 の底面よりも深く位置する。そのため、領域 A 1 における金属配線層の高さ  $h_3$  は、領域 A 2 における金属配線層  $h_4$  よりも大きい ( 図 1 4 ( b ) 参照 ) 。

【 0 0 3 4 】

層間絶縁膜 9 上には更に層間絶縁膜 1 0 が形成されており、層間絶縁膜 1 0 内部に金属配線層 1 1 が配置されている。金属配線層 1 1 は、いずれかの金属配線層 2 に接している。

【 0 0 3 5 】

次に、上記構成の半導体装置 1 の製造方法について、図 1 5 ( a )、( b ) 乃至図 2 1 ( a )、( b ) を用いて説明する。図 1 5 ( a )、( b ) 乃至図 2 1 ( a )、( b ) は、本実施形態に係る半導体装置 1 の製造工程を順次示す断面図である。図 1 5 ( a ) 乃至図 2 1 ( a ) は図 1 3 における A - A ' 線に対応する断面図であり、図 1 5 ( b ) 乃至図 2 1 ( b ) は図 1 3 における B - B ' 線に対応する断面図である。また本製造工程における図 1 3 の C - C ' 線に沿った断面は、第 1 の実施形態で説明した図 3 ( c ) 乃至図 1 0 ( c ) と同一のため省略する。

【 0 0 3 6 】

まず、第 1 の実施形態で説明した工程により図 3 ( a ) 乃至 ( c ) の構造を得る。次に図 1 5 ( a )、( b ) に示すように、領域 A 1 の絶縁膜 7 を除去する。この際、領域 A 2 においては、絶縁膜 7 は残存させる。

【 0 0 3 7 】

次に、図 1 6 ( a )、( b ) に示すように、層間絶縁膜 6 及び絶縁膜 7 上に、層間絶縁膜 8 を形成する。更に、領域 A 1 において、層間絶縁膜 8、6 内に、フォトリソグラフィ技術とドライエッチングとを用いて、金属配線層 4 に達するコンタクトホール 1 2 を形成する。その後、コンタクトホール 1 2 中、及び層間絶縁膜 8 上に導電層 1 3 を形成し、コンタクトホール 1 2 内部を導電層 1 3 で埋め込む。

【 0 0 3 8 】

次に図 1 7 ( a )、( b ) に示すように、導電層 1 3 を C M P ( Chemical Mechanical Polishing ) 法等により研磨し、導電層 1 3 をコンタクトホール 1 2 内にもみ残存させる。これにより、図示するようなコンタクトプラグ 3 が完成する。コンタクトプラグ 3 の底部は金属配線層 4 に接している。

【 0 0 3 9 】

10

20

30

40

50

更に図18(a)、(b)に示すように、層間絶縁膜8上に、コンタクトプラグ3の上  
面を被覆する層間絶縁膜9を形成する。

【0040】

次に、図19(a)、(b)に示すように、フォトリソグラフィ技術とドライエッチン  
グ(例えばRIE)とを用いて層間絶縁膜8、層間絶縁膜9をエッチングし、溝14を形  
成する。この際、絶縁膜7がRIEのエッチングストッパーとして機能する。第1の実施  
形態と同様、絶縁膜7の材料としては、SiNに限らず、本エッチング工程において層間  
絶縁膜8及び層間絶縁膜9に対してエッチング選択比のとれる材料であればよい。その一  
例は、SiCN並びにSiN及びSiCNの積層膜のいずれかである。本工程において、  
領域A2では、エッチングは絶縁膜7で停止する。しかし、絶縁膜7の存在しない領域A  
1では、層間絶縁膜8の表面の一部もエッチングされる。従って、溝14は、領域A2よ  
りも領域A1において深くなる。なお、第1の実施例同様、図19(a)、(b)ではリ  
ソグラフィの合わせずれが発生した場合について示している。これにより、図19(a)  
に示すように、溝14の底部にはコンタクトプラグ3の上面だけでなくその側面と、絶縁  
膜8の表面とが露出される。その後の工程は、上記第1の実施形態で説明した図9(a)  
~(c)乃至図10(a)~(c)と同様である。すなわち、図20(a)、(b)に示  
すように、溝14内及び層間絶縁膜9上に導電層13を形成し、溝14内部を導電層13  
により埋め込む。次に図21(a)、(b)に示すように、層間絶縁膜9をストッパーに  
用いたCMP法等により、導電層13を研磨する。この結果、それぞれが溝14内に埋め  
込まれた金属配線層2が完成する。

【0041】

その後は、層間絶縁膜9上に層間絶縁膜10を形成する。その後、ドライエッチングま  
たはウェットエッチングを用いて、層間絶縁膜10の一部を貫通する溝を形成し、この溝  
を金属等で埋め込むことにより金属配線層11を形成する。その結果、図13及び図14  
(a)、(b)に示す構成が得られる。

【0042】

上記の半導体装置及びその製造方法によれば、上記第1の実施形態で説明した(1)、  
(2)の効果に加えて、下記(3)、(4)の効果が得られる。

(3)半導体装置の消費電力を削減出来る。

本実施形態に従った構成であると、図14(b)に示すようにコンタクトプラグ3が形  
成される領域A1では、金属配線層2下のSiN膜7が除去されている。その為、コンタ  
クトプラグ周辺はSiN膜7より電気伝導性の低いSiO<sub>2</sub>膜8で形成されている(図1  
3及び図14(a)、(b)参照)。

【0043】

隣接するコンタクトプラグ3間にSiN膜7が存在すると、このSiN膜7を介して、  
わずかではあるがコンタクトプラグ3間に電流が流れる。そして、コンタクトプラグ3の  
数が非常に多い場合には、コンタクトプラグ3間に流れる電流の総和が、半導体装置にお  
いて無視できないだけの大きな値となる。すなわち、半導体装置の消費電力が無駄に増大  
する場合がある。

【0044】

この点、本実施形態に係る構成であると、コンタクトプラグ3間にSiN膜7は存在せ  
ず、SiO<sub>2</sub>膜8が存在する。従って、コンタクトプラグ3の数が多くあっても、  
SiO<sub>2</sub>膜8を介してコンタクトプラグ3間に流れる電流を僅かに抑えることが出来、半  
導体装置の消費電力を削減出来る。

【0045】

(4)半導体装置の製造工程の増加を招くことなく、(1)、(2)の効果が得られる

半導体プロセスにおいて、SiO<sub>2</sub>のエッチング条件とSiNのエッチング条件とは異  
なるのが通常である。すると、上記第1の実施形態において図5で説明したコンタクトホ  
ール12の形成工程は、次のようになる。まず、SiO<sub>2</sub>のエッチング条件により、Si

10

20

30

40

50

$O_2$  膜 6 をエッチングする。次にエッチング条件を SiN に適したものに變更して、SiN 膜 7 のエッチングを行う。そして、再度エッチング条件を  $SiO_2$  に適したものに變更して、 $SiO_2$  膜 8 のエッチングを行う。

【0046】

この点、本実施形態に係る構成であると、コンタクトホールを形成すべき領域 A1 には、SiN 膜 7 は存在しない。従って、図 16 で説明したコンタクトホール 12 は、 $SiO_2$  に適したエッチング条件の下、1 度のエッチング工程により形成出来る。つまり、コンタクトホール 12 の形成のために、エッチング条件を複数回にわたって變更する必要が無い。よって、半導体装置の製造工程を簡略化出来る。

【0047】

なお、本実施形態に従った製造方法であっても、領域 A2 の絶縁膜 7 が、層間絶縁膜 8、9 のエッチング時のストッパーとして機能する。従って、領域 A2 における溝 14 の深さは均一となる。これは、上記第 1 の実施形態で説明した図 11 の通りである。また、領域 A1 における溝 14 の深さも、ほぼ均一となる。図 22 は、図 14 (a) の拡大図であり、特に金属配線層 2 に着目して示したものである。図示するように、領域 A2 にエッチングストッパーを設けることにより、エッチングストッパーの存在しない領域 A1 においても、隣接する金属配線層 2 の高さ  $h_5$ 、 $h_6$  はほぼ等しくなる。従って、寄生容量のバラツキを抑え、上記第 1 の実施形態で説明した (1) の効果が得られる。

【0048】

また、上記第 1、第 2 の実施形態では、コンタクトプラグ 3 が第 2 方向に沿って千鳥状に配置される場合について説明した。しかし、コンタクトプラグ 3 は、第 2 方向に沿って一直線上に配置されても良い。すなわち、コンタクトプラグ 3 の中心が、第 2 方向にそった直線上に位置するように配置されても良い。しかし、動作信頼性の観点からは、千鳥状に配置することが好ましい。なぜなら、一直線上に配置する場合に比べてコンタクトプラグ 3 の隣接間隔を大きく出来、その結果、コンタクトプラグ 3 間のショートを効果的に防止出来るからである。

【0049】

[第 3 の実施形態]

次に、この発明の第 3 の実施形態に従った半導体記憶装置について説明する。本実施形態は、上記第 1 の実施形態で説明した構成を、NAND 型フラッシュメモリに適用したものである。図 23 は、本実施形態に係る NAND 型フラッシュメモリの備えるメモリアレイの回路図である。

【0050】

図示するようにメモリアレイ 30 は、不揮発性のメモリセルが直列接続された複数の NAND セル 31 を備えている。NAND セル 31 の各々は、例えば 16 個のメモリセルトランジスタ MT と、選択トランジスタ ST1、ST2 とを含んでいる。メモリセルトランジスタ MT は、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層 (例えば浮遊ゲート) と、浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲート電極とを有する積層ゲート構造を備えている。なお、メモリセルトランジスタ MT の個数は 16 個に限られず、8 個や 32 個、64 個、128 個、256 個等であってもよく、その数は限定されるものではない。メモリセルトランジスタ MT は、隣接するもの同士でソース、ドレインを共有している。そして、選択トランジスタ ST1、ST2 間に、その電流経路が直列接続されるようにして配置されている。直列接続されたメモリセルトランジスタ MT の一端側のドレイン領域は選択トランジスタ ST1 のソース領域に接続され、他端側のソース領域は選択トランジスタ ST2 のドレイン領域に接続されている。

【0051】

同一行にあるメモリセルトランジスタ MT の制御ゲート電極はワード線 WL0 ~ WL15 のいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタ ST1、ST2 のゲートは、それぞれセレクトゲート線 SGD、SGS に共通接続されている。なお説明の簡単化のため、以下ではワード線 WL0 ~ WL15 を、単にワード線 WL と呼ぶこと

10

20

30

40

50



がある。また、メモリセルアレイ 30 において同一列にある選択トランジスタ ST1 のドレインは、ビット線 BL0 ~ BLN (N は自然数) のいずれかに共通接続される。なお、ビット線についても、以下ではビット線 BL0 ~ BLN を、単にビット線 BL と呼ぶことがある。選択トランジスタ ST2 のソースはソース線 SL に共通接続される。なお、選択トランジスタ ST1、ST2 は必ずしも両方必要ではなく、NAND セルを選択出来るのであればいずれか一方のみが設けられていても良い。

#### 【0052】

図 23 では、1 行の NAND セル 31 のみを図示している。しかし、メモリセルアレイ 30 内には複数行の NAND セル 31 が設けられても良い。この場合、同一列にある NAND セル 31 は同一のビット線 BL に接続される。また、同一のワード線 WL に接続された複数のメモリセルトランジスタ MT には一括してデータが書き込まれ、この単位をページと呼ぶ。更に、同一行にある複数の NAND セルは一括してデータが消去され、この単位をメモリブロックと呼ぶ。

10

#### 【0053】

次に、上記構成のメモリセルアレイ 30 の平面構成について図 24 を用いて説明する。図 24 は、メモリセルアレイ 30 の平面図である。図示するように、半導体基板 40 中には第 1 方向に沿ったストライプ形状の素子領域 AA が、第 1 方向に直交する第 2 方向に沿って複数設けられている。隣接する素子領域 AA 間には素子分離領域 STI が形成され、この素子分離領域 STI によって素子領域 AA は電氣的に分離されている。半導体基板 40 上には、複数の素子領域 AA を跨ぐようにして、第 2 方向に沿ったストライプ形状のワード線 WL 及びセレクトゲート線 SGD、SGS が形成されている。ワード線 WL と素子領域 AA とが交差する領域には、浮遊ゲート FG が設けられている。そして、ワード線 WL と素子領域 AA とが交差する領域にはメモリセルトランジスタ MT が設けられ、セレクトゲート線 SGD、SGS と素子領域 AA とが交差する領域には、それぞれ選択トランジスタ ST1、ST2 が設けられている。第 1 方向で隣接するワード線 WL 間、セレクトゲート線間、及びワード線とセレクトゲート線との間の素子領域 AA 中には、メモリセルトランジスタ MT 及び選択トランジスタ ST1、ST2 のソース領域またはドレイン領域となる不純物拡散層が形成されている。

20

#### 【0054】

第 1 方向で隣接するセレクトゲート線 SGS 間の素子領域 AA に形成される不純物拡散層は、選択トランジスタ ST2 のソース領域として機能する。そしてこのソース領域上にはコンタクトプラグ CP1 が形成される。コンタクトプラグ CP1 は、図示せぬソース線に接続される。また、第 1 方向で隣接するセレクトゲート線 SGD 間の素子領域 AA に形成される不純物拡散層は、選択トランジスタ ST1 のドレイン領域として機能する。そしてこのドレイン領域上にはコンタクトプラグ CP2 (図示せず) が形成される。各コンタクトプラグ CP2 上には、金属配線層 50 が形成され、更に金属配線層 50 上にコンタクトプラグ CP3 が形成される。そしてコンタクトプラグ CP3 は、第 1 方向に沿って設けられたストライプ形状のビット線 BL に接続される。

30

#### 【0055】

上記コンタクトプラグ CP1 ~ CP3、及び金属配線層 50 の断面は、第 1 方向に長軸が沿って、第 2 方向に短軸が沿った楕円形状を有している。また、コンタクトプラグ CP2、CP3 及び金属配線層 50 は、第 2 の方向に沿って千鳥状に並んでいる。

40

#### 【0056】

次に、上記構成の半導体装置の断面構成について、図 25 を用いて説明する。図 25 は、NAND セルの断面図であり、ビット線方向 (第 1 方向) に沿った断面図である。

#### 【0057】

図示するように、p 型半導体基板 40 の表面領域内に n 型ウェル領域 41 が形成されている。n 型ウェル領域 41 上に p 型ウェル領域 42 が形成されている。p 型ウェル領域 42 上にはゲート絶縁膜 43 が形成され、ゲート絶縁膜 43 上に、メモリセルトランジスタ MT 及び選択トランジスタ ST1、ST2 のゲート電極が形成されている。メモリセルト

50

ランジスタMT及び選択トランジスタST1、ST2のゲート電極は、ゲート絶縁膜43上に形成された多結晶シリコン層44、多結晶シリコン層44上に形成されたゲート間絶縁膜45、及びゲート間絶縁膜45上に形成された多結晶シリコン層46を有している。

【0058】

ゲート間絶縁膜45は、例えばシリコン酸化膜、またはシリコン酸化膜とシリコン窒化膜との積層構造であるON膜、NO膜、またはONO膜、またはそれらを含む積層構造、またはTiO<sub>2</sub>、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、HfAlO<sub>x</sub>、HfAlSi膜とシリコン酸化膜またはシリコン窒化膜との積層構造で形成される。またゲート絶縁膜43はトンネル絶縁膜として機能するものである。

【0059】

メモリセルトランジスタMTにおいては、多結晶シリコン層44は浮遊ゲート(FG)として機能する。他方、多結晶シリコン層46は、ビット線に直交する方向で隣接するもの同士で共通接続されており、制御ゲート電極(ワード線WL)として機能する。選択トランジスタST1、ST2においては、多結晶シリコン層44はワード線方向で隣接するもの同士で共通接続されている。そして、多結晶シリコン層44が、セレクトゲート線SGS、SGDとして機能する。なお、多結晶シリコン層44のみがセレクトゲート線として機能しても良い。この場合、選択トランジスタST1、ST2の多結晶シリコン層46の電位は、一定の電位、またはフローティングの状態とされる。ゲート電極間に位置する半導体基板40表面内には、n<sup>+</sup>型不純物拡散層47が形成されている。不純物拡散層47は隣接するトランジスタ同士で共用されており、ソース(S)またはドレイン(D)として機能する。また、隣接するソースとドレインとの間の領域は、電子の移動領域となるチャンネル領域として機能する。これらのゲート電極、不純物拡散層47、及びチャンネル領域によって、メモリセルトランジスタMT及び選択トランジスタST1、ST2となるMOSトランジスタが形成されている。

【0060】

半導体基板40上には、上記メモリセルトランジスタMT及び選択トランジスタST1、ST2を被覆するようにして、層間絶縁膜48が形成されている。層間絶縁膜48中には、ソース側の選択トランジスタST2の不純物拡散層(ソース)47に達するコンタクトプラグCP1が形成されている。そして層間絶縁膜48表面には、コンタクトプラグCP1に接続される金属配線層49が形成されている。金属配線層49はソース線SLの一部として機能する。また層間絶縁膜48中には、ドレイン側の選択トランジスタST1の不純物拡散層(ドレイン)47に達するコンタクトプラグCP2が形成されている。そして層間絶縁膜48表面に、コンタクトプラグCP2に接続される金属配線層50が形成されている。

【0061】

層間絶縁膜48上には、例えばSiO<sub>2</sub>を材料に用いて層間絶縁膜51が形成されている。層間絶縁膜51上には絶縁膜52が形成されている。絶縁膜52は、層間絶縁膜51よりも誘電率の高い材料、例えばSiNを材料に用いて形成される。絶縁膜52上には金属配線層53が形成されている。金属配線層53はビット線BLとして機能する。絶縁膜52及び層間絶縁膜51中には、その上面で金属配線層53に接し、底面で金属配線層50に接するコンタクトプラグCP3が形成されている。なお、コンタクトプラグCP3の上面は、絶縁膜52の上面より高い。すなわち、コンタクトプラグCP3の上部は、金属配線層53内に潜り込むようにして形成されている。そして、絶縁膜52上、及び金属配線層53上に、絶縁膜52よりも誘電率の低い材料、例えばSiO<sub>2</sub>を材料に用いて層間絶縁膜54が形成されている。層間絶縁膜54は、隣接するビット線BL間の領域を埋め込んでいる。

【0062】

すなわち、上記構成のNAND型フラッシュメモリの層間絶縁膜48より上のレベルの構成は、上記第1の実施形態で説明した層間絶縁膜6、絶縁膜7、コンタクトプラグ3、金属配線層2、及び層間絶縁膜8、9、10を、それぞれ層間絶縁膜51、絶縁膜52、

10

20

30

40

50

コンタクトプラグCP3、ビット線53、及び層間絶縁膜54に置き換えたものに等しい。従って、本実施形態に係るNAND型フラッシュメモリの製造方法も、上記第1の実施形態で説明した図3(a)~(c)乃至図10(a)~(c)の方法により形成出来る。

【0063】

本実施形態に係るNAND型フラッシュメモリであると、上記第1の実施形態で説明した(1)、(2)の効果が得られる。特にNAND型フラッシュメモリではここ近年高集積化が求められており、それに伴ったトランジスタ含む配線の微細化が進んでいる。例えばビット線BLは最小加工寸法で形成されている。このためビット線BL間における寄生容量の影響が顕著に現れ、その影響により半導体メモリとしての特性が低下する。しかし、本実施形態に係る構成であると、上記第1の実施形態において(1)の効果として説明したように、ビット線BLの配線間隔の上下面のバラツキを抑えることができる。そのため、NAND型フラッシュメモリの製造精度が向上し、その動作信頼性を向上できる。更に、(2)の効果と同様に、ビット線間の層間絶縁膜の材料として、SiN(エッチングストッパー膜52)よりも誘電率の低い材料(SiO<sub>2</sub>膜54)を使用している。そのためビット線BL間容量を低減し、NAND型フラッシュメモリの動作速度を向上できる。

【0064】

なお、上記実施形態ではコンタクトプラグCP2、CP3及び金属配線層50が楕円の断面形状を有し、且つ第2方向に沿って千鳥状に配置された場合について説明した。しかし、本実施形態はこのような場合に限定されるものではない。図26乃至図28は、本実施形態の第1乃至第3変形例に係るNAND型フラッシュメモリの備えるメモリセルアレイの平面図である。なお、図26乃至図28においては、コンタクトプラグCP2、CP3及び金属配線層50の形状及び配置以外は、図24と同様である。

【0065】

まず図26に示すように、上記第3の実施形態で説明した図24の構成において、コンタクトプラグCP2、CP3及び金属配線層50の断面形状を正円にしても良い。

【0066】

また図27に示すように、図24の構成において、コンタクトプラグCP2、CP3及び金属配線層50を、第2方向に沿って一列に配置しても良い。

【0067】

更に、図28に示すように、図27に示す構成において、コンタクトプラグCP2、CP3及び金属配線層50の断面形状を正円にしても良い。なお、図26及び図28においては、コンタクトプラグCP1の断面形状も正円としても良い。

【0068】

なお、コンタクトプラグCP2、CP3及び金属配線層50は、接触面積を向上出来る点において、その断面形状が楕円とされることが望ましい。このことは、第1、第2の実施形態でも同様である。また、コンタクトプラグCP2、CP3、及び金属配線層50は、第2方向に沿って千鳥状に配置されることが望ましい。なぜなら、このような配置とすることで、第2方向で隣接するもの同士の間隔を大きく出来、その結果、ショートが発生を効果的に防止出来るからである。

【0069】

[第4の実施形態]

次に、この発明の第4の実施形態に係る半導体記憶装置について説明する。本実施形態は、上記第2の実施形態で説明した構成を、NAND型フラッシュメモリに適用したものである。本実施形態に係るNAND型フラッシュメモリの備えるメモリセルアレイの回路図は、上記第3の実施形態で説明した図23と同様であるので、説明は省略する。

【0070】

図29は、本実施形態に係るNAND型フラッシュメモリの備えるメモリセルアレイの平面図であり、図30は図29におけるB-B'線に沿った断面図である。以下では、上記第3の実施形態と異なる点についてのみ説明する。よって図29では、コンタクトプラグCP2、CP3及び金属配線層50周囲の領域についてのみ図示しているが、その他の

領域は図24と同様である。また図29においては、絶縁膜52も図示している。

【0071】

図示するように、本実施形態に係るNAND型フラッシュメモリは、上記第3の実施形態で説明した図24及び図25の構成において、コンタクトプラグCP3の周囲における絶縁膜52を除去した構成を有している。つまり、隣接する2本のセレクトゲート線SGD間の領域を領域A3と呼び、その他の領域(選択トランジスタST1、ST2及びメモリセルトランジスタMTが形成される領域)を領域A4と呼ぶと、領域A3では絶縁膜52が除去され、領域A4では絶縁膜が残存されている。すなわち、領域A3において、絶縁膜52は第2方向に沿ってストライプ形状に除去されている(図29参照)。

【0072】

従って図30に示すように、領域A3では層間絶縁膜51上に例えばSiO<sub>2</sub>を材料に用いて層間絶縁膜55が形成され、層間絶縁膜55上にビット線53が形成されている。そして、領域A3におけるビット線53の底部は、領域A3におけるビット線53の底部よりも深く位置している。

【0073】

すなわち、上記構成のNAND型フラッシュメモリの層間絶縁膜48より上のレベルの構成は、上記第2の実施形態で説明した層間絶縁膜6、絶縁膜7、層間絶縁膜8、コンタクトプラグ3、金属配線層2、及び層間絶縁膜9、10を、それぞれ層間絶縁膜51、絶縁膜52、層間絶縁膜55、コンタクトプラグCP3、ビット線53、及び層間絶縁膜54に置き換えたものに等しい。従って、本実施形態に係るNAND型フラッシュメモリの製造方法にも、上記第2の実施形態で説明した方法が適用出来る。

【0074】

上記NAND型フラッシュメモリであると、上記第1の実施形態で説明した(1)、(2)の効果と第2の実施形態で説明した(3)、(4)の効果とを併せて得ることが出来る。

【0075】

(1)、(2)の効果については、上記第3の実施形態で説明した通りである。また、特にNAND型フラッシュメモリでは、多数のコンタクトプラグCP3が最小加工寸法幅で形成される。従って、隣接するコンタクトプラグCP3間にSiN膜52があると、微量の電流がコンタクトプラグCP3周辺など広い領域で流れ、その結果としてNAND型フラッシュメモリの消費電力が大きくなる場合が考え得る。

【0076】

しかし本実施形態では、コンタクトプラグCP3周辺の領域では絶縁膜52の一部が除去されている。よって、第2の実施形態で(3)の効果として説明したように、隣接するコンタクトプラグCP3間を流れる電流を低減し、その結果、NAND型フラッシュメモリ全体の消費電力を削減出来る。勿論、(4)の効果として説明したように、第2の実施形態に比べて少ない工程数で同様の構造が得られるため、製造プロセスを簡略化し、製造コストを削減できる。

【0077】

なお、本実施形態においても、コンタクトプラグCP2、CP3及び金属配線層50の断面形状及び配置には、種々の方法が適用出来る。図31乃至図33は、本実施形態の第1乃至第3変形例に係るNAND型フラッシュメモリの平面図である。

まず図31に示すように、図29の構成において、コンタクトプラグCP2、CP3及び金属配線層49、金属配線層50の断面形状を正円にしても良い。

また、図32に示すように、図29の構成において、コンタクトプラグCP2、CP3及び金属配線層50が第2の方向に対して一列に並んでいても良い。

更に、図33に示すように、図32に示す構成において、コンタクトプラグCP2、CP3及び金属配線層50の断面形状が正円であっても良い。

【0078】

以上のように、この発明の第1乃至第4の実施形態に従った半導体装置及び半導体記憶

10

20

30

40

50

装置であると、絶縁膜 7、52 が、金属配線層 2、53 形成用の溝を形成する際のエッチングストッパーの役目を果たす。そのため、溝 14 の深さはほぼ均一である。このため、金属配線層 2、53 の製造精度を向上出来る。その結果、配線間容量のバラツキを抑制し、半導体装置及び半導体記憶装置の特性を向上出来る。

【0079】

更に、本実施形態に従った構成であると、隣接する金属配線層 2 間及びビット線 53 間には、 $\text{SiO}_2$  膜よりも誘電率の高い  $\text{SiN}$  膜 7 が存在しない。その結果、金属配線層 2 間及びビット線 53 間における配線間容量が低減される。そして配線間容量の低減により、金属配線層 2 における信号遅延を抑制できる。

【0080】

なお、隣接するコンタクトプラグ 3、CP3 は、千鳥状に配置されることが好ましい(図 1、図 13、図 24、図 26、図 29、及び図 31 参照)。これにより、金属配線層 2、CP3 のショートをより効果的に防止できる。この際、第 2 方向に沿って隣接するコンタクトプラグ 3 は第 1 方向に沿ってずれてさえいれば十分である。すなわち例えば図 29 の平面図に示すように、第 1 方向に沿ったずれ幅  $D1 > 0$  であれば良い。このずれ幅  $D1$  が大きいほどショートを効果的に防止できるが、ずれ幅  $D1$  の大きさは例えば金属配線層 2 の隣接間隔や、金属配線層 2 に与えられる電圧の大きさなどによって適宜選択することができる。

【0081】

また、上記実施形態では NAND 型フラッシュメモリの場合を例に挙げて説明した。しかし、例えば NAND 型フラッシュメモリにおいてメモリセルトランジスタ数を 1 個にした 3Tr - NAND 型フラッシュメモリや、NOR 型フラッシュメモリにも適用出来る。また、3Tr - NAND 型フラッシュメモリにおいてドレイン側の選択トランジスタ ST1 を排除した 2Tr 型フラッシュメモリにも適用出来、積層ゲート構造を備えた不揮発性半導体メモリ全般に広く適用可能である。特に NAND 型フラッシュメモリでは、例えば書き込み時にワード線に対して 20 ~ 25 V 程度の高電圧が印加される。そのため、ワード線に電圧を与えるワード線ドライバ内の金属配線層において、ショートが発生しやすい。従って、ワード線ドライバ内の金属配線層に対して上記第 1 乃至第 4 の実施形態で説明した構成を適用することが望ましい。

【0082】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【図面の簡単な説明】

【0083】

【図 1】この発明の第 1 の実施形態に係る半導体装置の平面図。

【図 2】この発明の第 1 の実施形態に係る半導体装置の断面図であり、図 2 (a) 乃至図 2 (c) は、図 1 におけるそれぞれ A - A' 線、B - B' 線、及び C - C' 線に沿った断面図。

【図 3】この発明の第 1 の実施形態に係る半導体装置の第 1 製造工程を示す断面図であり、図 3 (a) 乃至 (c) は、図 2 におけるそれぞれ A - A' 線、B - B' 線、及び C - C' 線に沿った断面図。

【図 4】この発明の第 1 の実施形態に係る半導体装置の第 2 製造工程を示す断面図であり、図 4 (a) 乃至 (c) は、図 2 におけるそれぞれ A - A' 線、B - B' 線、及び C - C' 線に沿った断面図。

【図 5】この発明の第 1 の実施形態に係る半導体装置の第 3 製造工程を示す断面図であり

10

20

30

40

50

、図5(a)乃至(c)は、図2におけるそれぞれA-A'線、B-B'線、及びC-C'線に沿った断面図。

【図6】この発明の第1の実施形態に係る半導体装置の第4製造工程を示す断面図であり、図6(a)乃至(c)は、図2におけるそれぞれA-A'線、B-B'線、及びC-C'線に沿った断面図。

【図7】この発明の第1の実施形態に係る半導体装置の第5製造工程を示す断面図であり、図7(a)乃至(c)は、図2におけるそれぞれA-A'線、B-B'線、及びC-C'線に沿った断面図。

【図8】この発明の第1の実施形態に係る半導体装置の第6製造工程を示す断面図であり、図8(a)乃至(c)は、図2におけるそれぞれA-A'線、B-B'線、及びC-C'線に沿った断面図。

10

【図9】この発明の第1の実施形態に係る半導体装置の第7製造工程を示す断面図であり、図9(a)乃至(c)は、図2におけるそれぞれA-A'線、B-B'線、及びC-C'線に沿った断面図。

【図10】この発明の第1の実施形態に係る半導体装置の第8製造工程を示す断面図であり、図10(a)乃至(c)は、図2におけるそれぞれA-A'線、B-B'線、及びC-C'線に沿った断面図。

【図11】図2(a)の、金属配線層の拡大図。

【図12】この発明の第1の実施形態の変形例に係る半導体装置の断面図。

【図13】この発明の第2の実施形態に係る半導体装置の平面図。

20

【図14】この発明の第2の実施形態に係る半導体装置の断面図であり、図14(a)、及び図14(b)は、図13におけるそれぞれA-A'線、及びB-B'線に沿った断面図。

【図15】この発明の第2の実施形態に係る半導体装置の第2製造工程を示す断面図であり、図15(a)、及び(b)は、図13におけるそれぞれA-A'線、及びB-B'線に沿った断面図。

【図16】この発明の第2の実施形態に係る半導体装置の第3製造工程を示す断面図であり、図16(a)、及び(b)は、図13におけるそれぞれA-A'線、及びB-B'線に沿った断面図。

【図17】この発明の第2の実施形態に係る半導体装置の第4製造工程を示す断面図であり、図17(a)、及び(b)は、図13におけるそれぞれA-A'線、及びB-B'線に沿った断面図。

30

【図18】この発明の第2の実施形態に係る半導体装置の第5製造工程を示す断面図であり、図18(a)、及び(b)は、図13におけるそれぞれA-A'線、及びB-B'線に沿った断面図。

【図19】この発明の第2の実施形態に係る半導体装置の第6製造工程を示す断面図であり、図19(a)、及び(b)は、図13におけるそれぞれA-A'線、及びB-B'線に沿った断面図。

【図20】この発明の第2の実施形態に係る半導体装置の第7製造工程を示す断面図であり、図20(a)、及び(b)は、図13におけるそれぞれA-A'線、及びB-B'線に沿った断面図。

40

【図21】この発明の第2の実施形態に係る半導体装置の第8製造工程を示す断面図であり、図21(a)、及び(b)は、図13におけるそれぞれA-A'線、及びB-B'線に沿った断面図。

【図22】図14(a)の、金属配線層の拡大図。

【図23】この発明の第3の実施形態に係るNAND型フラッシュメモリの備えるメモリセルアレイの回路図。

【図24】この発明の第3の実施形態に係るNAND型フラッシュメモリの備えるメモリセルアレイの平面図。

【図25】この発明の第3の実施形態に係るNAND型フラッシュメモリの備えるメモリ

50

セルアレイの断面図であり、図 2 4 における B - B ' 線に沿った断面図。

【図 2 6】この発明の第 3 の実施形態の第 1 変形例に従った、NAND 型フラッシュメモリの備えるメモリセルアレイの平面図。

【図 2 7】この発明の第 3 の実施形態の第 2 変形例に従った、NAND 型フラッシュメモリの備えるメモリセルアレイの平面図。

【図 2 8】この発明の第 3 の実施形態の第 3 変形例に従った、NAND 型フラッシュメモリの備えるメモリセルアレイの平面図。

【図 2 9】この発明の第 4 の実施形態に係る NAND 型フラッシュメモリの備えるメモリセルアレイの平面図。

【図 3 0】この発明の第 4 の実施形態に係る NAND 型フラッシュメモリの備えるメモリセルアレイの断面図であり、図 2 9 における B - B ' 線に沿った断面図。

10

【図 3 1】この発明の第 4 の実施形態の第 1 変形例に従った、NAND 型フラッシュメモリの備えるメモリセルアレイの平面図。

【図 3 2】この発明の第 4 の実施形態の第 2 変形例に従った、NAND 型フラッシュメモリの備えるメモリセルアレイの平面図。

【図 3 3】この発明の第 4 の実施形態の第 3 変形例に従った、NAND 型フラッシュメモリの備えるメモリセルアレイの平面図。

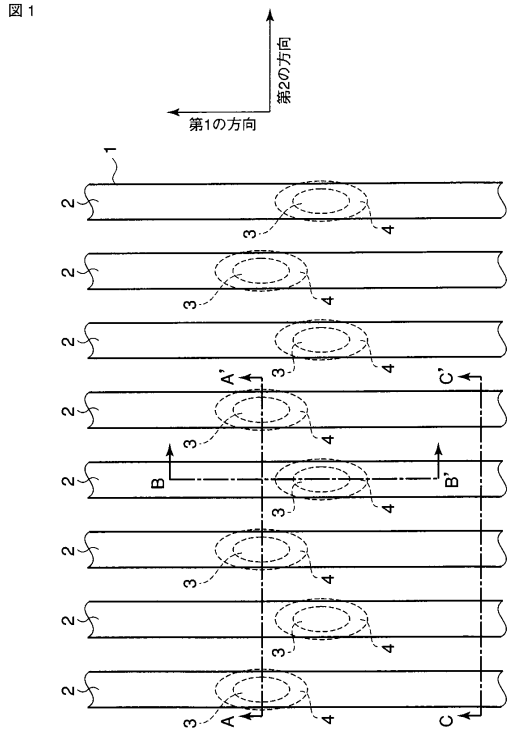
【符号の説明】

【0084】

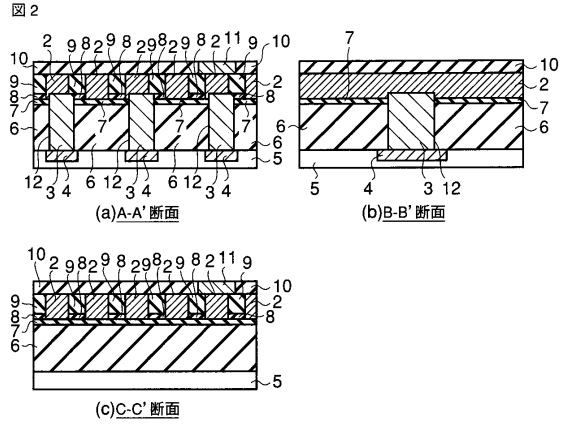
1・・・半導体装置、2・・・金属配線層、3・・・コンタクトプラグ、4・・・金属配線層、5・・・層間絶縁膜、6・・・層間絶縁膜、7・・・絶縁膜、8・・・層間絶縁膜、9・・・層間絶縁膜、10・・・層間絶縁膜、11・・・金属配線層、12・・・コンタクトホール、13・・・導電層、14・・・溝、30・・・メモリセルアレイ、31・・・NANDセル、40・・・p型半導体基板、41・・・n型ウェル領域、42・・・p型ウェル領域、43・・・ゲート絶縁膜、44・・・多結晶シリコン層、45・・・ゲート間絶縁膜、46・・・多結晶シリコン、47・・・n<sup>+</sup>型不純物拡散層、48・・・層間絶縁膜、49・・・金属配線層、50・・・金属配線層、51・・・層間絶縁膜、52・・・絶縁膜、53・・・金属配線層、54・・・層間絶縁膜、55・・・層間絶縁膜

20

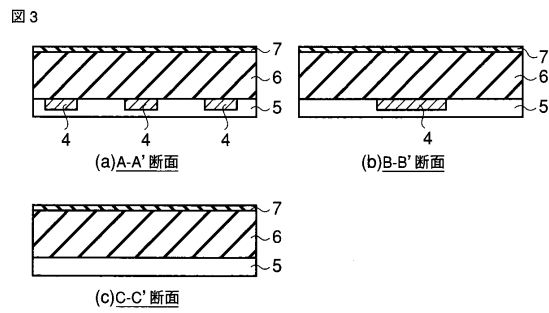
【 図 1 】



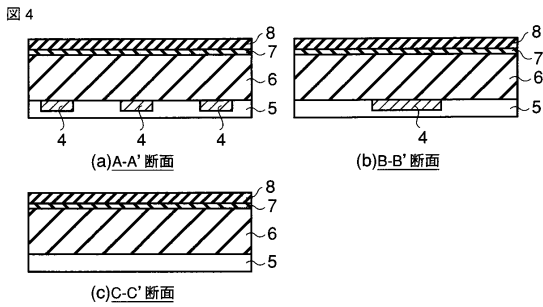
【 図 2 】



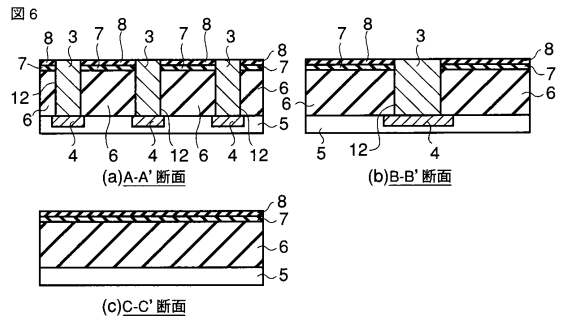
【 図 3 】



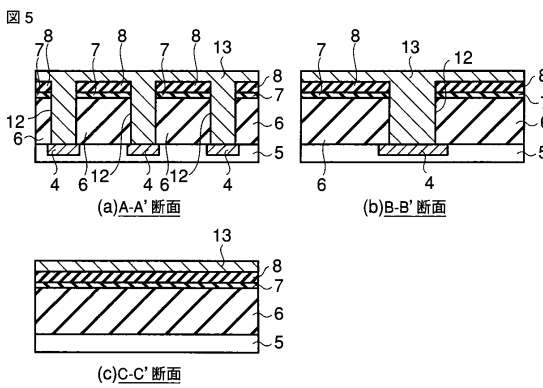
【 図 4 】



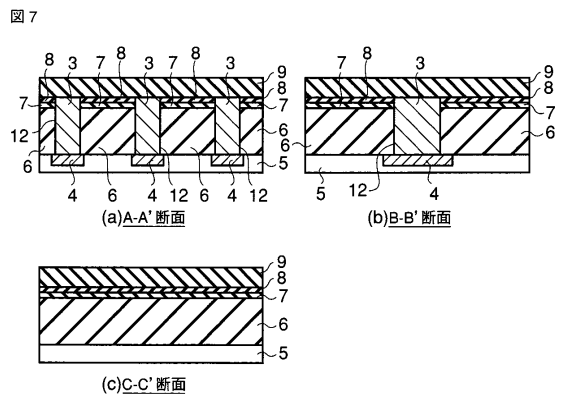
【 図 6 】



【 図 5 】



【 図 7 】

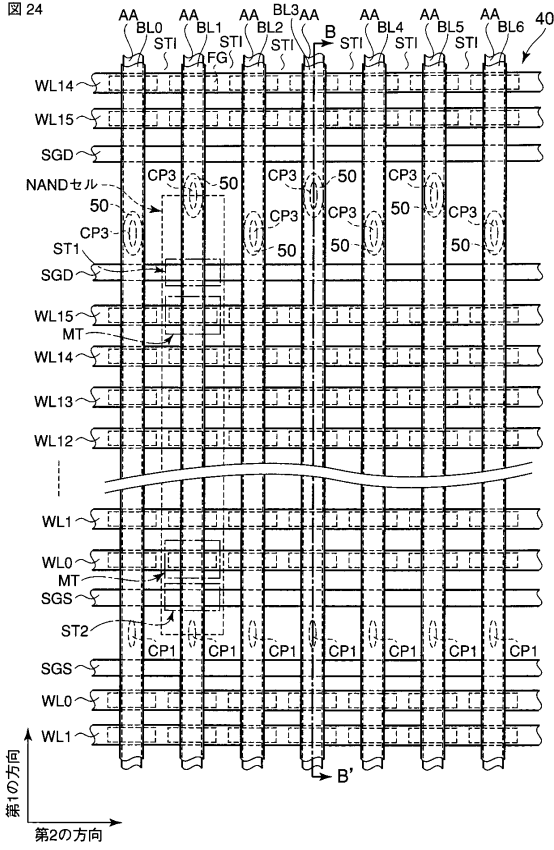




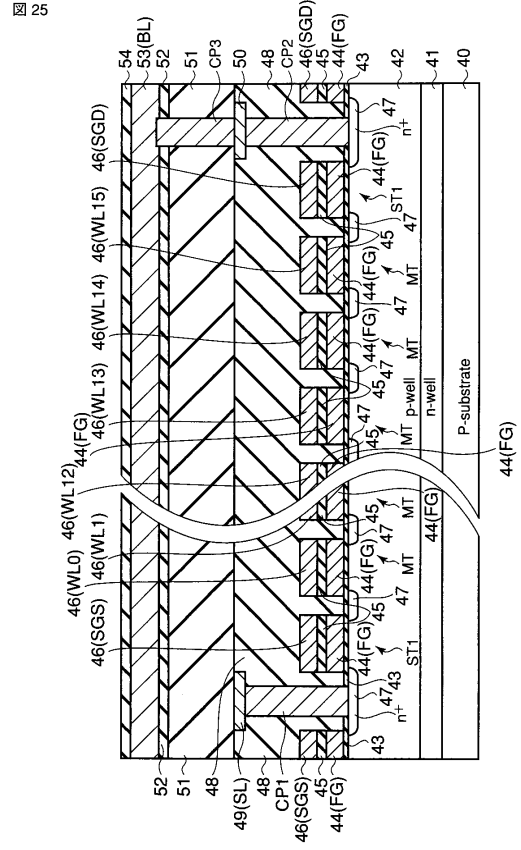




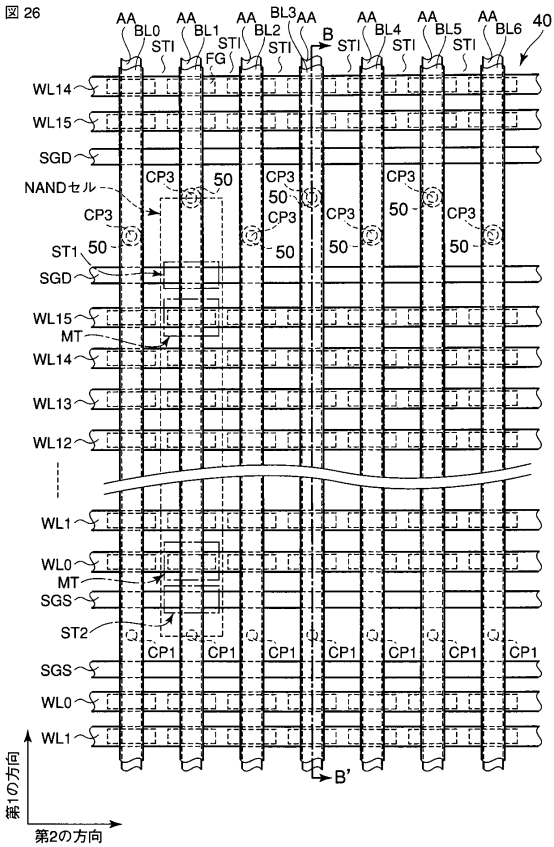
【図24】



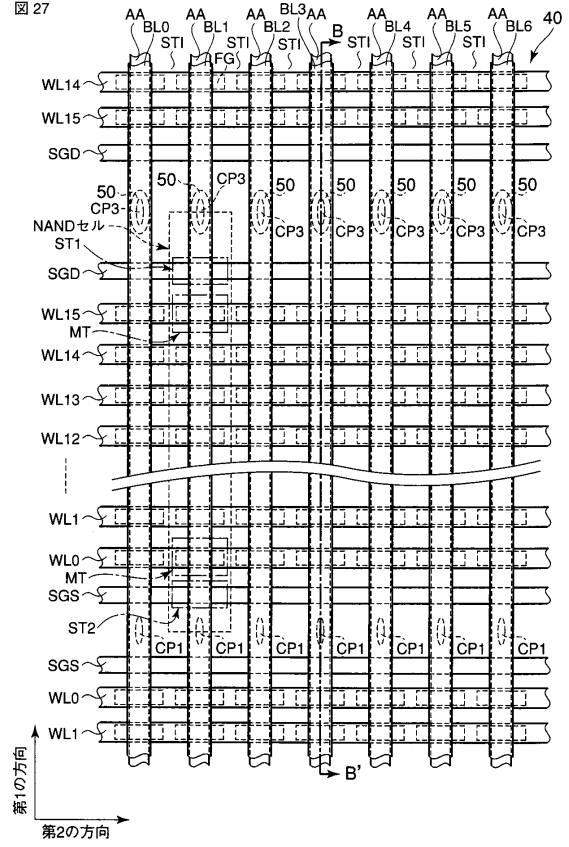
【図25】



【図26】



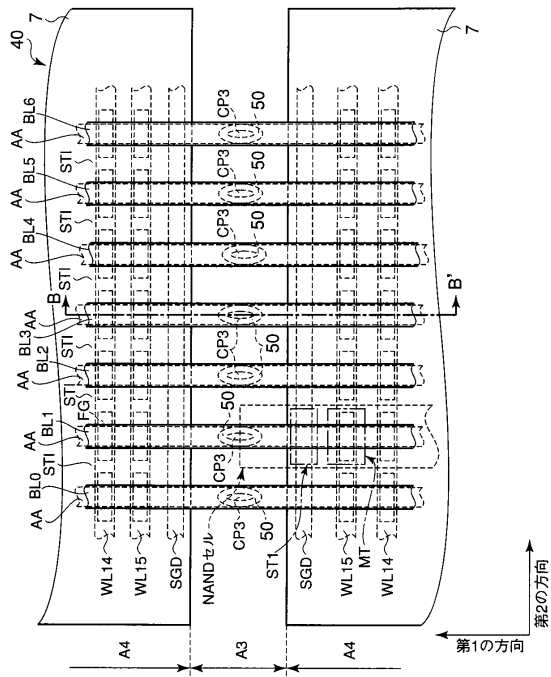
【図27】





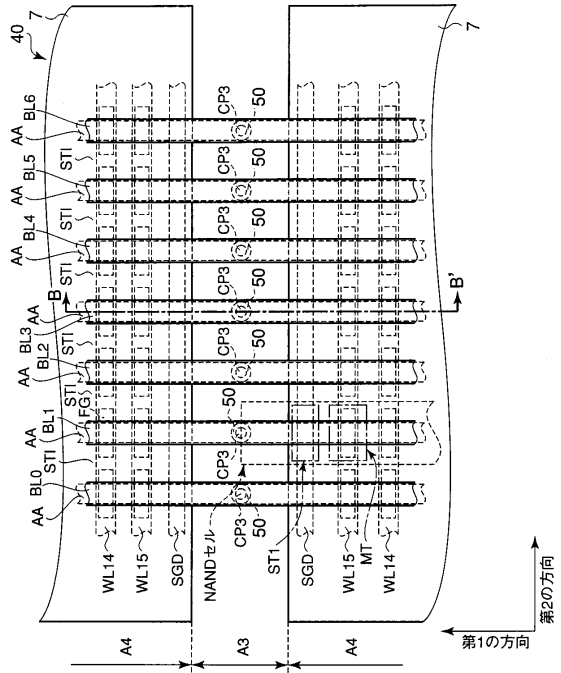
【 3 2 】

図 32



【 3 3 】

図 33



フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 23/52 (2006.01)

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 内田 夏苗

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 遠藤 真人

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 東 和幸

東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 井原 純

(56)参考文献 特開2005-317138(JP,A)

特開平09-172071(JP,A)

特開平07-283312(JP,A)

特開平09-172067(JP,A)

特開平07-335757(JP,A)

特開2000-091427(JP,A)

特開平10-199972(JP,A)

特開平10-189732(JP,A)

特開2006-121038(JP,A)

特開2000-012686(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 4 7

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 3 / 5 2

H 0 1 L 2 7 / 1 1 5

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2