



# (12) 发明专利

(10) 授权公告号 CN 110334044 B

(45) 授权公告日 2022. 05. 20

(21) 申请号 201910458822.7

(22) 申请日 2019.05.29

(65) 同一申请的已公布的文献号  
申请公布号 CN 110334044 A

(43) 申请公布日 2019.10.15

(73) 专利权人 深圳市紫光同创电子有限公司  
地址 518000 广东省深圳市南山区高新科技产业园南区科技南八道豪威科技大厦16层

(72) 发明人 刘兴宗

(74) 专利代理机构 深圳鼎合诚知识产权代理有限公司 44281  
专利代理师 李发兵

(51) Int. Cl.  
G06F 13/42 (2006.01)

(56) 对比文件

CN 104795039 A, 2015.07.22

CN 108365920 A, 2018.08.03

CN 109710549 A, 2019.05.03

CN 104980679 A, 2015.10.14

US 9009379 B1, 2015.04.14

审查员 严颖

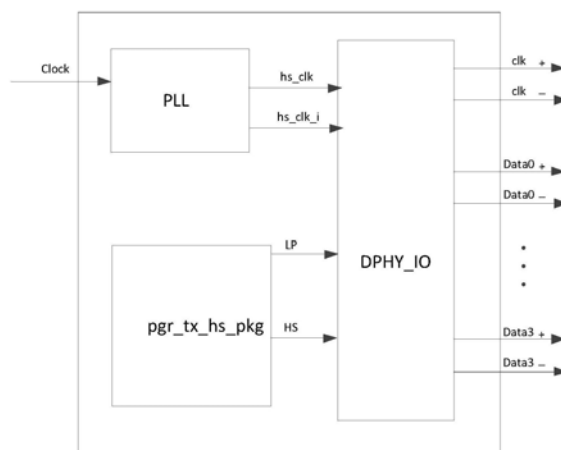
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种MIPI DPHY发送电路及设备

(57) 摘要

本发明提供了一种MIPI DPHY发送电路及设备, MIPI DPHY发送电路包括FPGA可重构发送时钟电路, 以及与该FPGA可重构发送时钟电路连接的FPGA可重构DPHY\_IO发送电路, 数据包重组电路, 以及与该数据包重组电路连接的FPGA可重构DPHY\_IO发送电路, 通过FPGA可重构MIPI DPHY发送电路, 将MIPI DPHY发送电路与MIPI协议层进行整合设计, 调整MIPI DPHY发送电路的驱动能力, 能够有效的减少电路面积, 提高电路的资源使用率, 提高发送性能, 提高适配性, 还可以满足CSI-2与DSI多种不同应用场景需求。



1. 一种MIPIDPHY发送电路,其特征在于,包括FPGA可重构发送时钟电路,以及与该FPGA可重构发送时钟电路连接的FPGA可重构DPHY\_IO发送电路,所述MIPIDPHY发送电路基于CSI-2协议或者DSI协议进行数据传输;

所述FPGA可重构发送时钟电路包括PLL模块和DPHY\_IO时钟电路,所述PLL模块包括时钟链路时钟信号输出电路,数据链路时钟信号输出电路,DPHY\_IO时钟电路包括分别与时钟链路时钟信号输出电路连接的时钟链路时钟通道,以及与数据链路时钟信号输出电路连接的数据链路时钟通道;

所述数据链路时钟通道包括分频电路CLKDIV、并串转换模块OSERDES、输入输出缓冲器IOB,所述分频电路CLKDIV接收所述PLL模块发送的数据通道数据,分频后并行传输给并串转换模块OSERDES,并串转换模块OSERDES将并行数据转换为串行数据传输到输入输出缓冲器IOB。

2. 如权利要求1所述的MIPIDPHY发送电路,其特征在于,还包括数据包重组电路,数据包重组电路与所述的FPGA可重构DPHY\_IO发送电路连接,并且将待发送数据根据协议进行重新组包后发给FPGA可重构DPHY\_IO发送电路。

3. 如权利要求1或2所述的MIPIDPHY发送电路,其特征在于,所述时钟链路时钟通道包括分频电路CLKDIV、并串转换模块OSERDES、输入输出缓冲器IOB,所述分频电路CLKDIV接收所述PLL模块发送的时钟通道数据,分频后并行传输给并串转换模块OSERDES,并串转换模块OSERDES将并行数据转换为串行数据传输到输入输出缓冲器IOB。

4. 如权利要求3所述的MIPIDPHY发送电路,其特征在于,所述FPGA可重构DPHY\_IO发送电路包括至少四路数据输出通道。

5. 如权利要求4所述的MIPIDPHY发送电路,其特征在于,所述数据输出通道包括DPHY\_IO发送电路以及外部模拟电路。

6. 如权利要求5所述的MIPIDPHY发送电路,其特征在于,所述DPHY\_IO发送电路包括IOL模块以及发送电路,IOL模块用于接收低速数据或者高速数据;发送电路用于将低速数据或者高速数据输出到外部端口;所述外部模拟电路与外部端口连接。

7. 一种设备,包括权利要求1-6任一项所述的MIPIDPHY发送电路。

## 一种MIPI DPHY发送电路及设备

### 技术领域

[0001] 本发明涉及高速串行总线技术领域,更具体地说,涉及一种MIPI DPHY发送电路。

### 背景技术

[0002] MIPI (Mobile Industry Processor Interface, 移动产业处理器接口) DPHY是移动行业处理器接口的标准通用接口。随着MIPI DPHY接口在移动行业中的应用越来越广泛,对MIPI DPHY支持模式的多样性有了更高的要求。但是,现有MIPI DPHY电路都采用ASIC专用电路实现,不能对应用模式进行灵活配置,专用MIPI DPHY电路不能满足不同应用场景的需求;而且通用MIPI DPHY电路与协议(CSI-2/DSI)电路分别独立,MIPI DPHY与MIPI协议层都需要对电路进行协议处理,存在部分功能重复与资源浪费的问题。

### 发明内容

[0003] 本发明要解决的技术问题在于目前的专用MIPI DPHY电路不能满足不同应用场景的需求,且通用MIPI DPHY电路与协议(CSI-2协议/DSI协议)电路分别独立,MIPI DPHY与MIPI协议层都需要对电路进行协议处理,造成部分功能重复与资源浪费的问题,针对该技术问题,提供了一种MIPI DPHY发送电路。

[0004] 为解决上述技术问题,本发明提供一种MIPI DPHY发送电路,所述MIPI DPHY发送电路包括FPGA可重构发送时钟电路,以及与该FPGA可重构发送时钟电路连接的FPGA可重构DPHY\_IO发送电路。

[0005] 可选地,所述MIPI DPHY发送电路还包括与数据包重组电路连接的FPGA可重构DPHY\_IO发送电路,将待发送数据根据协议进行重新组包后发给FPGA可重构DPHY\_IO发送电路。

[0006] 可选地,所述MIPI DPHY发送电路基于CSI-2协议或者DSI协议进行数据传输。

[0007] 可选地,所述FPGA可重构发送时钟电路包括PLL模块和DPHY\_IO时钟电路,所述PLL模块包括时钟链路时钟信号输出电路,数据链路时钟信号输出电路,DPHY\_IO时钟电路包括分别与时钟链路时钟信号输出电路连接的时钟链路时钟通道,以及与数据链路时钟信号输出电路连接的数据链路时钟通道。

[0008] 可选地,所述时钟链路时钟通道包括分频电路CLKDIV、并串转换模块OSERDES、输入输出缓冲器IOB,所述分频电路CLKDIV接收所述PLL模块发送的时钟通道数据,分频后并行传输给并串转换模块OSERDES,并串转换模块OSERDES将并行数据转换为串行数据传输到输入输出缓冲器IOB。

[0009] 可选地,所述数据链路时钟通道包括分频电路CLKDIV、并串转换模块OSERDES、输入输出缓冲器IOB,所述分频电路CLKDIV接收所述PLL模块发送的数据通道数据,分频后并行传输给并串转换模块OSERDES,并串转换模块OSERDES将并行数据转换为串行数据传输到输入输出缓冲器IOB。

- [0010] 可选地,所述FPGA可重构DPHY\_IO发送电路包括至多四路数据输出通道。
- [0011] 可选地,所述数据输出通道包括DPHY\_IO发送电路以及外部模拟电路。
- [0012] 可选地,所述DPHY\_IO发送电路包括IOL模块以及发送电路,IOL模块用于接收低速数据或者高速数据;发送电路用于将低速数据或者高速数据输出到外部端口;所述外部模拟电路与外部端口连接。
- [0013] 进一步地,本发明还提供了一种设备,该设备包括如上所述的MIPI DPHY发送电路。
- [0014] 有益效果
- [0015] 本发明实施例提供一种MIPI DPHY发送电路,包括FPGA可重构发送时钟电路,以及与该FPGA可重构发送时钟电路连接的FPGA可重构DPHY\_IO发送电路,还包括与数据包重组电路连接的FPGA可重构DPHY\_IO发送电路,将待发送数据根据协议进行重新组包后发给FPGA可重构DPHY\_IO发送电路,实现了MIPI DPHY发送电路的重构,使得MIPI DPHY能够满足不同场景的不同模式应用需求。

### 附图说明

- [0016] 图1为本发明实施例一提供的MIPI DPHY发送电路结构示意图;
- [0017] 图2为本发明实施例一提供的MIPI DPHY发送电路的时钟电路逻辑层电路结构示意图;
- [0018] 图3为本发明实施例一提供的MIPI DPHY发送电路的DPHY\_IO发送电路结构示意图;
- [0019] 图4为本发明实施例二提供的MIPI DPHY发送电路的工作流程示意图。

### 具体实施方式

[0020] 为了使本发明的目的、技术方案及优点更加清楚明白,下面通过具体实施方式结合附图对本发明实施例作进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0021] 实施例一:

[0022] 为了解决现有专用MIPI DPHY电路不能满足不同应用场景的需求,且通用MIPI DPHY电路与协议(CSI-2/DSI)电路分别独立,MIPI DPHY与MIPI协议层都需要对电路进行协议处理,造成部分功能重复与资源浪费的问题,针对该技术问题,提供了一种MIPI DPHY发送电路。

[0023] 应当理解的是,本发明是采用FPGA(Field-Programmable Gate Array,现场可编程门阵列)来实现MIPI DPHY发送电路的可重构。

[0024] 请参见图1,图1为本发明实施例提供的MIPI DPHY发送电路结构示意图。MIPI DPHY发送电路包括FPGA可重构发送时钟电路、与该FPGA可重构发送时钟电路连接的FPGA可重构DPHY\_IO发送电路、数据包重组电路prg\_tx\_hs\_pkg以及与该数据包重组电路连接的FPGA可重构DPHY\_IO发送电路,下文将与FPGA可重构发送时钟电路连接的FPGA可重构DPHY\_IO发送电路简称为DPHY\_IO时钟电路,将与数据包重组电路连接的FPGA可重构DPHY\_IO发送电路简称为DPHY\_IO发送电路。

[0025] 本实施例中，FPGA可重构发送时钟电路为PLL模块，PLL模块可以根据用户配置产生需要的时钟，需要说明的是，产生的时钟有两种类型，一种是时钟通路的时钟，另一种是数据通路的时钟，两个时钟保持一定的相位关系，以满足数字电路所需要的建立保持时间。DPHY\_IO时钟电路接收PLL模块通过hs\_clk和hs\_clk\_i分别传输过来的时钟通道的时钟和数据通道的时钟，由时钟通道输出。数据包重组电路prg\_tx\_hs\_pkg用来将接收到的用户数据按照协议要求，重新组包送给DPHY\_IO发送电路，由数据通道输出。

[0026] 需要说明的是，数据包重组电路将接受到的用户数据进行处理，根据协议要求转换成能被DPHY\_IO发送电路接收处理的格式再重新组包发送出去。

[0027] 本实施例中，将MIPI DPHY发送电路与CSI-2协议/DSI协议进行整合，也就是说，MIPI DPHY发送电路可以基于CSI-2协议或者DSI协议进行数据传输，具体选择哪一种协议由用户自己决定，这种方式能有效降低电路面积，提高电路的资源使用率。

[0028] 本实施例中，MIPI DPHY发送电路采用的是一对源同步的时钟和一到四对差分时钟数据线来进行数据传输，需要说明的是，时钟通道是单向的，数据通道是单向或者双向的。

[0029] 本实施例中，时钟信号的传输参见图2。PLL模块包括clk\_in、clkout0、clkout1、时钟链路时钟信号输出电路以及数据链路时钟信号输出电路，DPHY\_IO时钟电路包括分别与时钟链路时钟信号输出电路连接的时钟链路时钟通道，以及与数据链路时钟信号输出电路连接的数据链路时钟通道，时钟链路时钟通道包括分频电路CLKDIV、并串转换模块OSERDES、输入输出缓冲器IOB，数据链路时钟通道包括分频电路CLKDIV、并串转换模块OSERDES、输入输出缓冲器IOB。

[0030] 具体的，PLL模块中的输入端clk\_in接收到用户配置的时钟信号，该时钟信号包括时钟通路的时钟信号和数据通路的时钟信号，时钟通路的时钟信号由clkout0通过时钟链路时钟信号输出电路进入时钟链路时钟通道，数据通路的时钟信号由clkout1通过数据链路时钟信号输出电路进入数据链路时钟通道；时钟链路时钟通道接收时钟通路时钟信号由分频电路CLKDIV进行分频，输出两条时钟通路时钟信号，经过并串转换模块OSERDES将信号转换为串行信号传输给输入输出缓冲器IOB，经输入输出缓冲器IOB输出到外部端口，输出的时钟通路时钟信号相位是相反的；数据链路时钟通道接收数据通路的时钟信号由分频电路CLKDIV进行分频后，输出两条数据通路时钟信号，经过并串转换模块OSERDES将信号转换为串行信号传输给输入输出缓冲器IOB，经输入输出缓冲器IOB输出到外部端口，输出的数据通路时钟信号相位是相反的。

[0031] 需要说明的是，上述数据通路时钟信号的传输对应于一条数据通道，MIPI DPHY发送电路工作时，最多可以有4个通道同时进行数据传输，每一条数据通道都对应一个并串转换模块OSERDES以及输入输出缓冲器IOB，每一个并串转换模块OSERDES都会接收到分频电路CLKDIV分频后输出的两条数据通路时钟信号。

[0032] 本实施例中，MIPI DPHY发送电路的数据通道与时钟通道都可以由FPGA实现重构，数据通道的信号与时钟通道的信号可以进行相位调整。

[0033] 本实施例中，DPHY\_IO发送电路具体的工作流程参见图3。

[0034] MIPI DPHY发送电路包含两种传输模式，低速模式(LP, LowerPower)和高速模式(HS, high speed)，两种模式共同工作，实现MIPI接口协议层中的数据 and 命令的传输。

[0035] 如图3所示,DPHY\_IO发送电路包括IOL模块和发送电路。本实施例中,DPHY\_IO发送电路包含四个IOL模块,两个用来传输低速数据,两个用来传输高速数据,当接收到低速数据后,将低速数据从I00(p端)与I03(n端)的I0B(I/O缓冲器,图中未示出)输出到外部端口,电平标准使用LVCMOS12。当发送完LP11->LP01->LP00后,高速通道的TS置0,打开高速通道使能,当再次发送LP11时,高速的通道TS置1,关闭高速通道;打开高速通道期间,低速通道需要发送LP00。需要说明的是,LP01表示P端为0,n端为1,其余类似;当接收到高速数据后,两个IOL模块相互配合进行数据处理,高速信号采用差分电平LVDS(Low Voltage Differential Signaling,低压差分信号)标准,进入IOL实现并串转换(OSERDES),例如,将8比特并行数据转化成串行数据,通过I01与I02的I0B(I/O缓冲器,图中未示出)输出到外部端口,I0B(I/O缓冲器,图中未示出)需要受到控制,TS为0,关闭三态使能,信号可从I0B输出到外部端口,TS为1时,打开三态使能,端口被使能为高组态。I00、I01、I02和I03通过外部端口与外部模拟电路连接,高速通道I01和I02串接330欧姆电阻,低速通道I00和I04串接50欧姆电阻,以实现MIPI规范要求的电气特性,电气特性包括共模电压(直流特性)和差分摆幅(交流特性)。

[0036] 本实施例中,DPHY\_IO发送电路驱动能力可通过I0B进行调整,高速模式下采用LVDS电平标准,可选2mA~4mA;低速模式下采用LVCMOS12电平标准,可选2~12mA,需要说明的是,采用不同的驱动电流,以适应不同的应用场景。

[0037] 本发明实施例提供了一种MIPI DPHY发送电路,包括FPGA可重构发送时钟电路,以及与该FPGA可重构发送时钟电路连接的FPGA可重构DPHY\_IO发送电路,数据包重组电路,以及与数据包重组电路连接的FPGA可重构DPHY\_IO发送电路,通过将MIPI DPHY发送电路与MIPI协议层进行整合设计,能够有效的减少电路面积,提高电路的资源使用率,通过将MIPI DPHY数据通道与时钟通道进行相位调整,提高发送性能,MIPI DPHY发送电路的驱动能力可以进行调整,提高适配性,MIPI DPHY发送电路可以满足CSI-2与DSI多种不同应用场景需求。

[0038] 实施例二:

[0039] 在上述实施例的基础上,本实施例提出了一种MIPI DPHY发送电路4通道协议发送流程图,具体请参见图4。

[0040] 系统系统初始化时,进入等待IDLE状态;

[0041] S401、在IDLE状态,检测初始化是否完成,完成则init\_done置高,进入ST\_LP\_STOP状态,初始化时间长短由用户配置。

[0042] 需要说明的是,检测初始化是否完成可以根据是否发送LP11来进行判断,如果发送LP11则说明初始化已完成,否则,继续进行初始化。本实施例中,时间长短是由用户配置的,时钟周期由FPGA可重构发送时钟电路PLL模块进行设置,时钟周期设置好以后,用户可以根据需要配置时钟周期的个数,这样时间的长短则是由时钟周期的个数决定的。

[0043] S402、在ST\_LP\_STOP状态,检测valid\_hs信号,为高速数据请求信号表示即将发送高速数据,进入ST\_HS\_RQST状态,否则停留等待。

[0044] S403、在ST\_HS\_RQST状态,发送LP01,时间长短由用户配置,完成则进入ST\_HS\_PRPR状态,否则停留等待。

[0045] S404、在ST\_HS\_PRPR状态,发送LP00,时间长短由用户配置,完成则进入ST\_HS\_GO

状态,否则停留等待。

[0046] S405、在ST\_HS\_G0状态,发送高速0,时间长短由用户配置,完成则进入ST\_HS\_SYNC状态,否则停留等待。

[0047] S406、在ST\_HS\_SYNC状态,发送MIPI DPHY同步头B8,自动跳到ST\_HS\_DATA状态。

[0048] 需要说明的是,MIPI DPHY同步头B8用于在数据传输过程中对每个数据进行定位和同步,也就是说,接收端接收到对齐数据后,便可进行数据的传输发送。

[0049] S407、在ST\_HS\_DATA状态,检测valid\_hs是否为高,如果为高,则停留在本状态发送用户的高速数据,如果为低,则进入ST\_HS\_TRAIL状态。

[0050] 应当理解的是,发送的高速数据为有效数据。

[0051] S408、在ST\_HS\_TRAIL状态,发送高速尾巴信号,时间长短由用户自定义,完成则跳回IDLE状态,否则停留在本状态。

[0052] 需要说明的是,本实施例中的时间长短都可以由用户配置,时钟周期由FPGA可重构发送时钟电路PLL模块进行设置,时钟周期设置好以后,用户可以根据需要配置时钟周期的个数,这样时间的长短则是由时钟周期的个数决定的。

[0053] 本实施例中,高速尾巴信号长度可以由时间长短来决定。

[0054] 本发明实施例提供了一种MIPI DPHY发送电路的具体实现过程,通过FPGA可重构MIPI DPHY发送电路将MIPI DPHY发送电路与MIPI协议层进行整合设计,能够有效的减少电路面积,提高电路的资源使用率。通过将MIPI DPHY数据通道与时钟通道进行相位调整,提高发送性能,MIPI DPHY发送电路的驱动能力可以进行调整,提高适配性,MIPI DPHY发送电路可以满足CSI-2与DSI多种不同应用场景需求。

[0055] 实施例三:

[0056] 本实施例提供了一种设备,该设备可以为但不限于智能手机、平板电脑、笔记本电脑、掌上电脑、个人数字助理(Personal Digital Assistant,PDA)具有投屏功能的移动类智能设备。当然,也可为但不限于具有投屏功能的PC、车载电脑固定类智能设备。该设备中包含如上述实施例中所示例的MIPI DPHY发送电路以实现相应的功能,这里不再赘述。

[0057] 以上内容是结合具体的实施方式对本发明实施例所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

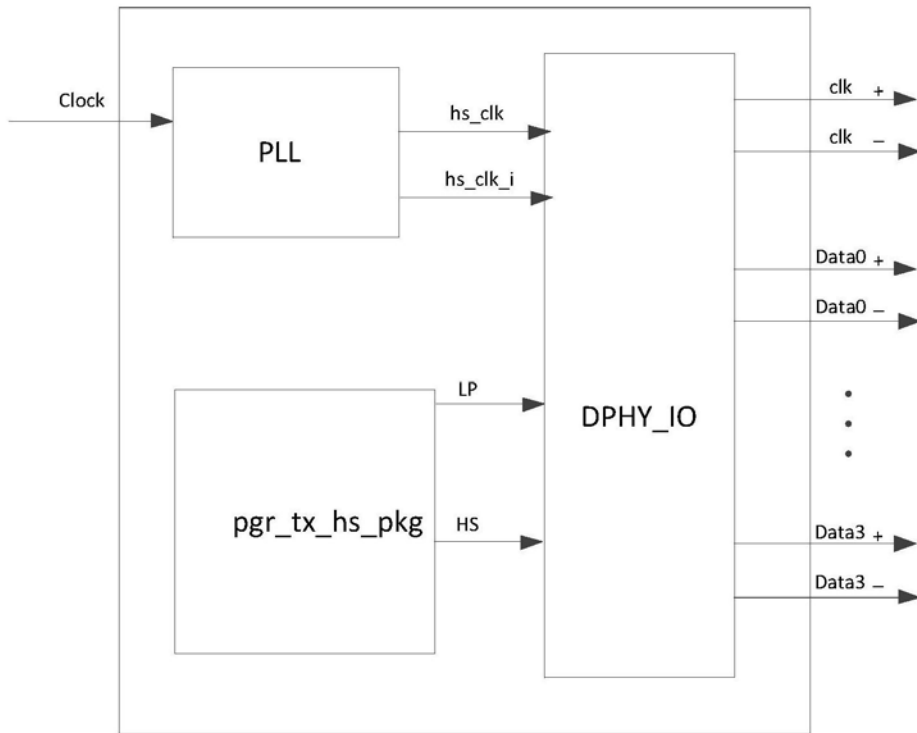


图1

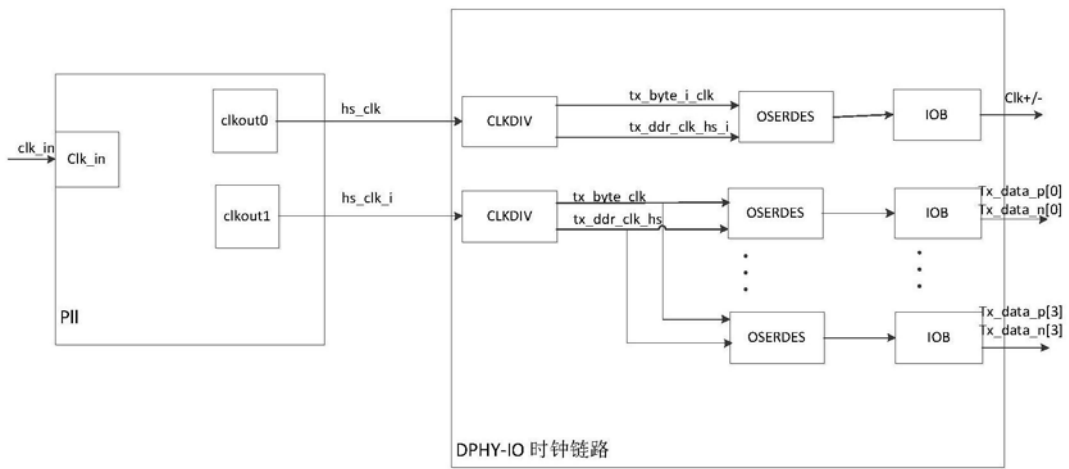


图2



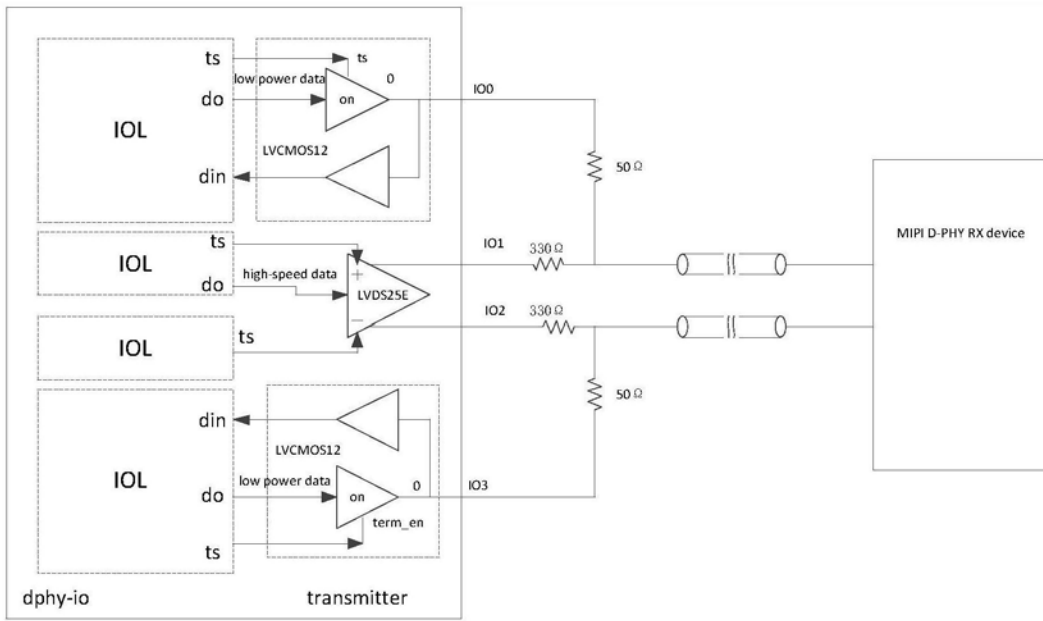


图3

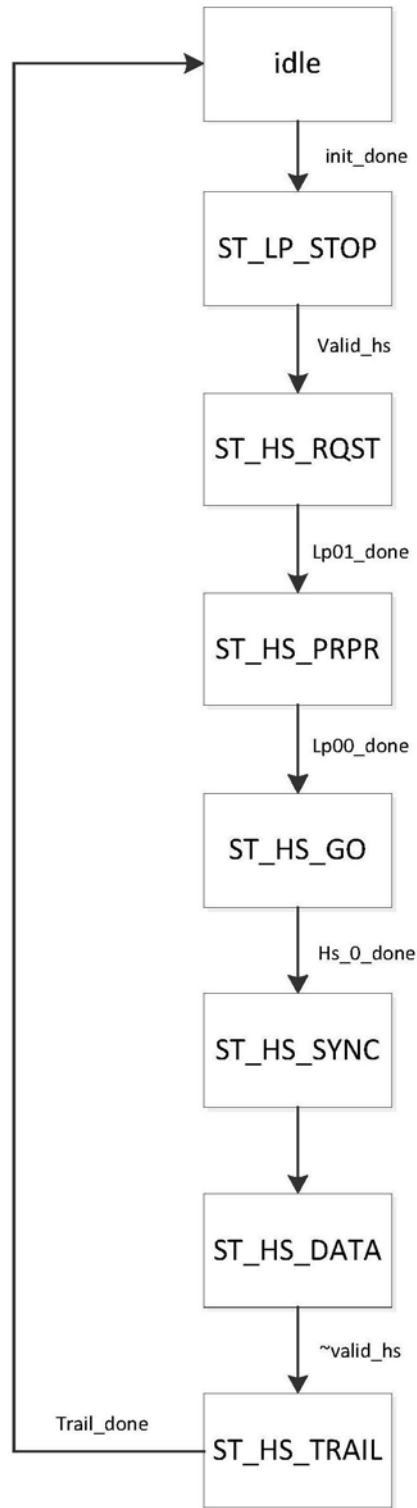


图4