

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5177957号
(P5177957)

(45) 発行日 平成25年4月10日 (2013. 4. 10)

(24) 登録日 平成25年1月18日 (2013.1.18)

(51) Int. Cl.	F I	
G09F 9/30 (2006.01)	G09F 9/30	390C
G09G 3/20 (2006.01)	G09G 3/20	642K
G09G 3/36 (2006.01)	G09G 3/20	680H
H05B 33/12 (2006.01)	G09G 3/20	624B
H01L 51/50 (2006.01)	G09G 3/20	621K

請求項の数 6 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2006-80563 (P2006-80563)	(73) 特許権者	000153878
(22) 出願日	平成18年3月23日 (2006. 3. 23)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2006-309182 (P2006-309182A)		神奈川県厚木市長谷398番地
(43) 公開日	平成18年11月9日 (2006. 11. 9)	(72) 発明者	小山 潤
審査請求日	平成21年3月13日 (2009. 3. 13)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2005-104455 (P2005-104455)		半導体エネルギー研究所内
(32) 優先日	平成17年3月31日 (2005. 3. 31)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	請園 信博

最終頁に続く

(54) 【発明の名称】 表示装置、およびそれを用いた電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上にデルタ配列された複数の画素を有し、
 前記画素の各々は、画素電極と、前記画素電極の電位を制御する回路とを有し、
 前記画素電極の電位を制御する回路は、第1のトランジスタ乃至第9のトランジスタを有し、
 前記第1のトランジスタ、前記第3のトランジスタ、前記第5のトランジスタ、及び前記第7のトランジスタは、n型のトランジスタであり、
 前記第2のトランジスタ、前記第4のトランジスタ、前記第6のトランジスタ、前記第8のトランジスタ、及び前記第9のトランジスタは、p型のトランジスタであり、
 前記第1のトランジスタのゲート電極及び第2のトランジスタのゲート電極は、第1の走査線と電気的に接続されており、
 前記第1のトランジスタのソース及びドレイン電極の一方は、データ線と電気的に接続されており、
 前記第1のトランジスタのソース及びドレイン電極の他方は、前記第2のトランジスタのソース及びドレイン電極の一方、前記第3のトランジスタのゲート電極、及び前記第4のトランジスタのゲート電極と電気的に接続されており、
 前記第2のトランジスタのソース及びドレイン電極の他方は、前記第5のトランジスタのソース及びドレイン電極の一方、前記第6のトランジスタのソース及びドレイン電極の一方、及び前記第7のトランジスタのソース及びドレイン電極の一方と電気的に接続され

ており、

前記第3のトランジスタのソース及びドレイン電極の一方は、前記第5のトランジスタのソース及びドレイン電極の他方、及び低電位電源と電氣的に接続されており、

前記第3のトランジスタのソース及びドレイン電極の他方は、前記第4のトランジスタのソース及びドレイン電極の一方、前記第5のトランジスタのゲート電極、及び前記第6のトランジスタのゲート電極と電氣的に接続されており、

前記第4のトランジスタのソース及びドレイン電極の他方は、前記第6のトランジスタのソース及びドレイン電極の他方、前記第8のトランジスタのソース及びドレイン電極の一方、前記第9のトランジスタのソース及びドレイン電極の一方、及び電源供給線に電氣的に接続されており、

10

前記第5のトランジスタのソース及びドレイン電極の一方は、前記第6のトランジスタのソース及びドレイン電極の一方と電氣的に接続されており、

前記第7のトランジスタのゲート電極及び第8のトランジスタのゲート電極は、第2の走査線と電氣的に接続されており、

前記第7のトランジスタのソース及びドレイン電極の他方は、前記第8のトランジスタのソース及びドレイン電極の他方、及び前記第9のトランジスタのゲート電極と電氣的に接続されており、

前記第9のトランジスタのソース及びドレイン電極の他方は、前記画素電極と電氣的に接続されており、

前記画素電極の形状が八角形であることを特徴とする表示装置。

20

【請求項2】

請求項1において、

前記画素電極の電位を制御する回路が、隣り合う画素電極間に設けられていることを特徴とする表示装置。

【請求項3】

請求項1または請求項2において、

前記画素電極の電位を制御する回路に信号または電力を供給する配線として、前記画素電極に沿った配線を有することを特徴とする表示装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記画素電極の角部の少なくとも一つは、丸みを帯びていることを特徴とする表示装置

30

【請求項5】

請求項1乃至請求項4のいずれか一項に記載の表示装置を用いた電子機器。

【請求項6】

請求項5において、

前記電子機器は、コンピュータ、カメラ、携帯情報端末装置、画像再生装置、時計、携帯電話機のいずれかであることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、表示装置に関し、特に発光素子を有する表示装置に関する。また、発光素子を有する表示装置を含んだ電子機器に関する。

【背景技術】

【0002】

近年、通信技術の進歩に伴って、携帯電話が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータ(PC)もその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まったPDAと呼ばれる情報端末も多数生産され普及しつつある。また、表示装置の発展により、それらの携帯情報機器のほとんどにはフラットパネルディスプレイが装備されている。

50

【0003】

また、アクティブマトリクス型の表示装置の中でも、近年、低温ポリシリコン薄膜トランジスタ（以下薄膜トランジスタをTFTと表記する）を用いた表示装置の製品化が進められている。低温ポリシリコンでは画素だけでなく、画素部の周囲に信号線駆動回路を一体形成することが可能であるため、表示装置の小型化や、高精細化が可能であり、今後はさらに普及が見込まれる。

【0004】

このようなモバイル機器用の表示装置においては、電子ブックなどの表示をおこなう場合が考えられる。そのような場合においては、画面を静止させ、そのときには、表示装置を駆動するためのコントローラ、ドライバを停止することによって、消費電力の低減をはかることが考えられてきた。そのための1つとして画素領域にスタティックメモリ（通常はSRAMであるがSRAMでなくとも良い）を配置し、そのスタティックメモリに静止画の情報を記憶することによって、静止画を表示し続けるものがあつた。その例を以下の特許文献1に示す。

10

【0005】

また、携帯情報機器には小型液晶テレビ、デジタルスチルカメラ、ビデオカメラ等も含まれる。このような自然画を表示する携帯情報機器のディスプレイにはデルタ配列のディスプレイが使用されることが多い。デルタ配列とは図2に示すように1行ごとに画素をずらして配列する方法である。デルタ配列は自然画を表示することにおいて、過去からよく使用される配列であつた。

20

【特許文献1】特開2001-222256号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

前述した従来の表示装置には以下に示すような不具合があつた。スタティックメモリを構成するためには通常6個の素子が必要であり、1つの画素の中に、6個以上の素子を配置しなければならなかつた。

【0007】

図2に従来のデルタ配列をおこなつた画素の図を示す。図2において、画素部分は画素電極201とそれを駆動する回路素子202によって構成される。

30

【0008】

デルタ配列は主としてAV機器に用いられ、自然画を少ない画素数で表示しやすいという特徴があるが、画素を1列おきに、半分ずつずらして配置するため、画素の素子に信号または電源を供給するための配線が複雑となり、画素電極間面積を多く必要とし、配線の寄生抵抗、寄生容量が増加させていた。これは図2において、回路素子202の周囲には並行配線が多数配置されることから容易に想定できることである。

【0009】

特に、前述した様にスタティックメモリを内蔵する場合はさらにこの効果が顕著となり、寄生抵抗や寄生容量が増大し、信号の遅延時間を増加させる原因となつていた。また、素子数は多くなくとも、容量素子などで多くの面積を必要とする場合においても同様に、遅延時間を増加させる原因になつていた。

40

【0010】

以上のような問題を鑑み本発明ではデルタ配列を用い、且つ、画素内部にスタティックメモリなど複数の素子を配置しても、寄生抵抗や寄生容量を小さくし、遅延時間の増大しにくい表示装置、およびそれらを用いた電子機器を提供することを課題とする。

【課題を解決するための手段】

【0011】

以上のような問題を解決するため、本発明は、デルタ配置において、スタティックメモリなどの素子数が多い場合、または画素に含ませることが必要な素子の面積が大きい場合に画素電極の形状を多角形として配列させることを特徴としている。

50

【 0 0 1 2 】

本発明の一は、基板上にデルタ配列された複数の発光素子と、発光素子の各に配置された画素駆動素子とを有している表示装置である。この表示装置において、発光素子の少なくとも一方の電極形状は、多角形としている。

【 0 0 1 3 】

本発明の一は、基板上にデルタ配列された複数の発光素子と、発光素子の各に配置された画素駆動素子とを有している表示装置である。この表示装置において、発光素子の各に対応して配置されたスタティックメモリを有し、該発光素子の少なくとも一方の電極形状は、多角形としている。

【 0 0 1 4 】

この場合において、画素駆動素子またはスタティックメモリに信号または電力を供給する配線は、多角形の画素電極に沿った斜め配線で配設されている。

【 0 0 1 5 】

また、八辺を有し、ある一辺と、隣の一辺の長さの差が、ある一辺の長さの20%以下、好ましくは10%以下となる辺により構成された多角形の形状を有する画素電極とすることが好ましい。すなわち、八角形若しくはそれに近い多角形とすることが好ましい。なお、八角形若しくはそれに近い多角形が有する角部のうち、少なくとも一つの角部が丸みを帯びていても良い。

【 0 0 1 6 】

本発明の一は、上記発明の構成において、高階調を表示する第1の表示モードと、低階調を表示する第2の表示モードとを有し、当該複数の表示モードを切替可能とする表示装置である。この場合において、第1の表示モードは64階調以上の階調表示を可能とし、第2の表示モードは2階調の表示を可能とする構成であってもよい。

【 発明の効果 】

【 0 0 1 7 】

以上に示したように、本発明は、画素電極の形状を八角形にすることによって、デルタ配列を行いながら、素子の配列を有効におこない、スタティックメモリなどを1つの画素に1つ以上配置したとしても、配線の寄生抵抗や配線の寄生容量を低減でき、遅延時間の増加を抑えることができる。また素子、配線の配置が容易となる。

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下、本発明の実施の態様について、図面を参照して説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 1 9 】

図1に八角形の画素電極を持つ画素の例を示す。101が1つの画素を表し、102が画素を駆動する回路を配置する場所を表す。図1に示すように回路を配置する領域102を都合良く得ることが可能になり、前述した従来の正方形または長方形の画素に比べて効率的な配置が可能になる。

【 0 0 2 0 】

図3に図1の画素を拡大した場合の構成例を示す。図3は図1の領域102を表している。図3の310は画素電極を表し、311が画素電極310の電位を制御する回路を表している。302は311に接続されるデータ線、307は他の画素電極を制御する回路につながるデータ線、304は第1の走査線、305は第2の走査線である。また、308、309は他の画素を制御する走査線である。303は電源供給線、306は他の画素の電源供給線である。301は配線を含めた画素回路を表している。また、312は低電位側電源線である。

【 0 0 2 1 】

ここで、データ線302、307、走査線304、305、308、309、低電位側

10

20

30

40

50

電源線 3 1 2 は図 3 にあるように八角形の画素の斜めの辺に沿った形で形成されている。このような形状をとることによって、配線クロスによる不要な寄生容量の発生や、配線長の増加による寄生抵抗の増加を防ぐことが可能になる。また素子、配線の配置を容易にすることが可能になる。

【 0 0 2 2 】

以上、本実施の形態では、八角形の画素電極を持つ画素の例について説明したが、本発明はこれに限定されず多角形の画素電極を適用することができる。特に、八辺を有し、ある一辺と、隣の一辺の長さの差が、ある一辺の長さの 20% 以下、好ましくは 10% 以下となる辺により構成された多角形の形状を有する画素電極とすることが好ましい。すなわち、八角形若しくはそれに近い多角形とすることが好ましい。

10

【実施例 1】

【 0 0 2 3 】

図 4 に図 3 の 3 0 1 の回路構成例を示す。図 4 の 4 0 1 が図 3 の 3 1 1 に対応する。図 4 の 4 0 2 はデータ線、4 2 1 は第 1 の走査線、4 0 4 は第 2 の走査線、4 0 3 は電源供給線、4 0 5 はスイッチング T F T、4 0 9 は駆動 T F T、4 1 5 は発光素子、4 1 7 は発光素子の第 1 の電極、4 1 6 は発光素子の第 2 の電極を表す。また 4 1 0 から 4 1 3 の T F T はスタティックメモリを構成している。4 0 6 はスタティックメモリに書き込みをおこないやすくするためのスイッチ T F T で、スイッチング T F T 4 0 5 と逆極性の T F T を用いる。また、4 0 7 はスタティックメモリの出力を駆動 T F T 4 0 9 のゲートに入力するためのスイッチ T F T である。スイッチ T F T 4 0 8 は駆動 T F T 4 0 9 のゲートを電源供給線 4 0 3 に接続するもので、駆動 T F T 4 0 9 をオフするために用いる。4 1 4 はスタティックメモリの低電位側電源である。

20

【 0 0 2 4 】

図 4 では、第 1 の走査線 4 2 1 の信号によりスイッチング T F T 4 0 5 をオンまたはオフすることで、データ線 4 0 2 のデータをスタティックメモリに記憶させるかどうかが決まる。このスタティックメモリに記憶されたデータと第 2 の走査線 4 0 4 の信号によって駆動 T F T 4 0 9 がオンまたはオフするかが決まり、オンの時には発光素子が発光する。

【 0 0 2 5 】

以下において、本実施形態における動作について説明をおこなう。

まず、発光素子を点灯させるデータを書き込む場合について説明する。データ線 4 0 2 にはロウ電位の信号が入力される。次に、第 1 の走査線 4 2 1 がハイになるとスイッチング T F T 4 0 5 がオンして、データ線のロウ電位が T F T 4 1 0、T F T 4 1 1 で構成されるインバータに入力され、T F T 4 1 0、4 1 1 で構成されるインバータの出力はハイになる。このインバータ出力は T F T 4 1 2、T F T 4 1 3 で構成されるインバータに入力される。T F T 4 1 2、4 1 3 で構成されるインバータの出力はロウであり、スイッチ T F T 4 0 7 を介して、駆動 T F T 4 0 9 のゲートに入力される。

30

スイッチ T F T 4 0 6 は第 1 の走査線がハイである間はオフとなっている。図 4 において駆動 T F T 4 0 9 は P 型 T F T であるので、ロウ電位がゲートに入力されるとオンし、発光素子の第 1 の電極 4 1 7 と電源供給線 4 0 3 は電氣的に接続（短絡）し、発光素子に電流が流れ、発光がおこなわれる。このとき、第 2 の走査線 4 0 4 はハイであるものとする。

40

【 0 0 2 6 】

次に、発光素子を点灯させないデータを書き込む場合について説明する。データ線 4 0 2 にはハイ電位の信号が入力される。次に、第 1 の走査線 4 2 1 がハイになるとスイッチング T F T 4 0 5 がオンして、データ線のハイ電位が T F T 4 1 0、T F T 4 1 1 で構成されるインバータに入力され、T F T 4 1 0、4 1 1 で構成されるインバータの出力はロウになる。このインバータ出力は T F T 4 1 2、T F T 4 1 3 で構成されるインバータに入力される。T F T 4 1 2、4 1 3 で構成されるインバータの出力はハイであり、スイッチ T F T 4 0 7 を介して、駆動 T F T 4 0 9 のゲートに入力される。

スイッチ T F T 4 0 6 は第 1 の走査線 4 2 1 がハイである間はオフとなっている。図 4

50

において、駆動TFT409はP型TFTであるので、ハイ電位がゲートに入力されるとオフし、発光素子の第1の電極417と電源供給線403は電氣的に接続（短絡）せず、発光素子に電流が流れず、発光がおこなわれない。このとき、第2の走査線404はハイであるものとする。

【0027】

次に、発光素子を消灯させる場合について説明する。消灯時には第1の走査線421はロウであるので、スイッチングTFT405はオフし、データ線402の電位は画素には書き込まれない。スイッチTFT406がオンし、データはすでに書き込まれたものが保持されている。第2の走査線404がロウとなり、スイッチTFT407はオフとなり、駆動TFT409とスタティックメモリは遮断される。スイッチTFT408を介して、電源供給線403の電位が駆動TFT409のゲートに入力される。

10

駆動TFT409はP型TFTであるので、電源供給線403の電位がゲートに入力されるとオフし、発光素子の第1の電極417と電源供給線403は電氣的に接続（短絡）接続せず、発光素子に電流が流れず、消灯される。

以上のように本実施例は動作する。尚、スタティックメモリを用いた回路構成は本実施例に記載したものに限定されず他の構成をとったものでも良い。

また、スタティックメモリは電源を切断しない限り、記憶状態を保持できるためドライバや後述するコントローラなどをすべて停止させることが可能となり、静止画を表示する場合には低消費電力化をはかることが可能である。

20

【実施例2】

【0028】

スタティックメモリを用いた表示は、スタティックメモリの出力値が0または1を表すデジタル値であるから、アナログ的な表示はできない。従って階調表示をおこなうときは時間階調を用いる。時間階調の原理について説明をおこなう。

【0029】

時間階調はある一定の輝度で発光する素子の点灯時間を変化させて、階調を表示するものである。たとえば、1フレーム期間中すべて点灯すれば点灯率は100%となる。また1フレーム期間中の半分の期間点灯すれば点灯率は50%となる。フレーム周波数がある程度高ければ、一般的には60Hz以上であれば、人間の目では点滅が認識できず、中間調として認識される。このようにして、点灯率を変化させることによって、階調を表現することが可能である。

30

【0030】

図5(A)は横軸に時間を取り、縦軸に表示画面の画素の縦軸をとったものである。この例では、表示画面は上から順に書き込みをおこなっており、そのため、表示が遅れることになる。この実施例では上から順に書き込みをおこなっているが、これには限定されない。以下4ビットを例にとり説明をおこなうが本発明は4ビットに限定されるものではない。

【0031】

図5(A)では、1フレームを4つのサブフレーム(Ts1、Ts2、Ts3、Ts4)に分けている。それぞれのサブフレームの期間の長さの比は、Ts1:Ts2:Ts3:Ts4=8:4:2:1となっている。これらのサブフレームを組み合わせることによって、点灯期間の長さを0~15までのいずれかに設定することが可能である。このように1フレームを2のべき乗のサブフレームに区切って階調を表現できる。

40

【0032】

また、Ts4では点灯期間が短いため、画面の下半分の書き込みが終了する前に、上半分を消灯する必要があり、書き込みと消去を並行しておこなっている。

【0033】

図5(B)は図5(A)と異なる時間区分で階調表現をおこなったものである。図5(A)の階調表現手段では上位ビットが変化したときに、疑似輪郭と呼ばれる不具合が発生する。これは人間の目が、例えば7階調目と8階調目を交互に見たときに映像が本来の階

50

調とは異なって見えるように錯覚をする、というものである。

【0034】

従って、図5(B)では上位ビットを分割し、上述した疑似輪郭現象を軽減しているものである。具体的には、最上位ビット(ここではTs1)を4つに分割し、1フレーム内部に配置している。また、第2ビット(ここではTs2)を2分割し、1フレーム内部に配置している。このようにして、時間的に長いビットを分割し、疑似輪郭の軽減をおこなっている。

【0035】

図6(A)は疑似輪郭が発生しないように、サブフレームを2のべき乗ではなく等間隔で区分したものである。この方式では大きなビットの区切りがないので、疑似輪郭は発生しないが、階調自体は荒くなる。すなわち、階調がサブフレームの倍数で表現されてしまうため、サブフレームの倍数以外の階調をうまく表示できない。従って、FRC(フレームレートコントロール)またはディザなどを用いて、階調補完をおこなう必要がある。

10

【0036】

図6(B)は2値表示のみをおこなう場合のものである。この場合は1フレーム中に1サブフレームのみ存在するので、書き換え回数も1フレームに1回となり、コントローラ、ドライバの消費電力を低減することが可能になる。

自然画を表示しない場合には、階調数は多くなくても良いので、消費電力を優先した表示が可能となる。このような表示と前述した図5(A)、図5(B)、図6(A)などを組み合わせることによって、大きな階調数が必要な場合と、少ない階調で十分な場合を使い分けて、消費電力の削減が可能になる。

20

【0037】

図6(C)は4階調を表現するもので1フレーム期間に3回の書き込みをおこなって表示をおこなう。これは図6(B)よりは階調数が多く必要であるが、図6(A)ほど多くを必要としない場合などに適応される。

【0038】

このようにサブフレームの構成方法は多数あり、ここに記載されている方法には限定されない。時間階調方式ではコントローラから入力する信号で上記の方式が設定できるのでディスプレイが多くの切り替え機能を持たなくとも、上記のいずれかから選択が可能になる。

30

【0039】

本実施例は、発明を実施するための最良の形態、及び、実施例1と自由に組み合わせることが可能である。

【実施例3】

【0040】

時間階調方式の駆動方法を行うための信号を、ディスプレイのソース信号線駆動回路及びゲート信号線駆動回路に供給する回路について、図7及び図8を用いて説明する。

【0041】

本明細書中では、表示装置に入力される映像信号を、デジタルビデオ信号と呼ぶことにする。なおここでは、4ビットのデジタルビデオ信号を入力して、画像を表示する表示装置を例に説明する。ただし、本発明は4ビットに限定されるものではない。

40

【0042】

信号制御回路701にデジタルビデオ信号が読み込まれ、ディスプレイ700にデジタル映像信号(VD)を出力する。また、本明細書中では、信号制御回路においてデジタルビデオ信号を編集し、ディスプレイに入力する信号に変換したものを、デジタル映像信号と呼ぶ。ディスプレイ700の、ソース信号線駆動回路707及びゲート信号線駆動回路708を駆動するための信号は、ディスプレイコントローラ702によって入力されている。

【0043】

信号制御回路701及びディスプレイコントローラ702の構成について説明する。な

50

お、ディスプレイ700のソース信号線駆動回路707は、シフトレジスタ710、LAT(A)711、LAT(B)712によって構成される。他に、図示していないが、レベルシフタやバッファ等を設けてもよい。また、本発明はこのような構成に限定するものではない。

【0044】

信号制御回路701は、CPU704、メモリ705、メモリ706及びメモリコントローラ703によって構成されている。信号制御回路701の詳細は図8に示す。

【0045】

信号制御回路701に入力されたデジタルビデオ信号は、メモリコントローラ703によって制御されるスイッチ713を介してメモリ705に入力される。ここで、メモリ705は、ディスプレイ700の画素部709の全画素分の4ビットのデジタルビデオ信号を、記憶可能な容量を有する。メモリ705に1フレーム期間分の信号が記憶されると、メモリコントローラ703によって、各ビットの信号が順に読み出される。デジタル映像信号VDはスイッチ714を介して、ディスプレイ700に入力される。

【0046】

メモリ705に記憶された信号の読み出しが始まると、今度は、メモリ706に、スイッチ713を介して、次のフレーム期間に対応するデジタルビデオ信号が入力され、記憶され始める。メモリ706もメモリ705と同様に、表示装置の全画素分の4ビットのデジタルビデオ信号を記憶可能な容量を有するとする。メモリ706に1フレーム期間分の信号が記憶されると、メモリコントローラ703によって、各ビットの信号が順に読み出される。デジタル映像信号VDはスイッチ714を介して、ディスプレイ700に入力される。メモリ706に記憶された信号の読み出しが始まると、メモリ705には次の書き込みがはじまる。これを繰り返すことによって、ディスプレイに信号を供給する。

【0047】

このように、信号制御回路701は、それぞれ1フレーム期間分ずつの4ビットのデジタルビデオ信号を記憶することができるメモリ705及びメモリ706を有し、このメモリ705とメモリ706とを交互に用いて、デジタルビデオ信号をディスプレイ700に供給する。

【0048】

ここでは、2つのメモリ705及びメモリ706を、交互に用いて信号を記憶する信号制御回路701について示したが、一般に、複数フレーム分の情報を記憶することができるメモリを有し、これらのメモリを交互に用いることで時間階調表示に必要な信号を得ることが可能である。

【0049】

本実施例は、発明を実施するための最良の形態、実施例1、及び、実施例2と自由に組み合わせることが可能である。

【実施例4】

【0050】

携帯電話ではQVGAのフォーマットが広く使用されている。従ってQVGAのフォーマットが使用できれば、QVGA対応のソフトウェアがそのまま使用できるので、新たなソフト開発が不要となり、開発費の低減が可能になる。また、ユーザーも普段使用している携帯電話と同様な機能を得ることが可能になり、利便性が向上する。

【0051】

従って、本発明では、QVGAのソフトで画像信号を処理し、その後、フォーマット変換を用いて、QVGAのデータをHVGA(ハーフVGA)またはVGA、SVGAなどの高解像モードに展開することによって、高解像ディスプレイを用いて、QVGAの画像を得ることが可能になる。

【0052】

図10にセットのブロック図を示す。各ブロックはアンテナ1001、RF回路1002、ベースバンド回路1003、コントローラ1004、ディスプレイ1007によって

10

20

30

40

50

構成される。ベースバンド部をQVGA対応のものとすることによって、携帯電話のシステムをそのまま使用することが可能になる。

コントローラの内部にはフォーマット変換回路1005、クロック制御信号発生回路1006を有し、ベースバンド回路1003から送られる信号をQVGAから、その他の信号に変換する。

【0053】

フォーマット変換の実施例として図11のようなものがあげられる。図11はメモリ1101、メモリ1102、メモリ制御回路1103より構成される。ベースバンド回路から送られた信号はまずメモリ1101に記憶される。次に配列を変えてメモリ1102にデータを転送する。メモリ制御回路1103はこれらメモリ1101、メモリ1102のタイミングを制御する。

10

【0054】

次に図12に示すような変換をおこなうための動作について説明する。QVGAからVGAに変換を行うためには、QVGAの画素数が240×320であり、VGAの画素数が480×640であるため、縦横とも2倍にする必要がある。その変換動作としては縦横に対して、メモリ1101より同じデータを2回読み出し、メモリ1102に書き込むことでフォーマット変換が可能になる。

【0055】

QVGAの画面を図12(A)に示すような2画素×2画素の単位に分割する。それをメモリ1101からメモリ1102に送る際には、それぞれの画素データを4回ずつ読み出し、図12(B)に示すように4×4のデータを作製する。このようにして縦横とも2倍のデータをもつ表示に用いる画像データを構成することが可能である。

20

【0056】

次にQVGAからSVGAに変換を行う場合、QVGAの画素数が240×320であり、SVGAの画素数が600×800であるため、縦横とも2.5倍にする必要がある。この場合は単純に読み出し回数を増やした場合では整数倍しかできないため、以下の方法をおこなう。

【0057】

QVGAの画面を図13(A)に示すような2画素×2画素の単位に分割する。それをメモリ1101からメモリ1102に送る際には、フレームによって画素ごとの読み出し回数を変えることで2.5倍を実現する。

30

【0058】

まず、第1のフレームにおいては図13(B)に示すようにメモリ1101から画素Aのデータを9回、画素Bのデータを6回、画素Cのデータを6回、画素Dのデータを4回読み出し、メモリ1102に記憶する。

【0059】

次に第2のフレームにおいては図13(C)に示すようにメモリ1101から画素Aのデータを6回、画素Bのデータを9回、画素Cのデータを4回、画素Dのデータを6回読み出し、メモリ1102に記憶する。

【0060】

次に第3のフレームにおいては図13(D)に示すようにメモリ1101から画素Aのデータを6回、画素Bのデータを4回、画素Cのデータを9回、画素Dのデータを6回読み出し、メモリ1102に記憶する。

40

【0061】

次に第4のフレームにおいては図13(E)に示すようにメモリ1101から画素Aのデータを4回、画素Bのデータを6回、画素Cのデータを6回、画素Dのデータを9回読み出し、メモリ1102に記憶する。

【0062】

これによって、第1フレーム～第4フレーム間において、どの画素も合計25回の読み出しがおこなわれ、平均6.25回の読み出しがおこなわれる。縦横に関しては2.5倍

50

になっていることになる。このようにして縦横とも2.5倍のデータをもつ表示に用いる画像データを構成することが可能である。

【0063】

次にQVGAからHVGAに変換を行う場合、QVGAの画素数が240×320であり、HVGAの画素数が320×480であるため、縦横とも1.333倍以上にする必要がある。この場合は単純に読み出し回数を増やした場合では整数倍しかできないため、以下の方法をおこなう。また、HVGAは画面アスペクト比が3:4でないため、一部表示がおこなえない領域があるがこの場合はその部分を黒表示にするなどして対応する。

【0064】

QVGAの画面を図14(A)に示すような3画素×3画素の単位に分割する。それをメモリ1101からメモリ1102に送る際には、フレームによって画素ごとに読み出し回数を変えることで1.333倍を実現する。

10

【0065】

まず、第1のフレームにおいては図14(B)に示すようにメモリ1101から画素Aのデータを4回、画素Bのデータを2回、画素Cのデータを2回、画素Dのデータを2回、画素Eのデータを1回、画素Fのデータを1回、画素Gのデータを2回、画素Hのデータを1回、画素Iのデータを1回読み出し、メモリ1102に記憶する。

【0066】

次に、第2のフレームにおいては図14(C)に示すようにメモリ1101から画素Aのデータを2回、画素Bのデータを4回、画素Cのデータを2回、画素Dのデータを1回、画素Eのデータを2回、画素Fのデータを1回、画素Gのデータを1回、画素Hのデータを2回、画素Iのデータを1回読み出し、メモリ1102に記憶する。

20

【0067】

次に、第3のフレームにおいては図14(D)に示すようにメモリ1101から画素Aのデータを2回、画素Bのデータを2回、画素Cのデータを4回、画素Dのデータを1回、画素Eのデータを1回、画素Fのデータを2回、画素Gのデータを1回、画素Hのデータを1回、画素Iのデータを2回読み出し、メモリ1102に記憶する。

【0068】

次に、第4のフレームにおいては図14(E)に示すようにメモリ1101から画素Aのデータを2回、画素Bのデータを1回、画素Cのデータを1回、画素Dのデータを4回、画素Eのデータを2回、画素Fのデータを2回、画素Gのデータを2回、画素Hのデータを1回、画素Iのデータを1回読み出し、メモリ1102に記憶する。

30

【0069】

次に、第5のフレームにおいては図14(F)に示すようにメモリ1101から画素Aのデータを1回、画素Bのデータを2回、画素Cのデータを1回、画素Dのデータを2回、画素Eのデータを4回、画素Fのデータを2回、画素Gのデータを1回、画素Hのデータを2回、画素Iのデータを1回読み出し、メモリ1102に記憶する。

【0070】

次に、第6のフレームにおいては図14(G)に示すようにメモリ1101から画素Aのデータを1回、画素Bのデータを1回、画素Cのデータを2回、画素Dのデータを2回、画素Eのデータを2回、画素Fのデータを4回、画素Gのデータを1回、画素Hのデータを1回、画素Iのデータを2回読み出し、メモリ1102に記憶する。

40

【0071】

次に、第7のフレームにおいては図14(H)に示すようにメモリ1101から画素Aのデータを2回、画素Bのデータを1回、画素Cのデータを1回、画素Dのデータを2回、画素Eのデータを1回、画素Fのデータを1回、画素Gのデータを4回、画素Hのデータを2回、画素Iのデータを2回読み出し、メモリ1102に記憶する。

【0072】

次に、第8のフレームにおいては図14(I)に示すようにメモリ1101から画素Aのデータを1回、画素Bのデータを2回、画素Cのデータを1回、画素Dのデータを1回

50

、画素Eのデータを2回、画素Fのデータを1回、画素Gのデータを2回、画素Hのデータを4回、画素Iのデータを2回読み出し、メモリ1102に記憶する。

【0073】

次に、第9のフレームにおいては図14(J)に示すようにメモリ1101から画素Aのデータを1回、画素Bのデータを1回、画素Cのデータを2回、画素Dのデータを1回、画素Eのデータを1回、画素Fのデータを2回、画素Gのデータを2回、画素Hのデータを2回、画素Iのデータを4回読み出し、メモリ1102に記憶する。

【0074】

これによって、第1フレーム～第9フレーム間において、どの画素も合計16回の読み出しがおこなわれ、平均1.777回の読み出しがおこなわれる。縦横に関しては1.333倍になっていることになる。このようにして縦横とも1.333倍のデータをもつ表示に用いる画像データを構成することが可能である。

10

【0075】

以上によって、QVGAからVGA、SVGA、HVGAへの変換が可能となる。尚、フォーマット変換の方式は以上に述べた方式には限定されず、他の方式を用いても良い。

【0076】

本実施例は、発明を実施するための最良の形態、実施例1乃至実施例3と自由に組み合わせることが可能である。

【実施例5】

【0077】

本発明の電気機器について図9を参照して説明する。

20

【0078】

図9(A)はデジタルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。このデジタルカメラにおいて、表示部3102は、実施の形態若しくは実施例1乃至4で説明したものと同様の画素を備えている。すなわち、画素の構成として、デルタ配列をおこないながら、素子の配列を有効におこない、スタティックメモリなどを1つの画素に1つ以上配置したとしても、配線の寄生抵抗や配線の寄生容量を低減でき、遅延時間の増加を抑えることができる。また素子及び配線の配置が容易となるという特徴を有している。このような特徴により、デジタルカメラにおいて、低消費電力化を図ることができる。それにより、バッテリーを小型化することができ、軽量薄型化されたデジタルカメラを提供することができる。また、動画及び静止画のいずれについても高品位な画像を表示することができる。

30

【0079】

図9(B)はコンピュータであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。このコンピュータにおいて、表示部3203は、実施の形態若しくは実施例1乃至4で説明したものと同様の画素を備えている。すなわち、画素の構成として、デルタ配列をおこないながら、素子の配列を有効におこない、スタティックメモリなどを1つの画素に1つ以上配置したとしても、配線の寄生抵抗や配線の寄生容量を低減でき、遅延時間の増加を抑えることができる。また素子及び配線の配置が容易となるという特徴を有している。このような特徴により、コンピュータにおいて、低消費電力化を図ることができる。それにより、バッテリーを小型化することができ、軽量薄型化されたコンピュータを提供することができる。また、同じ用量のバッテリーを搭載した場合には、充電しないで使用することのできる時間を延ばすことができる。また、動画及び静止画のいずれについても高品位な画像を表示することができる。

40

【0080】

図9(C)は携帯情報端末装置であり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。この携帯情報端末において、表示部3302は、実施の形態若しくは実施例1乃至4で説明したものと同様の画素を備

50

えている。すなわち、画素の構成として、デルタ配列をおこないながら、素子の配列を有効におこない、スタティックメモリなどを1つの画素に1つ以上配置したとしても、配線の寄生抵抗や配線の寄生容量を低減でき、遅延時間の増加を抑えることができる。また素子及び配線の配置が容易となるという特徴を有している。このような特徴により、携帯情報端末装置において、低消費電力化を図ることができる。それにより、バッテリーを小型化することができ、小型軽量化された携帯情報端末装置を提供することができる。また、同じ用量のバッテリーを搭載した場合には、充電しないで使用することのできる時間を延ばすことができる。また、動画及び静止画のいずれについても高品位な画像を表示することができる。

【0081】

図9(D)は記録媒体読み込み部を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3401、筐体3402、記録媒体(CD、LDまたはDVD等)読込部3405、操作キー3406、表示部(a)3403、表示部(b)3404等を含む。この画像再生装置において、表示部(a)3403、表示部(b)3404は、実施の形態若しくは実施例1乃至4で説明したものと同様の画素を備えている。すなわち、画素の構成として、デルタ配列をおこないながら、素子の配列を有効におこない、スタティックメモリなどを1つの画素に1つ以上配置したとしても、配線の寄生抵抗や配線の寄生容量を低減でき、遅延時間の増加を抑えることができる。また素子及び配線の配置が容易となるという特徴を有している。このような特徴により、画像再生装置において、低消費電力化を図ることができる。それにより、バッテリーを小型化することができ、小型軽量化された画像再生装置を提供することができる。また、バッテリーモードで使用する場合には、長時間の再生が可能であり、映像を鑑賞することのできる時間を延ばすことができる。

【0082】

図9(E)は折りたたみ式携帯表示装置であり、本体3501に表示部3502が設けられている。この携帯表示装置において、表示部3502は、実施の形態若しくは実施例1乃至4で説明したものと同様の画素を備えている。すなわち、画素の構成として、デルタ配列をおこないながら、素子の配列を有効におこない、スタティックメモリなどを1つの画素に1つ以上配置したとしても、配線の寄生抵抗や配線の寄生容量を低減でき、遅延時間の増加を抑えることができる。また素子及び配線の配置が容易となるという特徴を有している。このような特徴により、携帯表示装置において、低消費電力化を図ることができる。それにより、バッテリーを小型化することができ、本体3501の小型軽量化を図ることができる。

【0083】

図9(F)は腕時計であり、ベルト3601、表示部3602、操作スイッチ3603、音声出力部3604等を含む。この腕時計において、表示部3602は、実施の形態若しくは実施例1乃至4で説明したものと同様の画素を備えている。すなわち、画素の構成として、デルタ配列をおこないながら、素子の配列を有効におこない、スタティックメモリなどを1つの画素に1つ以上配置したとしても、配線の寄生抵抗や配線の寄生容量を低減でき、遅延時間の増加を抑えることができる。また素子及び配線の配置が容易となるという特徴を有している。このような特徴により、腕時計において、低消費電力化を図ることができる。それにより、バッテリーを小型化することができ、小型軽量化された腕時計を提供することができる。

【0084】

図9(G)は携帯電話機であり、本体3701は、筐体3702、表示部3703、音声入力部3704、アンテナ3705、操作キー3706、外部接続ポート3707などを含む。この携帯電話機において、表示部3703は、実施の形態若しくは実施例1乃至4で説明したものと同様の画素を備えている。すなわち、画素の構成として、デルタ配列をおこないながら、素子の配列を有効におこない、スタティックメモリなどを1つの画素に1つ以上配置したとしても、配線の寄生抵抗や配線の寄生容量を低減でき、遅延時間の増加を抑えることができる。また素子及び配線の配置が容易となるという特徴を有してい

10

20

30

40

50

る。このような特徴により、携帯電話機において、低消費電力化を図ることができる。それにより、バッテリーを小型化することができ、軽量化された携帯電話機を提供することができる。また、同じ容量のバッテリーを搭載した場合には、充電しないで使用することができる時間を延ばすことができる。また、動画及び静止画のいずれについても高品位な画像を表示することができる。

【0085】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0086】

なお、本実施例は、発明を実施するための最良の形態、実施例1乃至実施例4と自由に組み合わせることが可能である。

10

【図面の簡単な説明】

【0087】

【図1】本発明のデルタ配列画素の概略図。

【図2】従来のデルタ配置画素の概略図。

【図3】本発明のデルタ配列画素の拡大図。

【図4】本発明の画素の実施例の等価回路を示す図。

【図5】本発明のサブフレームの実施例を示す図。

【図6】本発明のサブフレームの実施例を示す図。

【図7】コントローラのブロック図。

20

【図8】コントローラのブロック図。

【図9】本発明を用いた電子機器の実施例を示す図。

【図10】本発明の実施例を用いた携帯電話のブロック図。

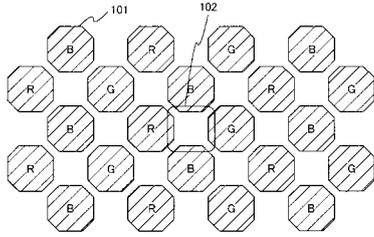
【図11】本発明の実施例を用いたフォーマット変換回路のブロック図。

【図12】画素フォーマットの変換を示す図。

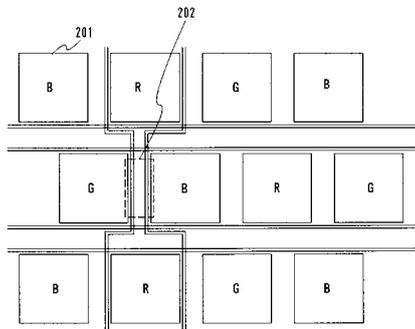
【図13】画素フォーマットの変換を示す図。

【図14】画素フォーマットの変換を示す図。

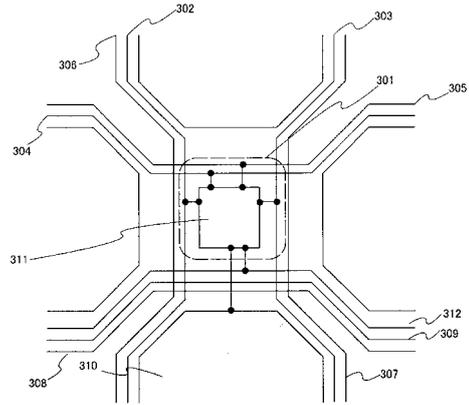
【 図 1 】



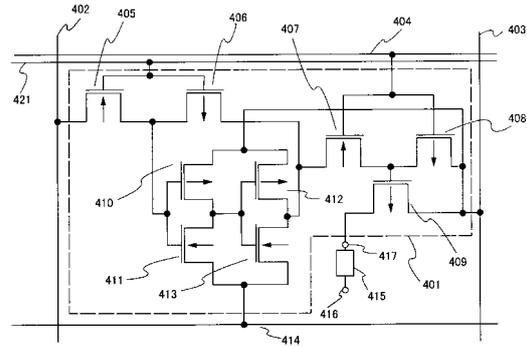
【 図 2 】



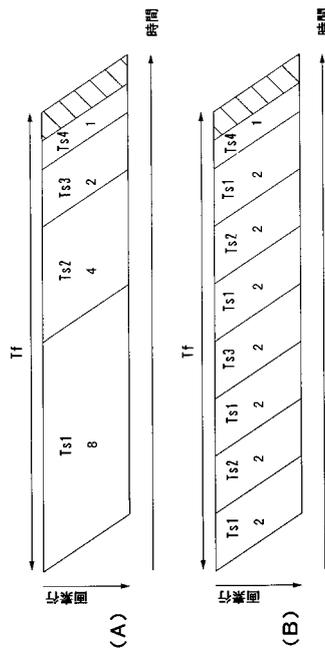
【 図 3 】



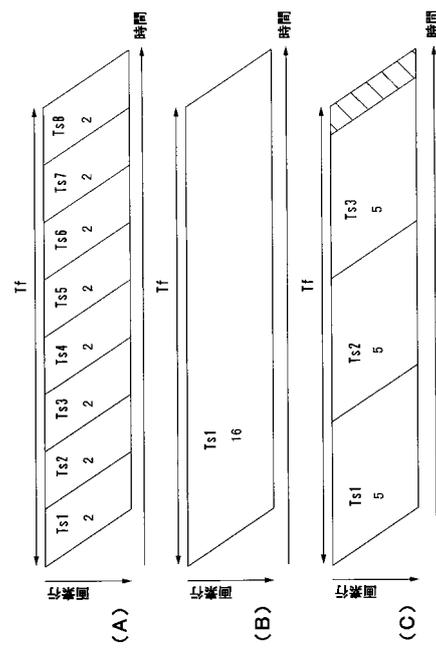
【 図 4 】



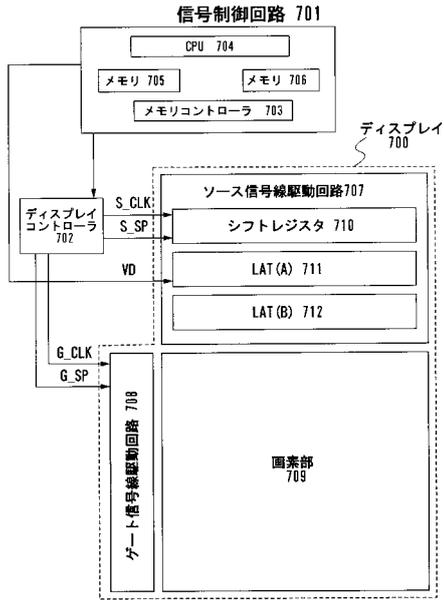
【 図 5 】



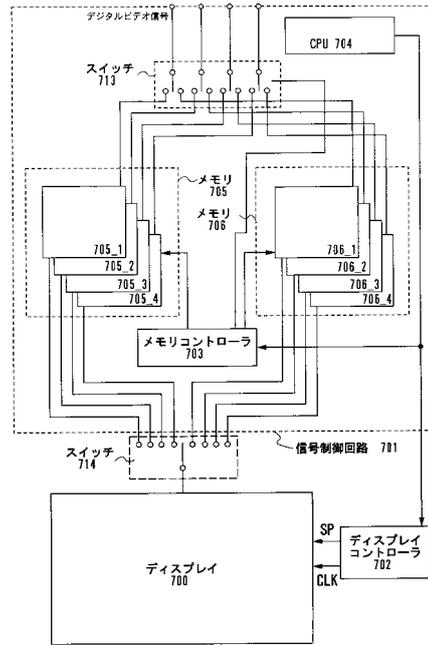
【 図 6 】



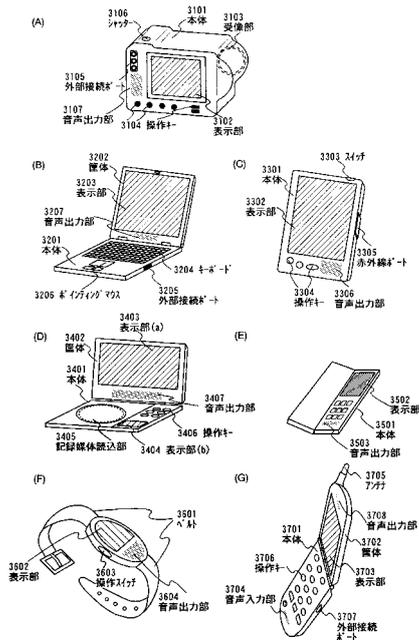
【図7】



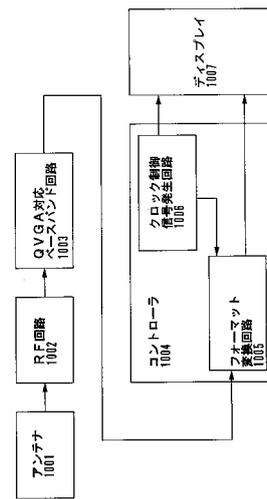
【図8】



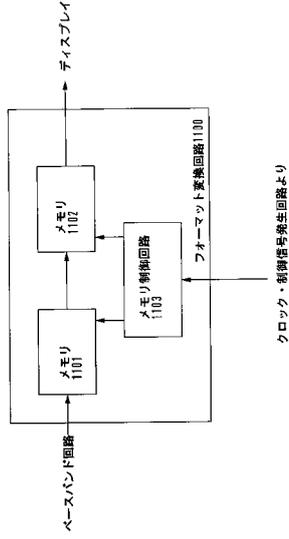
【図9】



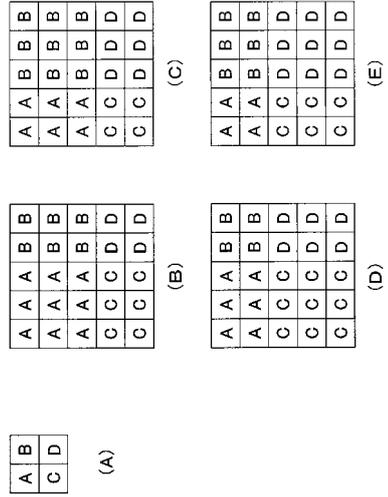
【図10】



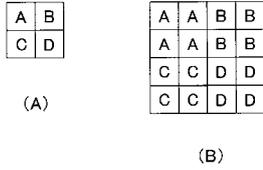
【 1 1 】



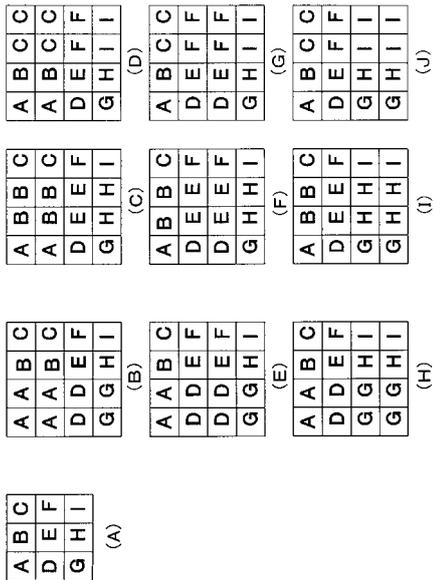
【 1 3 】



【 1 2 】



【 1 4 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 5 B	33/26	(2006.01)	G 0 9 G	3/20 6 1 1 J
G 0 2 F	1/1368	(2006.01)	G 0 9 G	3/36
			H 0 5 B	33/12 B
			H 0 5 B	33/14 A
			H 0 5 B	33/26 Z
			G 0 2 F	1/1368
			G 0 9 G	3/20 6 4 1 E
			G 0 9 G	3/20 6 5 0 C
			G 0 9 G	3/20 6 1 1 A
			G 0 9 G	3/20 6 3 1 B

(56)参考文献 特開平04 - 285917 (JP, A)
 国際公開第2004/073356 (WO, A1)
 特開2004 - 163601 (JP, A)
 特開2003 - 107505 (JP, A)
 特開2003 - 108031 (JP, A)
 特開2003 - 302946 (JP, A)
 特開2001 - 222256 (JP, A)
 特開2002 - 140036 (JP, A)
 特開2002 - 221917 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 F 9 / 0 0 - 9 / 3 0
 9 / 3 0 7 - 9 / 4 6
 H 0 1 L 2 7 / 3 2
 G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5
 1 / 1 3 5 - 1 / 1 3 6 8
 H 0 1 L 5 1 / 5 0
 H 0 5 B 3 3 / 0 0 - 3 3 / 2 8
 G 0 9 G 3 / 0 0 - 3 / 0 8
 3 / 1 2
 3 / 1 6
 3 / 1 9 - 3 / 2 6
 3 / 3 0
 3 / 3 4
 3 / 3 8