

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363174

(P2004-363174A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int. Cl.⁷

H05K 3/06
G09F 9/30
H05B 33/10
H05B 33/14
H05B 33/28

F I

H05K 3/06 L
G09F 9/30 C
H05B 33/10
H05B 33/14 A
H05B 33/14 Z

テーマコード(参考)

3K007
5C094
5E339

審査請求 未請求 請求項の数 9 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2003-156842(P2003-156842)

(22) 出願日 平成15年6月2日(2003.6.2)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅誉

(74) 代理人 100107076

弁理士 藤綱 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 齊藤 博之

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 今井 克浩

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

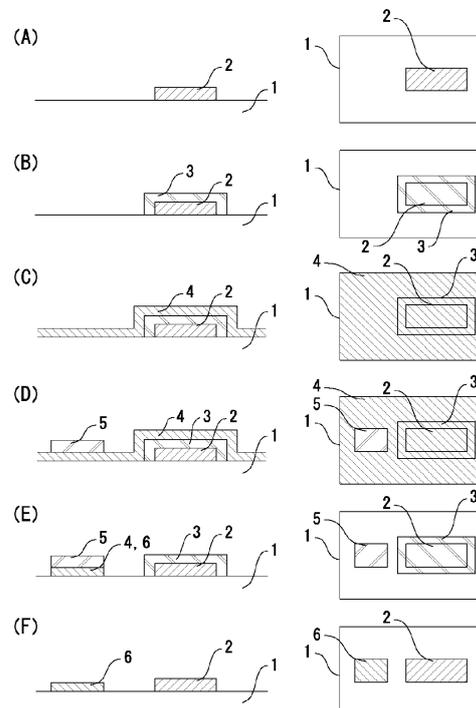
(54) 【発明の名称】 薄膜パターンの形成方法、電気光学装置、電気光学装置の製造方法および電子機器

(57) 【要約】

【課題】同一基板上に形成された薄膜をエッチング選択性の低い条件でエッチングする場合でも、エッチング対象とされない薄膜がエッチングされることを防止可能な薄膜パターンの形成方法、電気光学装置の製造方法、電気光学装置、および電子機器を提供すること。

【解決手段】基板1の表面にITO膜からなる下層側薄膜パターン2を形成した後、下層側薄膜パターン2全体を覆う保護用マスク3を形成する。次に、保護用マスク3の上層側に対してアルミニウム膜からなる上層側薄膜4を形成した後、上層側薄膜4の表面にパターニング用マスク5を形成する。次に、パターニング用マスク5から露出している上層側薄膜4をエッチングによりパターニングして上層側薄膜パターン6を形成し、しかる後に、パターニング用マスク5と、上層側薄膜パターン6から露出している保護用マスク3とを同時に除去する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

下層側薄膜を形成する下層側薄膜形成工程と、前記下層側薄膜の上層側に上層側薄膜を形成する上層側薄膜形成工程と、前記上層側薄膜の表面にパターンニング用マスクを形成して当該上層側薄膜にエッチングを行うエッチング工程とを有する薄膜パターンの形成方法において、

前記下層側薄膜と前記上層側薄膜とに対するエッチング選択性の低いエッチング条件で前記エッチング工程を行う際には、前記下層側薄膜を保護膜で覆っておくことを特徴とする薄膜パターンの形成方法。

【請求項 2】

請求項 1 において、前記上層側薄膜は、前記エッチング工程により前記下層側薄膜から離間した位置に上層側薄膜パターンを形成するための薄膜であり、

前記上層側薄膜パターンの表面側全体を覆い、かつ、前記上層側薄膜パターンの形成予定領域を避けた領域に前記保護膜を形成した後、前記上層側薄膜を形成し、

前記エッチング工程を行った後は、前記保護膜を除去することを特徴とする薄膜パターンの形成方法。

【請求項 3】

請求項 1 において、前記上層側薄膜は、前記エッチング工程により前記下層側薄膜に一部が重なる上層側薄膜パターンを形成するための薄膜であり、

前記下層側薄膜の表面側のうち、前記上層側薄膜パターンの形成予定領域を避けた領域に前記保護膜を形成した後、前記上層側薄膜を形成し、

前記エッチング工程を行った後は、前記保護膜を除去することを特徴とする薄膜パターンの形成方法。

【請求項 4】

請求項 2 または 3 において、前記保護膜および前記パターンニング用マスクは、いずれも感光性樹脂からなり、

前記上層側薄膜に対するエッチング工程の後、前記パターンニング用マスクを除去する剥離工程では、前記保護膜を同時に除去することを特徴とする薄膜パターンの形成方法。

【請求項 5】

請求項 1 ないし 4 のいずれかに規定する薄膜パターンの形成方法を用いて薄膜パターンを形成した前記基板を電気光学物質を保持する電気光学装置用基板として用いることを特徴とする電気光学装置の製造方法。

【請求項 6】

請求項 5 に規定する方法で製造したことを特徴とする電気光学装置。

【請求項 7】

請求項 6 において、前記電気光学物質は、前記電気光学装置用基板と、該電気光学装置用基板に対向配置された基板との間に保持された液晶であることを特徴とする電気光学装置。

【請求項 8】

請求項 6 において、前記電気光学物質は、前記電気光学装置用基板上に形成されたエレクトロルミネッセンス材料であることを特徴とする電気光学装置。

【請求項 9】

請求項 6 ないし 8 のいずれかに規定された電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、下層側薄膜の上層側に形成した上層側薄膜をエッチングして薄膜パターンを形成するための薄膜パターンの形成方法、この方法で薄膜パターンを形成した基板を電気光学物質の保持用に用いた電気光学装置の製造方法、この方法で製造した電気光学装置、お

10

20

30

40

50

よび電子機器に関するものである。

【0002】

【従来の技術】

各種の電気光学装置や半導体装置などを製造する際には、半導体プロセスを利用して複数種類の薄膜パターンを同一基板上に順次形成していく。すなわち、図15(A)に示すように、基板1の表面に下層側薄膜パターン2(下層側薄膜)を形成した後、図15(B)に示すように、基板1の全面に上層側薄膜パターンを形成するための上層側薄膜4(上層側薄膜)を形成する。次に、図15(C)に示すように、フォトリソグラフィ技術を用いて、上層側薄膜4の表面に上層側薄膜パターンを形成するためのパターンニング用マスク5を形成した後、図15(D)に示すように、このパターンニング用マスク5から露出している上層側薄膜4をエッチングによりパターンニングして上層側薄膜パターン6を形成し、しかる後に、パターンニング用マスク5を除去する剥離工程を行う。その結果、図15(E)に示すように、同一基板1上に、下層側薄膜パターン2と上層側薄膜パターン6とを形成することができる。

10

【0003】

【発明が解決しようとする課題】

しかしながら、図15を参照して説明した薄膜パターンの形成方法において、上層側薄膜4から上層側薄膜パターン6をエッチングにより形成するときのエッチング条件が下層側薄膜パターン2と上層側薄膜4とに対するエッチング選択性が低い場合には、下層側薄膜パターン2もエッチングされてしまい、下層側薄膜パターン2を所望の形状、あるいは膜厚さに形成できないという問題点がある。このような問題点は、薄膜が導電膜であるか絶縁膜であるかにかかわらず、また、エッチング方法がウエットエッチングであるかドライエッチングであるかにかかわらず、発生する問題である。

20

【0004】

以上の問題点に鑑みて、本発明の課題は、同一基板上に形成された薄膜をエッチング選択性の低い条件でエッチングする場合でも、エッチング対象とされない薄膜がエッチングされることを防止可能な薄膜パターンの形成方法、この方法で薄膜パターンを形成した基板を電気光学物質の保持用に用いた電気光学装置の製造方法、この方法で製造した電気光学装置、および電子機器を提供することにある。

【0005】

【課題を解決するための手段】

上記課題を解決するため、本発明に係る薄膜パターンの形成方法では、下層側薄膜を形成する下層側薄膜形成工程と、前記下層側薄膜の上層側に上層側薄膜を形成する上層側薄膜形成工程と、前記上層側薄膜の表面にパターンニング用マスクを形成して当該上層側薄膜にエッチングを行うエッチング工程とを有する薄膜パターンの形成方法において、前記下層側薄膜と前記上層側薄膜とに対するエッチング選択性の低いエッチング条件で前記エッチング工程を行う際には、前記下層側薄膜を保護膜で覆っておくことを特徴とする。

30

【0006】

本発明では、上層側薄膜に対して、下層側薄膜とのエッチング選択性の低いエッチング条件でエッチングを行う際、下層側薄膜を保護膜で覆っておくため、下層側薄膜がエッチングされてしまうことを防止できる。従って、下層側薄膜を所望の形状、あるいは膜厚さに維持することができる。

40

【0007】

本発明は、薄膜が導電膜であるか絶縁膜であるかにかかわらず、また、エッチング方法がウエットエッチングであるかドライエッチングであるかにかかわらず、適用することができる。また、本発明は、上層側薄膜と下層側薄膜とが異なる材料であるか同一材料であるかにかかわらず、適用することができる。

【0008】

本発明において、前記上層側薄膜は、例えば、前記エッチング工程により前記下層側薄膜から離間した位置に上層側薄膜パターンを形成するための薄膜である。この場合、前記上

50

層側薄膜パターンの表面側全体を覆い、かつ、前記上層側薄膜パターンの形成予定領域を避けた領域に前記保護膜を形成した後、前記上層側薄膜を形成することが好ましい。このように構成すると、前記エッチング工程を行った後、前記保護膜を除去することができる。

【0009】

本発明において、前記上層側薄膜は、前記エッチング工程により前記下層側薄膜に一部が重なる上層側薄膜パターンを形成するための薄膜であってもよく、この場合、前記下層側薄膜の表面側のうち、前記上層側薄膜パターンの形成予定領域を避けた領域に前記保護膜を形成することが好ましい。このように構成すると、前記エッチング工程を行った後、前記保護膜を除去することができる。

10

【0010】

本発明において、前記保護膜および前記パターンニング用マスクは、いずれも感光性樹脂からなり、この場合、前記上層側薄膜に対するエッチング工程の後、前記パターンニング用マスクを除去する剥離工程では、前記保護膜を同時に除去することが好ましい。

【0011】

本発明に係る薄膜パターンの形成方法を用いて薄膜パターンを形成した前記基板については、例えば、電気光学装置の製造方法において、電気光学物質を保持する電気光学装置用基板として用いる。

【0012】

本発明において、前記電気光学物質は、例えば、前記電気光学装置用基板と、該電気光学装置用基板に対向配置された基板との間に保持された液晶である。

20

【0013】

また、本発明は、前記電気光学物質としてのエレクトロルミネッセンス材料が前記電気光学装置用基板上に形成された電気光学装置を製造する際にも適用することができる。

【0014】

本発明に係る電気光学装置は、携帯電話機、モバイルコンピュータなどの電子機器に搭載される。

【0015】

【発明の実施の形態】

図面を参照して、本発明の実施の形態を説明する。

30

【0016】

[実施の形態1]

図1(A)~(F)は、本発明の実施の形態1に係る薄膜パターンの形成方法を示す説明図であり、各図の右側には平面図を示し、左側には断面図を示してある。

【0017】

本形態では、まず、図1(A)に示すように、成膜工程、フォトリソグラフィ工程、およびエッチング工程によって、基板1の表面に下層側薄膜パターン2(下層側薄膜)を形成した後(下層側薄膜形成工程)、図1(B)に示すように、フォトリソグラフィ技術を利用して、感光性樹脂により、下層側薄膜パターン2全体を覆う保護用マスク3(保護膜)を形成する(保護膜形成工程)。ここで、保護用マスク3は、下層側薄膜パターン2の表面側全体を覆い、かつ、後述する上層側薄膜パターンの形成予定領域を避けた領域に形成する。

40

【0018】

次に、図1(C)に示すように、保護用マスク3の上層側に対して、基板1の表面全体に、上層側薄膜パターンを形成するための上層側薄膜4を形成する(上層側薄膜形成工程)。

【0019】

次に、図1(D)に示すように、フォトリソグラフィ技術を利用して、感光性樹脂により、上層側薄膜4の表面に上層側薄膜パターンを形成するためのパターンニング用マスク5を形成する(パターンニング用マスク形成工程)。

50

【0020】

次に、図1(E)に示すように、パターンング用マスク5から露出している上層側薄膜4をエッチングによりパターンングして上層側薄膜パターン6を形成する(エッチング工程)。

【0021】

次に、図1(F)に示すように、有機系の剥離液を用いてパターンング用マスク5を除去する(剥離工程)。その際、保護用マスク3は、下層側薄膜パターン2の表面側全体を覆い、かつ、上層側薄膜パターン6の形成領域を避けた領域に形成してあるので、上層側薄膜パターン6から露出している保護用マスク3を同時に除去することができる。その結果、基板1には、下層側薄膜パターン2と上層側薄膜パターン6とを離間した位置に形成することができる。

10

【0022】

このようにして、上層側薄膜4に対するエッチングにより上層側薄膜パターン6を形成する際、そのエッチング条件が上層側薄膜4と下層側薄膜パターン2とに対するエッチング選択性の低い場合でも、本形態では、下層側薄膜パターン2を保護マスク5で覆っておくため、下層側薄膜パターン2がエッチングされてしまうことを防止できる。従って、下層側薄膜パターン2を所望の形状、あるいは膜厚さに維持することができる。

【0023】

また、本形態では、保護用マスク3およびパターンング用マスク5がいずれも、感光性樹脂からなるので、パターンング用マスク5を除去する剥離工程において、上層側薄膜パターン6から露出している保護用マスク3を同時に除去する。従って、2つのマスクを除去するための工程が1回で済むという利点がある。

20

【0024】

なお、本形態の薄膜パターン形成方法は、薄膜(下層側薄膜パターン2および上層側薄膜4)が導電膜であるか絶縁膜であるかにかかわらず、また、エッチング方法がウエットエッチングであるかドライエッチングであるかにかかわらず、適用することができる。また、本形態の薄膜パターン形成方法は、2つの薄膜(下層側薄膜パターン2および上層側薄膜4)が異なる材料であるか同一材料であるかにかかわらず、適用することができる。

【0025】

[実施の形態2]

実施の形態1では、下層側薄膜パターン2と上層側薄膜パターン6とが平面的に離間した位置に形成されていたが、以下に説明するように、下層側薄膜パターン2と上層側薄膜パターン6とが部分的に重なる場合にも本発明を適用することができる。

30

【0026】

図2(A)~(F)は、本発明の実施の形態2に係る薄膜パターン形成方法を示す説明図であり、各図の右側には平面図を示し、左側には断面図を示してある。

【0027】

本形態では、まず、図2(A)に示すように、成膜工程、フォトリソグラフィ工程、およびエッチング工程によって、基板1の表面に下層側薄膜パターン2(下層側薄膜)を形成した後(下層側薄膜形成工程)、図2(B)に示すように、フォトリソグラフィ技術を利用して、感光性樹脂により、下層側薄膜パターン2を部分的に覆う保護用マスク3(保護膜)を形成する(保護用マスク形成工程)。すなわち、下層側薄膜パターン2の表面側のうち、後述する上層側薄膜パターンの形成予定領域を避けた領域に保護用マスク3を形成する。

40

【0028】

次に、図2(C)に示すように、保護用マスク3の上層側に対して、基板1の表面全体に、上層側薄膜パターンを形成するための上層側薄膜4を形成する(上層側薄膜形成工程)。

【0029】

次に、図2(D)に示すように、フォトリソグラフィ技術を利用して、感光性樹脂により

50

、上層側薄膜 4 の表面に上層側薄膜パターンを形成するためのパターニング用マスク 5 を形成する（パターニング用マスク形成工程）。この際、下層側薄膜パターン 2 の一部と平面的に重なるようにパターニング用マスク 5 を形成する。

【0030】

次に、図 2（E）に示すように、パターニング用マスク 5 から露出している上層側薄膜 4 をエッチングによりパターニングして上層側薄膜パターン 6 を形成する（エッチング工程）。

【0031】

次に、図 2（F）に示すように、パターニング用マスク 5 を除去する（剥離工程）。その際、保護用マスク 3 は、下層側薄膜パターン 2 の表面側のうち、上層側薄膜パターン 6 の形成予定領域を避けた領域に形成してあるので、上層側薄膜パターン 6 から露出している保護用マスク 3 を同時に除去することができる。その結果、基板 1 には、下層側薄膜パターン 2 と上層側薄膜パターン 6 とを一部重ねて形成することができる。

10

【0032】

このようにして、上層側薄膜 4 に対するエッチングにより上層側薄膜パターン 6 を形成する際も、実施の形態 1 と同様、そのエッチング条件が上層側薄膜 4 と下層側薄膜パターン 2 とに対するエッチング選択性の低い場合でも、本形態では、下層側薄膜パターン 2 を保護マスク 5 で覆っておくため、下層側薄膜パターン 2 がエッチングされてしまうことを防止できる。従って、下層側薄膜パターン 2 を所望の形状、あるいは膜厚さに維持することができる。

20

【0033】

また、本形態では、保護用マスク 3 およびパターニング用マスク 5 がいずれも、感光性樹脂からなるので、パターニング用マスク 5 を除去する剥離工程において、上層側薄膜パターン 6 から露出している保護用マスク 3 を同時に除去する。従って、2 つのマスクを除去するための工程が 1 回で済むという利点がある。

【0034】

なお、本形態の薄膜パターンの形成方法も、実施の形態 1 と同様、薄膜（下層側薄膜パターン 2 および上層側薄膜 4）が導電膜であるか絶縁膜であるかにかかわらず、また、エッチング方法がウエットエッチングであるかドライエッチングであるかにかかわらず、適用することができる。また、本形態の薄膜パターンの形成方法は、2 つの薄膜（下層側薄膜パターン 2 および上層側薄膜 4）が異なる材料であるか同一材料であるかにかかわらず、適用することができる。

30

【0035】

[電気光学装置への適用例]

（全体構成）

図 3 は、本発明が適用される電気光学装置（液晶装置）の電氣的構成を示すブロック図である。図 4 および図 5 はそれぞれ、電気光学装置の構成を示す斜視図、および断面図である。図 6 は、電気光学装置において、TFD（Thin Film Diode）素子を含む数画素分のレイアウトを示す平面図であり、図 7（A）、（B）はそれぞれ、その A - A' 線に沿って示す断面図、および TFD 素子の斜視図である。

40

【0036】

図 3 に示すように、本形態の電気光学装置 100 では、複数本の走査線 51 が行（X）方向に延在して形成され、また、複数本のデータ線 52 が列（Y）方向に延在して形成されるとともに、走査線 51 とデータ線 52 との各交差において画素 53 が形成されている。各画素 53 は、液晶表示要素（液晶層）54 と二端子型アクティブ素子たる TFD 素子 56 との直列接続からなり、液晶層 54 が走査線 51 の側に、TFD 素子 56 がデータ線 52 の側に、それぞれ接続されている。また、各走査線 51 は、走査線駆動回路 57 によって駆動される一方、各データ線 52 は、データ線駆動回路 58 によって駆動される構成となっている。

【0037】

50

このような電気光学装置100は、図4に示すように、一对の透光性基板を有し、そのうちの一方の基板は、アクティブ素子が形成された素子側基板200であり、他方の基板は、素子側基板200に対向する対向基板300である。ここで、電気光学装置100では、COG(Chip On Glass)技術により、素子側基板200の表面に直接、液晶駆動用IC(ドライバ)250が実装されて、液晶駆動用IC250の各出力端子が、データ線51のそれぞれに接続されている。同様に、対向基板300の表面にも直接、液晶駆動用IC350が実装されて、液晶駆動用IC350の各出力端子が、走査線51のそれぞれに接続されている。

【0038】

なお、COG技術に限られず、それ以外の技術を用いて、ICチップと液晶装置とが接続された構成としても良い。例えば、TAB(Tape Automated Bonding)技術を用いて、FPC(Flexible Printed Circuit)の上にICチップがボンディングされたTCP(Tape Carrier Package)を電気光学装置に電氣的に接続する構成としても良い。また、ICチップをハード基板にボンディングするCOB(Chip On Board)技術を用いても良い。

【0039】

素子側基板200の内側表面には、図5および図6に示されるように、複数本のデータ線52と、それらのデータ線52に接続される複数のTFD素子56と、TFD素子56と1対1に接続される画素電極66とが形成されている。ここで、各データ線52は、図5において紙面に対して垂直方向に延在して形成される一方、TFD素子56および画素電極66は、ドットマトリクス状に配列している。そして、画素電極66などの表面には、一軸配向処理、例えばラビング処理が施された配向膜59が形成されている。

【0040】

図5に示すように、対向基板300の内側表面には、カラーフィルタ308が形成されて、「R」、「G」、「B」の3色の着色層を構成している。なお、これら3色の着色層の間隙には、ブラックマトリクス309が形成されて、着色層の間隙からの入射光を遮蔽する構成となっている。カラーフィルタ308およびブラックマトリクス309の表面にはオーバーコート層310が形成され、さらに、その表面には、走査線51として機能する対向電極312が、データ線212と直交する方向に形成されている。さらに、対向電極312の表面には、ラビング処理が施された配向膜314が形成されている。なお、配向膜59、314は、一般にポリイミド等から形成される。

【0041】

素子側基板200と対向基板300とは、スペーサ(図示省略)を含むシール材104によって一定の間隙を保って接合されるとともに、この間隙に、液晶105が封入された構成となっている。また、素子側基板200の外側表面には、配向膜59へのラビング方向に対応した光軸を有する偏光板317が貼着されている。これに対して、対向基板300の外側表面には、配向膜314へのラビング方向に対応した光軸を有する偏光板217が貼着されている。

【0042】

図6および図7において、TFD素子56は、素子基板200の表面に成膜された下地層61の上に形成された第1のTFD素子56a、および第2のTFD素子56bからなる2つのTFD素子要素によって、いわゆるBack-to-Back構造として構成されている。このため、TFD素子56は、電流-電圧の非線形特性が正負双方向にわたって対称化されている。下地層61は、例えば、厚さが50~200nm程度の酸化タンタル(Ta_2O_5)によって構成されている。

【0043】

第1のTFD素子56a、および第2のTFD素子56bは、第1金属層62と、この第1金属層62の表面に形成された絶縁膜63と、絶縁膜63の表面に互いに離間して形成された第2金属層64a、64bとによって構成されている。第1金属層62は、例えば、厚さが100~500nm程度のTa単体膜、Ta合金膜等によって形成され、絶縁膜

63は、例えば、陽極酸化法によって第1金属層62の表面を酸化することによって形成された厚さが10~35nmの酸化タンタル(Ta_2O_5)である。

【0044】

第2金属層64a、64bは、例えばクロム(Cr)等といった金属膜によって50~300nm程度の厚さに形成されている。第2金属層64aは、そのままデータ線52の第3層52cとなり、他方の第2金属層64bは、ITO(Indium Tin Oxide)等といった透明導電材からなる画素電極66に接続されている。

【0045】

ここで、本形態では、データ線52の電気的抵抗を下げるために、第3層52cの上層には、さらに第4層57としてのアルミニウム膜が形成されている。

10

【0046】

なお、画素電極66は、透過型として用いられる場合には、ITO(Indium Tin Oxide)などの透明性金属膜から形成される一方、反射型として用いられる場合には、銀などの反射率の大きな反射性金属膜から形成される。なお、画素電極66は、反射型であってもITOなどの透明性金属から形成される場合もある。この場合には、反射層としての反射性金属が形成された後に直接、あるいはカラーフィルタ層を介して、透明性金属からなる画素電極66が形成される。一方、半透過・半反射型として用いられる場合には、反射層を極く薄く形成して半透過鏡とするか、あるいは、スリットが設けられる構成となる。

【0047】

また、素子基板200自体は、例えば、石英やガラスなどの絶縁性を有するものが用いられる。なお、透過型として用いる場合には、透明であることも素子基板200の要件となるが、反射型として用いる場合には、透明であることが要件にならない。また、図7において、素子基板200の表面に下地層61が設けられる理由は、熱処理により、第1金属膜62が下地から剥離しないようにするとともに、第1金属膜62に不純物が拡散しないようにするためである。したがって、これが問題とならない場合には、下地層61は省略可能である。

20

【0048】

なお、TFD素子56は、ダイオード素子としての一例であり、他に、酸化亜鉛(ZnO)バリスタや、MSI(Metal Semi Insulator)などを用いた素子

30

【0049】

(電気光学装置の製造方法)

図8ないし図11を参照して、本形態の電気光学装置の製造工程のうち、素子基板200の製造工程を説明する。

【0050】

図8、図9、図10および図11はそれぞれ、図4および図5に示す素子基板200の製造方法を示す工程図である。なお、素子基板200を製造する場合、通常は、各電気光学装置100のサイズに応じた単品の基板を複数枚、多数取りできる大型の元基板の状態でTFD素子56などの各要素の形成を行うが、以下の説明では、単品の基板と元基板とを区別せず、素子基板200と称する。

40

【0051】

まず、図8(A)に示す下地層形成工程において、素子基板200の表面にTa酸化物、例えば、 Ta_2O_5 を一様な厚さに成膜して下地層61を形成する。

【0052】

次に、図8(B)に示す第1金属層形成工程において、例えば、下地層61上にTaをスパッタリング等によって一様な厚さで成膜し、さらにフォトリソグラフィ技術を用いてデータ線52の第1層52a、および第1金属層62などを同時に形成する。このとき、データ線52の第1層52aと第1金属層62とはブリッジ部69で繋がっている。

50

【0053】

次に、図8(C)に示す絶縁層形成工程において、データ線52の第1層52aを陽極として陽極酸化処理を行い、そのデータ線52の第1層52aの表面および第1金属層62の表面に絶縁膜である陽極酸化膜を一樣な厚さで形成する。これにより、データ線52の第2層52bとなる絶縁膜が形成されるとともに、第1のTFD素子56aおよび第2のTFD素子56bの絶縁膜63が形成される。

【0054】

次に、図9(A)に示す第2金属層形成工程において、Crをスパッタリング等によって一樣な厚さで成膜した後、フォトリソグラフィ技術を利用して、データ線52の第3層52c、第1のTFD素子56aの第2金属層64a、および第2のTFD素子56bの第2金属層64bを形成すると共に、ブリッジ部69(図8を参照)を素子基板200から除去する。

10

【0055】

以上により、能動素子であるTFD素子56が形成される。

【0056】

次に、図9(B)に示す下地層除去工程において、画素電極66の形成予定領域の下地層61を除去した後、図9(C)に示す電極形成工程において、画素電極66を形成するためのITO膜をスパッタリング等によって一樣な厚さで成膜し、さらに、フォトリソグラフィ技術により、1画素分の大きさに相当する所定形状の画素電極66(下層側薄膜)をその一部が第2金属層64bと重なるように形成する。これらの一連の工程により、図4および図5に示すTFD素子56および画素電極66が形成される。

20

【0057】

次に、本形態では、データ線52の電気的抵抗を下げるために、第3層52cの上層に、前記の実施の形態1と同様な方法により第4層57としてのアルミニウム膜を形成する(図7を参照)。

【0058】

それには、まず、図10(A)に示す保護用マスク形成工程において、フォトリソグラフィ技術を利用して、感光性樹脂により、ITO膜からなる画素電極66(下層側薄膜)の全体を覆う保護用マスク3(保護膜)を形成する(保護用マスク形成工程)。

【0059】

次に、図10(B)に示す導電膜形成工程において、保護用マスク3の上層側に、データ線52の第4層57(上層側薄膜パターン)を構成するための上層側薄膜4(アルミニウム膜)を形成する。

30

【0060】

次に、図11(A)に示すパターンニング用マスク形成工程において、フォトリソグラフィ技術を利用して、感光性樹脂により、上層側薄膜4の表面に、データ線52の第4層57(上層側薄膜パターン)を形成するためのパターンニング用マスク5を形成する。

【0061】

次に、図11(B)に示すエッチング工程において、パターンニング用マスク5から露出している上層側薄膜4をドライエッチングによりパターンニングしてデータ線52の第4層57(上層側薄膜パターン)を形成する。

40

【0062】

しかる後に、剥離工程において、パターンニング用マスク5を除去するとともに、データ線52の第4層57から露出している保護用マスク3を同時に除去する。

【0063】

そして、図5に示すように、素子基板200の表面にポリイミド、ポリビニルアルコール等を一樣な厚さに形成することによって配向膜59を形成した後、配向膜57に対してラビング処理その他の配向処理を行う。その結果、素子基板200が完成する。

【0064】

このようにして素子基板200を製造する際、上層側薄膜4に対するエッチングによりデ

50

ータ線 5 2 の第 4 層 5 7 (上層側薄膜パターン) を形成する際、そのドライエッチング条件が、アルミニウムからなる上層側薄膜 4 と、ITO 膜からなる画素電極 6 6 (下層側薄膜パターン) とに対するエッチング選択性の低い場合でも、本形態では、画素電極 6 6 を保護マスク 5 で覆っておくため、画素電極 6 がエッチングされてしまうことを防止できる。従って、画素電極 6 6 を所望の形状、あるいは膜厚さに維持することができるなど、実施の形態 1 と同様な効果を奏する。

【 0 0 6 5 】

なお、素子基板 2 0 0 を製造する際、実施の形態 2 で説明した方法を採用した場合も、画素電極 6 を所望の形状、あるいは膜厚さに維持することができる。

【 0 0 6 6 】

また、本発明は、薄膜 (下層側薄膜および上層側薄膜) が導電膜であるか絶縁膜であるかにかかわらず、また、エッチング方法がウエットエッチングであるかドライエッチングであるかにかかわらず、適用することができる。また、本形態の薄膜パターンの形成方法は、2 つの薄膜 (下層側薄膜および上層側薄膜) が異なる材料であるか同一材料であるかにかかわらず、適用することができる。従って、画素電極 6 6 を形成した後、データ線 5 2 の第 4 層 5 7 を形成する場合に限らず、その他の薄膜パターンを形成する場合に適用することができる。

【 0 0 6 7 】

[その他の実施の形態]

上記形態では、アクティブ素子として T F D 素子を用いた電気光学装置 1 0 0 の素子基板 2 0 0 に対してデータ線 5 2 の第 4 層 5 7 を形成するのに本発明を適応したが、図 1 2 および図 1 3 を参照して以下に説明するいずれの電気光学装置においても、同一基板上に多数の薄膜パターンが形成されるので、これらの電気光学装置を製造するのに本発明を適用してもよい。

【 0 0 6 8 】

図 1 2 は、画素スイッチング素子として薄膜トランジスタ (T F T / T h i n F i l m T r a n s i s t o r) を用いたアクティブマトリクス型液晶装置からなる電気光学装置の構成を模式的に示すブロック図である。図 1 3 は、電気光学物質として電荷注入型の有機薄膜を用いたエレクトロルミネセンス素子を備えたアクティブマトリクス型電気光学装置のブロック図である。

【 0 0 6 9 】

図 1 2 に示すように、画素スイッチング素子として T F T を用いたアクティブマトリクス型液晶装置からなる電気光学装置 1 b では、マトリクス状に形成された複数の画素の各々に、画素電極 9 a を制御するための画素スイッチング用の T F T 3 0 b が形成されており、画素信号を供給するデータ線 6 b が当該 T F T 3 0 b のソースに電氣的に接続されている。データ線 6 b に書き込む画素信号は、データ線駆動回路 2 b から供給される。また、T F T 3 0 b のゲートには走査線 3 1 b が電氣的に接続されており、所定のタイミングで、走査線 3 1 b にパルスの走査信号が走査線駆動回路 3 b から供給される。画素電極 9 a は、T F T 3 0 b のドレインに電氣的に接続されており、スイッチング素子である T F T 3 0 b を一定期間だけそのオン状態とすることにより、データ線 6 b から供給される画素信号を各画素に所定のタイミングで書き込む。このようにして画素電極 9 a を介して液晶に書き込まれた所定レベルの画素信号は、対向基板 (図省略) に形成された対向電極との間で一定期間保持される。

【 0 0 7 0 】

ここで、保持された画素信号がリークするのを防ぐことを目的に、画素電極 9 a と対向電極との間に形成される液晶容量と並列に蓄積容量 7 0 b (キャパシタ) を付加することができる。この蓄積容量 7 0 b によって、画素電極 9 a の電圧は、例えば、ソース電圧が印加された時間よりも 3 桁も長い時間だけ保持される。これにより、電荷の保持特性は改善され、コントラスト比の高い表示を行うことのできる電気光学装置が実現できる。なお、蓄積容量 7 0 b を形成する方法としては、容量を形成するための配線である容量線 3 2 b と

10

20

30

40

50

の間に形成する場合、あるいは前段の走査線 3 1 b との間に形成する場合もいずれであってもよい。

【0071】

図 1 3 に示すように、電荷注入型有機薄膜を用いたエレクトロルミネセンス素子を備えたアクティブマトリクス型電気光学装置は、有機半導体膜に駆動電流が流れることによって発光する E L (エレクトロルミネッセンス) 素子、または L E D (発光ダイオード) 素子などの発光素子を T F T で駆動制御するアクティブマトリクス型の表示装置であり、このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、バックライトを必要とせず、また、視野角依存性が少ないなどの利点がある。

【0072】

ここに示す電気光学装置 1 0 0 p では、複数の走査線 3 p と、この走査線 3 p の延設方向に対して交差する方向に延設された複数のデータ線 6 p と、これらのデータ線 6 p に並列する複数の共通給電線 2 3 p と、データ線 6 p と走査線 3 p との交差点に対応する画素 1 5 p とが構成されている。データ線 6 p に対しては、シフトレジスタ、レベルシフト、ビデオライン、アナログスイッチを備えるデータ線駆動回路 1 0 1 p が構成されている。走査線 3 p に対しては、シフトレジスタおよびレベルシフトを備える走査線駆動回路 1 0 4 p が構成されている。

【0073】

また、画素 1 5 p の各々には、走査線 3 p を介して走査信号がゲート電極に供給される第 1 の T F T 3 1 p と、この第 1 の T F T 3 1 p を介してデータ線 6 p から供給される画像信号を保持する保持容量 3 3 p と、この保持容量 3 3 p によって保持された画像信号がゲート電極に供給される第 2 の T F T 3 2 p と、第 2 の T F T 3 2 p を介して共通給電線 2 3 p に電氣的に接続したときに共通給電線 2 3 p から駆動電流が流れ込む発光素子 4 0 p とが構成されている。

【0074】

ここで、発光素子 4 0 p は、画素電極の上層側には、正孔注入層、有機エレクトロルミネッセンス材料層としての有機半導体膜、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極が積層された構成になっており、対向電極 2 0 p は、データ線 6 p などを跨いで複数の画素 1 5 p にわたって形成されている。

【0075】

また、上述した実施形態以外にも、プラズマディスプレイ装置、F E D (フィールドエミッションディスプレイ) 装置、L E D (発光ダイオード) 表示装置、電気泳動表示装置、薄型のブラウン管、液晶シャッター等を用いた小型テレビ、デジタルマイクロミラーデバイス (D M D) などの電気光学装置にも本発明を適用してもよい。さらに、電気光学装置に限らず、半導体装置の製造に本発明を適用してもよい。

【0076】

[電子機器への搭載例]

図 1 4 は、本形態の電気光学装置を搭載した電子機器の一例としての携帯電話の構成を示す斜視図である。

【0077】

図 1 4 において、携帯電話 1 4 0 0 は、複数の操作ボタン 1 4 0 2 のほか、受話口 1 4 0 4、送話口 1 4 0 6 とともに、電気光学装置 1 0 0 を備えるものである。この電気光学装置 1 0 0 にも、必要に応じてその背面にバックライトが設けられる。

【0078】

なお、本形態の電気光学装置を搭載可能な電子機器としては、携帯電話機その他、モバイルコンピュータ、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、P O S 端末、タッチパネルを備えた機器等などが挙げられる。

【図面の簡単な説明】

【図 1】(A) ~ (F) は、本発明の実施の形態 1 に係る薄膜パターンの形成方法を示す

10

20

30

40

50

説明図である。

【図 2】(A) ~ (F) は、本発明の実施の形態 2 に係る薄膜パターンの形成方法を示す説明図である。

【図 3】本発明を適用した電気光学装置(液晶装置)の電気的構成を示すブロック図である。

【図 4】図 3 に示す電気光学装置の構成を示す斜視図である。

【図 5】図 3 に示す電気光学装置の構成を示す断面図である。

【図 6】図 3 に示す電気光学装置において、TFD素子を含む数画素分のレイアウトを示す平面図である。

【図 7】(A)、(B) は、図 6 の A - A' 線に沿って示す断面図、および TFD 素子の斜視図である。 10

【図 8】図 3 に示す電気光学装置に用いた素子基板の製造方法を示す工程図である。

【図 9】図 3 に示す電気光学装置に用いた素子基板の製造方法を示す工程図である。

【図 10】図 3 に示す電気光学装置に用いた素子基板の製造方法を示す工程図である。

【図 11】図 3 に示す電気光学装置に用いた素子基板の製造方法を示す工程図である。

【図 12】画素スイッチング素子として薄膜トランジスタを用いたアクティブマトリクス型液晶装置からなる電気光学装置の構成を模式的に示すブロック図である。

【図 13】電気光学物質として電荷注入型の有機薄膜を用いたエレクトロルミネセンス素子を備えたアクティブマトリクス型電気光学装置のブロック図である。

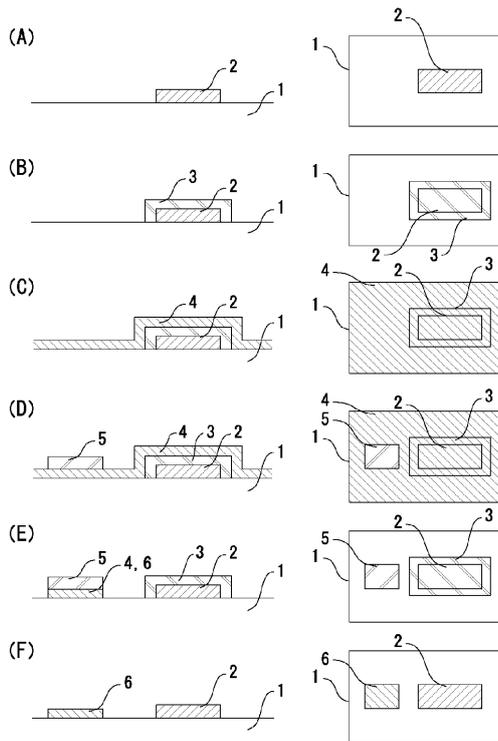
【図 14】本発明に係る電気光学装置を搭載した電子機器の一例たる携帯電話機の説明図である。 20

【図 15】(A) ~ (E) は、従来の薄膜パターンの形成方法を示す説明図である。

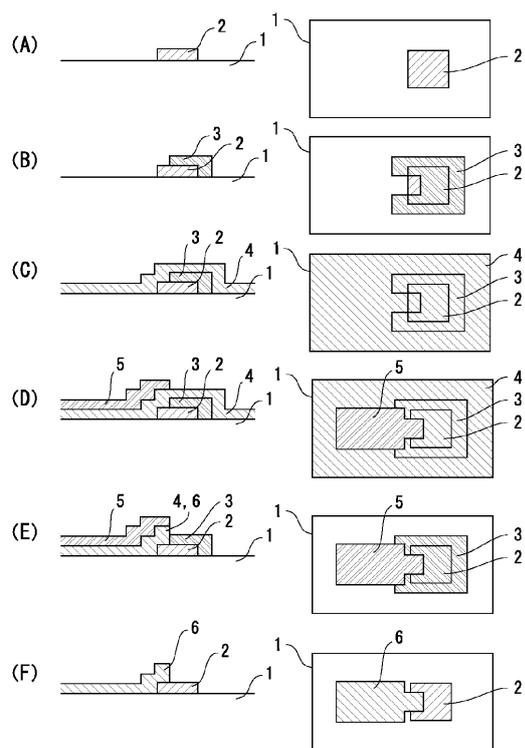
【符号の説明】

- 1 基板、2 下層側薄膜パターン(下層側薄膜)、3 保護用マスク(保護膜)、4 上層側薄膜、5 パターニング用マスク、6 上層側薄膜パターン

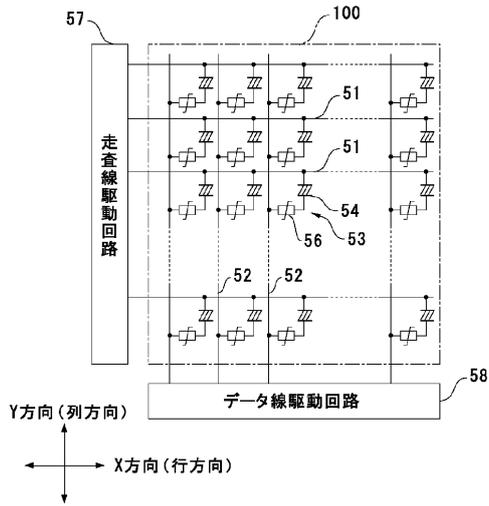
【図 1】



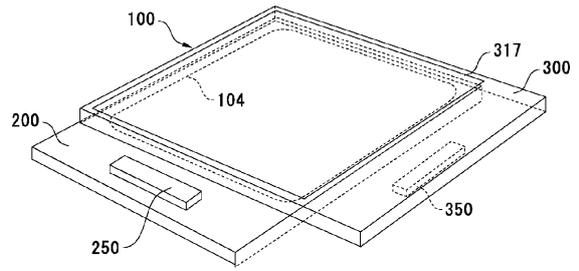
【図 2】



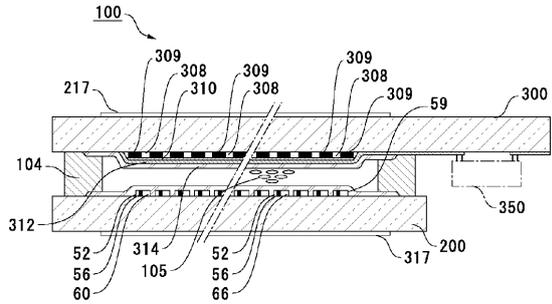
【 図 3 】



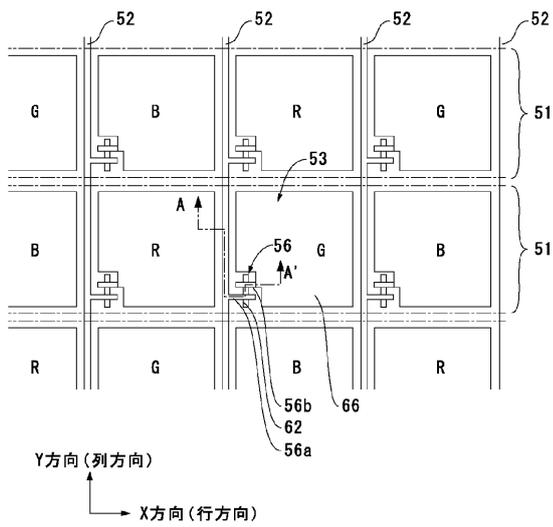
【 図 4 】



【 図 5 】

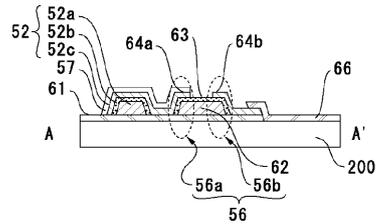


【 図 6 】

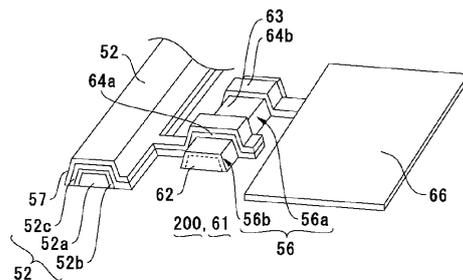


【 図 7 】

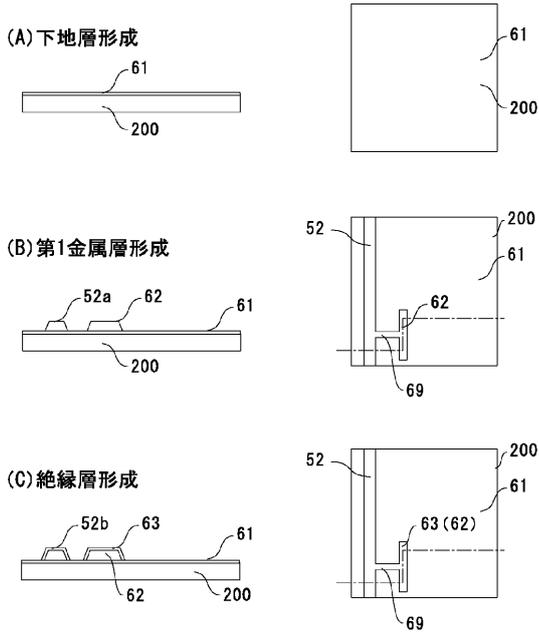
(A)



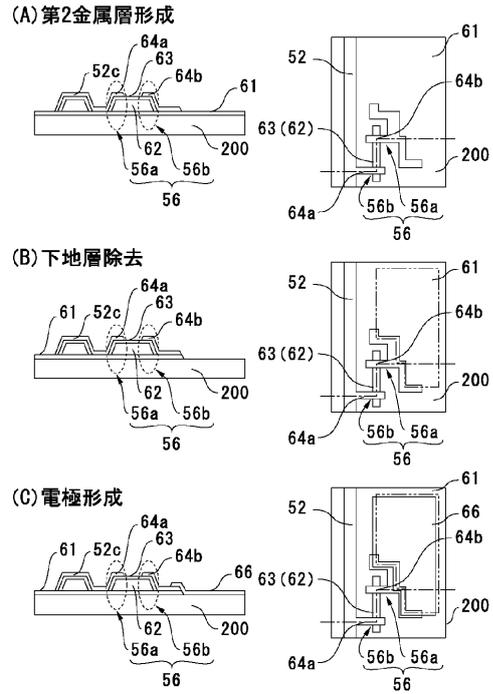
(B)



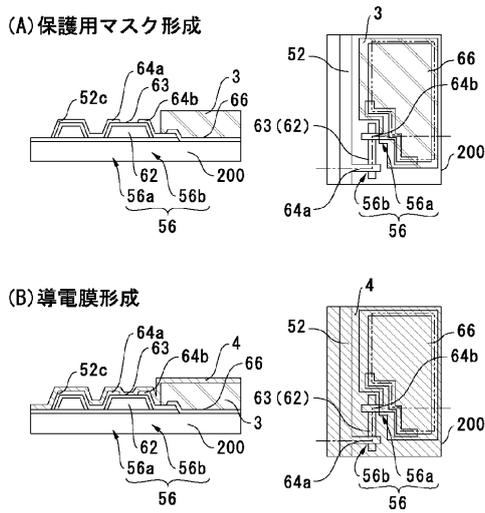
【 図 8 】



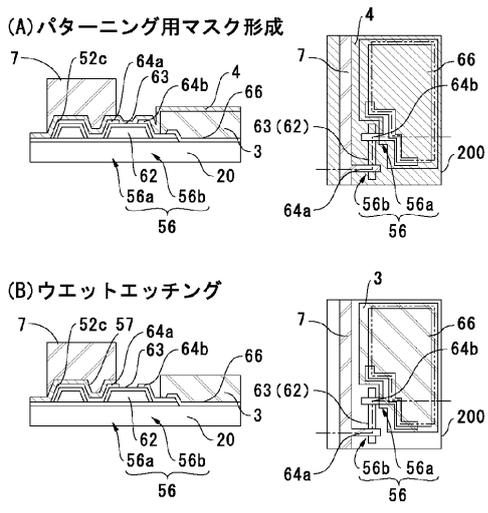
【 図 9 】



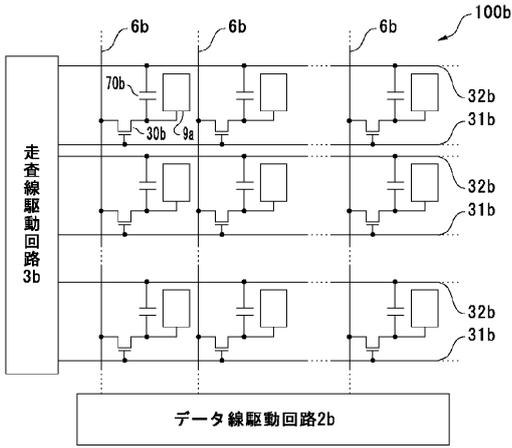
【 図 10 】



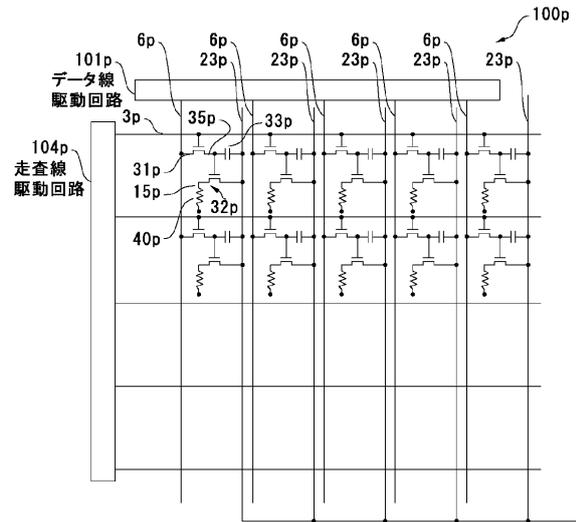
【 図 11 】



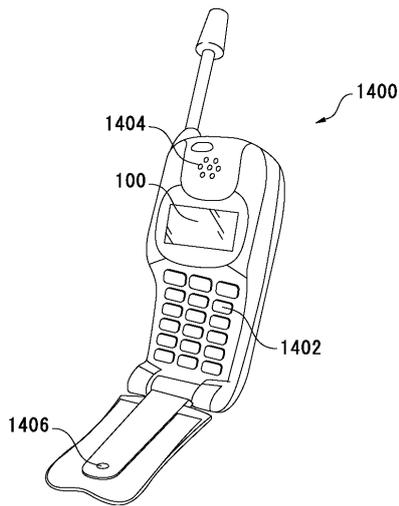
【図 1 2】



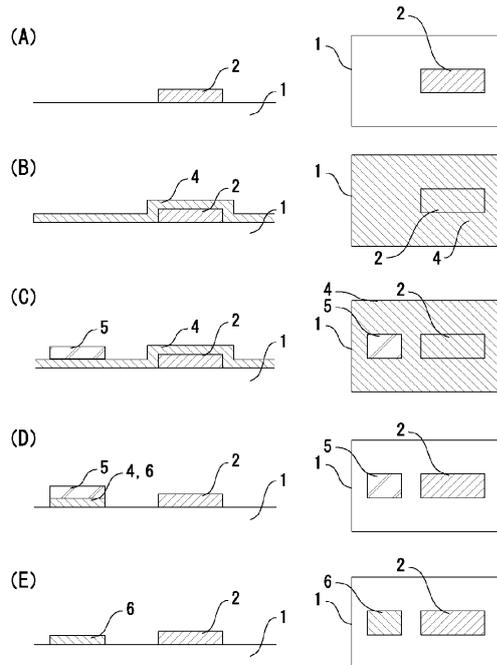
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 5 B 33/28

(72)発明者 田口 聡志

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 3K007 AB18 BA06 CC00 DB03 FA01

5C094 AA32 AA42 AA43 AA48 BA03 BA04 BA27 BA43 CA19 DA13

DB01 DB04 EA04 FA01 FA02 FB01 FB02 FB12 FB15 GB10

5E339 AB05 BC01 BC05 BE12 BE13 CE14 CF16 CF17 CG04 DD04

GG02