



(12) 发明专利

(10) 授权公告号 CN 116774018 B

(45) 授权公告日 2023. 11. 28

(21) 申请号 202311061338.3

(22) 申请日 2023.08.22

(65) 同一申请的已公布的文献号  
申请公布号 CN 116774018 A

(43) 申请公布日 2023.09.19

(73) 专利权人 北京芯驰半导体科技有限公司  
地址 100176 北京市大兴区北京经济技术  
开发区荣华南路2号院2号楼5层507-6

(72) 发明人 刘家正

(74) 专利代理机构 北京金信知识产权代理有限  
公司 11225  
专利代理师 韩岳松

(51) Int. Cl.  
G01R 31/28 (2006.01)

(56) 对比文件

- US 2007165469 A1, 2007.07.19
- US 2014101500 A1, 2014.04.10
- CN 116449178 A, 2023.07.18
- CN 101996687 A, 2011.03.30
- CN 111624477 A, 2020.09.04
- CN 114002577 A, 2022.02.01
- CN 114994509 A, 2022.09.02
- CN 116415533 A, 2023.07.11
- CN 1737599 A, 2006.02.22
- US 2006090110 A1, 2006.04.27

审查员 王建良

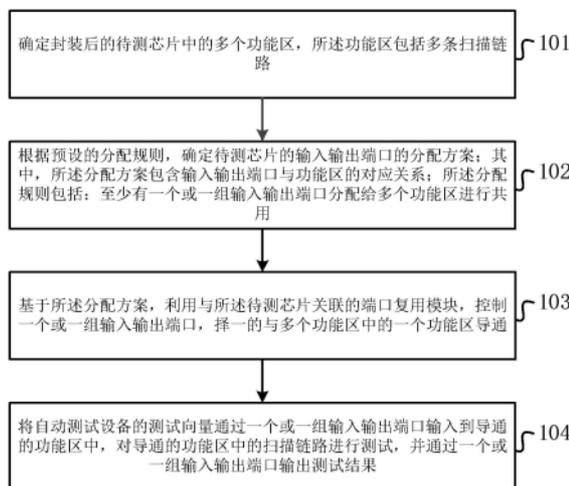
权利要求书2页 说明书10页 附图3页

(54) 发明名称

一种芯片测试方法、装置及电子设备

(57) 摘要

本申请提供一种芯片测试方法、装置及电子设备,涉及芯片测试技术领域,包括:确定封装后的待测芯片中的多个功能区;根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;其中,所述分配方案包含输入输出端口与功能区的对应关系;所述分配规则包括:至少有一个或一组输入输出端口分配给多个功能区进行共用;基于所述分配方案,利用端口复用模块控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通;将自动测试设备的测试向量通过一个或一组输入输出端口输入到导通的功能区中,对导通的功能区中的扫描链路进行测试,并通过一个或一组输入输出端口输出测试结果。本申请能够节约芯片测试资源,减少芯片的测试时间。



1. 一种芯片测试方法,其特征在于,包括:

确定封装后的待测芯片中的多个功能区,所述功能区包括多条扫描链路;

根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;其中,所述分配方案包含输入输出端口与功能区的对应关系;所述分配规则包括:至少有一个或一组输入输出端口分配给多个功能区进行共用;

基于所述分配方案,利用与所述待测芯片关联的端口复用模块,控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通;

将自动测试设备的测试向量通过一个或一组输入输出端口输入到导通的功能区中,对导通的功能区中的扫描链路进行测试,并通过一个或一组输入输出端口输出测试结果;

所述方法还包括:根据功能区中扫描链路的数量,为每个功能区设置测试时所用的输入输出端口的数量;

所述方法还包括:确定多个功能区中的最大功能区;计算最大功能区的测试时间,作为最大测试时间;

根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;包括:

将所有功能区划分为若干组,每个组中的功能区所用的输入输出端口的数量相同;

将每个组中的功能区进行组合,得到一个或多个复用测试功能区组,其中复用测试功能区组至少包括两个功能区,且其中的所有功能区的测试时间的和不大于最大测试时间;确定每个组中无法组合的功能区为独立测试功能区;

为每个复用测试功能区组分配共用的一个或一组输入输出端口,为每个独立测试功能区分配预先设定数量的测试时所用的输入输出端口;

将分配后剩余的输入输出端口分配给最大功能区。

2. 根据权利要求1所述的芯片测试方法,其特征在于,所述输入输出端口包括通用输入输出端口GPIO。

3. 根据权利要求1所述的芯片测试方法,其特征在于,所述方法还包括:

将自动测试设备的测试向量通过预先分配的多个输入输出端口输入到对应的独立测试功能区,对独立测试功能区中的扫描链路进行测试,并通过多个输入输出端口输出测试结果。

4. 根据权利要求1所述的芯片测试方法,其特征在于,所述方法还包括:为每个复用测试功能区组设置一个端口复用模块,用于控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通。

5. 一种芯片测试装置,其特征在于,包括:

划分单元,用于确定封装后的待测芯片中的多个功能区,所述功能区包括多条扫描链路;

通道分配单元,用于根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;其中,所述分配方案包含输入输出端口与功能区的对应关系;所述分配规则包括:至少有一个或一组输入输出端口分配给多个功能区进行共用;

端口复用控制单元,用于基于所述分配方案,利用与所述待测芯片关联的端口复用模块,控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通;

测试单元,用于将自动测试设备的测试向量通过一个或一组输入输出端口输入到导通

的功能区中,对导通的功能区中的扫描链路进行测试,并通过一个或一组输入输出端口输出测试结果;

所述装置还包括第一设置单元,用于根据功能区中扫描链路的数量,为每个功能区设置测试时所用的输入输出端口的数量;

所述装置还包括计算单元,用于确定多个功能区中的最大功能区;计算最大功能区的测试时间,作为最大测试时间;

根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;包括:

将所有功能区划分为若干组,每个组中的功能区所用的输入输出端口的数量相同;

将每个组中的功能区进行组合,得到一个或多个复用测试功能区组,其中复用测试功能区组至少包括两个功能区,且其中的所有功能区的测试时间的和不大于最大测试时间;确定每个组中无法组合的功能区为独立测试功能区;

为每个复用测试功能区组分配共用的一个或一组输入输出端口,为每个独立测试功能区分配预先设定数量的测试时所用的输入输出端口;

将分配后剩余的输入输出端口分配给最大功能区。

6. 一种电子设备,其特征在于,包括:存储器、处理器和存储在所述存储器上并可在所述处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现如权利要求1-4任一项所述的芯片测试方法。

7. 一种计算机可读存储介质,其特征在于,所述计算机可读存储介质存储有计算机指令,所述计算机指令被处理器执行时实现如权利要求1-4任一项所述的芯片测试方法。

## 一种芯片测试方法、装置及电子设备

### 技术领域

[0001] 本申请涉及芯片测试技术领域,特别涉及一种芯片测试方法、装置及电子设备。

### 背景技术

[0002] 基于自动测试设备(Automatic Test Equipment,ATE)的扫描测试(scan test)是芯片出厂前必不可少的环节,scan test是一种高效的结构化测试方法,对于保证芯片的质量有着至关重要的意义。同时scan test占用的机台资源和测试时间很多,往往是测试的瓶颈所在,对于测试成本有较高影响。

[0003] 在实际的芯片设计中,通常采用层次化(hierarchy)的结构,一个芯片下划分若干分区(partition),这种划分是基于功能需求,经常会出现大小不一的情况,可能存在一个大的partition和若干个小的partition,这种划分方式增加了可测性设计(Design For Testability,DFT)的复杂度。

[0004] 为了提高测试的并行度,会对芯片的通用输入输出端口(GPIO)进行划分,按照各个分区的大小分配相对合理数量的GPIO,作为扫描测试的通道。通常情况下,即使特别小的分区也会至少分配到一个独立的GPIO,由于特别小的分区需要的测试向量较少,测试时间较短,因此会很快测试完成,而芯片的最终测试时间由最大的分区的测试时间决定的,因此当特别小的分区测试完成,其分配的GPIO处于闲置状态,而且闲置时间很长,造成测试资源的浪费。

### 发明内容

[0005] 有鉴于此,本申请提供一种芯片测试方法、装置及电子设备,以解决现有的芯片ATE scan test中存在的测试资源浪费导致的测试时间较长的技术问题。

[0006] 第一方面,本申请实施例提供一种芯片测试方法,包括:

[0007] 确定封装后的待测芯片中的多个功能区,所述功能区包括多条扫描链路;

[0008] 根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;其中,所述分配方案包含输入输出端口与功能区的对应关系;所述分配规则包括:至少有一个或一组输入输出端口分配给多个功能区进行共用;

[0009] 基于所述分配方案,利用与所述待测芯片关联的端口复用模块,控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通;

[0010] 将自动测试设备的测试向量通过一个或一组输入输出端口输入到导通的功能区中,对导通的功能区中的扫描链路进行测试,并通过一个或一组输入输出端口输出测试结果。

[0011] 在一种的可能实现中,所述输入输出端口包括通用输入输出端口GPIO。

[0012] 在一种的可能实现中,所述方法还包括:根据功能区中扫描链路的数量,为每个功能区设置测试时所用的输入输出端口的数量。

[0013] 在一种的可能实现中,所述方法还包括:

- [0014] 确定多个功能区中的最大功能区；
- [0015] 计算最大功能区的测试时间,作为最大测试时间。
- [0016] 在一种的可能实现中,根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;包括:
- [0017] 将所有功能区划分为若干组,每个组中的功能区所用的输入输出端口的数量相同;
- [0018] 将每个组中的功能区进行组合,得到一个或多个复用测试功能区组,其中复用测试功能区组至少包括两个功能区,且其中的所有功能区的测试时间的和不大于最大测试时间;确定每个组中无法组合的功能区为独立测试功能区;
- [0019] 为每个复用测试功能区组分配共用的一个或一组输入输出端口,为每个独立测试功能区分配预先设定数量的测试时所用的输入输出端口;
- [0020] 将分配后剩余的输入输出端口分配给最大功能区。
- [0021] 在一种的可能实现中,所述方法还包括:
- [0022] 将自动测试设备的测试向量通过预先分配的多个输入输出端口输入到对应的独立测试功能区,对独立测试功能区中的扫描链路进行测试,并通过多个输入输出端口输出测试结果。
- [0023] 在一种的可能实现中,所述方法还包括:为每个复用测试功能区组设置一个端口复用模块,用于控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通。
- [0024] 第二方面,本申请实施例提供一种芯片测试装置,包括:
- [0025] 划分单元,用于确定封装后的待测芯片中的多个功能区,所述功能区包括多条扫描链路;
- [0026] 通道分配单元,用于根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;其中,所述分配方案包含输入输出端口与功能区的对应关系;所述分配规则包括:至少有一个或一组输入输出端口分配给多个功能区进行共用;
- [0027] 端口复用控制单元,用于基于所述分配方案,利用与所述待测芯片关联的端口复用模块,控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通;
- [0028] 测试单元,用于将自动测试设备的测试向量通过一个或一组输入输出端口输入到导通的功能区中,对导通的功能区中的扫描链路进行测试,并通过一个或一组输入输出端口输出测试结果。
- [0029] 第三方面,本申请实施例提供一种电子设备,包括:存储器、处理器和存储在所述存储器上并可在所述处理器上运行的计算机程序,所述处理器执行所述计算机程序时实现本申请实施例的芯片测试方法。
- [0030] 第四方面,本申请实施例提供一种计算机可读存储介质,所述计算机可读存储介质存储有计算机指令,所述计算机指令被处理器执行时实现本申请实施例的芯片测试方法。
- [0031] 本申请能够节约芯片ATE scan test的测试资源,减少芯片的测试时间。

#### 附图说明

- [0032] 图1为本申请实施例的优化前的4个分区的GPIO端口分配示意图;

- [0033] 图2为本申请实施例的优化前和优化后的4个分区的GPIO端口分配示意图；
- [0034] 图3为本申请实施例的3个分区及端口复用模块GPO\_MUX的示意图；
- [0035] 图4为本申请实施例的芯片测试方法的流程图；
- [0036] 图5为本申请实施例的芯片测试装置的功能结构图；
- [0037] 图6为本申请实施例的电子设备的结构图。

### 具体实施方式

- [0038] 此处参考附图描述本申请的各种方案以及特征。
- [0039] 应理解的是,可以对此处申请的实施例做出各种修改。因此,上述说明书不应该视为限制,而仅是作为实施例的范例。本领域的技术人员将想到在本申请的范围和精神内的其他修改。
- [0040] 包含在说明书中并构成说明书的一部分的附图示出了本申请的实施例,并且与上面给出的对本申请的大致描述以及下面给出的对实施例的详细描述一起用于解释本申请的原理。
- [0041] 通过下面参照附图对给定为非限制性实例的实施例的优选形式的描述,本申请的这些和其它特性将会变得显而易见。
- [0042] 还应当理解,尽管已经参照一些具体实例对本申请进行了描述,但本领域技术人员能够确定地实现本申请的很多其它等效形式。
- [0043] 当结合附图时,鉴于以下详细说明,本申请的上述和其他方面、特征和优势将变得更为显而易见。
- [0044] 此后参照附图描述本申请的具体实施例;然而,应当理解,所申请的实施例仅仅是本申请的实例,其可采用多种方式实施。熟知和/或重复的功能和结构并未详细描述以避免不必要或多余的细节使得本申请模糊不清。因此,本文所申请的具体的结构性和功能性细节并非意在限定,而是仅仅作为权利要求的基础和代表性基础用于教导本领域技术人员以实质上任意合适的详细结构多样地使用本申请。
- [0045] 本说明书可使用词组“在一种实施例中”、“在另一个实施例中”、“在又一实施例中”或“在其他实施例中”,其均可指代根据本申请的相同或不同实施例中的一个或多个。
- [0046] 首先对本申请实施例涉及的技术用语进行简单介绍。
- [0047] 扫描测试(scan test):是一种用于测试集成电路中逻辑电路的测试方法。它通过在芯片设计和制造过程中添加特殊的扫描链路(scan chain)来实现。扫描链路是一种串行连接的寄存器链,可以将芯片中的所有寄存器连接起来,形成一个大的移位寄存器。通过扫描链路,测试模式可以被输入到芯片中,以测试电路的功能和性能。扫描链路是一种特殊的设计结构,它允许测试模式以串行方式输入和输出芯片内部的信号。通过扫描链路,测试模式可以逐个激活和观测芯片内部的逻辑电路,以检测可能的故障和错误。
- [0048] scan test 的过程包括以下步骤:
- [0049] 1. 将芯片的所有寄存器连接成一个扫描链路。
- [0050] 2. 将测试模式(包括测试向量和控制信号)加载到扫描链路中。
- [0051] 3. 通过控制信号,将测试向量从扫描链路中逐个移入芯片的寄存器中。
- [0052] 4. 执行测试操作,将输入信号应用到芯片的逻辑电路中。

[0053] 5. 通过控制信号,将输出信号从芯片的寄存器中移出,并与预期结果进行比较。

[0054] 6. 分析比较结果,检测电路中的故障或错误。

[0055] 通过scan test,可以高效地测试芯片中的各个逻辑模块和寄存器,以发现设计或制造过程中可能存在的缺陷或故障。它可以提高芯片的可靠性和质量,并帮助设计和制造人员进行故障分析和排除。

[0056] 自动测试设备(ATE):具有高度自动化的功能,可以自动加载测试模式、执行测试和收集测试结果。它能够快速且准确地检测芯片中的故障和错误,提供全面的测试覆盖率。

[0057] 自动测试设备的扫描测试(ATE scan test):芯片通过扫描链路与自动测试设备连接,以加载测试模式和收集测试结果。通常用于芯片的制造和测试过程中,以确保芯片在出厂前符合规格要求。它是一种高效、可靠的测试方法,对于大规模生产的芯片来说尤为重要。通过ATE Scan test可以提高芯片的可靠性和质量,并降低故障率。

[0058] 自动测试模式生成器(Automatic Test Pattern Generation,ATPG):采用故障模型,通过分析芯片的结构生成测试向量,进行结构测试,筛选出不合格的芯片。

[0059] 在介绍了本申请涉及的技术用语后,接下来,对本申请实施例的设计思想进行简单介绍。

[0060] 在芯片的扫描测试中,为了提高扫描测试的并行度,会对芯片的通用输入输出端口(GPIO)进行划分,按照各个分区的大小分配相对合理数量的GPIO,作为scan test的通道。如图1所示,一个大的复杂的partitionA需要很多的测试向量,占用最多的5个GPIO,测试时间最长;其它三个小的partitionB、partitionC和partitionD各占用一个GPIO,需要的测试向量较少,测试时间较短;而芯片的最终测试时间由最大的partitionA的测试时间决定。

[0061] 因此,在对四个分区的并行测试时,会出现partitionB、partitionC和partitionD很快测试完成,分配的三个GPIO处于闲置状态,而且闲置时间很长,造成测试资源的浪费。

[0062] 为了解决上述技术问题,本申请提供一种芯片测试方法,该方法包括:确定封装后的待测芯片中的多个功能区,所述功能区包括多条扫描链路;根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;其中,所述分配方案包含输入输出端口与功能区的对应关系;所述分配规则包括:至少有一个或一组输入输出端口分配给多个功能区进行共用;基于所述分配方案,利用与所述待测芯片关联的端口复用模块,控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通;将自动测试设备的测试向量通过一个或一组输入输出端口输入到导通的功能区中,对导通的功能区中的扫描链路进行测试,并通过一个或一组输入输出端口输出测试结果。

[0063] 如图2所示,通过将partitionB、partitionC和partitionD 共享一个GPIO,采用分时复用的方式进行GPIO连接;并将剩余的2个GPIO分配给partitionA,由此节约了测试资源,减少测试时间。同时,芯片并行测试时的功耗也由之前的4个partition同时测试,降低到2个partition同时测试,降低了对功耗的需求。

[0064] 此外,针对共享端口的partitionB、partitionC和partitionD ,设计端口复用模块GPIO\_MUX,保证每个时刻,GPIO只连接到其中一个partition,从而实现分时复用,如图3所示。

[0065] 本申请通过对芯片的GPIO进行合理地分配,可以减少测试向量,节约测试成本,节

省测试时间;还可以有效扫描测试时的功耗,利于后端实现,良率提升。

[0066] 在介绍了本申请实施例的应用场景和设计思想之后,下面对本申请实施例提供的技术方案进行说明。

[0067] 如图4所示,本申请实施例提供一种芯片测试方法,包括如下步骤:

[0068] 步骤101:确定封装后的待测芯片中的多个功能区,所述功能区包括多条扫描链路;

[0069] 示例性的,在芯片制造的过程中,扫描链路是在物理设计阶段被添加到芯片中的。这意味着在芯片的版图设计中,将包括扫描链路的布局和连线。这个过程通常是由芯片设计人员完成。一旦芯片制造完成,芯片会进入封装和测试阶段。在这个阶段,芯片会被封装成最终的芯片封装形式,例如芯片上的引脚会被连接到封装的引脚。然后,芯片会经过各种测试来验证其功能和性能。scan test 就是在芯片封装后,通过扫描链路来加载测试模式,以测试芯片中的逻辑电路。这样可以有效地检测和排除芯片中的故障或错误。

[0070] 实际的芯片设计中,通常采用层次化(hierarchy)的结构,一个芯片按照功能划分为若干个分区(也称为功能区),这种功能划分的分区通常大小不一。例如,芯片的分区包括:主控、辅助、总线、中心控制、额外、存储单元和I/O。这样每个分区中都会包括多条扫描链路。

[0071] 步骤102:根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;其中,所述分配方案包含输入输出端口与功能区的对应关系;所述分配规则包括:至少有一个或一组输入输出端口分配给多个功能区进行共用;

[0072] 示例性的,在对芯片进行功能分区后,可对各个分区进行并行测试,以提高测试效率。由于各个分区的大小不一,为了提高测试的并行度,会对芯片的输入输出端口进行分配。分配完成后,一个分区会被分配到一个或多个输入输出端口,然后将每个输入输出端口和分区的一个逻辑通道对应,一个逻辑通道中包含一个多条扫描链路的压缩包,后续测试时,需要对逻辑通道的压缩包进行解压缩。

[0073] 进一步来说,为了提高输入输出端口的利用率,本申请的实施例提出对多个小的分区分配共用的输入输出端口,测试时将各小的分区分时连接共用的输入输出端口,这种分配方式相对于为每个小的分区均分配独立的输入输出端口,可以节省出若干个输入输出端口,进而可以将节省出的输入输出端口分配给最大的功能区,降低最大的功能区的测试时间,由于芯片的测试时间是由最大的功能区的测试时间决定的,从而降低了芯片的测试时间。

[0074] 步骤103:基于所述分配方案,利用与所述待测芯片关联的端口复用模块,控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通;

[0075] 示例性的,由于分配方案中包含:至少有一个或一组输入输出端口分配给多个功能区进行共用;对于共用一个或一组输入输出端口的多个功能区,需要进行分时复用端口控制,即控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通。

[0076] 步骤104:将自动测试设备的测试向量通过一个或一组输入输出端口输入到导通的功能区中,对导通的功能区中的扫描链路进行测试,并通过一个或一组输入输出端口输出测试结果。

[0077] 示例性的,在ATE scan test中,芯片通过扫描链路与自动测试设备连接,以加载

测试模式和收集测试结果。扫描链路是一种特殊的设计结构,它允许测试模式以串行方式输入和输出芯片内部的信号。通过扫描链路,测试模式可以逐个激活和观测芯片内部的逻辑电路,以检测可能的故障和错误。

[0078] 在本申请的一个实施例中,所述输入输出端口包括通用输入输出端口GPIO。通用输入输出端口GPIO包括:输入引脚和输出引脚。

[0079] 在本申请的一个实施例中,在根据预设的分配规则,确定待测芯片的输入输出端口的分配方案之前,所述方法还包括:根据功能区中扫描链路的数量,为每个功能区设置测试时所用的输入输出端口的数量。

[0080] 在本申请的一个实施例中,在根据预设的分配规则,确定待测芯片的输入输出端口的分配方案之前,所述方法还包括:

[0081] 确定多个功能区中的最大功能区;

[0082] 计算最大功能区的测试时间,作为最大测试时间。

[0083] 此处的最大测试时间并非芯片最终的测试时间,这是根据最大功能区的扫描链路的数量以及分配的GPIO数量确定的,而后续步骤中这个GPIO数量会增加,测试时间会发生变化。

[0084] 在本申请的一个实施例中,根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;包括:

[0085] 将所有功能区划分为若干组,每个组中的功能区所用的输入输出端口的数量相同;

[0086] 将每个组中的功能区进行组合,得到一个或多个复用测试功能区组,其中复用测试功能区组至少包括两个功能区,且其中的所有功能区的测试时间的和不大于最大测试时间;确定每个组中无法组合的功能区为独立测试功能区;

[0087] 为每个复用测试功能区组分配共用的一个或一组输入输出端口,为每个独立测试功能区分配预先设定数量的测试时所用的输入输出端口;

[0088] 将分配后剩余的输入输出端口分配给最大功能区。

[0089] 特别需要说明的是:当将分配后剩余的输入输出端口分配给最大功能区后,其中最大功能区必定是独立测试功能区,如果出现次大功能区的测试时间超过最大功能区的测试时间,则需要进行调整,以避免这种情况的发生,因为将分配后剩余的输入输出端口进行再分配的目的是为了降低整个芯片的测试时间。

[0090] 在本申请的一个实施例中,将功能区分成多个复用测试功能区组和多个独立测试功能区,对于独立测试功能区,由于不存在分时复用,其测试步骤包括:

[0091] 将自动测试设备的测试向量通过预先分配的多个输入输出端口输入到对应的独立测试功能区,对独立测试功能区中的扫描链路进行测试,并通过多个输入输出端口输出测试结果。

[0092] 在本申请的一个实施例中,基于所述分配方案,利用与所述待测芯片关联的端口复用模块,控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通之前,所述方法还包括:为每个复用测试功能区组设置一个端口复用模块,用于控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通。

[0093] 示例性的,端口复用模块使用JTAG (Joint Test Action Group,联合测试工作组)

接口实现。

[0094] 基于相同的发明构思,本申请实施例提供了一种芯片测试装置,参阅图5所示,本申请实施例提供的芯片测试装置200至少包括:

[0095] 划分单元201,用于确定封装后的待测芯片中的多个功能区,所述功能区包括多条扫描链路;

[0096] 示例性的,在芯片制造的过程中,扫描链路是在物理设计阶段被添加到芯片中的。这意味着在芯片的版图设计中,将包括扫描链路的布局和连线。这个过程通常是由芯片设计人员完成。一旦芯片制造完成,芯片会进入封装和测试阶段。在这个阶段,芯片会被封装成最终的芯片封装形式,例如芯片上的引脚会被连接到封装的引脚。然后,芯片会经过各种测试来验证其功能和性能。scan test 就是在芯片封装后,通过扫描链路来加载测试模式,以测试芯片中的逻辑电路。这样可以有效地检测和排除芯片中的故障或错误。

[0097] 实际的芯片设计中,通常采用层次化的结构,一个芯片按照功能划分为若干个分区(也称为功能区),这种功能划分的分区通常大小不一。例如,芯片的分区包括:主控、辅助、总线、中心控制、额外、存储单元和I/O。每个分区中都会包括多条扫描链路。

[0098] 通道分配单元202,用于根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;其中,所述分配方案包含输入输出端口与功能区的对应关系;所述分配规则包括:至少有一个或一组输入输出端口分配给多个功能区进行共用;

[0099] 示例性的,在对芯片进行功能分区后,可对各个分区进行并行测试,以提高测试效率。由于各个分区的大小不一,为了提高测试的并行度,会对芯片的输入输出端口进行分配。分配完成后,一个分区会被分配到一个或多个输入输出端口,然后将每个输入输出端口和分区的一个逻辑通道对应,一个逻辑通道中包含一个多条扫描链路的压缩包,后续测试时,需要对逻辑通道的压缩包进行解压缩。

[0100] 进一步来说,为了提高输入输出端口的利用率,本申请的实施例提出对多个小的分区分配共用的输入输出端口,测试时将各小的分区分时连接共用的输入输出端口,这种分配方式相对于为每个小的分区均分配独立的输入输出端口,可以节省出若干个输入输出端口,进而可以将节省出的输入输出端口分配给最大的功能区,降低最大的功能区的测试时间,由于芯片的测试时间是由最大的功能区的测试时间决定的,从而降低了芯片的测试时间。

[0101] 端口复用控制单元203,用于基于所述分配方案,利用与所述待测芯片关联的端口复用模块,控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通;

[0102] 示例性的,由于分配方案中包含:至少有一个或一组输入输出端口分配给多个功能区进行共用;对于共用一个或一组输入输出端口的多个功能区,需要进行分时复用端口控制,即控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通。

[0103] 测试单元204,用于将自动测试设备的测试向量通过一个或一组输入输出端口输入到导通的功能区中,对导通的功能区中的扫描链路进行测试,并通过一个或一组输入输出端口输出测试结果。

[0104] 示例性的,在ATE scan test中,芯片通过扫描链路与自动测试设备连接,以加载测试模式和收集测试结果。扫描链路是一种特殊的设计结构,它允许测试模式以串行方式输入和输出芯片内部的信号。通过扫描链路,测试模式可以逐个激活和观测芯片内部的逻

辑电路,以检测可能的故障和错误。

[0105] 在本申请的一个实施例中,所述输入输出端口包括通用输入输出端口GPIO。

[0106] 在本申请的一个实施例中,所述装置还包括第一设置单元,用于根据功能区中扫描链路的数量,为每个功能区设置测试时所用的输入输出端口的数量。

[0107] 在本申请的一个实施例中,所述装置还包括计算单元,用于确定多个功能区中的最大功能区;计算最大功能区的测试时间,作为最大测试时间。

[0108] 此处的最大测试时间并非芯片最终的测试时间,这是根据最大功能区的扫描链路的数量以及分配的GPIO数量确定的,而后续步骤中这个GPIO数量会增加,测试时间会发生变化。

[0109] 在本申请的一个实施例中,根据预设的分配规则,确定待测芯片的输入输出端口的分配方案;包括:

[0110] 将所有功能区划分为若干组,每个组中的功能区所用的输入输出端口的数量相同;

[0111] 将每个组中的功能区进行组合,得到一个或多个复用测试功能区组,其中复用测试功能区组至少包括两个功能区,且其中的所有功能区的测试时间的和不大于最大测试时间;确定每个组中无法组合的功能区为独立测试功能区;

[0112] 为每个复用测试功能区组分配共用的一个或一组输入输出端口,为每个独立测试功能区分配预先设定数量的测试时所用的输入输出端口;

[0113] 将分配后剩余的输入输出端口分配给最大功能区。

[0114] 特别需要说明的是:当将分配后剩余的输入输出端口分配给最大功能区后,其中最大功能区必定是独立测试功能区,如果出现次大功能区的测试时间超过最大功能区的测试时间,则需要进行调整,以避免这种情况的发生,因为将分配后剩余的输入输出端口进行再分配的目的是为了降低整个芯片的测试时间。

[0115] 在本申请的一个实施例中,所述装置还包括第一测试单元,用于将自动测试设备的测试向量通过预先分配的多个输入输出端口输入到对应的独立测试功能区,对独立测试功能区中的扫描链路进行测试,并通过多个输入输出端口输出测试结果。

[0116] 在本申请的一个实施例中,所述装置还包括第二设置单元,用于为每个复用测试功能区组设置一个端口复用模块,用于控制一个或一组输入输出端口,择一的与多个功能区中的一个功能区导通。

[0117] 基于同样的发明构思,本申请实施例还提供了一种电子设备,如图6所示,包括:存储器和处理器,所述存储器中存储有可执行程序,所述处理器执行所述可执行程序以实现如上所述芯片测试方法的步骤。

[0118] 本申请实施例还提供了一种存储介质,所述存储介质承载有一个或者多个计算机程序,所述一个或者多个计算机程序被处理器执行时实现如上所述芯片测试方法的步骤。

[0119] 应理解,在本申请实施例中,处理器可以是中央处理单元(Central Processing Unit,简称CPU),该处理器还可以是其他通用处理器、数字信号处理器(Digital Signal Processing,简称DSP)、专用集成电路(Application Specific Integrated Circuit,简称ASIC)、现成可编程门阵列(Field-Programmable Gate Array,简称FPGA)或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。

[0120] 还应理解,本申请实施例中提及的存储器可以是易失性存储器或非易失性存储器,或可包括易失性和非易失性存储器两者。其中,非易失性存储器可以是只读存储器(Read-Only Memory,简称ROM)、可编程只读存储器(Programmable ROM,简称PROM)、可擦除可编程只读存储器(Erasable PROM,简称EPROM)、电可擦除可编程只读存储器(Electrically EPROM,简称EEPROM)或闪存。易失性存储器可以是随机存取存储器(Random Access Memory,简称RAM),其用作外部高速缓存。通过示例性但不是限制性说明,许多形式的RAM可用,例如静态随机存取存储器(Static RAM,简称SRAM)、动态随机存取存储器(Dynamic RAM,简称DRAM)、同步动态随机存取存储器(Synchronous DRAM,简称SDRAM)、双倍数据速率同步动态随机存取存储器(Double Data Rate SDRAM,简称DDR SDRAM)、增强型同步动态随机存取存储器(Enhanced SDRAM,简称ESDRAM)、同步连接动态随机存取存储器(Synclink DRAM,简称SLDRAM)和直接内存总线随机存取存储器(Direct Rambus RAM,简称DR RAM)。

[0121] 需要说明的是,当处理器为通用处理器、DSP、ASIC、FPGA或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件时,存储器(存储模块)集成在处理器中。

[0122] 应注意,本文描述的存储器旨在包括但不限于这些和任意其它适合类型的存储器。

[0123] 该总线除包括数据总线之外,还可以包括电源总线、控制总线和状态信号总线等。但是为了清楚说明起见,在图中将各种总线都标为总线。

[0124] 还应理解,本文中涉及的第一、第二、第三、第四以及各种数字编号仅为描述方便进行的区分,并不用来限制本申请的范围。

[0125] 应理解,本文中术语“和/或”,仅仅是一种描述关联对象的关联关系,表示可以存在三种关系,例如,A和/或B,可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。另外,本文中字符“/”,一般表示前后关联对象是一种“或”的关系。

[0126] 在实现过程中,上述方法的各步骤可以通过处理器中的硬件的集成逻辑电路或者软件形式的指令完成。结合本申请实施例所公开的方法的步骤可以直接体现为硬件处理器执行完成,或者用处理器中的硬件及软件模块组合执行完成。软件模块可以位于随机存储器,闪存、只读存储器,可编程只读存储器或者电可擦写可编程存储器、寄存器等本领域成熟的存储介质中。该存储介质位于存储器,处理器读取存储器中的信息,结合其硬件完成上述方法的步骤。为避免重复,这里不再详细描述。

[0127] 在本申请的各种实施例中,上述各过程的序号的大小并不意味着执行顺序的先后,各过程的执行顺序应以其功能和内在逻辑确定,而不应对本申请实施例的实施过程构成任何限定。

[0128] 本领域普通技术人员可以意识到,结合本文中所公开的实施例描述的各种说明性逻辑块(illustrative logical block,简称ILB)和步骤,能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本申请的范围。

[0129] 在本申请所提供的几个实施例中,应该理解到,所揭露的系统、装置和方法,可以通过其它的方式实现。例如,以上所描述的装置实施例仅仅是示意性的,例如,所述单元的

划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口,装置或单元的间接耦合或通信连接,可以是电性,机械或其它的形式。

[0130] 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

[0131] 另外,在本申请各个实施例中的各功能单元可以集成在一个处理单元中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个单元中。

[0132] 在上述实施例中,可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时,可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机指令。在计算机上加载和执行所述计算机程序指令时,全部或部分地产生按照本申请实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、或者其他可编程装置。所述计算机指令可以存储在计算机可读存储介质中,或者从一个计算机可读存储介质向另一个计算机可读存储介质传输,例如,所述计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线(例如同轴电缆、光纤、数字用户线)或无线(例如红外、无线、微波等)方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质,(例如,软盘、硬盘、磁带)、光介质(例如,DVD)、或者半导体介质(例如固态硬盘)等。

[0133] 以上所述,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以所述权利要求的保护范围为准。



图1



图2

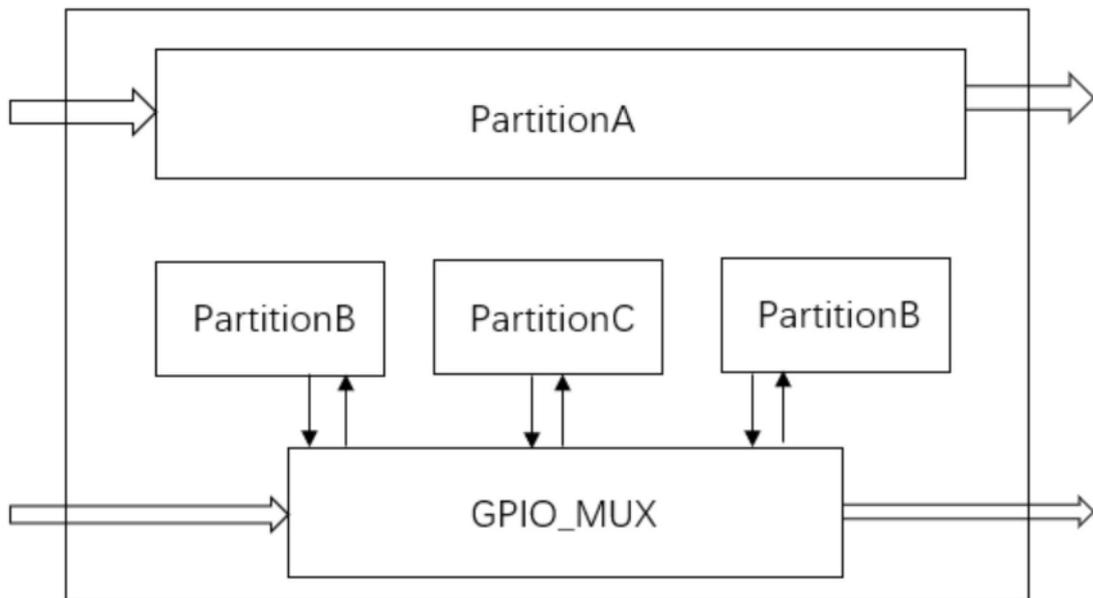


图3

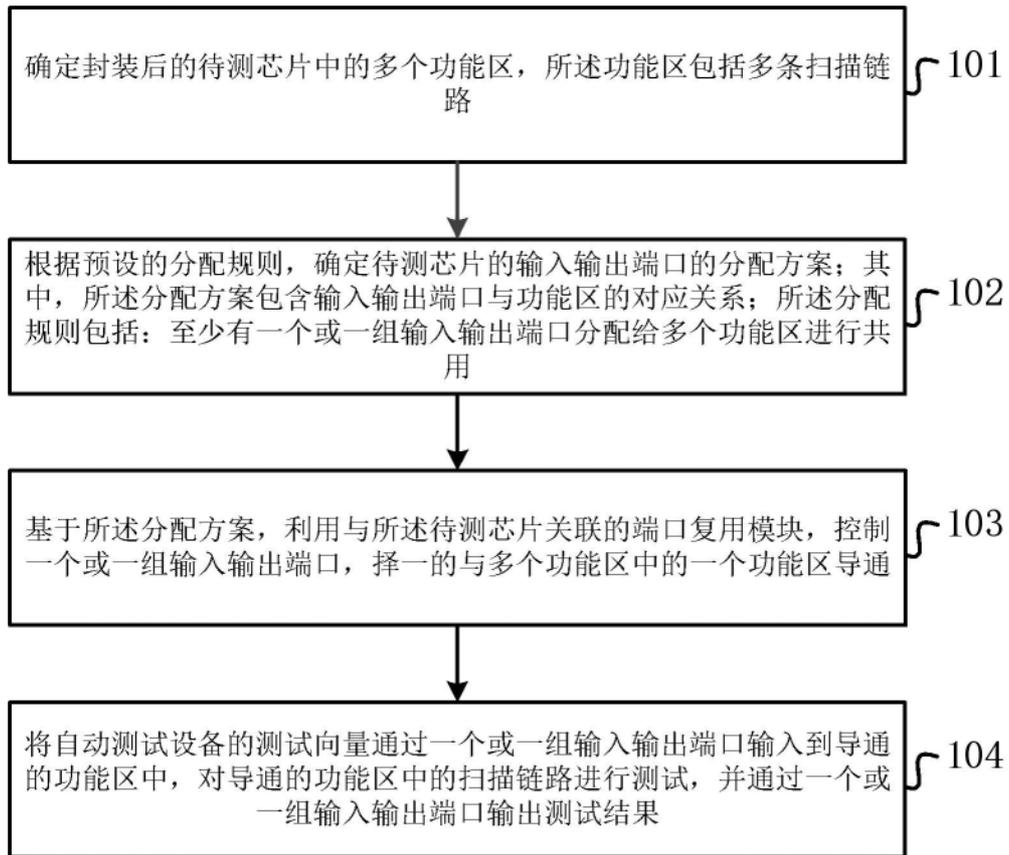


图4

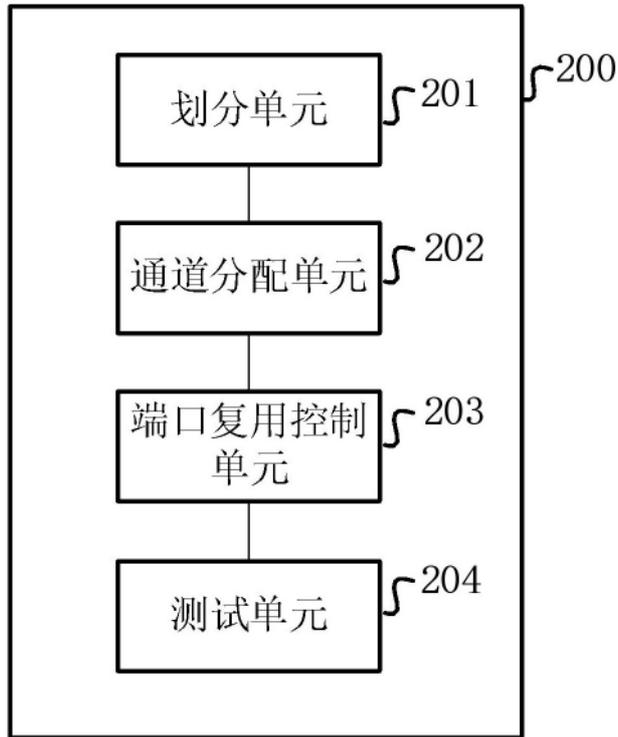


图5

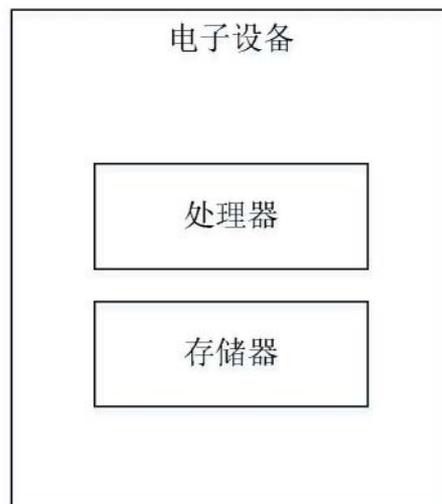


图6