



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201244051 A1

(43)公開日：中華民國 101 (2012) 年 11 月 01 日

(21)申請案號：100113807

(22)申請日：中華民國 100 (2011) 年 04 月 20 日

(51)Int. Cl. : H01L25/04 (2006.01)

H01L23/52 (2006.01)

(71)申請人：環旭電子股份有限公司(中國大陸) UNIVERSAL SCIENTIFIC INDUSTRIAL (SHANGHAI) CO., LTD. (CN)

中國大陸

環鴻科技股份有限公司(中華民國) UNIVERSAL GLOBAL SCIENTIFIC INDUSTRIAL CO., LTD. (TW)

南投縣草屯鎮太平路 1 段 351 巷 141 號

(72)發明人：劉祐成 LIU, YU CHENG (TW)；陳建男 CHEN, CHIEN NAN (TW)

(74)代理人：張耀暉；莊志強

申請實體審查：有 申請專利範圍項數：10 項 圖式數：3 共 18 頁

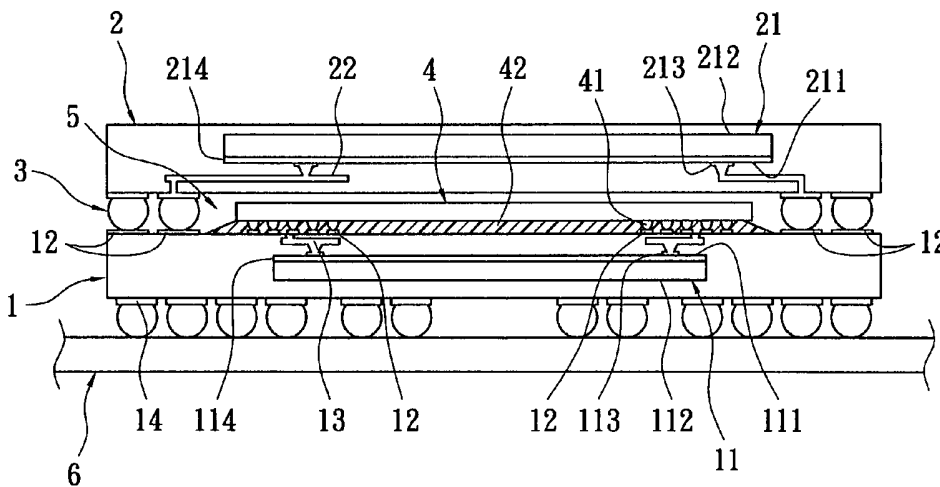
(54)名稱

基板堆疊結構

STACKED-SUBSTRATE STRUCTURE

(57)摘要

一種基板堆疊結構，包括：埋設有第一晶片的的第一基板、埋設有第二晶片的第二基板、數個焊接件、及第三晶片。上述焊接件連接於第一基板與第二基板之間，且焊接件導通第一基板與第二基板。所述第一基板、第二基板以及焊接件之間包圍形成有容置空間。上述第三晶片設置於容置空間中且接合於第一基板的一端面，第三晶片經第一基板電性連接於第一晶片以及第二晶片。藉此，可降低結構的整體厚度，且可令內埋於第一基板與第二基板的第一晶片與第二晶片分別進行獨立測試。



- 1：第一基板
- 2：第二基板
- 3：焊接件
- 4：第三晶片
- 5：容置空間
- 6：電路板
- 11：第一晶片
- 12：圖案化線路層
- 13：導通線路
- 14：焊墊
- 21：第二晶片
- 22：導通線路
- 41：微凸塊
- 42：介電層

- 111：主動面
- 112：非主動面
- 113：接點
- 114：重配製層
- 211：主動面
- 212：非主動面
- 213：接點
- 214：重配製層

六、發明說明：

【發明所屬之技術領域】

本發明是有關一種堆疊結構，且特別是有關於一種基板堆疊結構。

【先前技術】

隨著電子產品的快速發展，積體電路已經成為資訊時代不可或缺的產品，例如：筆記型電腦、行動電話、個人數位助理、及數位相機等，無不可見積體電路的蹤跡。

就電子產品中之晶片封裝體而言，為了滿足電子產品多功能與高速高頻運算的需求，則必須要增加主動元件的數量，但同時又必須符合外型輕薄短小、尺寸微型化等設計要求。

故，因應在有限的構裝空間當中容納數目龐大電子元件的需求，目前有許多積體電路的封裝型式可供利用，如圖 1 所示，其為一種堆疊結構。上述堆疊結構具有相連接的上層結構 1a 與下層結構 2a。上層結構 1 具有基板 (substrate)11a、堆疊於基板 11a 上的數個晶片 (die)12a、連接基板 11a 與晶片 12a 的數條金屬導線 13a、及包覆晶片 12a 與金屬導線 13a 的包覆層 14a。而下層結構 2a 具有基板 (substrate)21a 以及裝設於基板 21a 上的處理器 (processor)22a。

然而，上述堆疊結構的厚度並不易進一步的降低，且其上層結構 1a 中的晶片 12a 不易被獨立測試在不同的平台。再者，金屬導線 14a 易產生斷裂等問題。

【發明內容】

本發明實施例在於提供一種基板堆疊結構，其將晶片

分別埋設於不同的基板中，藉以降低整體厚度，且可令基板中的晶片分別獨立測試於不同平台。

本發明實施例提供一種基板堆疊結構，其包括：一第一基板，其內埋設有一第一晶片；一第二基板，其內埋設有一第二晶片；數個焊接件，其連接於該第一基板以及該第二基板之間，該些焊接件導通該第一基板以及該第二基板，且該第一基板、該第二基板以及該些焊接件之間包圍形成有一容置空間；以及一第三晶片，其設置於該容置空間中，該第三晶片接合於該第一基板的一端面，且該第三晶片經該第一基板電性連接於該第一晶片以及該第二晶片。

綜上所述，本發明實施例所提供之基板堆疊結構，其能有效地降低整體厚度，且可令內埋於第一基板與第二基板的第一晶片與第二晶片分別在不同平台進行獨立測試。再者，本發明實施例能避免習知金屬導線所易產生的問題。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，但是此等說明與所附圖式僅係用來說明本發明，而非對本發明的權利範圍作任何的限制。

【實施方式】

[較佳實施例]

請參閱圖 2 和圖 3，其為本發明的較佳實施例，其中圖 2 為本發明的示意圖，圖 3 為圖 2 的放大示意圖。

復參照圖 2，其為一種基板堆疊結構，包括埋設有第一晶片(die)11 的第一基板(substrate)1、埋設有第二晶片(die)12

的第二基板(substrate)2、數個連接上述第一基板 1 與第二基板 2 的焊接件 3、及設置於第一基板 1 與第二基板 2 之間的第三晶片(die)4。其中，上述焊接件 3 導通第一基板 1 與第二基板 2，且第一基板 1、第二基板 2 以及焊接件 3 之間包圍形成容置空間 5。而第三晶片 4 設置於上述容置空間 5 中且接合於第一基板 1 的一端面，第三晶片 4 經第一基板 1 電性連接於第一晶片 11 以及第二晶片 21。

藉此，在以焊接件 3 連接第一基板 1 與第二基板 2 前，第一基板 1 與第二基板 2 可分別於不同的平台中，獨立測試埋設於其內的第一晶片 11 與第二晶片 21。並且，第一基板 1 與第二基板 2 可因埋設有第一晶片 11 和第二晶片 21，令第一基板 1 與第二基板 2 的結構強度達到強化效果，以改善翹曲現象。

第一基板 1 鄰近第二基板 2 的一端面形成有圖案化線路層 12 用以電性連接第三晶片 4 和焊接件 3，且第一基板 1 與第二基板 2 內各形成有導通線路 13、22。

其中，第一基板 1 的導通線路 13 電性連接於第一晶片 11 與圖案化線路層 12，藉此，經由第一基板 1 的導通線路 13 以及圖案化線路層 12 可使第一晶片 11 和第三晶片 4 達成電性連接。第二基板 2 的導通線路 22 電性連接於第二晶片 21 與焊接件 3，藉此，經由第二基板 2 的導通線路 22、焊接件 3 及圖案化線路層 12 可使第二晶片 21 與第三晶片 4 達成電性連接。而於第一基板 1 的另一端面形成有數個用以焊接於電路板 6 的焊墊 14。

上述第一晶片 11 與第二晶片 21 的電路路徑係以第一基板 1 及第二基板 2 內所形成的導通線路 13、22 替代先前

技術中所述之金屬導線，因此，本實施例可有效避免因金屬導線所產生的問題。

再者，第一晶片 11 與第二晶片 21 各具有相對應的主動面 111、211 以及非主動面 112、212，第一晶片 11 與第二晶片 21 的主動面 111、211 各用以電性連接於其所埋設的第一基板 1 與第二基板 2 內的導通線路 13、22，進而電性連接於第三晶片 4。更詳細的說，第一晶片 11 與第二晶片 21 的主動面 111、211 各形成數個接點 113、213。上述第一晶片 11 與第二晶片 21 的接點 113、213 可分別電性連接於其所埋設的第一基板 1 與第二基板 2 內的導通線路 13、22。

第一晶片 11 與第二晶片 21 的主動面 111、211 可呈相對向的設置，藉此，第一晶片 11 與第二晶片 21 至第三晶片 4 的電路路徑可有效的縮短，進而達到較佳的傳輸效果。並且，於本實施例中，第一晶片 11 與第二晶片 21 的主動面 111、211 以相對向的設置為例，但於實際應用時，第一晶片 11 與第二晶片 21 的主動面 111、211 亦可為同向的設置(圖略)，或是反向的設置(圖略)。

此外，請參閱圖 3，為使第一晶片 11 與第二晶片 21 能應用於不同的元件模組，第一晶片 11 與第二晶片 21 可各形成有重配製層(redistribution layer, RDL)114、214，且第一晶片 11 與第二晶片 21 於其重配置層 114、214 外側各自形成上述之主動面 111、211 及接點 113、213。藉此，以重配置層 114、214 改變第一晶片 11 與第二晶片 21 的原有線路設計，使第一晶片 11 與第二晶片 21 能應用於不同的元件模組。

上述焊接件 3 連接於第一基板 1 與第二基板 2 之間，且用以導通第一基板 1 與第二基板 2。其中，本實施例的焊接件 3 以錫球為例，但並不以此為限。

第三晶片 4 與該第一基板 1 之間設有數個微凸塊(micro bump)41 以及介電層 42。上述微凸塊 41 連接第三晶片 4 與第一基板 1。更詳細的說，微凸塊 41 連接第三晶片 4 與第一基板 1 的圖案化線路層 12，且微凸塊 41 包覆於介電層 42 內。其中，介電層 42 可為薄膜式黏晶膠或其他合適的介電材料。

此外，基板堆疊結構的厚度可為 1.32 公厘至 1.52 公厘之間，且較合適的厚度為 1.42 公厘，但並不以上述數據為限。

再者，基板堆疊結構的領域可進一步限定於記憶體。亦即，第一晶片 11 與第二晶片 21 皆為記憶體，第三晶片 4 為處理器(processor)。

其中，第一晶片 11 可為非揮發性記憶體(non-volatile memory)，亦即，當電源供應中斷，記憶體所儲存的資料並不會消失，重新供電後，就能夠讀取內存資料的記憶體。主要的類型包括：唯讀記憶體 (Read-only memory, ROM)、可規化式唯讀記憶體 (Programmable read-only memory, PROM)、可擦可規化式唯讀記憶體(Erasable programmable read only memory, EPROM)、可電擦可規化式唯讀記憶體 (Electrically erasable programmable read only memory, EEPROM)、快閃記憶體 (Flash memory)。於本實施例中，以第一晶片 11 為儲存型快閃記憶體(NAND flash)為例，但並不以此為限。

而第二晶片 21 可為揮發性記憶體(volatile memory)，亦即，當電源供應中斷後，記憶體所儲存的資料便會消失的記憶體。主要的類型包括：隨機存取記憶體 (Random access memory, RAM)、動態隨機存取記憶體 (Dynamic random access memory, DRAM)、及靜態隨機存取記憶體 (Static random access memory, SRAM)。於本實施例中，以第二晶片 21 為低功率雙倍資料率動態隨機存取記憶體(LPDDR)為例，但並不以此為限。

此外，所述之第一晶片 11 與第二晶片 21 可採用不同的晶片內埋技術以埋設於第一基板 1 與第二基板 2 內，本實施例以下述之晶片內埋技術(圖略)為例，但於實際應用時並不以為限。

基板中具有數層相互交錯設置的導電層(如銅薄膜)及半固化樹脂層(如 FR4 或 FR5 等)，亦即，任兩層導電層之間設置有一層半固化樹脂層。

晶片埋設於基板的其中一層半固化樹脂層中且接合於其中一層導電層。而上述埋設的方向可將晶片的非主動面接合於導電層，或是將晶片的主動面接合於導電層。

其後，實施雷射鑽孔及電鍍，並於基板外緣形成圖案化線路層或焊墊，進而使晶片電性連接於基板外緣的圖案化線路層或焊墊。

[實施例的功效]

根據本發明實施例，上述基板堆疊結構的厚度可降低至 1.32 公厘至 1.52 公厘之間，且較合適的厚度為 1.42 公厘。

再者，基板堆疊結構的第一基板 1 與第二基板 2 可分別於不同的平台中，測試埋設於其內的第一晶片 11 與第二晶片 21。

並且，相較於習知結構，本實施例中的第一晶片 11 與第二晶片 12 連接至第三晶片 4 的電路路徑可有效地縮短，並使第一基板 1 與第二基板 2 的結構強度可達到強化效果，以改善翹曲現象。並且，本發明實施例能避免如習知金屬導線所易產生的問題。

以上所述僅為本發明之實施例，其並非用以侷限本發明之專利範圍。

【圖式簡單說明】

圖 1 為習知堆疊結構的剖視示意圖；

圖 2 為本發明基板堆疊結構的示意圖；

圖 3 為本發明圖 2 的放大示意圖。

【主要元件符號說明】

[習知]

1a 上層結構

11a 基板

12a 晶片

13a 金屬導線

14a 包覆層

2a 下層結構

21a 基板

22a 處理器

[本發明]

1 第一基板

- 11 第一晶片
 - 111 主動面
 - 112 非主動面
 - 113 接點
 - 114 重配製層
- 12 圖案化線路層
- 13 導通線路
- 14 焊墊
- 2 第二基板
 - 21 第二晶片
 - 211 主動面
 - 212 非主動面
 - 213 接點
 - 214 重配製層
 - 22 導通線路
- 3 焊接件
- 4 第三晶片
 - 41 微凸塊
 - 42 介電層
- 5 容置空間
- 6 電路板

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100113801

※申請日：100.4.27

※IPC 分類：

H01L 25/16 (2006.01)

一、發明名稱：(中文/英文)

H01L 23/52 (2006.01)

基板堆疊結構 / STACKED-SUBSTRATE STRUCTURE

二、中文發明摘要：

一種基板堆疊結構，包括：埋設有第一晶片的第一基板、埋設有第二晶片的第二基板、數個焊接件、及第三晶片。上述焊接件連接於第一基板與第二基板之間，且焊接件導通第一基板與第二基板。所述第一基板、第二基板以及焊接件之間包圍形成有容置空間。上述第三晶片設置於容置空間中且接合於第一基板的一端面，第三晶片經第一基板電性連接於第一晶片以及第二晶片。藉此，可降低結構的整體厚度，且可令內埋於第一基板與第二基板的第一晶片與第二晶片分別進行獨立測試。

三、英文發明摘要：

A stacked-substrate structure includes: a first substrate having a first die embedded therein, a second substrate having a second die embedded therein, a plurality of soldering elements, and a third die. The soldering elements connect in between the first substrate and the second substrate. The first substrate and the second substrate are electrically connection via the soldering elements. The first

201244051

substrate, the second substrate and the soldering elements define an accommodating space. The third die is disposed in the accommodating space and connected to one surface of the first substrate. The third die electrically connects to the first die and the second die via the first substrate. Thus, height of the stacked-substrate structure can be reduced. And, the first die and the second die can be tested independently.

七、申請專利範圍：

1、一種基板堆疊結構，包括：

一第一基板，其內埋設有一第一晶片；

一第二基板，其內埋設有一第二晶片；

數個焊接件，其連接於該第一基板與該第二基板之間，該些焊接件導通該第一基板與該第二基板，且該第一基板、該第二基板以及該些焊接件之間包圍形成有一容置空間；以及

一第三晶片，其設置於該容置空間中，該第三晶片接合於該第一基板的一端面，且該第三晶片經該第一基板電性連接於該第一晶片以及該第二晶片。

2、如申請專利範圍第 1 項所述之基板堆疊結構，其中該第一基板內形成有一導通線路，該導通線路電性連接該第一晶片以及該第三晶片。

3、如申請專利範圍第 1 項所述之基板堆疊結構，其中該第一晶片與該第二晶片各具有相對應的一主動面與一非主動面，該第一晶片與該第二晶片的主動面電性連接於該第三晶片，且該第一晶片與該第二晶片的主動面呈相對向的設置。

4、如申請專利範圍第 3 項所述之基板堆疊結構，其中該第一晶片與該第二晶片的主動面各形成有數個接點。

5、如申請專利範圍第 4 項所述之基板堆疊結構，其中該第一晶片與該第二晶片各形成有一重配置層，該第一晶片與該第二晶片的重配置層外側分別形成上述主動面。

6、如申請專利範圍第 1 項所述之基板堆疊結構，其中該第一基板的另一端面形成有數個用以焊接於一電路板的

焊墊。

7、如申請專利範圍第 1 項所述之基板堆疊結構，其中該第一晶片以及該第二晶片皆為記憶體，該第三晶片為處理器，該些焊接件為錫球。

8、如申請專利範圍第 7 項所述之基板堆疊結構，其中該第一晶片為非揮發性記憶體，該第二晶片為揮發性記憶體。

9、如申請專利範圍第 8 項所述之基板堆疊結構，其中該第一晶片為儲存型快閃記憶體，該第二晶片為低功率雙倍資料率動態隨機存取記憶體。

10、如申請專利範圍第 1 項所述之基板堆疊結構，其中該第三晶片與該第一基板之間設有數個微凸塊以及一介電層，該些微凸塊連接該第三晶片與該第一基板，該些微凸塊包覆於該介電層中。

八、圖式：

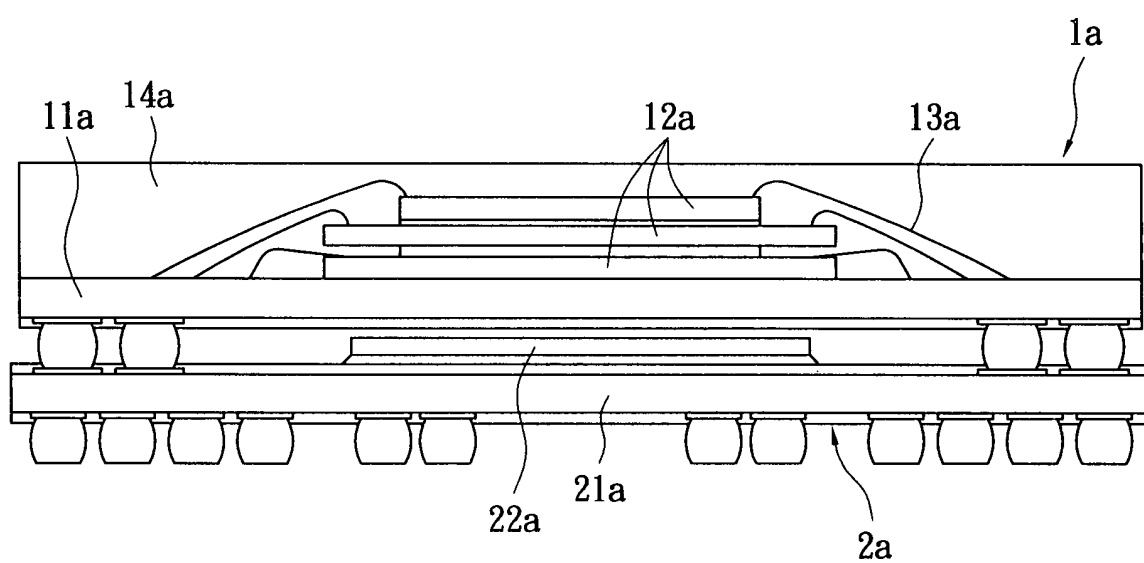


圖 1

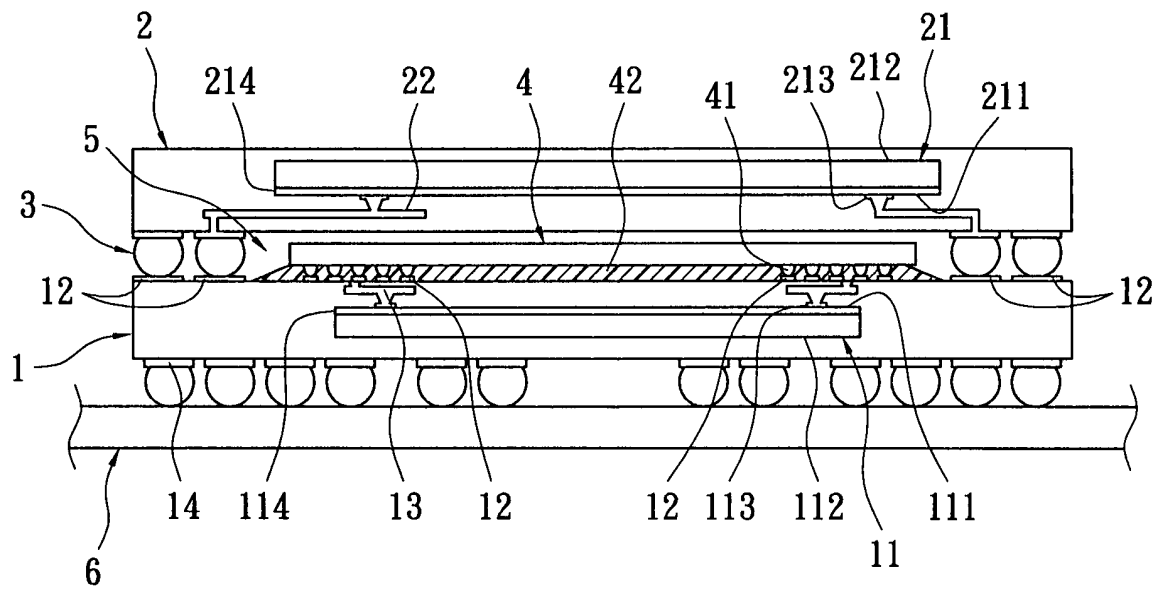


圖2

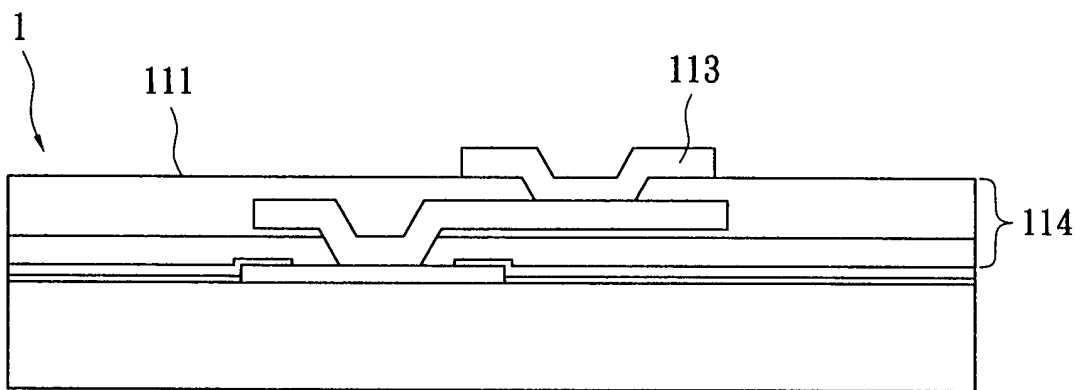


圖3

四、指定代表圖：

(一)本案指定代表圖為：圖 2。

(二)本代表圖之元件符號簡單說明：

1 第一基板

11 第一晶片

111 主動面

112 非主動面

113 接點

114 重配製層

12 圖案化線路層

13 導通線路

14 焊墊

2 第二基板

21 第二晶片

211 主動面

212 非主動面

213 接點

214 重配製層

22 導通線路

3 焊接件

4 第三晶片

41 微凸塊

42 介電層

5 容置空間

6 電路板

201244051

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：