

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-310625

(P2006-310625A)

(43) 公開日 平成18年11月9日(2006.11.9)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/761 (2006.01)	HO 1 L 21/76 J	5 F O 3 2
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	5 F O 8 3
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 3 2 1	
HO 1 L 21/8242 (2006.01)		

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2005-132481 (P2005-132481)
 (22) 出願日 平成17年4月28日 (2005.4.28)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康

最終頁に続く

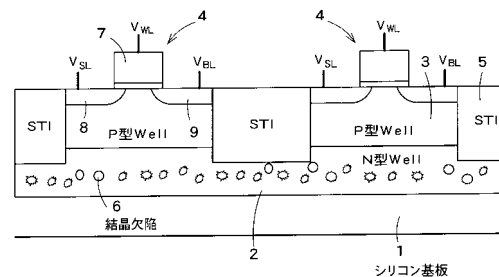
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 MOSFET内に蓄積した信号電荷が素子分離領域を介して隣接したMOSFETに漏れ出さないようにする。

【解決手段】 シリコン基板 1 上に形成されるN型ウェル領域 2 と、N型ウェル領域 2 上に互いに分離して形成される複数のP型ウェル領域 3 と、これらP型ウェル領域 3 上に形成される複数のMOSFET 4 と、隣接するP型ウェル領域 3 間に形成される素子分離領域 5 とを備え、N型ウェル領域 2 は、不純物イオンの注入等により意図的に形成された結晶欠陥 6 を有する。隣接するMOSFET 4 のP型ウェル領域 3 同士を絶縁するためのN型ウェル領域 2 に意図的に結晶欠陥 6 を形成するため、P型ウェル領域 3 内の正孔がN型ウェル領域 2 に流入しても、結晶欠陥 6 で正孔と電子が再結合し、一方のMOSFET 4 のP型ウェル領域 3 内の正孔が隣のMOSFET 4 のP型ウェル領域 3 に流入するおそれはなくなる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

半導体基板の表面に形成される第 1 導電型半導体領域と、
前記第 1 導電型半導体領域の表面に互いに分離して形成される複数の第 2 導電型半導体領域と、

前記複数の第 2 導電型半導体領域上にそれぞれ形成される複数の MOSFET と、
隣接する前記第 2 導電型半導体領域の間に形成され、底面が前記第 1 導電型半導体領域内に位置する素子分離領域と、を備え、

前記第 1 導電型半導体領域内の単位体積当たりの結晶欠陥数は、前記第 2 導電型半導体領域内の単位体積当たりの結晶欠陥数よりも多いことを特徴とする半導体記憶装置。 10

【請求項 2】

前記第 1 導電型半導体領域の中で、前記素子分離領域の直下に位置する領域内の単位体積当たりの結晶欠陥数は、前記 MOSFET の直下に位置する領域内の単位体積当たりの結晶欠陥数よりも多いことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記第 1 導電型半導体領域の中で、前記素子分離領域の底面の角部の周囲領域の単位体積当たりの結晶欠陥数は、それ以外の領域の単位体積当たりの結晶欠陥数よりも多いことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記第 1 導電型半導体領域は、不純物イオンの注入により形成された結晶欠陥を有することを特徴とする請求項 1 または 2 に記載の半導体記憶装置。 20

【請求項 5】

前記 MOSFET は、前記第 2 導電型半導体領域内の多数キャリアの数の差に応じた閾値電圧の変動を利用してデータを記憶するメモリセルであることを特徴とする請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、素子分離領域を挟んでその両側に MOSFET を配置した半導体記憶装置。およびその製造方法に関する。 30

【背景技術】

【0002】

従来の DRAM セルは、信号電荷を蓄えるためのキャパシタとスイッチング用の MOS トランジスタとで構成されている。キャパシタの容量は一般的に 30 fF 程度が必要とされる。高集積化を目的としてデザインルールが縮小されても、DRAM セル動作を安定化させるためには 30 fF を保つ必要がある。このため、スタック型キャパシタまたはトレンチ型キャパシタの絶縁膜の薄膜化などのプロセス的な改良が必要とされてきた。

【0003】

これに対して、キャパシタを用いずに MOSFET で構成した DRAM セルが提案されている（非特許文献 1 参照）。この種の DRAM セルはシリコン基板上に形成された MOS トランジスタで構成されており、信号電荷である正孔は P 型ウェル領域に蓄えられる。正孔が存在する場合としない場合で MOSFET の閾値が異なる現象を利用して記憶素子として利用する。 40

【0004】

この種の DRAM では、隣り合ったメモリセル間を分離するために、両メモリセル間に素子分離領域を設けるとともに、各メモリセル内の P 型ウェル領域の底部に埋め込み N ウェル領域を形成してシリコン基板との分離を行っている。

【0005】

上記のようなキャパシタを持たない DRAM セルの応用としては、ロジックデバイスと DRAM の混載デバイスが挙げられる（特許文献 1 参照）。MOS トランジスタをメモリセルとして用いることにより、工程数を増やすことなく大規模なロジック混載メモリを実現可能とな 50

る。

【0006】

しかしながら、この従来技術には、寄生バイポーラトランジスタによる信号破壊が起こるといった問題点がある。すなわち、素子分離領域を挟んで両側に配置される2つのメモリセルの一方のP型ウェル領域内に蓄積される正孔がN型ウェル領域を通過して他方のメモリセルに流れてしまう。これはすなわち、元のP型ウェル領域内の蓄積電荷が消失することを意味し、メモリセルの誤動作の要因になる。この現象はバイポーラ・ディスタ urb (bipolar disturb) と呼ばれる。

【0007】

この現象の発生を防ぐには、メモリセルに印加するバイアス条件に制約を設ける必要がある。ところが、その制約によって信号電荷が減少してしまい、メモリセルの本来の特性を引き出すことが難しくなってしまう。また、メモリセルの動作時に電源電圧がノイズなどで変動すると、その変動がバイポーラ・ディスタ urb を発生させて誤動作が起きる可能性もある。

10

【特許文献1】特開2003-51551号公報

【非特許文献1】R. Ranica, et al., 2004 Symposium on VLSI Technology Digest of Technical Papers

【発明の開示】

【発明が解決しようとする課題】

【0008】

20

本発明の目的は、MOSFET内に蓄積した信号電荷が素子分離領域を介して隣接したMOSFETに漏れ出すことがない半導体記憶装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の一態様によれば、半導体基板の表面に形成される第1導電型半導体領域と、前記第1導電型半導体領域の表面に互いに分離して形成される複数の第2導電型半導体領域と、前記複数の第2導電型半導体領域上にそれぞれ形成される複数のMOSFETと、隣接する前記第2導電型半導体領域の間に形成され、底面が前記第1導電型半導体領域内に位置する素子分離領域と、を備え、前記第1導電型半導体領域内の単位体積当たりの結晶欠陥数は、前記第2導電型半導体領域内の単位体積当たりの結晶欠陥数よりも多いことを特徴とする半導体記憶装置を提供するものである。

30

【発明の効果】

【0010】

本発明によれば、MOSFET内に蓄積した信号電荷は素子分離領域を介して隣接したMOSFETに漏れ出さなくなる。

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しながら本発明の一実施形態について説明する。

【0012】

(第1の実施形態)

40

図1は本発明の第1の実施形態による半導体記憶装置の断面図である。図1の半導体記憶装置は、シリコン基板1上に形成されるN型ウェル領域2と、N型ウェル領域2上に互いに分離して形成される複数のP型ウェル領域3と、これらP型ウェル領域3上に形成される複数のMOSFET4と、隣接するP型ウェル領域3間に形成される素子分離領域(STI: Shallow Trench Isolation)5とを備えている。STI5はP型ウェル領域3を貫通してN型ウェル領域2の内部まで形成されている。

【0013】

MOSFET4は、P型ウェル領域3内に蓄積される正孔の数により閾値が変化する。したがって、本実施形態では、MOSFET4に印加する電圧を記憶データに応じて切り替えてP型ウェル領域3内に蓄積させる正孔の数を変化させ、その閾値を検出することで、記憶データ

50

の論理を判別する。これにより、MOSFET 4 を記憶素子として用いることができる。

【0014】

N型ウェル領域 2 は、不純物イオンの注入等により意図的に形成された結晶欠陥 6 を有する。この結晶欠陥 6 は、P型ウェル領域 3 から流入してきた正孔をN型ウェル領域 2 内の電子と再結合させる作用を行う。すなわち、N型ウェル領域 2 内の結晶欠陥 6 は、再結合中心となる。このため、一方のMOSFET 4 のP型ウェル領域 3 内の正孔がN型ウェル領域 2 を介して隣のMOSFET 4 のP型ウェル領域 3 に流入するおそれがなくなる。

【0015】

図 2 は図 1 の半導体記憶装置のレイアウト図であり、図 2 の点線部の断面が図 1 に示されている。図 2 に示すように、MOSFET 4 が縦横に配置され、MOSFET 4 のゲート電極 7 はワード線 WL に、ソース電極 8 とドレイン電極 9 のうち一方はソース線 SL (共通電極) に、他方はビット線 BL に接続されている。

10

【0016】

図 3 は図 1 の半導体記憶装置の製造工程を説明する工程図である。まず、シリコン基板 1 上に、MOSFET 4 を分離するための STI (素子分離領域) 5 を形成する。STI 5 の幅は例えば $0.15\mu\text{m}$ 、深さは $0.3\mu\text{m}$ である (図 3 (a))。STI 5 は、トレンチ 12 を形成した後に、トレンチ 12 内に絶縁材料を充填することにより形成される。

【0017】

次に、不純物イオン (例えばボロン) を例えば 60KeV 、 $5 \times 10^{13}\text{cm}^{-2}$ でイオン注入し、STI 5 の両側に P型ウェル領域 3 を形成する。次に、不純物イオン (例えばリン) を例えば 240KeV 、 $1 \times 10^{14}\text{cm}^{-2}$ でイオン注入し、P型ウェル領域 3 の下面に N型ウェル領域 2 を形成する (図 3 (b))。

20

【0018】

次に、不純物イオン (例えばアルゴン) を例えば 400KeV 、 $1 \times 10^{15}\text{cm}^{-2}$ でイオン注入し、N型ウェル領域 2 内に結晶欠陥 6 を形成する (図 3 (c))。

【0019】

次に、P型ウェル領域 3 上に不純物イオンを注入してソース領域 10 およびドレイン領域 11 を形成した後、MOSFET 4 のゲート電極 7 を形成した後に、P型ウェル領域 3 上に不純物イオンを注入してソース領域 8 およびドレイン領域 9 を形成する (図 3 (d))。次に、各電極に接続するための配線層を形成して、キャパシタを持たない DRAMセルが完成する。

30

【0020】

図 4 は N型ウェル領域 2 内に結晶欠陥 6 がない場合の半導体記憶装置内の正孔電流のベクトル分布を示す図である。図 4 は図 5 に示すように P型ウェル領域 3 の深さが異なる 4 つの半導体記憶装置の特性を示している。図 4 (a) は図 5 (a) の構造の半導体記憶装置の特性を示しており、P側ウェル領域 3 と N型ウェル領域 2 の境界位置から STI 5 の底面までの距離が例えば $0.14\mu\text{m}$ である。図 4 (b) は図 5 (b) の構造の半導体記憶装置の特性を示しており、P側ウェル領域 3 と N型ウェル領域 2 の接合位置から STI 5 の底面までの距離が例えば $0.10\mu\text{m}$ である。図 4 (c) は図 5 (c) の構造の半導体記憶装置の特性を示しており、P側ウェル領域 3 と N型ウェル領域 2 の接合位置から STI 5 の底面までの距離が例えば $0.06\mu\text{m}$ である。図 4 (d) は図 5 (d) の構造の半導体記憶装置の特性を示しており、P側ウェル領域 3 と N型ウェル領域 2 の接合位置から STI 5 の底面までの距離が例えば $0.02\mu\text{m}$ である。

40

【0021】

図 6 は図 4 の特性をより詳しく表したグラフである。P型ウェル領域 3 と N型ウェル領域 2 の接合位置が STI 5 の底面位置に近づくほど、正孔電流が増えることがわかる。これに対して、本実施形態では、P型ウェル領域 3 の深さがかなり厚くても、N型ウェル領域 2 に流れる正孔電流を抑制できる。

【0022】

このように、第 1 の実施形態では、隣接する MOSFET 4 の P型ウェル領域 3 同士を絶縁す

50

るためのN型ウェル領域2に意図的に結晶欠陥6を形成し、N型ウェル領域2内の結晶欠陥数をP型ウェル領域3内の結晶欠陥数よりも多くするため、P型ウェル領域3内の正孔がN型ウェル領域2に流入しても、結晶欠陥6で正孔と電子が再結合し、一方のMOSFET4のP型ウェル領域3内の正孔が隣のMOSFET4のP型ウェル領域3に流入するおそれがない。

【0023】

(第2の実施形態)

第2の実施形態は、N型ウェル領域2内のSTI5の直下付近のみに結晶欠陥6を形成したものである。

【0024】

図7は本発明の第2の実施形態による半導体記憶装置の断面図である。図7では図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0025】

図7の半導体記憶装置は、N型ウェル領域2内で結晶欠陥6が形成される位置が第1の実施形態と異なっている。本実施形態では、N型ウェル領域2内のSTI5の直下付近のみに結晶欠陥6が形成されており、MOSFET4の形成箇所直下に位置するN型ウェル領域2内には結晶欠陥6は存在しない。このため、MOSFET4の形成箇所におけるP型ウェル領域3とその下方のN型ウェル領域2とで形成されるpn接合の逆方向特性を良好に維持することができる。

【0026】

図8は図7の半導体記憶装置の製造工程を示す工程図である。まず、シリコン基板1上に、STI5を形成するためのマスク材21を付着し、STI5の形成箇所にトレンチ12を形成する(図8(a))。

【0027】

次に、基板上面に不純物イオン(例えばアルゴン)をイオン注入する。イオン注入の条件は、例えば100KeV、 $1 \times 10^{15} \text{cm}^{-2}$ である。トレンチ12の周囲はマスク材21で覆われているため、この不純物イオンはトレンチ12の底面のみに注入され、シリコン基板1内に結晶欠陥6が形成される(図8(b))。

【0028】

次に、トレンチ12内部に絶縁材料を充填する。また、不純物イオン(例えばボロン)を例えば60KeV、 $5 \times 10^{13} \text{cm}^{-2}$ でイオン注入し、STI5の両側にP型ウェル領域3を形成する。また、不純物イオン(例えばリン)を240KeV、 $1 \times 10^{14} \text{cm}^{-2}$ でイオン注入して、N型ウェル領域2を形成する(図8(c))。次に、P型ウェル領域3上にMOSFET4を形成する(図8(d))。

【0029】

このように、第2の実施形態では、N型ウェル領域2内のSTI5の直下のみに結晶欠陥6を形成するため、この結晶欠陥6がSTI5に隣接するMOSFET4の逆方向特性に影響を与えるおそれがない。また、結晶欠陥6を設けることにより、MOSFET4のP型ウェル領域3からN型ウェル領域2を介して隣接するP型ウェル領域3に正孔電流が流れなくなる。

【0030】

(第3の実施形態)

第3の実施形態は、STI5の底面の角部に加わるストレスを利用してN型ウェル領域2内に結晶欠陥6を形成するものである。

【0031】

図9は本発明の第3の実施形態による半導体記憶装置の断面図である。図9では、図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0032】

図9の半導体記憶装置は、第1および第2の実施形態とは、N型ウェル領域2内に形成される結晶欠陥6の位置と結晶欠陥6の形成方法が異なっている。

10

20

30

40

50

【0033】

図9のSTI5は、トレンチ12の側壁に沿って形成される保護膜22を有する。この保護膜22を形成した後に、トレンチ12内を含めて基板上面全体に絶縁膜23を形成すると、トレンチ12の底面の角部にかかるストレスが極大になる。このため、N型ウェル領域2内に結晶欠陥6形成用の不純物イオンを注入しなくても、このストレスにより、N型ウェル領域2内に結晶欠陥6を形成することができる。

【0034】

図9の場合も、N型ウェル領域2内の結晶欠陥6は、MOSFET4の直下には形成されないため、MOSFET4の逆方向特性に影響を及ぼすおそれがない。

【0035】

図10は図9の半導体記憶装置の製造工程を示す工程図である。まず、シリコン基板1の上面にマスク材21を付着し、STI5の形成箇所にトレンチ12を形成する。次に、例えばシリコン窒化膜等の耐酸化性の膜を全面に堆積した後に、基板全面に対してRIEを施すことにより、トレンチ12の側壁に保護材となるシリコン窒化膜22を形成する(図10(a))。シリコン窒化膜の膜厚は、例えば25nmである。

【0036】

次に、基板全面を熱酸化することにより、トレンチ12の底面の角部にストレスを発生させてシリコン基板1に結晶欠陥6を形成する(図10(b))。

【0037】

次に、不純物イオン(例えばボロン)を、例えば60KeV、 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して、P型ウェル領域3を形成する。また、不純物イオン(例えばリンイオン)を、例えば240KeV、 $1 \times 10^{14} \text{ cm}^{-2}$ でイオン注入して、N型ウェル領域2を形成する(図10(c))。

【0038】

次に、P側ウェル領域上にゲート電極7、ソース電極8およびドレイン電極9を形成して、MOSFET4を形成する(図10(d))。

【0039】

このように、第3の実施形態では、トレンチ12の底面の角部に加わるストレスを利用してN型ウェル領域2内に結晶欠陥6を形成するため、結晶欠陥6を形成する目的で不純物イオンを注入する工程が不要となり、製造工程の簡略化を図ることができる。

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施形態による半導体記憶装置の断面図。

【図2】図1の半導体記憶装置のレイアウト図。

【図3】図1の半導体記憶装置の製造工程を説明する工程図。

【図4】N型ウェル領域2内に結晶欠陥6がない場合の半導体記憶装置内の正孔電流のベクトル分布を示す図。

【図5】P型ウェル領域3の膜厚が異なる4つの半導体記憶装置の断面図。

【図6】図4の特性をより詳しく表したグラフ。

【図7】本発明の第2の実施形態による半導体記憶装置の断面図。

【図8】図7の半導体記憶装置の製造工程を示す工程図。

【図9】本発明の第3の実施形態による半導体記憶装置の断面図。

【図10】図9の半導体記憶装置の製造工程を示す工程図。

【符号の説明】

【0041】

- 1 シリコン基板
- 2 N型ウェル領域
- 3 P型ウェル領域
- 4 MOSFET
- 5 素子分離領域(STI)

10

20

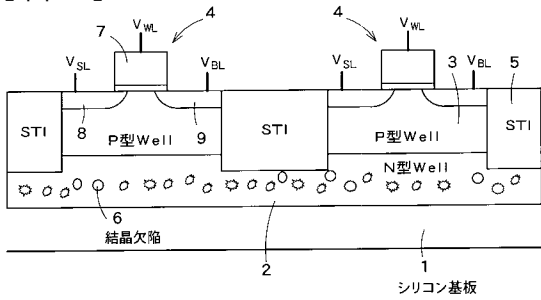
30

40

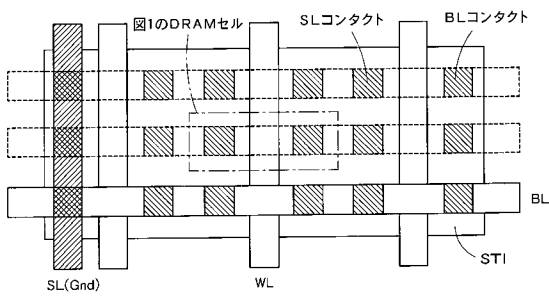
50

- 6 結晶欠陥
- 7 ゲート電極
- 8 ソース領域
- 9 ドレイン領域
- 2 1 マスク材
- 2 2 シリコン窒化膜
- 2 3 シリコン酸化膜

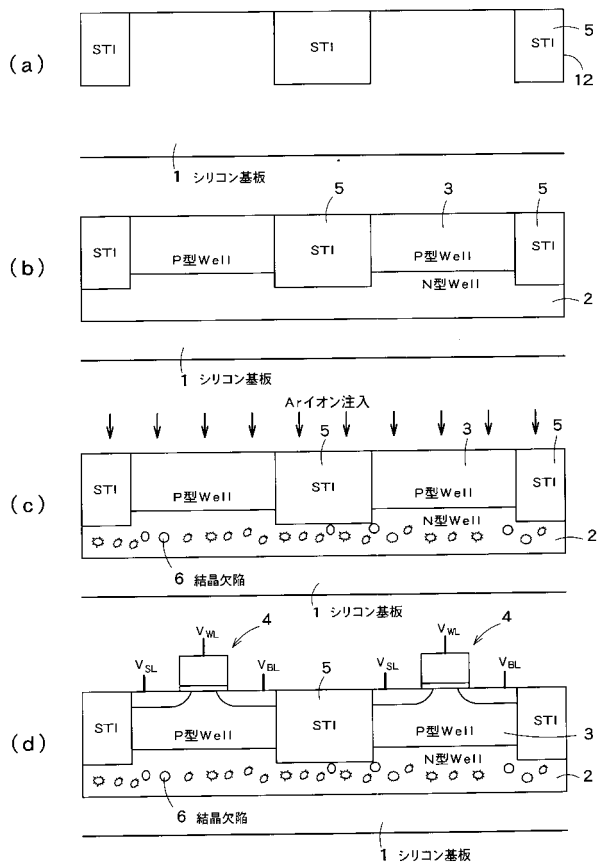
【図1】



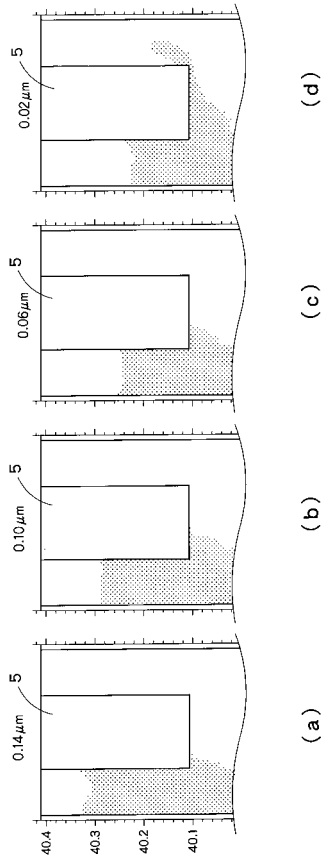
【図2】



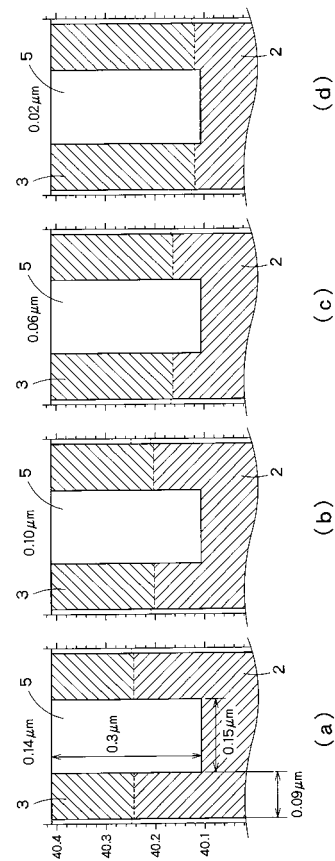
【図3】



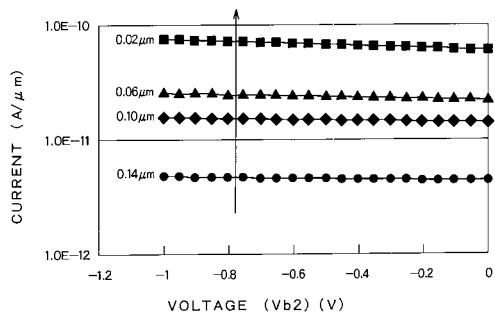
【図4】



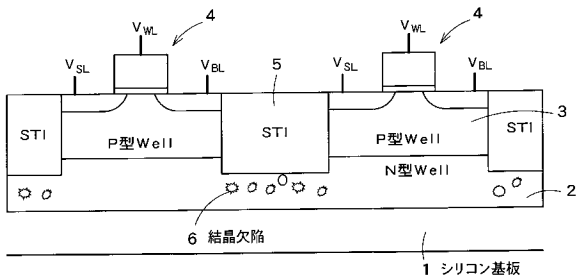
【図5】



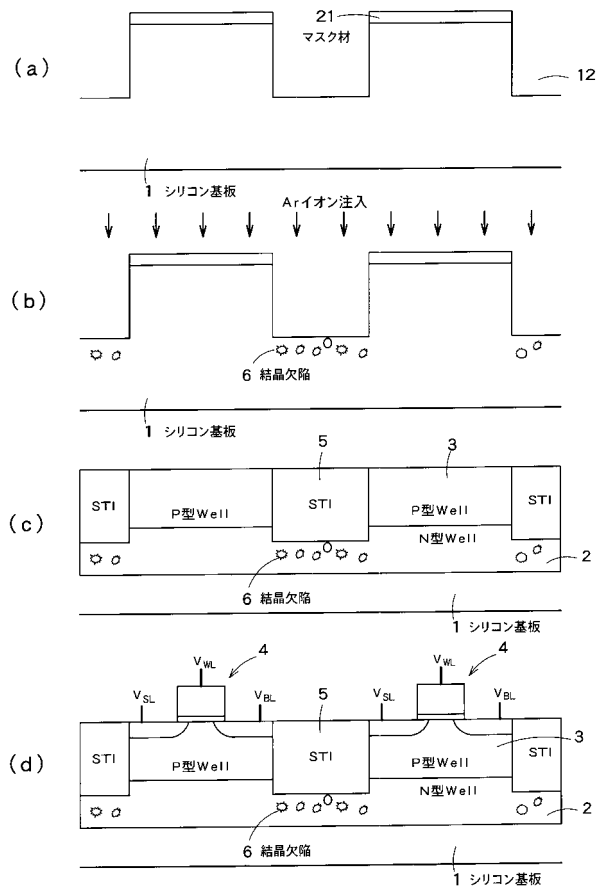
【図6】



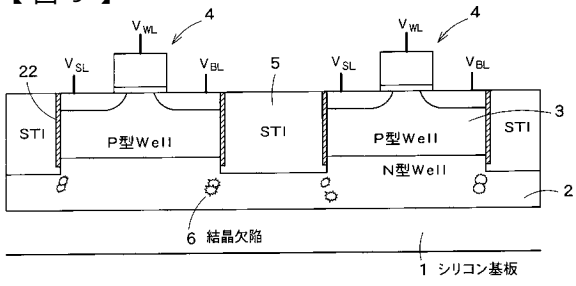
【図7】



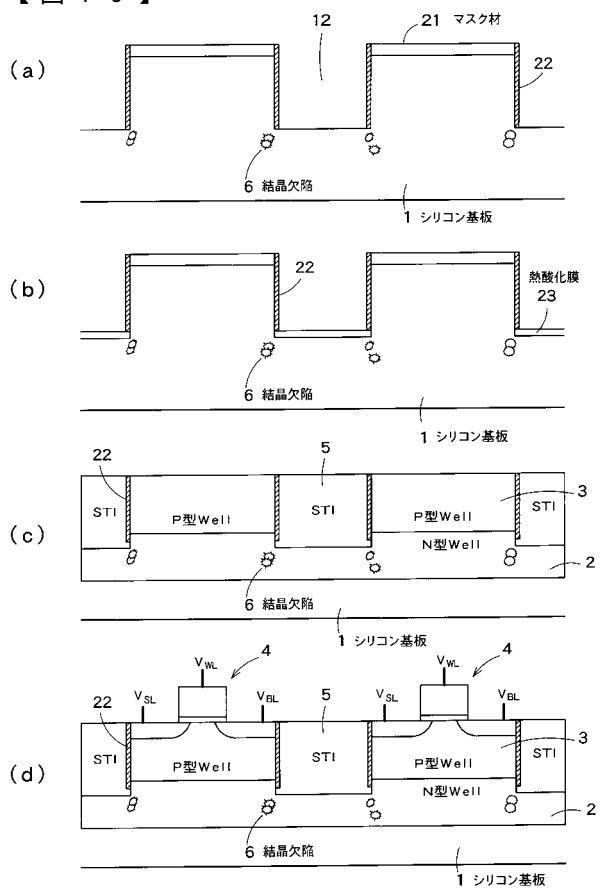
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 浜 本 毅 司

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

Fターム(参考) 5F032 AA34 AA45 AA46 AB03 CA03 CA17 CA23 DA01 DA23 DA25

DA30 DA43 DA53 DA60

5F083 AD69 GA06 GA28 NA01 PR36