



(12)发明专利申请

(10)申请公布号 CN 107133192 A

(43)申请公布日 2017.09.05

(21)申请号 201710328288.9

(22)申请日 2017.05.11

(71)申请人 北方电子研究院安徽有限公司  
地址 233040 安徽省蚌埠市财院路10号

(72)发明人 张跃玲 张磊 王镇 汪健

(74)专利代理机构 南京纵横知识产权代理有限公司 32224

代理人 耿英 董建林

(51)Int.Cl.

G06F 15/78(2006.01)

G06F 9/48(2006.01)

H03K 21/38(2006.01)

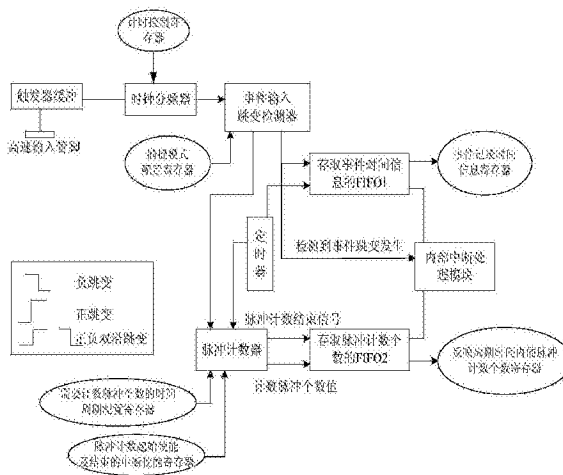
权利要求书2页 说明书10页 附图2页

(54)发明名称

一种SoC系统中的高速输入器和脉冲计数器电路

(57)摘要

本发明公开了一种SoC系统中的高速输入器和脉冲计数器电路,包括高速输入管脚、触发器缓冲、事件输入跳变检测器、时钟分频器、定时器、用于存储高速输入事件时间信息的先进先出队列FIFO1、用于存储记录设定周期时间内的脉冲计数个数的先进先出队列FIFO2、脉冲计数器和内部中断处理模块。本发明通过SoC系统中的处理器核的中断功能实现对外部高速输入管脚的时间信息的读取和处理,并实现配置时间内对输入脉冲个数计数和读取,具有占用面积小,使用资源少,节约成本等优点。



1. 一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,

包括高速输入管脚、触发器缓冲、事件输入跳变检测器、时钟分频器、定时器、用于存储高速输入事件时间信息的先进先出队列FIFO1、用于存储记录设定周期时间内的脉冲计数个数的先进先出队列FIFO2、脉冲计数器和内部中断处理模块;

高速输入管脚为连接到SoC顶层用于外部事件信号的输入;

触发器缓冲对通过高速输入管脚输入的信号进行缓冲和过滤;

事件输入跳变检测器,对外部跳变沿的事件检测;

时钟分频器对时钟进行分频;

定时器以时钟分频器输出的时钟周期为运行时钟周期,为高速输入器和脉冲计数器内部提供时间信息基准;

用于存储高速输入事件时间信息的先进先出队列FIFO1用于存取高速输入事件发生的时间;先进先出队列FIFO1的写使能由事件输入跳变检测器检测到事件控制产生,并控制写入当前定时器时刻值到先进先出队列FIFO1;

脉冲计数器,对配置的周期时间段内的高速输入管脚的脉冲个数进行记录;

用于存储记录设定周期时间内的脉冲计数个数的先进先出队列FIFO2,用来存取配置周期时间段内的输入管脚的脉冲个数;当脉冲计数器发出计数结束标志时,同时控制写入记录的脉冲个数到先进先出队列FIFO2中;

内部中断处理模块用于中断请求和中断清除。

2. 根据权利要求1所述的一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,

还包括需要配置的寄存器,包括:计时控制寄存器、捕捉模式配置寄存器、定时器时间值寄存器、事件记录时间信息寄存器、FIFO1空满状态寄存器、FIFO1复位清空寄存器、定时器溢出中断标志寄存器、事件检测中断标志寄存器、定时器溢出中断清除寄存器、配置的时间周期内脉冲计数结束的中断标志寄存器、FIFO2空满状态寄存器、需要计数脉冲个数的时间周期配置寄存器、脉冲计数起始使能及结束中断使能寄存器、反映周期时间内的脉冲计数个数寄存器和FIFO2复位寄存器。

3. 根据权利要求2所述的一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,

事件输入跳变检测器通过捕捉模式配置寄存器中的CAPP和CAPN位配置对外部高速输入管脚的电平变化类型进行采样记录。

4. 根据权利要求3所述的一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,

当有外部事件发生时,事件检测中断标志寄存器中的事件检测中断标志位被置为逻辑1并产生一个中断请求;当SoC系统中的处理器核转向中断服务程序时,通过中断服务程序清除此中断标志;

当SoC中的微处理器接收到中断信号读取事件记录时间信息寄存器的值,可读取相应输入事件发生时刻的时间值,读取一次先进先出队列FIFO1中存储的时间信息数据就送出一个。

5. 根据权利要求2所述的一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,时钟分频器根据计时控制寄存器内控制内部工作时钟分频系数的位的值进行分频。

6. 根据权利要求2所述的一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,当计时控制寄存器的控制计数器/定时器运行的位使能后,定时器开启运行,并且高速输入

器和脉冲计数器的内部时间信息基准都由定时器提供。

7. 根据权利要求2所述的一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,当配置脉冲计数起始使能及结束的中断使能寄存器中的起始信号为1后,载入需要计数脉冲个数的时间周期配置寄存器的值,并同时载入此时定时器的初始值,当定时器计时到定时器的初始值+需要计数脉冲个数的时间周期的值时,发出结束标志;如果在使能脉冲计数结束中断情况下,脉冲计数满一次配置周期时间的结束中断信号拉高,送至SoC系统中的处理器。

8. 根据权利要求2所述的一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,内部中断处理模块是定时器计数值溢出中断信号、事件检测中断信号、配置的时间周期内脉冲计数结束后的中断信号三路中断相或逻辑后发出中断请求到SoC系统的中断控制器模块;内部中断处理模块接收SoC系统中的处理器核对高速输入器和脉冲计数器的中断请求响应后的中断清除信号,并清除相应的中断请求。

9. 根据以上任一权利要求所述的一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,高速输入器和脉冲计数器作为一个通用的IP模块集成在SoC系统中使用,为高速输入器和脉冲计数器的内部寄存器分配片上SoC系统的寄存器地址空间;通过SoC系统的片上总线和总线接口,配置和读写高速输入器和脉冲计数器的内部寄存器。

## 一种SoC系统中的高速输入器和脉冲计数器电路

### 技术领域

[0001] 本发明涉及微电子技术领域及大规模集成电路中的片上系统SoC领域,尤其主要涉及应用于SoC系统中的基于中断机制实现的记录高速输入事件时间信息和连续的对配置的周期时间内的脉冲进行计数功能的IP模块电路。

### 背景技术

[0002] 在单片机中往往具有高速输入器记录高速输入事件时间信息功能,且在一些硬件电路系统中,往往要求对设定时间内某一路脉冲信号进行脉冲个数计数。现有的技术往往在PCB硬件电路借助单片机功能实现,而随着集成电路集成规模增大和电路设计功能复杂度提高,可以通过SoC片上系统实现对高速输入的事件进行时间记录和实现设定周期时间内的输入脉冲计数功能;且通过在SoC系统实现具有电路面积减小、节约成本、方便易使用等特性。

[0003] 例如在专利《一种无线脉冲同步采样方法》,授权公共号:CN 104730483A一文中,提出了一种检验脉冲丢失的方法;本文发明方案实现方法与该专利不同,主要实现对SoC系统的某外部管脚连续的进行脉冲个数计数,并且本设计是应用于SoC系统领域的电路。

[0004] 在论文《脉冲信号在导引头测试中的检测方法研究》,作者(曾庆中、何玉珠),提出设计了一种脉冲计数电路,电路中内部包含反比例运算电路、光耦隔离电路、整形缓冲电路3部分组成。该论文的方法不适合应用于SoC系统中实现,不同于本设计提出的脉冲计数电路。

[0005] 在论文《惯导组件多路脉冲计数系统设计》(作者:郑屹,张志文)中提出采用USB设备和FPGA对24路脉冲信号进行连续计数,使用资源多且电路复杂、而且电路成本高,其不能应用在SoC系统中,其实现方法和本设计提出的方案不同。

[0006] 通过查阅和对比发现在现有的文献中还没有提出在SoC系统中设计实现高速输入功能和脉冲计数功能的电路方案。本文提出一种能够应用于SoC系统中,通过SoC系统中的处理器核的中断响应机制实现对SoC某一个或几个管脚的高速输入事件的时间信息记录,以及实现配置时间周期内的脉冲计数功能;通过SoC系统中的处理器核的中断功能实现对外部高速输入管脚的时间信息的读取和处理,并实现配置时间内对输入脉冲个数计数和读取。其具有占用面积小,使用资源少,节约成本等特性。

### 发明内容

[0007] 本发明设计一种适用于SoC系统中用于记录某一外部事件发生的时间,实现记录高速输入事件;并且可以实现连续的对设定的周期时间内的输入管脚的脉冲进行计数功能。

[0008] 为解决上述技术问题,本发明提供一种SoC系统中的高速输入器和脉冲计数器电路。

[0009] 一种SoC系统中的高速输入器和脉冲计数器电路,其特征是,

- [0010] 包括高速输入管脚、触发器缓冲、事件输入跳变检测器、时钟分频器、定时器、用于存储高速输入事件时间信息的先进先出队列FIFO1、用于存储记录设定周期时间内的脉冲计数个数的先进先出队列FIFO2、脉冲计数器和内部中断处理模块；
- [0011] 高速输入管脚为连接到SoC顶层用于外部事件信号的输入；
- [0012] 触发器缓冲对通过高速输入管脚输入的信号进行缓冲和过滤；
- [0013] 事件输入跳变检测器,对外部跳变沿的事件检测；
- [0014] 时钟分频器对时钟进行分频；
- [0015] 定时器以时钟分频器输出的时钟周期为运行时钟周期,为高速输入器和脉冲计数器内部提供时间信息基准；
- [0016] 用于存储高速输入事件时间信息的先进先出队列FIFO1用于存取高速输入事件发生的时间;先进先出队列FIFO1的写使能由事件输入跳变检测器检测到事件控制产生,并控制写入当前定时器时刻值到先进先出队列FIFO1；
- [0017] 脉冲计数器,对配置的周期时间段内的高速输入管脚的脉冲个数进行记录；
- [0018] 用于存储记录设定周期时间内的脉冲计数个数的先进先出队列FIFO2,用来存取配置周期时间段内的输入管脚的脉冲个数;当脉冲计数器发出计数结束标志时,同时控制写入记录的脉冲个数到先进先出队列FIFO2中；
- [0019] 内部中断处理模块用于中断请求和中断清除。
- [0020] 还包括需要配置的寄存器,包括:计时控制寄存器、捕捉模式配置寄存器、定时器时间值寄存器、事件记录时间信息寄存器、FIFO1空满状态寄存器、FIFO1复位清空寄存器、定时器溢出中断标志寄存器、事件检测中断标志寄存器、定时器溢出中断清除寄存器、配置的时间周期内脉冲计数结束的中断标志寄存器、FIFO2空满状态寄存器、需要计数脉冲个数的时间周期配置寄存器、脉冲计数起始使能及结束中断使能寄存器、反映周期时间内的脉冲计数个数寄存器和FIFO2复位寄存器。
- [0021] 事件输入跳变检测器通过捕捉模式配置寄存器中的CAPP和CAPN位配置对外部高速输入管脚的电平变化类型进行采样记录。
- [0022] 当有外部事件发生时,事件检测中断标志寄存器中的事件检测中断标志位被置为逻辑1并产生一个中断请求;当SoC系统中的处理器核转向中断服务程序时,通过中断服务程序清除此中断标志；
- [0023] 当SoC中的微处理器接收到中断信号读取事件记录时间信息寄存器的值,可读取相应输入事件发生时刻的时间值,读取一次先进先出队列FIFO1中存储的时间信息数据就送出一个。
- [0024] 时钟分频器根据计时控制寄存器内控制内部工作时钟分频系数的位的值进行分频。
- [0025] 当计时控制寄存器的控制计数器/定时器运行的位使能后,定时器开启运行,并且高速输入器和脉冲计数器的内部时间信息基准都由定时器提供。
- [0026] 当配置脉冲计数起始使能及结束的中断使能寄存器中的起始信号为1后,载入需要计数脉冲个数的时间周期配置寄存器的值,并同时载入此时定时器的初始值,当定时器计时到定时器的初始值+需要计数脉冲个数的时间周期的值时,发出结束标志;如果在使能脉冲计数结束中断情况下,脉冲计数满一次配置周期时间的结束中断信号拉高,送至SoC系

统中的处理器。

[0027] 内部中断处理模块是定时器计数值溢出中断信号、事件检测中断信号、配置的时间周期内脉冲计数结束后的中断信号三路中断相或逻辑后发出中断请求到SoC系统的中断控制器模块；内部中断处理模块接收SoC系统中的处理器核对高速输入器和脉冲计数器的中断请求响应后的中断清除信号，并清除相应的中断请求。

[0028] 高速输入器和脉冲计数器作为一个通用的IP模块集成在SoC系统中使用，为高速输入器和脉冲计数器的内部寄存器分配片上SoC系统的寄存器地址空间；通过SoC系统的片上总线和总线接口，配置和读写高速输入器和脉冲计数器的内部寄存器。

[0029] 与现有技术相比，本发明有益效果：

[0030] 1、可作为SoC系统中的通用IP模块，主要是应用于SoC系统中，移植性高、通用性强。

[0031] 2、可集成于SoC系统中，占用面积小、节约电路成本、使用资源有限，简单易实现。

[0032] 3、应用在集成电路及SoC系统领域，目前可查阅的文献还没有发现提出应用在SoC领域的高速输入器和脉冲计数器。

[0033] 4、内部设计能够存储一定捕捉事件时刻时间信息和存储周期时间内脉冲计数个数的FIFO模块，防止CPU不能及时响应中断覆盖掉存储的事件时间信息的值或周期时间内管脚输入的脉冲个数的值。

[0034] 5、如果只要求实现脉冲计数功能时，无需使能每次检测事件发出的中断至SoC系统的处理器，占用较少的处理器控制资源即可实现脉冲计数功能。

## 附图说明

[0035] 图1高速输入器和脉冲计数器系统框图；

[0036] 图2事件输入跳变检测器电路框图；

[0037] 图3脉冲计数器结构框图；

[0038] 图4中断处理模块电路示意简图。

## 具体实施方式

[0039] 下面结合附图对本发明作进一步描述。以下实施例仅用于更加清楚地说明本发明的技术方案，而不能以此来限制本发明的保护范围。

[0040] 下面结合附图对本发明技术方案进一步说明，如果需求多路高速输入器和脉冲计数器电路可通过在SoC系统中复用高速输入器和脉冲计数器IP电路实现即可。

[0041] 设计的高速输入器和脉冲计数器电路可以作为一个通用的IP模块集成在SoC系统中使用。在电路设计中需要为设计的高速输入器和脉冲计数器的内部寄存器分配片上SoC系统的寄存器地址空间；通过SoC系统的片上总线和总线接口，SoC中的微处理器能够正确配置和读写高速输入器和脉冲计数器的内部寄存器，并经过SoC系统中的中断控制器把高速输入器和脉冲计数器的中断信号送至SoC系统的处理器核，SoC系统内的处理器核通过相应中断程序处理传输过来的中断请求等。

[0042] 设计的高速输入器和脉冲计数器电路的系统结构主要包括高速输入器管脚、触发器缓冲、事件输入跳变检测器、时钟分频器、定时器、用于存储高速输入事件时间信息的

FIFO1、用于存储记录设定周期时间内的脉冲计数个数的FIFO2、脉冲计数器、内部中断处理模块等。高速输入器管脚主要是外部事件信号的输入管脚；触发器缓冲主要是用于对外部输入管脚信号进行毛刺过滤和缓冲；事件输入跳变检测器主要是对外部跳变沿（包括负跳变、正跳变、双沿跳变）的事件检测；时钟分频器根据计时方式寄存器内部配置的分频系数选择实现1、2、4、8系数的时钟分频选择输出；定时器主要是以时钟分频器分频出来的时钟为计时单位计数定时功能；先进先出队列FIFO1主要完成对事件发生时刻的时间信息进行存储；先进先出队列FIFO2主要完成存储设定周期时间内读取外部管脚的脉冲个数；脉冲计数器主要完成设定时间内的外部管脚的脉冲个数的计数；内部中断处理模块主要完成高速输入器和脉冲计数器电路的中断请求和中断清除功能。

[0043] 设计的高速输入器和脉冲计数器需要配置一些主要寄存器主要包括：计时控制寄存器、捕捉模式配置寄存器、定时器时间值寄存器、事件记录时间信息寄存器、FIFO1空满状态寄存器、FIFO1复位清空寄存器、定时器溢出中断标志寄存器、事件检测中断标志寄存器、定时器溢出中断清除寄存器、配置的时间周期内脉冲计数结束的中断标志寄存器、内部FIFO2空满状态寄存器（存计数个数）、需要计数脉冲个数的时间周期配置寄存器（应配置大于1的数值）、脉冲计数起始使能及结束中断使能寄存器、反映周期时间内的脉冲计数个数寄存器、内部FIFO2复位寄存器（存计数个数）。

[0044] 其中设计的高速输入器和脉冲计数器电路系统框图如图1所示，主要电路功能是实现高速输入事件的时间信息进行记录，另外还通过使能控制配置开启对输入管脚的脉冲个数进行计数的逻辑功能。电路内部设计主要分高速输入事件时间信息记录及输入事件的脉冲个数进行计数两大部分功能，高速输入器主要是完成外部输入信号的沿事件捕捉及发生时刻时间信息记录，脉冲计数器主要是完成配置周期时间内脉冲个数的计数功能。

[0045] 其主要包括高速输入管脚、触发器缓冲、事件输入跳变检测器、时钟分频器、定时器、用于存储高速输入事件时间信息的FIFO1、用于存储记录设定周期时间内的脉冲计数个数的FIFO2、脉冲计数器、内部中断处理模块等。

[0046] 每个模块的主要功能和内部主要电路结构如下：

[0047] 高速输入管脚即为直接连接到SoC顶层并能够直接输入信号的管脚；

[0048] 触发器缓冲即输入信号经过此触发器进行缓冲和过滤毛刺；

[0049] 事件输入跳变检测器电路示意图如图2所示，通过捕捉模式配置寄存器中的CAPP和CAPN位配置对外部高速输入管脚的电平变化类型进行采样记录，输入事件分为：低电平到高电平（正沿）、高电平到低电平（负沿）或任何一种变化（正沿或负沿）。当有事件发生时，事件检测中断标志寄存器中的事件检测中断标志位被置为逻辑1并产生一个中断请求。当SoC中的处理器核转向中断服务程序时，通过中断服务程序清除此中断标志。当SoC中的微处理器接收到中断信号读取事件记录时间信息寄存器的值可读取相应输入事件发生时刻的时间值，读取一次FIFO1中存储的时间信息数据就送出一个。

[0050] 时钟分频器、定时器和目前数字电路常用的时钟分频器、定时器电路结构类同，在此不再赘述，时钟分频器即主要根据计时控制寄存器内控制内部工作时钟分频系数的位的值进行分频；定时器以时钟分频器输出的时钟周期为运行时钟周期，当计时控制寄存器的控制内部计数器/定时器运行的位使能后，内部定时器开启运行，并且高速输入器和脉冲计数器的内部时间信息基准都由内部设计的定时器提供。

[0051] 用于存储高速输入事件时间信息的FIFO1主要用来存取高速输入事件发生的时间;FIFO1的写使能(we)由事件输入跳变检测器检测到事件控制产生,并控制写入当前定时器时刻值到FIFO1。

[0052] 脉冲计数器结构框图如图3所示,主要完成对配置的周期时间段内的高速输入管脚的脉冲个数进行记录;当配置寄存器脉冲计数起始及结束的中断使能寄存器中的起始信号为1后,内部载入需要计数脉冲个数的时间周期配置寄存器的值,并同时内部载入此时电路内部定时器的初始值,当定时器计时到定时器的初始值+需要计数脉冲个数的时间周期的值时,发出结束标志;如果在使能脉冲计数结束中断情况下,脉冲计数满一次配置周期时间的结束时,中断信号拉高,送至SoC系统中的处理器。在脉冲计数过程中,同时对配置周期时间内检测的事件发生次数进行计数,即完成配置时间内的脉冲计数功能情况,当结束标志发生时,把计数的脉冲个数存入FIFO2中。

[0053] 用于存储记录设定周期时间内的脉冲计数个数的FIFO2主要用来存取配置周期时间段内的输入管脚的脉冲个数;当脉冲计数器发出计数结束标志时,同时控制写入记录的脉冲个数到FIFO2中。

[0054] 内部中断处理模块电路示意简图如图4所示,主要是内部定时器计数值溢出中断信号、事件检测中断信号、配置时间周期内脉冲计数结束后的中断信号三路中断相或逻辑后发出中断请求到SoC系统的中断控制器模块;另外电路内部的中断处理模块接收处理器核对高速输入器和脉冲计数器的中断请求响应后的中断清除信号并清除相应的中断请求。

[0055] 其中需要的配置的主要寄存器详细内容列表如下:

[0056] (1) 计时控制寄存器

[0057] 表1计时控制寄存器



[0058]

位域	名称	访问类型	功能描述
31-5	Reserved	-	保留
4	电路全局工作使能位	Read/Write	控制电路工作与否
3	定时器使能位	Read/Write	计数器/定时器使能控制。 该位允许/禁止定时器工作 0: 禁止定时器; 1: 允许定时器。
2-1	00	Read/Write	内部工作时钟不分频, 即pclk时钟。(默认状态和APB接口总线时钟一致)
	01		内部工作时钟2分频
	10		内部工作时钟4分频
	11		内部工作时钟8分频
0	定时器溢出中断使能位	Read/Write	定时器溢出中断允许(计数到最大值后, 重新开始计数, 周期循环, 计数到最大值32 'FFFFFFF, 在中断使能允许情况下, 产生中断信号)。 该位是定时器溢出(CF_Timer)中断的屏蔽位; 0: 禁止中断; 1: 使能, 允许定时器溢出中断请求。

[0059] (2) 捕捉模式配置寄存器

[0060] 表2捕捉模式配置寄存器

[0061]

位域	名称	访问类型	功能描述
----	----	------	------

[0062]

31-3	Reserved	—	保留
2	上升沿跳变检测使能位	Read/Write	正沿检测功能使能。 该位使能/禁止正边沿捕捉检测： 0：禁止； 1：使能。
1	下降沿跳变检测使能位	Read/Write	负沿检测功能使能。 该位使能/禁止负边沿捕捉检测： 0：禁止 1：使能
0	事件沿检测中断使能位	Read/Write	事件检测沿跳变中断允许。 该位设置捕捉/比较标志的中断屏蔽： 0：禁止事件沿跳变检测的中断； 1：使能、允许事件沿跳变检测的中断请求。

[0063] (3) 定时器时间值寄存器

[0064] 表3计数器/定时器的值

[0065]

位域	访问类型	功能描述
31-0	Read	反映内部定时器当前时刻时间值

[0066] (4) 事件记录时间信息寄存器

[0067] 表4事件记录时间信息寄存器

[0068]

位域	访问类型	功能描述
31-0	Read	寄存器反映事件沿跳变发生时刻的32位定时器的值

[0069] 当输入的事件发生沿跳变时，捕捉定时器的值存入FIF01中，当处理器核接收到此中断时，读取事件记录时间信息寄存器，中断信号也被处理拉低。

[0070] (5) FIF01空满状态寄存器

[0071] 表5FIF01空满状态寄存器

[0072]

位域	访问类型	功能描述
31-12	—	保留
1	Read	内部FIF01满标志
0	Read	内部FIF01空标志

[0073] 电路内部设计两个32X32的先进先出队列寄存器FIF01，FIF01用于存储事件发生的时间信息。若处理器核在不读走的情况下最多可以记录32个事件，若记满FIF01，在读走信息前，进一步发生的事件信息不再记录。通过FIF01的空满标志，可以证实FIF01中的数据有效性。(6) FIF01复位清空寄存器

[0074] 表6 FIF01复位清空寄存器

[0075]

位域	访问类型	功能描述
31-1	—	保留
0	Write	0:FIF01正常工作;1:复位FIF01寄存器队列。

[0076] (7) 定时器溢出中断标志寄存器

[0077] 表7 定时器溢出中断标志寄存器

[0078]

位域	名称	访问类型	功能描述
31-1	Reserved	—	保留
0	定时器溢出标志位	Read/Write	定时器溢出标志。当定时器计数溢出时由硬件置位。在定时器溢出中断被允许时，该位置“1”将输出中断到处理器核，该位不能由硬件自动清0，必须用软件清0。

[0079] (8) 事件检测中断标志寄存器

[0080] 表8 事件检测中断标志寄存器

[0081]

0	事件检测中断标志	Read/Write	事件检测中断标志。在发生一次沿跳变检测时该位由硬件置位。当事件检测中断被允许时，该位置“1”将输出中断到处理器核。该位不能由硬件自动清0，必须用软件清0。
---	----------	------------	---

[0082] (9) 定时器溢出中断清除寄存器

[0083] 写任何值到此寄存器清除计数器溢出中断；只写寄存器。

[0084] (10) 配置的时间周期内脉冲计数结束的中断标志寄存器

[0085] 表9 脉冲计数结束后的中断标志

位域	名称	访问类型	功能描述
31-1	Reserved	-	保留
[0086] 0	CNTPULSE1 Sn	Read/Write	定时器定时在配置周期时间内，此过程同时记录外部脉冲沿并计数，计数完成后在结束标志中断使能情况下产生中断标志。该位不能由硬件自动清0，必须用软件清0。

[0087] (11) FIF02空满状态寄存器(存计数个数)

[0088] 表10内部FIF02空满状态寄存器

位域	访问类型	功能描述
[0089] 31-12	-	保留

[0090] 1	Read	内部FIF02满标志
0	Read	内部FIF02空标志

[0091] 另一个存取读取脉冲计数个数的32X32的先进先出队列寄存器FIF02，用于记录配置周期时间内计数的脉冲个数。若不读走信息的情况下最多可以记录32个数据，在FIF02计满状态下，如果不读取，会丢失FIF02后面记录的脉冲个数，通过FIF02的空满标志，可以证实FIF02中的数据有效性。

[0092] (12) 需要计数脉冲个数的时间周期配置寄存器

[0093] 表11需要计数脉冲个数的时间周期

[0094]

位域	访问类型	功能描述
31-0	R/W	脉冲计数个数的配置周期时间

[0095] (13) 脉冲计数起始使能及结束中断使能寄存器

[0096] 表12脉冲计数个数起始及结束中断使能寄存器

位域	访问类型	功能描述
31-2	Reserved	Reserved
[0097] 1	R/W	禁止/允许脉冲计数个数满配置周期时间结束后输出中断。写“1”使能输出中断，写“0”禁止中断产生
0	R/W	脉冲计数个数起始使能信号，写1开始使能计数外部信号脉冲个数功能

[0098] (14) 反映周期时间内的脉冲计数个数寄存器

[0099] 表13脉冲计数个数寄存器

[0100]

位域	访问类型	功能描述
31-0	Read	反映配置周期时间内脉冲计数个数值

[0101] 当脉冲计数器计算完成配置周期时间内的接收到的脉冲个数时,计算结束后把计算的计数脉冲个数的值存入FIF02中。

[0102] 在计算完配置周期时间内的脉冲个数后,在允许/使能中断情况下,当SoC中的处理器核接收到中断时,读取脉冲计数个数寄存器的值,中断信号也被处理拉低。

[0103] (15)FIF02复位寄存器(存计数个数)

[0104] 表14内部FIF02复位寄存器

[0105]

位域	访问类型	功能描述
31-1	—	保留
0	Write	0:FIFO正常工作;1:复位FIFO寄存器队列。

[0106] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明技术原理的前提下,还可以做出若干改进和变形,这些改进和变形也应视为本发明的保护范围。

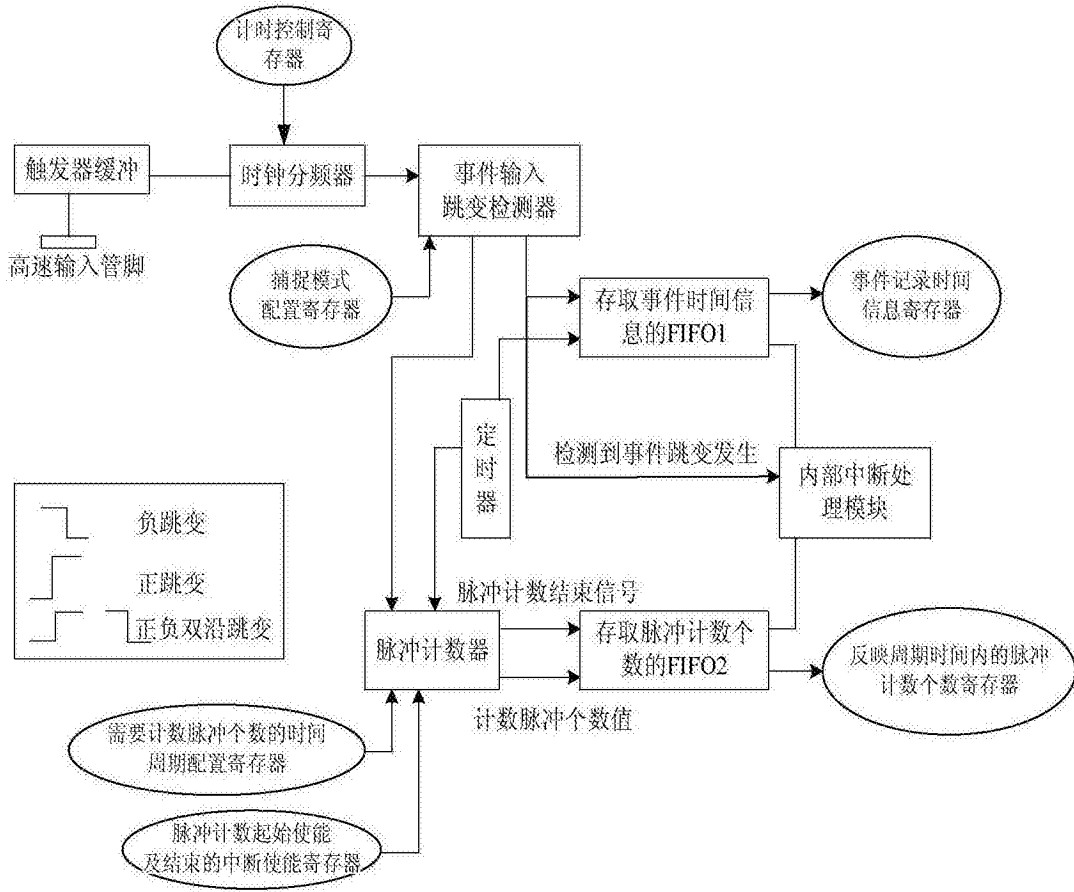


图1

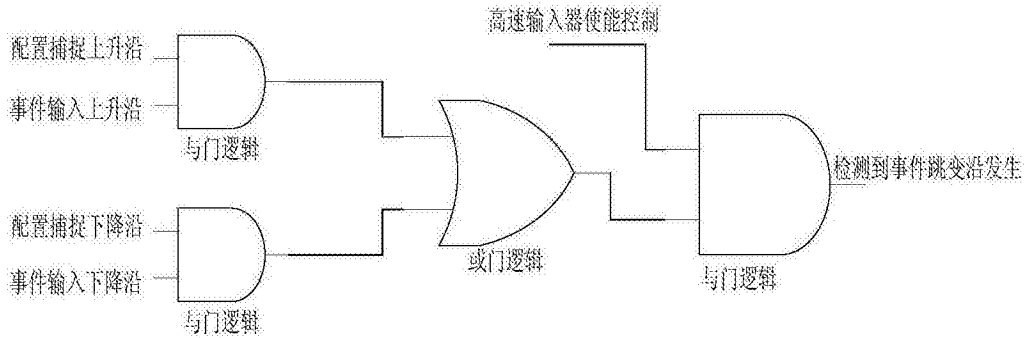


图2

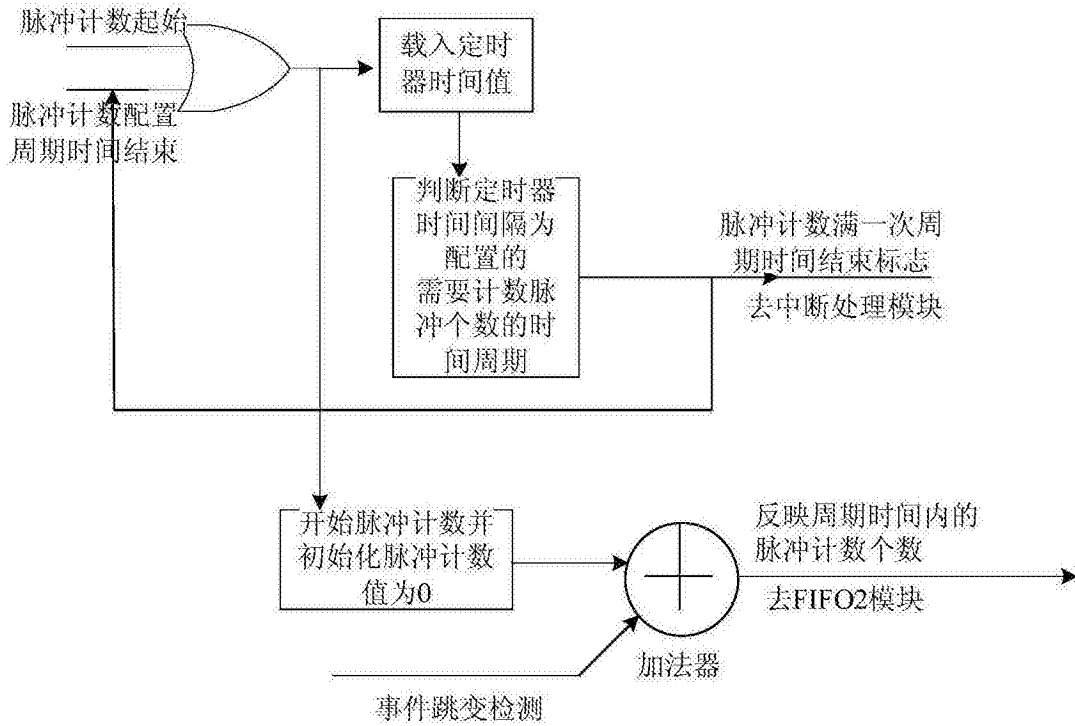


图3

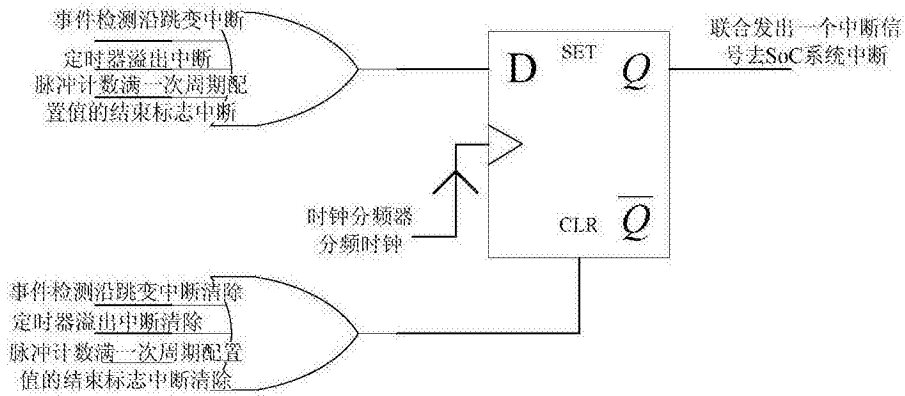


图4