

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/28	(11) 공개번호 (43) 공개일자	특 1999-001440 1999년 01월 15일
(21) 출원번호	특 1997-024757	
(22) 출원일자	1997년 06월 14일	
(71) 출원인	엘지반도체 주식회사 문정환 충청북도 청주시 흥덕구 향정동 1번지	
(72) 발명자	윤탁현 충청북도 청주시 흥덕구 향정동 1번지 남자기숙사 신관 333호 양원석 충청북도 청주시 흥덕구 가경동 신라아파트 1동 1508호	
(74) 대리인	양순석	

심사청구 : 있음

(54) 반도체장치의 배선 형성 방법

요약

본 발명은 반도체장치의 배선 형성 방법에 관한 것으로서 셀영역과 주변영역을 포함하는 기관 상에 절연막, 배선층 및 희생층을 순차적으로 형성하는 공정과, 상기 희생층을 상기 셀영역의 소정 부분에만 남도록 패터닝하고 상기 패터닝된 희생층의 측면에 측벽을 형성하는 공정과, 상기 패터닝된 희생층을 제거하고 셀영역 내의 상기 측벽의 일측 또는 타측 끝의 소정 부분과 상기 주변영역 내의 소정 부분을 덮는 패터닝된 감광막을 형성하는 공정과, 상기 측벽 및 상기 감광막을 마스크로 사용하여 배선층을 패터닝하여 상기 셀영역 내에 제 1 배선 및 접촉부와 상기 주변 영역 내에 제 2 배선을 형성하는 공정을 구비한다. 따라서, 셀영역 내의 제 1 배선의 선폭을 좁게 하여 집적도를 향상시키면서 접촉부와 주변영역 내의 배선의 선폭을 크게 형성하여 소자 특성을 향상시킬 수 있다.

대표도

도2c

명세서

도면의 간단한 설명

도 1은 본 발명에 따라 형성된 반도체장치의 평면도
도 2A 내지 도 2D는 도 1을 X-X선을 따라 본 발명에 따른 반도체장치의 배선 형성 방법을 도시하는 공정도

도면의 주요 부분에 대한 부호의 설명

- 11 : 기관 13 : 절연막
- 15 : 배선층 17 : 희생층
- 19 : 측벽 21 : 감광막
- 23 : 제 1 배선 25 : 접촉부
- 27 : 제 2 배선 CA : 셀영역
- PA : 주변영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 배선 형성 방법에 관한 것으로서, 특히, 셀영역 내의 배선의 폭을 좁게 하면서 배선의 접촉부와 주변영역 내의 배선의 선폭을 넓게 형성하는 반도체장치의 배선 형성 방법에 관한 것이

다.

반도체소자의 집적도가 증가함에 따라 단위 셀의 크기가 작아진다. 단위 셀의 크기의 축소에 따라 셀영역 내의 배선의 선포도 감소하게 된다. 그러므로, 측벽(side wall)을 이용하여 배선을 노광 장비 한계 이하로 형성하는 방법이 개발되었다. 상기에서 배선을 노광 장비 한계 이하로 좁게 형성하면 단위 셀의 크기를 감소시킬 수 있어 집적도를 향상시킬 수 있다.

이에 반하여, 셀영역 내에 형성된 배선의 일측 끝단에 전기적으로 연결되게 형성되어 이 후에 형성되는 배선과 접촉되는 접촉부는 배선의 선포도 보다 크게 형성되어야 한다. 이는 접촉부 상에 형성되는 접촉구가 노광 공정의 한계에 의해 최소 크기가 배선의 선포도 보다 크게 때문에 중첩 마진을 고려하여야 한다. 또한, 주변영역에 형성되는 구동 트랜지스터는 집적도의 향상 보다는 소자의 특성이 중요하므로 배선의 선포도를 셀영역 내의 배선의 선포도 보다 크게 형성하여야 한다.

그러나, 상술한 종래의 측벽을 이용한 반도체장치의 배선 형성 방법은 셀영역 내의 배선의 선포도 뿐만 아니라 접촉부와 주변영역 내의 배선의 선포도 좁게 형성하는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 셀영역 내의 배선의 선포도를 좁게 하면서 접촉부와 주변영역 내의 배선의 선포도를 크게 형성할 수 있는 반도체장치의 배선 형성 방법을 제공함에 있다.

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치의 배선 형성 방법은 셀 영역과 주변영역을 포함하는 기판 상에 절연막, 배선층 및 희생층을 순차적으로 형성하는 공정과, 상기 희생층을 상기 셀영역의 소정 부분에만 남도록 패터닝하고 상기 패터닝된 희생층의 측면에 측벽을 형성하는 공정과, 상기 패터닝된 희생층을 제거하고 셀영역 내의 상기 측벽의 일측 또는 타측 끝의 소정 부분과 상기 주변영역 내의 소정 부분을 덮는 패터닝된 감광막을 형성하는 공정과, 상기 측벽 및 상기 감광막을 마스크로 사용하여 배선층을 패터닝하여 상기 셀영역 내에 제 1 배선 및 접촉부와 상기 주변영역 내에 제 2 배선을 형성하는 공정을 구비한다.

이하, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

발명의 구성 및 작용

도 1은 본 발명에 따라 형성된 반도체장치의 평면도이다.

반도체장치는 셀영역(CA)과 주변영역(PA)을 갖는 기판(11) 상에 절연막(13)이 형성된다. 상기에서 기판(11)은 불순물이 도핑된 확산영역(도시되지 않음)이 형성된 반도체기판이거나, 또는, 하부의 다른 배선일 수도 있다. 절연막(13) 상의 셀영역(CA)에 제 1 배선(23)과 접촉부(25)가 형성되고 주변영역(PA)에 제 2 배선(27)이 형성된다.

제 1 배선(23)은 절연막(13) 상의 셀영역(CA)에 다수 개가 형성된다. 접촉부(25)는 절연막(13) 상의 셀영역(CA)에 제 1 배선(23)의 일측 또는 타측에 연결되게 형성된다. 즉, 접촉부(25)는 제 1 배선(23)의 홀수 번째의 일측과 연결되게 형성되고, 짝수 번째의 타측과 연결되게 형성된다. 접촉부(25)는 제 1 배선(23)의 선포도와 무관하게 큰 선포도를 갖도록 형성된다.

제 2 배선(27)은 절연막(13) 상의 주변영역(PA)에 형성된다. 제 2 배선(27)도 제 1 배선(23)의 선포도와 무관하게 큰 선포도를 갖도록 형성된다.

도 2A 내지 도 2D는 도 1을 X-X선을 따라 본 발명에 따른 반도체장치의 배선 형성 방법을 도시하는 공정도이다.

도 2A를 참조하면, 셀영역(CA)과 주변영역(PA)을 갖는 기판(11) 상에 절연막(13)을 형성한다. 상기에서, 기판(11)은 불순물이 도핑된 확산영역(도시되지 않음)이 형성된 반도체기판이거나, 또는, 하부의 다른 배선일 수도 있다. 그리고, 절연막(13)을 산화실리콘, 질화실리콘, BPSG(Boro Phospho Silicate Glass), USG(Undoped Silicate Glass), 또는, SOG(Spin On Glass) 등으로 형성한다.

절연막(13) 상에 다결정실리콘 또는 알루미늄 등의 도전성금속을 화학기상증착(Cheical Vapor Deposition : 이하, CVD라 칭함) 방법으로 증착하거나, 또는, 실리사이드로 배선층(15)을 형성한다. 그리고, 배선층(15) 상에 산화실리콘 또는 질화실리콘 등을 CVD 방법으로 증착하여 희생층(17)을 형성한다.

도 2B를 참조하면, 희생층(17)을 셀영역(CA)의 소정 부분에만 남도록 포토리소그래피 방법으로 패터닝한다. 그리고, 배선층(15) 상에 희생층(17)을 덮도록 절연막(13) 및 희생층(17)을 형성하는 물질과 식각선택비가 다른 물질을 증착한 후 반응성이온식각(Reactive Ion Etching : 이하, RIE라 칭함) 등의 방법으로 에치백하여 희생층(17)의 측면에 측벽(19)을 형성한다. 즉, 절연막(13) 및 희생층(17)을 산화실리콘으로 형성하면 측벽(19)을 질화실리콘으로 형성하고, 질화실리콘으로 형성하면 산화실리콘으로 형성한다. 도시되지 않았지만 측벽(19)은 희생층(17)의 4개의 측면 모두에 연결되게 형성되어 4각형을 이룬다.

도 2C를 참조하면, 패터닝된 희생층(17)을 습식식각 방법으로 제거한다. 이 때, 측벽(19)은 희생층(17)과 식각선택비가 다르므로 측벽(19)은 손상되지 않고 희생층(17)만 제거된다. 그리고, 4각형을 이루는 측벽(19)을 일측 및 타측의 소정 부분을 포토리소그래피 방법으로 제거하여 2개의 띠 형태로 분리한다.

배선층(15) 상에 감광막(21)을 도포한 후 노광 및 현상하여 셀영역(CA) 내의 띠 형태의 측벽(19)의 일측 또는 타측 끝의 소정 부분과 주변영역(PA) 내의 소정 부분을 덮도록 패터닝한다. 이 때, 감광막(21)은 측벽(19)의 일측 또는 타측 끝의 소정 부분에는 측벽(19)의 두께 보다 넓은 폭을 갖는 4각형태를 가지

며, 주변영역(PA)내에는 측벽(19)의 두께 보다 넓은 폭을 갖는 띠 형태를 갖도록 패터닝된다.

도 20를 참조하면, 측벽(19) 및 감광막(21)을 마스크로 사용하여 배선층(15)을 패터닝하여 셀영역(CA) 내에 제 1 배선(23)과 접촉부(25)를 형성하고 주변영역(PA)내에 제 2 배선(27)을 형성한다. 상기에서, 제 1 배선(23)과 접촉부(25)는 서로 연결되게 형성되는 데, 접촉부(25)의 폭이 제 1 배선(23)의 선폭 보다 크다. 또한, 주변영역(PA) 내에 제 2 배선(27)의 선폭도 제 1 배선(23)의 선폭 보다 크게 형성된다.

감광막(21)과 측벽(19)을 순차적으로 제거한다. 상기에서 절연막(13)은 측벽(19)과 식각선택비가 서로 다르므로 측벽(19) 제거시 제거 또는 손상되지 않는다.

상술한 바와 같이 본 발명에 따른 반도체장치의 배선 형성 방법은 측벽을 이용하여 배선층을 패터닝하여 셀영역(CA) 내에 제 1 배선을 형성할 때 측벽의 일측 또는 타측 끝의 소정 부분과 주변영역(PA) 내의 소정 부분을 감광막 패턴으로 덮은 상태에서 배선층을 패터닝하여 제 1 배선 보다 넓은 선폭을 갖는 접촉부 및 제 2 배선을 동시에 형성한다.

발명의 효과

따라서, 본 발명은 셀영역 내의 제 1 배선의 선폭을 좁게 하여 집적도를 향상시키면서 접촉부와 주변영역 내의 배선의 선폭을 크게 형성하여 소자 특성을 향상시킬 수 있는 잇점이 있다.

(57) 청구의 범위

청구항 1

셀영역과 주변영역을 포함하는 기판 상에 절연막, 배선층 및 희생층을 순차적으로 형성하는 공정과, 상기 희생층을 상기 셀영역의 소정 부분에만 남도록 패터닝하고 상기 패터닝된 희생층의 측면에 측벽을 형성하는 공정과,

상기 패터닝된 희생층을 제거하고 셀영역 내의 상기 측벽의 일측 또는 타측 끝의 소정 부분과 상기 주변영역 내의 소정 부분을 덮는 패터닝된 감광막을 형성하는 공정과,

상기 측벽 및 상기 감광막을 마스크로 사용하여 배선층을 패터닝하여 상기 셀영역 내에 제 1 배선 및 접촉부와 상기 주변영역 내에 제 2 배선을 형성하는 공정을 구비하는 반도체장치의 배선 형성 방법.

청구항 2

청구항 1에 있어서,

상기 절연막을 산화실리콘, 질화실리콘, BPSG(Boro Phospho Silicate Glass), USG(Undoped Silicate Glass), 또는, SOG(Spin On Glass)로 형성하는 반도체장치의 배선 형성 방법.

청구항 3

청구항 1에 있어서,

상기 희생층을 산화실리콘 또는 질화실리콘으로 형성하는 반도체장치의 배선 형성 방법.

청구항 4

청구항 1에 있어서,

상기 측벽을 상기 절연막 및 상기 희생층을 형성하는 물질과 식각선택비가 다른 물질로 형성하는 반도체장치의 배선 형성 방법.

청구항 5

청구항 1에 있어서,

상기 감광막을 상기 측벽 보다 넓은 폭을 갖도록 형성하는 반도체장치의 배선 형성 방법.

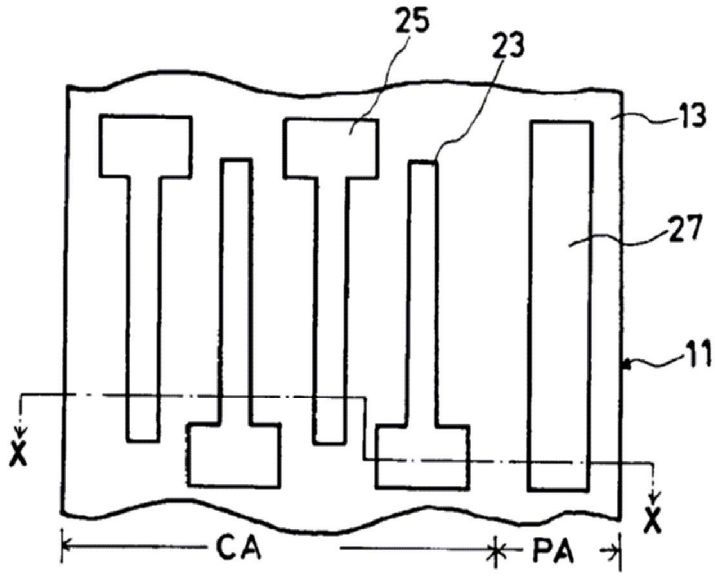
청구항 6

청구항 1에 있어서,

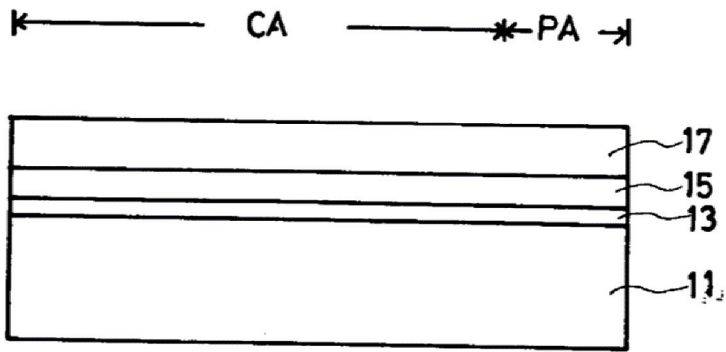
상기 셀영역 내에 제 1 배선 및 접촉부와 상기 주변영역 내에 제 2 배선을 형성하는 공정 후에 상기 측벽 및 상기 패터닝된 감광막을 제거하는 공정을 더 구비하는 반도체장치의 배선 형성 방법.

도면

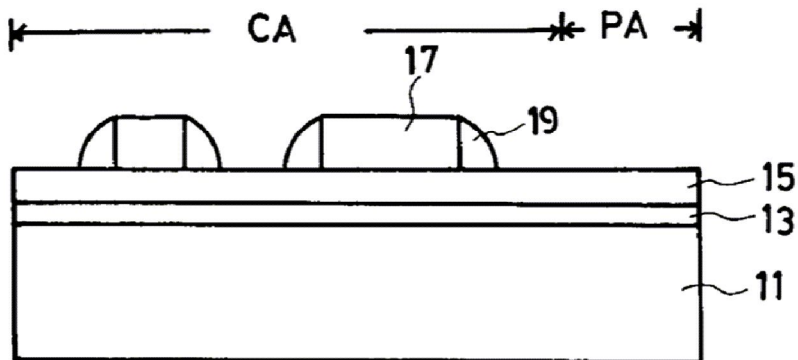
도면1



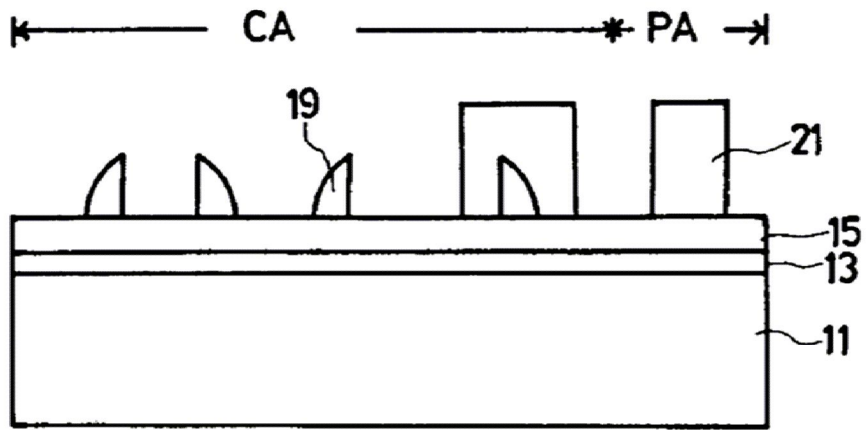
도면2a



도면2b



도면2c



도면2d

