



## 청구항 1.

게이트 절연막이 형성된 반도체 기판 위에 게이트 전극층, 실리사이드층, 상부절연막 및 게이트 스페이서로 이루어진 게이트 패턴을 형성하는 공정;

상기 게이트 패턴이 형성된 반도체 기판 전면을 덮는 층간절연막을 증착하는 공정;

상기 반도체 기판에서 콘택이 형성될 영역의 층간절연막을 게이트 패턴 높이 이하로 부분 식각하는 공정;

상기 부분식각된 층간절연막의 측벽에 스페이서를 형성하는 공정;

상기 부분식각된 층간절연막을 2차 식각하여 게이트 패턴 사이의 반도체 기판 표면을 노출시키는 공정;

상기 반도체 기판 전면에 콘택 형성용 도전층을 형성하는 공정; 및

상기 게이트 패턴 상부절연막을 연마저지층으로 상기 콘택 형성용 도전층을 평탄화시키는 공정을 구비하는 것을 특징으로 하는 자기정렬 방식에 의한 반도체 소자의 제조방법.

## 청구항 2.

제1항에 있어서,

상기 스페이서는 상기 층간절연막에 대해 식각선택비를 갖는 물질을 사용하여 형성하는 것을 특징으로 하는 자기정렬 방식에 의한 반도체 소자의 제조방법.

## 청구항 3.

제2항에 있어서,

상기 층간절연막에 대해 식각선택비를 갖는 물질은 질화막, 탄화실리콘막(SiC), 산화알루미늄막( $Al_2O_3$ ), 폴리실리콘막, 금속막 및 실리사이드막으로 이루어진 물질군중에서 선택된 어느 하나인 것을 특징으로 하는 자기정렬 방식에 의한 반도체 소자의 제조방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 자기 정렬 방식의 콘택(SAC: Self Aligned Contact)을 이용한 반도체 소자의 제조방법에 관한 것이다.

반도체 소자의 미세화가 진행됨에 따라, 이를 가공하는 공정의 공정 난이도 역시 증대하고 있다. 특히 미세패턴의 사진공정에서 오버레이 마진(overlay margin)이 협소해짐에 따라 미세한 크기의 콘택 형성 공정 자체가 힘들어지고 있다. 이에 대한 대안으로 미세패턴을 사용하는 반도체 소자의 제조공정에서는 자기정렬방식의 콘택(SAC) 형성 기술이 도입되고 있다.

자기정렬방식의 콘택(SAC) 형성 기술은 두 개의 절연막 사이의 식각선택비를 이용하는 콘택형성 기술로서 현재 일반적으로 사용하는 막질로는 산화막을 식각할 때, 질화막을 스페이서와 마스크로 사용하는 방식이다.

그러나, 반도체 소자의 고집적화에 따라, 콘택홀을 형성할 때 종횡비(Aspect ratio)가 증가하고, 이에 따라 가공에 필요한 산화막과 질화막 사이의 식각선택비 증가도 함께 요구되고 있는 실정이다. 일반적인 반도체 소자의 제조공정에서 통상적으로 얻을 수 있는 산화막/질화막의 식각선택비는 5:1 이하이나, 실제로 안정된 반도체 소자의 가공에 필요한 식각선택비는 20:1을 상회하고 있는 실정이다.

이러한 필요에 부응하기 위해 산화막과 질화막 사이의 식각선택비를 높이기 위한 다각적인 연구가 지속적으로 행하여져 오고 있다. 상기 다각적인 연구의 대표적인 예로서는, 식각시 챔버 벽(wall)의 가열에 의한 플라즈마 내의 CF<sub>x</sub>의 래디칼(radical) 농도를 증가시키려는 노력과, 높은 C/F 비(ratio)를 갖는 신규 가스로서 C<sub>4</sub>F<sub>8</sub>, C<sub>5</sub>F<sub>8</sub>, C<sub>3</sub>F<sub>6</sub> 등을 사용한 식각공정의 개발, 그리고 로우 일렉트론 온도(low electron temperature)를 갖는 플라즈마 원을 개발하여 플라즈마 내부에서 지나친 해리에 의한 과도한 불소기(F radical)가 발생하는 것을 억제하는 연구등을 들 수 있다.

그러나 현시점에서 이러한 산화막과 질화막 사이의 식각선택비를 높이기 위한 연구의 결과에 의해 도출된 산화막과 질화막 사이의 식각선택비가 아직까지 10:1을 넘지 못하는 실정이다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 자기정렬방식으로 콘택 형성시에 산화막과 질화막이 갖는 식각선택비의 영향을 크게 받지 않는 자기정렬 방식의 반도체 소자의 제조방법을 제공하는데 있다.

### 발명의 구성

상기 기술적 과제를 달성하기 위하여 본 발명은, 게이트 절연막이 형성된 반도체 기판 위에 게이트 전극층, 실리사이드층, 상부절연막 및 게이트 스페이서로 이루어진 게이트 패턴을 형성하는 공정과, 상기 게이트 패턴이 형성된 반도체 기판 전면을 덮는 층간절연막을 증착하는 공정과, 상기 반도체 기판에서 콘택이 형성될 영역의 층간절연막을 게이트 패턴 높이 이하로 부분 식각하는 공정과, 상기 부분식각된 층간절연막의 측벽에 스페이서를 형성하는 공정과, 상기 부분식각된 층간절연막을 2차 식각하여 게이트 패턴 사이의 반도체 기판 표면을 노출시키는 공정과, 상기 반도체 기판 전면에 콘택 형성용 도전층을 형성하는 공정 및 상기 게이트 패턴 상부절연막을 연마저지층으로 상기 콘택 형성용 도전층을 평탄화시키는 공정을 구비하는 것을 특징으로 하는 자기정렬 방식에 의한 반도체 소자의 제조방법을 제공한다.

본 발명의 바람직한 실시예에 의하면, 상기 스페이서는 상기 층간절연막에 대해 식각선택비를 갖는 물질을 사용하여 형성하는 것이 적합하며, 이러한 물질은 질화막, 탄화실리콘막(SiC), 산화알루미늄막(Al<sub>2</sub>O<sub>3</sub>), 금속막 및 실리사이드막으로 이루어진 물질군중에서 선택된 어느 하나인 것이 적합하다.

본 발명에 따르면, 자기정렬방식에 의한 콘택 형성시에 산화막과 질화막이 갖는 식각선택비의 영향을 크게 받지 않는 새로운 자기정렬 방식의 반도체 소자의 제조방법을 구현할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

도 1 내지 도 4는 본 발명의 실시예에 의한 자기정렬 방식의 반도체 소자의 제조방법을 설명하기 위해 도시한 단면도들이다.

도 1을 참조하면, 반도체 기판(100)에 게이트 절연막(102)을 형성하고, 그 상부에 게이트 전극층(110), 실리사이드층(112) 및 상부절연막(114)을 순차적으로 적층한다. 상기 게이트 전극층(110)은 폴리실리콘을, 실리사이드층(112)은 텅스텐 실리사이드(WSix)를, 상부절연막(114)은 질화막을 이용하여 각각 형성할 수 있다.

계속해서 상기 게이트 전극층(110), 실리사이드층(112) 및 상부절연막(114)을 식각하여 게이트 전극 패턴을 형성한다. 상기 게이트 전극 패턴이 형성된 반도체 기판 전면에 게이트 스페이서 형성을 위한 절연막, 예컨대 질화막을 증착하고 이를 이방성으로 식각하여 게이트 스페이서(116)를 형성함으로써 게이트 전극층(110), 실리사이드층(112), 상부절연막(114) 및 게이트 스페이서(116)로 이루어진 게이트 패턴(104)을 형성한다.

상기 게이트 패턴(104)이 형성된 반도체 기판 위에 층간절연막(108), 예컨대 산화막 또는 산화막을 포함하는 복합막을 형성한다. 그 후, 콘택이 형성될 영역(106)을 부분적으로 식각하되, 식각된 깊이가 상기 게이트 패턴(104)이 높이보다 낮도록 부분 식각을 진행한다. 이어서, 상기 부분 식각을 위해 사용된 포토레지스트 패턴을 에싱(Ashing) 및 황산 스트립(strip) 공정으로 제거한다.

도 2를 참조하면, 상기 부분 식각이 진행된 반도체 기판 위에 스페이서 형성을 위한 물질막을 반도체 기판의 표면 단차를 따라 일정한 두께로 형성한다. 상기 스페이서 형성을 위한 물질막은 상기 층간절연막(108)과 식각선택비를 갖는 물질막으로서, 질화막, 탄화실리콘막(SiC), 산화알루미늄막( $Al_2O_3$ ), 폴리실리콘막, 금속막 및 실리콘사이드막중에서 하나를 이용하여 형성하는 것이 바람직하다. 계속해서 상기 스페이서 형성을 위한 물질막, 예컨대 폴리실리콘막에 이방성 식각을 진행하여 상기 부분 식각된 층간절연막(108)의 측벽에 폴리실리콘으로 된 스페이서(118)를 형성한다.

도 3을 참조하면, 상기 스페이서(118)가 형성된 반도체 기판에 2차 식각을 진행하여 상기 게이트 패턴(104) 사이의 콘택이 형성될 부분, 즉 반도체 기판(100) 표면을 노출시킨다. 상기 스페이서(118)가 형성된 반도체 기판 전면에 콘택 형성용 도전층(120), 예컨대 폴리실리콘층을 상기 콘택이 형성될 부분(106)을 채우면서 상기 스페이서(118)를 덮도록 충분한 두께로 증착한다.

도 4를 참조하면, 상기 증착된 콘택 형성용 도전층(120)에 화학기계적 연마(CMP: Chemical Mechanical Polishing) 공정을 진행하여 완성된 구조의 자기정렬 방식에 의한 콘택을 갖는 반도체 소자를 형성한다. 이때, 게이트 패턴(104)의 상기 상부절연막(114)은 화학기계적 연마(CMP) 공정에서 연마저지층(polishing stopper)의 역할을 수행한다.

본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

### 발명의 효과

따라서, 상술한 본 발명에 따르면, 자기정렬방식에 의한 콘택 형성시에 산화막과 질화막이 갖는 식각선택비의 영향을 크게 받지 않는 새로운 자기정렬 방식의 반도체 소자의 제조방법을 구현할 수 있다.

### 도면의 간단한 설명

도 1 내지 도 4는 본 발명의 실시예에 의한 자기정렬 방식의 반도체 소자의 제조방법을 설명하기 위해 도시한 단면도들이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

100: 반도체 기판, 102: 게이트 절연막,

104: 게이트 패턴, 106: 콘택이 형성될 영역,

108: 층간절연막, 110: 게이트 전극층,

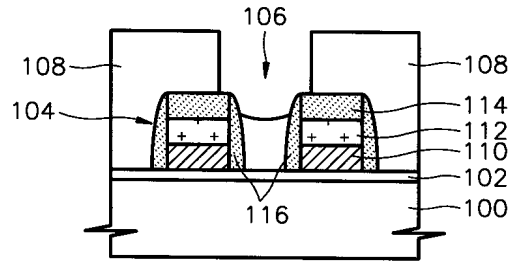
112: 실리콘사이드층, 114: 상부 절연막,

116: 게이트 스페이서, 118: 스페이서,

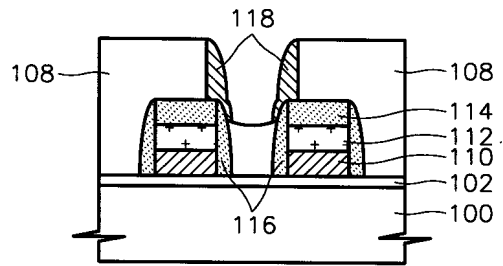
120: 콘택 형성용 도전층.

### 도면

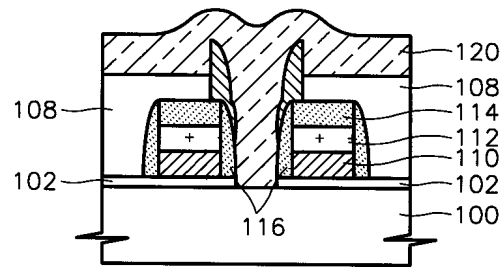
도면1



도면2



도면3



도면4

