



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월02일
(11) 등록번호 10-0843139
(24) 등록일자 2008년06월26일

(51) Int. Cl.

G11C 11/4097 (2006.01) G11C 7/18 (2006.01)

(21) 출원번호 10-2005-0124010

(22) 출원일자 2005년12월15일

심사청구일자 2005년12월27일

(65) 공개번호 10-2007-0063789

(43) 공개일자 2007년06월20일

(56) 선행기술조사문헌

KR1020050007546 A

KR1020000004509 A

전체 청구항 수 : 총 15 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

송기환

서울 강남구 도곡동 동신아파트 가동 1202호

이영택

서울 송파구 가락본동 대림아파트 5-510

(74) 대리인

정상빈, 특허법인가산

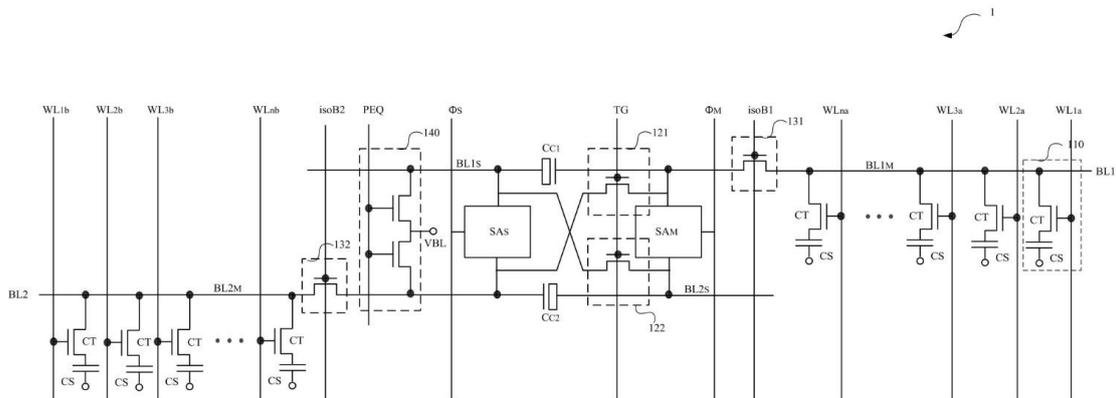
심사관 : 홍승무

(54) 오픈 비트 라인 구조를 갖는 멀티레벨 동적 메모리 장치 및 그 구동 방법

(57) 요약

오픈 비트 라인 구조를 갖는 멀티레벨 동적 메모리 장치가 제공된다. 이러한 멀티레벨 동적 메모리 장치는 다수의 워드 라인, 오픈 비트 라인 타입(open bit line type)으로 배열된 다수의 비트 라인, 다수의 메모리 셀로, 각 메모리 셀은 각 워드 라인과 각 비트 라인과 연결되고, 적어도 2비트 이상의 데이터를 저장하는 다수의 메모리 셀, 및 다수의 센스 앰프부로, 각 센스 앰프부는 양측에 위치한 비트 라인 사이의 전압차를 증폭하는 다수의 센스 앰프부를 포함한다.

대표도



특허청구의 범위

청구항 1

다수의 워드 라인;

오픈 비트 라인 타입(open bit line type)으로 배열된 다수의 비트 라인;

다수의 메모리 셀로, 상기 각 메모리 셀은 상기 각 워드 라인과 각 비트 라인과 연결되고, 적어도 2비트 이상의 데이터를 저장하는 다수의 메모리 셀; 및

다수의 센스 앰프부로, 상기 각 센스 앰프부는 양측에 위치한 비트 라인 사이의 전압차를 증폭하는 다수의 센스 앰프부를 포함하는 멀티레벨 동적 메모리 장치.

청구항 2

삭제

청구항 3

다수의 워드 라인;

오픈 비트 라인 타입(open bit line type)으로 배열된 제1 및 제2 비트 라인으로, 제1 비트 라인은 제1 메인 비트 라인과 제1 서브 비트 라인으로 분할되고, 제2 비트 라인은 제2 메인 비트 라인과 제2 서브 비트 라인으로 분할된 제1 및 제2 비트 라인;

다수의 메모리 셀로, 상기 각 메모리 셀은 상기 각 워드 라인과 상기 각 메인 비트 라인에 연결된 다수의 메모리 셀;

상기 제1 메인 비트 라인과 상기 제2 서브 비트 라인 사이에 연결된 제1 센스 앰프와, 상기 제2 메인 비트 라인과 상기 제1 서브 비트 라인 사이에 연결된 제2 센스 앰프; 및

상기 제1 메인 비트 라인과 상기 제1 서브 비트 라인 사이에 연결된 제1 커플링 커패시터와, 상기 제2 메인 비트 라인과 상기 제2 서브 비트 라인 사이에 연결된 제2 커플링 커패시터를 포함하는 멀티레벨 동적 메모리 장치.

청구항 4

삭제

청구항 5

제 3항에 있어서,

상기 메모리 셀의 셀 커패시터의 커패시턴스는 각 메인 비트 라인의 커패시턴스와 실질적으로 동일한 멀티레벨 동적 메모리 장치.

청구항 6

제 3항에 있어서,

상기 제1 메인 비트 라인과 상기 제2 메인 비트 라인을 선택적으로 연결하는 제1 트랜스퍼 트랜지스터와, 상기 제1 서브 비트 라인과 상기 제2 서브 비트 라인을 선택적으로 연결하는 제2 트랜스퍼 트랜지스터를 더 포함하는 멀티레벨 동적 메모리 장치.

청구항 7

제 3항에 있어서,

상기 제1 및 제2 비트 라인 상에 각각 위치하여, 상기 다수의 메모리 셀과 상기 제1 및 제2 센스 앰프를 각각 선택적으로 분리하는 제1 및 제2 아이솔레이션 트랜지스터를 더 포함하는 멀티레벨 동적 메모리 장치.

청구항 8

제 3항에 있어서,

상기 제1 및 제2 커플링 커패시터와 각각 병렬 연결되고, 제1 제어 전압 신호에 의해 커패시턴스가 조절되는 제 1 및 제2 보정 커패시터를 포함하는 멀티레벨 동적 메모리 장치.

청구항 9

제 8항에 있어서,

상기 제1 보정 커패시터는 게이트가 상기 제1 커플링 커패시터의 일 노드에 연결되고 소오스 및 드레인은 상기 제1 제어 전압 신호에 연결된 MOS형 커패시터이고, 상기 제2 보정 커패시터는 게이트가 상기 제2 커플링 커패시터의 일 노드에 연결되고 소오스 및 드레인은 상기 제1 제어 전압 신호에 연결된 MOS형 커패시터인 멀티레벨 동적 메모리 장치.

청구항 10

제 3항에 있어서,

상기 제1 및 제2 커플링 커패시터는 제2 제어 전압 신호에 의해 커패시턴스가 조절되는 멀티레벨 동적 메모리 장치.

청구항 11

제 10항에 있어서,

상기 제1 및 제2 커플링 커패시터는 MOS형 커패시터이고, 상기 제2 제어 전압 신호는 상기 MOS형 커패시터의 기판과 연결된 멀티레벨 동적 메모리 장치.

청구항 12

다수의 워드 라인;

오픈 비트 라인 타입(open bit line type)으로 배열된 제1 및 제2 비트 라인으로, 제1 비트 라인은 제1 메인 비트 라인과 제1 서브 비트 라인으로 분할되고, 제2 비트 라인은 제2 메인 비트 라인과 제2 서브 비트 라인으로 분할된 제1 및 제2 비트 라인;

다수의 메모리 셀로, 상기 각 메모리 셀은 상기 각 워드 라인과 상기 각 메인 비트 라인에 연결된 다수의 메모리 셀;

상기 제1 메인 비트 라인과 상기 제2 서브 비트 라인 사이에 연결된 제1 센스 앰프와, 상기 제2 메인 비트 라인과 상기 제1 서브 비트 라인 사이에 연결된 제2 센스 앰프;

상기 제1 메인 비트 라인과 상기 제1 서브 비트 라인 사이에 연결된 제1 커플링 커패시터와, 상기 제2 메인 비트 라인과 상기 제2 서브 비트 라인 사이에 연결된 제2 커플링 커패시터;

상기 제1 메인 비트 라인과 상기 제2 메인 비트 라인을 선택적으로 연결하는 제1 트랜스퍼 트랜지스터와, 상기 제1 서브 비트 라인과 상기 제2 서브 비트 라인을 선택적으로 연결하는 제2 트랜스퍼 트랜지스터; 및

상기 제1 및 제2 비트 라인 상에 각각 위치하여, 상기 다수의 메모리 셀과 상기 제1 및 제2 센스 앰프를 각각 선택적으로 분리하는 제1 및 제2 아이솔레이션 트랜지스터를 포함하는 멀티레벨 동적 메모리 장치.

청구항 13

제12 항의 멀티레벨 동적 메모리 장치를 제공하고,

상기 제1 비트 라인에 연결된 메모리 셀 중 선택된 메모리 셀의 데이터가 상기 제1 및 제2 메인 비트 라인에 전하 분배(charge sharing)되고,

상기 제1 센스 앰프가 인에이블되어 상기 제1 메인 비트 라인과 상기 제2 서브 비트 라인 사이의 전압차를 증폭하고,

상기 제2 센스 앰프가 인에이블되어 상기 제2 메인 비트 라인과 상기 제1 서브 비트 라인 사이의 전압차를 증폭하고,

상기 제1 및 제2 메인 비트 라인이 전하 분배하여 상기 선택된 메모리 셀에 데이터를 리스토어하는 것을 포함하는 멀티레벨 동적 메모리 장치의 구동 방법.

청구항 14

제 13항에 있어서,

상기 선택된 메모리 셀의 데이터가 상기 제1 및 제2 메인 비트 라인에 전하 분배되는 단계와, 상기 선택된 메모리 셀에 데이터를 리스토어하는 단계에서, 상기 제1 및 제2 트랜스퍼 게이트는 턴온되는 멀티레벨 동적 메모리 장치의 구동 방법.

청구항 15

제 13항에 있어서,

상기 제1 및 제2 센스 앰프가 전압차를 증폭하는 동안, 상기 제1 및 제2 아이솔레이션 트랜지스터는 턴오프되어 있는 멀티레벨 동적 메모리 장치의 구동 방법.

청구항 16

제 13항에 있어서,

상기 리스토어하기 전에 상기 제1 및 제2 아이솔레이션 트랜지스터는 먼저 턴온되는 것을 포함하는 멀티레벨 동적 메모리 장치의 구동 방법.

청구항 17

제 13항에 있어서,

상기 메모리 셀의 셀 커패시터의 커패시턴스는 각 메인 비트 라인의 커패시턴스와 실질적으로 동일한 멀티레벨 동적 메모리 장치의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <5> 본 발명은 멀티레벨 동적 메모리 장치 및 그 구동 방법에 관한 것으로, 보다 상세하게는 집적도가 우수한 멀티레벨 동적 메모리 장치 및 그 구동 방법에 관한 것이다.
- <6> 최근, 제한된 웨이퍼 내에 더 많은 비트를 저장하기 위한 여러가지 방법이 개발되어 왔다. 우선, 정교한 (sophisticated) 리소그래피 방법 및 장치를 개발하고 이를 이용함으로써, 제한된 웨이퍼 내에 더 많은 메모리 셀을 제조할 수 있다. 다른 방법으로는, 하나의 메모리 셀에 하나 이상의 비트를 저장함으로써, 동적 메모리 장치의 단위 면적당 집적도를 높일 수 있다. 이는 흔히 멀티레벨(multi-level) 동적 메모리 장치로 알려져 있다.
- <7> 종래의 멀티레벨 동적 메모리 장치는 폴디드 비트 라인 구조(folded bit line structure)를 기본으로 하여 발전하여 왔다. 폴디드 비트 라인 구조는 비트 라인과 상보 비트 라인이 모두 동일한 메모리 셀 블록에 위치하므로, 워드 라인과의 커플링 노이즈가 비트 라인과 상보 비트 라인에서 동일한 양으로 발생한다. 이러한 커먼 모드 노이즈(common mode noise)는 센스 앰프의 차동 증폭 동작에 의해 모두 제거될 수 있다.
- <8> 하지만, 폴디드 비트 라인 구조에서 메모리 셀의 크기는 $8F^2/\text{bit}$ 이상 개선되기 어려운 문제가 있다. 여기서, F는 최소 피쳐 크기(minimum feature size) 즉, 패터닝될 수 있는 최소 디자인 룰(minimum design rule)을 의미한다. 따라서, 멀티레벨 동적 메모리 장치의 집적도를 향상시키기 위한 새로운 구조가 요구된다.

발명이 이루고자 하는 기술적 과제

- <9> 본 발명이 이루고자 하는 기술적 과제는, 집적도가 우수한 멀티레벨 동적 메모리 장치를 제공하는 것이다.
- <10> 본 발명이 이루고자 하는 다른 기술적 과제는, 집적도가 우수한 멀티레벨 동적 메모리 장치의 구동 방법을 제공하는 것이다.
- <11> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- <12> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치는 다수의 워드 라인, 오픈 비트 라인 타입(open bit line type)으로 배열된 다수의 비트 라인, 다수의 메모리 셀로, 각 메모리 셀은 각 워드 라인과 각 비트 라인과 연결되고, 적어도 2비트 이상의 데이터를 저장하는 다수의 메모리 셀, 및 다수의 센스 앰프부로, 각 센스 앰프부는 양측에 위치한 비트 라인 사이의 전압차를 증폭하는 다수의 센스 앰프 부를 포함한다.
- <13> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 멀티레벨 동적 메모리 장치는 다수의 워드 라인, 오픈 비트 라인 타입(open bit line type)으로 배열된 제1 및 제2 비트 라인으로, 제1 비트 라인은 제1 메인 비트 라인과 제1 서브 비트 라인으로 분할되고, 제2 비트 라인은 제2 메인 비트 라인과 제2 서브 비트 라인으로 분할된 제1 및 제2 비트 라인, 다수의 메모리 셀로, 각 메모리 셀은 각 워드 라인과 각 메인 비트 라인에 연결된 다수의 메모리 셀, 제1 메인 비트 라인과 제2 서브 비트 라인 사이에 연결된 제1 센스 앰프와, 제2 메인 비트 라인과 제1 서브 비트 라인 사이에 연결된 제2 센스 앰프, 및 제1 메인 비트 라인과 제1 서브 비트 라인 사이에 연결된 제1 커플링 커패시터와, 제2 메인 비트 라인과 제2 서브 비트 라인 사이에 연결된 제2 커플링 커패시터를 포함한다.
- <14> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치의 구동 방법은 멀티레벨 동적 메모리 장치를 제공하고, 제1 비트 라인에 연결된 메모리 셀 중 선택된 메모리 셀의 데이터가 제1 및 제2 메인 비트 라인에 전하 분배(charge sharing)되고, 제1 센스 앰프가 인에이블되어 제1 메인 비트 라인과 제2 서브 비트 라인 사이의 전압차를 증폭하고, 제2 센스 앰프가 인에이블되어 제2 메인 비트 라인과 제1 서브 비트 라인 사이의 전압차를 증폭하고, 제1 및 제2 메인 비트 라인이 전하 분배하여 선택된 메모리 셀에 데이터를 리스토어하는 것을 포함한다.
- <15> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <16> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <17> 도 1은 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치를 설명하기 위한 회로도이다. 이하에서는 설명의 편의를 위해서 선택된 메모리 셀(110)이 제1 비트 라인(BL1)과 연결된 경우를 위주로 설명한다.
- <18> 우선 도 1을 참조하면, 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치(1)는 오픈 비트 라인 구조(open bit line structure)를 가진다.
- <19> 제1 및 제2 비트 라인(BL1, BL2)은 센스 앰프부(SA_M, SA_S)를 중심으로 양측에 위치한다. 또한, 제1 비트 라인(BL1)은 제1 커플링 커패시터(C_{C1})를 기준으로 제1 메인 비트 라인(BL1_M)과 제1 서브 비트 라인(BL1_S)으로 분할되고, 제2 비트 라인(BL2)은 제2 커플링 커패시터(C_{C2})를 기준으로 제2 메인 비트 라인(BL2_M)과 제2 서브 비트 라인(BL2_S)으로 분할된다. 여기서, 제1 및 제2 비트 라인(BL1, BL2)의 커패시턴스는 동일할 수 있다. 구체적으로, 제1 및 제2 메인 비트 라인(BL1_M, BL2_M)의 커패시턴스가 동일하고, 제1 및 제2 서브 비트 라인(BL1_S, BL2_S)의 커패시턴스가 동일할 수 있다. 이를 구현하는 방법으로는, 제1 및 제2 메인 비트 라인(BL1_M, BL2_M), 제1 및 제2 서브 비트 라인(BL1_S, BL2_S)의 길이를 각각 동일하게 하는 것을 예로 들 수 있다.

- <20> 여기서, 메모리 셀(110)은 각 워드 라인(WL1a~WLna, WL1b~WLnb)과 각 비트 라인(BL1, BL2)(구체적으로는, 각 메인 비트 라인(BL1_M, BL2_M))과 연결된다. 또한, 제1 및 제2 비트 라인(BL1, BL2)의 길이가 동일하므로, 제1 및 제2 비트 라인(BL1, BL2)에 연결된 메모리 셀(110)은 각각 n개씩일 수 있다. 이러한 메모리 셀(110)은 셀 커패시터(CS)와, 액세스 트랜지스터(CT)를 포함한다. 또한, 셀 커패시터(CS)의 커패시턴스는 각 메인 비트 라인(BL1_M, BL2_M)의 커패시턴스와 실질적으로 동일할 수 있다.
- <21> 센스 앰프부(SA_M, SA_S)는 양측에 위치한 제1 및 제2 비트 라인(BL1, BL2)의 전압차를 증폭하는 역할을 한다. 구체적으로, 제1 센스 앰프(SA_M)는 제1 메인 비트 라인(BL1_M)과 제2 서브 비트 라인(BL2_S) 사이에 연결되고, 제1 센스 앰프 인에이블 신호(Φ_M)에 응답하여 제1 메인 비트 라인(BL1_M)과 제2 서브 비트 라인(BL2_S) 사이의 전압차를 증폭한다. 제2 센스 앰프(SA_S)는 제2 메인 비트 라인(BL2_M)과 제1 서브 비트 라인(BL1_S) 사이에 연결되고, 제2 센스 앰프 인에이블 신호(Φ_S)에 응답하여 제2 메인 비트 라인(BL2_M)과 제1 서브 비트 라인(BL1_S) 사이의 전압차를 증폭한다. 도면에는 표시하지 않았으나, 제1 및 제2 센스 앰프(SA_M, SA_S)는 P형 센스 앰프와 N형 센스 앰프를 포함할 수 있다.
- <22> 한편, 제1 커플링 커패시터(C_{C1})는 제1 메인 비트 라인(BL1_M)과 제1 서브 비트 라인(BL1_S) 사이에 연결되고, 제2 커플링 커패시터(C_{C2})는 제2 메인 비트 라인(BL2_M)과 제2 서브 비트 라인(BL2_S) 사이에 연결된다. 이러한 제1 및 제2 커플링 커패시터(C_{C1}, C_{C2})는 제1 센스 앰프(SA_M)가 제1 메인 비트 라인(BL1_M)과 제2 서브 비트 라인(BL2_S) 사이의 전압을 증폭할 때, 제2 메인 비트 라인(BL2_M)과 제1 서브 비트 라인(BL1_S) 사이의 전압이 반대 방향으로 (in an opposite direction) 변화하게 한다(도 2 및 도 3의 t4 참조). 이와 같이 변화된 제2 메인 비트 라인(BL2_M)과 제1 서브 비트 라인(BL1_S) 사이의 전압은 제2 센스 앰프(SA_S)의 오프셋(offset) 전압을 유발시키는 역할을 한다.
- <23> 또한, 제1 트랜스퍼 트랜지스터(121)는 트랜스퍼 신호(TG)에 응답하여 제1 메인 비트 라인(BL1_M)과 제2 메인 비트 라인(BL2_M)을 선택적으로 연결하고, 제2 트랜스퍼 트랜지스터(122)는 트랜스퍼 신호(TG)에 응답하여 제1 서브 비트 라인(BL1_S)과 제2 서브 비트 라인(BL2_S)을 선택적으로 연결한다.
- <24> 또한, 제1 및 제2 아이솔레이션(isolation) 트랜지스터(131, 132)는 제1 및 제2 비트 라인(BL1, BL2) 상에 각각 위치하여, 제1 및 제2 아이솔레이션 신호(isoB1, isoB2)에 응답하여 다수의 메모리 셀(110)과 제1 및 제2 센스 앰프(SA_M, SA_S)를 각각 전기적으로 분리한다.
- <25> 이퀄라이저(140)는 제1 및 제2 비트 라인(BL1, BL2) 사이에 연결되고 이퀄라이징 신호(PEQ)에 응답하여 제1 및 제2 비트 라인(BL1, BL2)을 소정 전압 레벨(예를 들어, 1/2VDD)의 프리차지 전압(VBL)으로 프리차지한다. 도 1에서는 제2 메인 비트 라인(BL2_M)과 제1 서브 비트 라인(BL1_S) 사이에 연결된 경우를 도시하였으나, 이에 제한되는 것은 아니다.
- <26> 이와 같이 오픈 비트 라인 구조를 갖는 멀티레벨 동적 메모리 장치(1)는 메모리 셀의 크기를 8F²/bit 미만으로, 예를 들어 6F²/bit까지 향상될 수 있으므로, 집적도가 높아진다.
- <27> 이하에서 도 1 내지 도 3를 참조하여, 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치의 동작을 설명한다.
- <28> 도 2는 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치의 동작을 설명하기 위한 타이밍도로, 리드(read)하려는 메모리 셀(110)이 워드 라인(WL_{1a})과 제1 메인 비트 라인(BL1_M)과 연결되어 있고, 그 메모리 셀(110)에는 2비트 데이터 (1,0)이 저장된 경우를 예를 들어 설명한다.
- <29> 시간 t0에서 트랜스퍼 신호(TG), 제1 및 제2 아이솔레이션 신호(isoB1, isoB2)가 하이 레벨이므로 제1 메인 비트 라인(BL1_M)과 제2 메인 비트 라인(BL2_M)이 연결되고, 제1 서브 비트 라인(BL1_S)과 제2 서브 비트 라인(BL2_S)이 연결된다. 또한, 이퀄라이징 신호(PEQ)가 하이 레벨이므로 제1 및 제2 비트 라인(BL1, BL2)은 1/2VDD로 프리차지(precharge)되어 있다.

- <30> 시간 t1에서 제2 아이솔레이션 신호(isoB2)가 로우 레벨이 되므로, 제2 메인 비트 라인(BL2_M)과 연결된 메모리 셀과 제1 및 제2 센스 앰프(SA_M, SA_S)는 서로 전기적으로 분리된다.
- <31> 시간 t2에서 워드 라인(WL_{1a})이 하이 레벨이 되므로, 메모리 셀(110)의 셀 커패시터(CS) 내에 저장된 전하가 턴 온된 제1 및 제2 트랜스퍼 트랜지스터(121, 122)를 통해서 제1 및 제2 메인 비트 라인(BL1_M, BL2_M)으로 전하 분배(charge sharing)되어, 제1 및 제2 메인 비트 라인(BL1_M, BL2_M)의 전압이 각각 ΔV1만큼 증가된다.
- <32> 시간 t3에서 제1 아이솔레이션 신호(isoB1)가 로우 레벨이 되므로, 제1 메인 비트 라인(BL1_M)과 연결된 메모리 셀과 제1 및 제2 센스 앰프(SA_M, SA_S)는 서로 전기적으로 분리된다. 또한, 트랜스퍼 신호(TG)가 로우 레벨이 되므로, 제1 및 제2 메인 비트 라인(BL1_M, BL2_M)이 서로 전기적으로 분리되고, 제1 및 제2 서브 비트 라인(BL1_S, BL2_S)이 서로 전기적으로 분리된다.
- <33> 시간 t4에서 제1 센스 앰프 인에이블 신호(Φ_M)가 하이 레벨이 되므로 제1 메인 비트 라인(BL1_M)과 제2 서브 비트 라인(BL2_S) 사이의 전압차가 증폭된다. 즉, 제1 메인 비트 라인(BL1_M)의 전압이 VDD로 증가하게 되고, 제2 서브 비트 라인(BL2_S)의 전압은 VSS로 감소하게 된다.
- <34> 한편, 제1 및 제2 커플링 커패시터(C_{C1}, C_{C2})가 있으므로, 제1 메인 비트 라인(BL1_M)과 제2 서브 비트 라인(BL2_S) 사이의 전압차가 증폭될 때, 제2 메인 비트 라인(BL2_M)과 제1 서브 비트 라인(BL1_S) 사이의 전압이 반대 방향으로(in an opposite direction) 변화된다. 즉, 제2 메인 비트 라인(BL2_M)의 전압이 ΔV2만큼 감소된 경우 제1 서브 비트 라인(BL1_S)의 전압은 ΔV2만큼 증가된다.
- <35> 시간 t5에서 제2 센스 앰프 인에이블 신호(Φ_S)가 하이 레벨이 되므로 제2 메인 비트 라인(BL2_M)과 제1 서브 비트 라인(BL1_S) 사이의 전압차가 증폭된다. 즉, 제2 메인 비트 라인(BL2_M)의 전압이 VSS로 감소하게 되고, 제2 서브 비트 라인(BL2_S)의 전압은 VDD로 증가하게 된다.
- <36> 시간 t6에서(리스토어 동작 전에 먼저) 제1 및 제2 아이솔레이션 신호(isoB1, isoB2)가 하이 레벨이 되므로 다수의 메모리 셀(110)과 제1 및 제2 센스 앰프(SA_M, SA_S)를 전기적으로 연결시킨다. 따라서, 제1 및 제2 센스 앰프(SA_M, SA_S)의 센싱 결과가, 다수의 메모리 셀(110)과 연결된 제1 및 제2 메인 비트 라인(BL1_M, BL2_M)에 반영되게 된다. 이때, 트랜스퍼 신호(TG)는 로우 레벨이므로 제1 및 제2 트랜스퍼 트랜지스터(121, 122)는 턴오프되어 있어, 제1 비트 라인(BL1)과 제2 비트 라인(BL2)은 서로 절연되어 있다.
- <37> 시간 t7에서 제1 및 제2 센스 앰프 인에이블 신호(Φ_M, Φ_S)가 로우 레벨이 되어, 제1 및 제2 센스 앰프(SA_M, SA_S)가 디스에이블된다.
- <38> 시간 t8에서 트랜스퍼 신호(TG)가 하이 레벨이 되면, 제1 비트 라인(BL1)과 제2 비트 라인(BL2)이 연결된다. 구체적으로, 턴온된 제1 및 제2 트랜스퍼 트랜지스터(121, 122)를 통해서 제1 및 제2 메인 비트 라인(BL1_M, BL2_M)이 연결되어 전하 분배(charge sharing)되고, 제1 및 제2 서브 비트 라인(BL1_S, BL2_S)이 연결되어 전하 분배된다. 즉, 메모리 셀(110)의 셀 커패시터(CS)에 비트를 재저장하는 리스토어(restore) 동작이 진행된다.
- <39> 구체적으로, 제1 메인 비트 라인(BL_M)에 연결된 메모리 셀(110)에 리스토어된 전압 레벨을 표현하면 수학적 1과 같이 표현할 수 있다. 여기서, V_{rst1}은 메모리 셀(110)에 리스토어되는 전압 레벨이고, C_{total}은 전체 커패시턴스이고, Q_{total}은 전체 전하량이고, C_{BL1M}은 제1 메인 비트 라인(BL1_M)의 커패시턴스이고, C_{BL2M}은 제2 메인 비트 라인(BL2_M)의 커패시턴스이고, CS는 셀 커패시터(CS)의 커패시턴스를 의미한다. 제1 메인 비트 라인(BL1_M)의 커패시턴스와 제2 메인 비트 라인(BL2_M)의 커패시턴스는 동일하므로 C_{BL1M}=C_{BL2M}이고, 각 메인 비트 라인(BL1_M, BL2_M)의 커패시턴스와 동일한 용량의 셀 커패시터(CS)가 구현된다면 C_{BL1M}=C_{BL2M}=CS 이 된다. 참고적으로, 최근의 셀 커패시터 제작 공정 기술의 발달에 따라 CS가 점점 증가하고 있으며, 2008~2010년경에는 그 값이 비트라인 커패시턴스에 근접해 질 것으로 예상된다.

수학식 1

$$Vrst1 = \frac{Q_{total}}{C_{total}} = \frac{(C_{BL1M} + CS) \times VDD}{C_{BL1M} + CS + C_{BL2M}} = \frac{2CS \times VDD}{3CS} = \frac{2}{3}VDD$$

- <40>
- <41> 시간 t9에서 워드 라인(WL_{1a})은 로우 레벨이 되고 이퀄라이징 신호(PEQ)가 하이 레벨이 되므로, 제1 및 제2 비트 라인(BL1, BL2)이 1/2VDD로 프리차지(precharge)된다.
- <42> 도 3은 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치의 동작을 설명하기 위한 타이밍도로, 리드(read)하려는 메모리 셀(110)이 워드 라인(WL_{1a})과 제1 메인 비트 라인(BL_{1M})과 연결되어 있고, 그 메모리 셀(110)에는 2비트 데이터 (1,1)이 저장된 경우를 예를 들어 설명한다. 도 2과 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.
- <43> 시간 t2에서 워드 라인(WL_{1a})이 하이 레벨이 되므로, 메모리 셀(110)의 셀 커패시터 내에 저장된 전하가 제1 및 제2 메인 비트 라인(BL_{1M}, BL_{2M})으로 전달되어, 제1 및 제2 메인 비트 라인(BL_{1M}, BL_{2M})의 전압이 각각 3ΔV1만큼 증가된다. 여기서, 3ΔV1은 선택된 메모리 셀(110)에 저장된 (1,1) 데이터가 (1,0) 데이터가 저장된 경우(도 2의 시간 t2 참조)에 비해 크다는 것을 보여주기 위한 예시적인 값이며, 본 발명은 이에 제한되는 것은 아니다.
- <44> 한편, 시간 t4에서 제1 센스 앰프 인에이블 신호(ΦM)가 하이 레벨이 되므로 제1 메인 비트 라인(BL_{1M})과 제2 서브 비트 라인(BL_{2S}) 사이의 전압차가 증폭된다.
- <45> 여기서, 제1 및 제2 커플링 커패시터(C_{C1}, C_{C2})가 있으므로, 제1 메인 비트 라인(BL_{1M})과 제2 서브 비트 라인(BL_{2S}) 사이의 전압차가 증폭될 때, 제2 메인 비트 라인(BL_{2M})과 제1 서브 비트 라인(BL_{1S}) 사이의 전압이 반대 방향으로(in an opposite direction) 변화된다. 즉, 제2 메인 비트 라인(BL_{2M})의 전압이 ΔV2만큼 감소된 경우 제1 서브 비트 라인(BL_{1S})의 전압은 ΔV2만큼 증가된다. 여기서, 도 3에서와 같이 3ΔV1가 2ΔV2보다 작기 때문에, 제2 메인 비트 라인(BL_{2M})의 전압이 ΔV2만큼 감소되고 제1 서브 비트 라인(BL_{1S})의 전압은 ΔV2만큼 증가되더라도, 제2 메인 비트 라인(BL_{2M})의 전압 레벨이 제1 서브 비트 라인(BL_{1S})의 전압 레벨에 비해 크음을 알 수 있다.
- <46> 시간 t5에서 제2 센스 앰프 인에이블 신호(ΦS)가 하이 레벨이 되므로 제2 메인 비트 라인(BL_{2M})과 제1 서브 비트 라인(BL_{1S}) 사이의 전압차가 증폭된다.
- <47> 한편, 시간 t8에서 트랜스퍼 신호(TG)가 하이 레벨이 되면, 제1 비트 라인(BL1)과 제2 비트 라인(BL2)이 턴온된 제1 및 제2 트랜스퍼 트랜지스터(121, 122)를 통해서 연결되어, 메모리 셀(110)의 셀 커패시터(CS)에 비트를 재저장하는 리스토어(restore) 동작이 진행된다.
- <48> 구체적으로, 제1 메인 비트 라인(BL_{1M})에 연결된 메모리 셀(110)에 리스토어된 전압 레벨을 표현하면 수학식 2와 같이 표현할 수 있다. 여기서, Vrst2은 메모리 셀(110)에 리스토어되는 전압 레벨을 의미하고, 이러한 Vrst2는 결국 VDD가 됨을 알 수 있다.

수학식 2

$$Vrst2 = \frac{Q_{total}}{C_{total}} = \frac{(C_{BL1M} + CS + C_{BL2M}) \times VDD}{C_{BL1M} + CS + C_{BL2M}} = \frac{3CS \times VDD}{3CS} = VDD$$

- <49>
- <50> 도 2 및 도 3에서는 메모리 셀(110)에 저장된 2비트 데이터 (1,0), (1,1)를 리드하는 경우만을 설명하였으나, 유사한 방식을 통해서 2비트 데이터 (0,0), (0,1)도 동일하게 리드할 수 있다.
- <51> 도 4는 본 발명의 다른 실시예에 따른 멀티레벨 동적 메모리 장치를 설명하기 위한 회로도이다. 도 1과 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하

기로 한다.

- <52> 도 4를 참조하면, 본 발명의 다른 실시예에 따른 멀티레벨 동적 메모리 장치(2)는 제1 및 제2 커플링 커패시터(C_{C1} , C_{C2})와 각각 병렬로 연결되고, 제1 제어 전압 신호(V_{s_ctrl})에 의해 커패시턴스가 조절되는 제1 및 제2 보정 커패시터(C_{cal1} , C_{cal2})를 더 포함한다.
- <53> 제1 보정 커패시터(C_{cal1})는 게이트가 제1 커플링 커패시터(C_{C1})의 일 노드에 연결되고 소오스 및 드레인은 제1 제어 전압 신호(V_{s_ctrl})에 연결된 MOS형 커패시터이고, 제2 보정 커패시터(C_{cal2})는 게이트가 제2 커플링 커패시터(C_{C2})의 일 노드에 연결되고 소오스 및 드레인은 제1 제어 전압 신호(V_{s_ctrl})에 연결된 MOS형 커패시터이다.
- <54> 제1 메인 비트 라인(BL_{1M})과 연결된 메모리 셀(110)에 저장된 비트를 리드할 때, 제1 센스 앰프(SA_M)가 제1 메인 비트 라인(BL_{1M})과 제2 서브 비트 라인(BL_{2S}) 사이의 전압차를 증폭하면, 제2 메인 비트 라인(BL_{2M})과 제1 서브 비트 라인(BL_{1S}) 사이의 전압이 반대 방향으로(in an opposite direction) 변화된다(도 2 및 도 3의 t_4 참조). 이와 같이 반대 방향으로 변화하는 것은 제1 및 제2 커플링 커패시터(C_{C1} , C_{C2})의 커패시턴스에 의존하는데, 제1 및 제2 커플링 커패시터(C_{C1} , C_{C2})의 커패시턴스는 제조 공정상의 변화(variation)으로 인해 일정하지 않을 수 있다. 그런데, 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치(2)는 제1 및 제2 보정 커패시터(C_{cal1} , C_{cal2})를 구비하여, 제1 및 제2 커플링 커패시터(C_{C1} , C_{C2})의 커패시턴스가 일정하지 않더라도 반대 방향으로 변화되는 값인 ΔV_2 가 일정해 지도록 조절할 수 있다.
- <55> 구체적으로, 제1 제어 전압 신호(V_{s_ctrl})를 낮게 공급하면 제1 및 제2 보정 커패시터(C_{cal1} , C_{cal2})의 실효 커패시턴스가 커져서, 제1 및 제2 커플링 커패시터(C_{C1} , C_{C2})를 통해서 제1 메인 비트 라인(BL_{1M})에서 제2 메인 비트 라인(BL_{2M})으로 전달될 전하를 많이 소모하게 된다. 따라서, 반대 방향으로 변화되는 값인 ΔV_2 가 작아지게 된다.
- <56> 또한, 제1 제어 전압 신호(V_{s_ctrl})를 높게 공급하면 제1 및 제2 보정 커패시터(C_{cal1} , C_{cal2})의 실효 커패시턴스가 작아져서, 제1 및 제2 커플링 커패시터(C_{C1} , C_{C2})를 통해서 제1 메인 비트 라인(BL_{1M})에서 제2 메인 비트 라인(BL_{2M})으로 전달될 전하를 적게 소모하게 된다. 따라서, 반대 방향으로 변화되는 값인 ΔV_2 가 증가하게 된다.
- <57> 이러한 제1 및 제2 보정 커패시터(C_{cal1} , C_{cal2})에 제공되는 제1 제어 전압 신호(V_{s_ctrl})의 전압 레벨은 여러 가지 방식으로 조절될 수 있다. 예를 들어, 제1 제어 전압 신호(V_{s_ctrl})의 전압 레벨은 웨이퍼 레벨(wafer level) 또는 패키지 레벨(package level)에서 퓨즈 트리밍(fuse trimming) 방식에 의해 조절될 수 있다. 또한, 멀티레벨 동적 메모리 장치를 세팅시 모드 레지스터 세트(Mode Resister Set; MRS) 신호를 이용하거나, 멀티레벨 동적 메모리 장치의 동작 중 외부 온도에 따라 변화되는 소정 제어 신호를 이용하여 제1 제어 전압 신호(V_{s_ctrl})의 전압 레벨을 조절할 수 있다.
- <58> 도 5는 본 발명의 또 다른 실시예에 따른 멀티레벨 동적 메모리 장치를 설명하기 위한 회로도이다. 도 1 및 도 4와 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.
- <59> 도 5를 참조하면, 본 발명의 또 다른 실시예에 따른 멀티레벨 동적 메모리 장치(3)는 별도의 제1 및 제2 보정 커패시터(도 4의 C_{cal1} , C_{cal2} 참조)를 구비하지 않고, 제1 및 제2 커플링 커패시터(C_{C1} , C_{C2})의 커패시턴스가 제2 제어 전압 신호(V_{sb_ctrl})에 의해 조절된다.
- <60> 구체적으로, 제1 및 제2 커플링 커패시터(C_{C1} , C_{C2})는 MOS형 커패시터이고, 제2 제어 전압 신호(V_{sb_ctrl})는 MOS형 커패시터의 기판과 연결된다. 수학적 3를 참조하면, 기판에 연결된 기판 전압(V_{sb})은 MOSFET의 문턱 전압(threshold voltage; V_t)을 효과적으로 변화시킬 수 있음을 알 수 있다. 여기서, V_{t0} 는 기판 전압(V_{sb})이 0일 때 문턱전압이고, ψ_f 는 물리적 파라미터(physical parameter)(단, $2\psi_f$ 는 통상적으로 0.6V)이고, γ 는 공정 파라미터(process parameter)이다. 이는 기판이 MOSFET의 또 다른 게이트로써 역할을 하는 것을 의미하므로, 기판 전압(V_{sb})에 따라 문턱 전압(V_t)이 변하는 것을 몸체 효과(body effect)라 부른다.

수학식 3

$$Vt = Vto + \gamma \left[\sqrt{2\Psi_f + Vsb} - \sqrt{2\Psi_f} \right]$$

<61>

<62> 이러한 제2 제어 전압 신호(Vsb_ctrl)의 전압 레벨을 조절하는 방식은 여러가지 방식으로 조절될 수 있으며, 예를 들어 퓨즈 트리밍 방식, 모드 레지스터 세트 신호를 이용하는 방식, 소정 제어 신호를 이용하는 방식 등이 사용될 수 있다.

<63> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

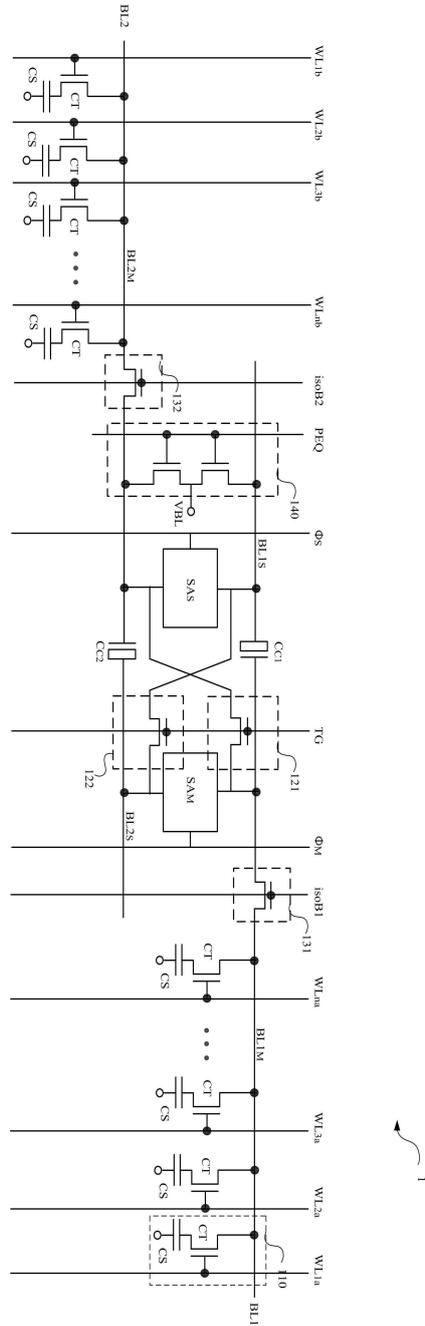
<64> 상기한 바와 같은 오픈 비트 라인 구조를 갖는 멀티레벨 동적 메모리 장치에 따르면 메모리 셀의 크기를 $8F^2/\text{bit}$ 미만으로 줄일 수 있으므로, 집적도가 높아진다.

도면의 간단한 설명

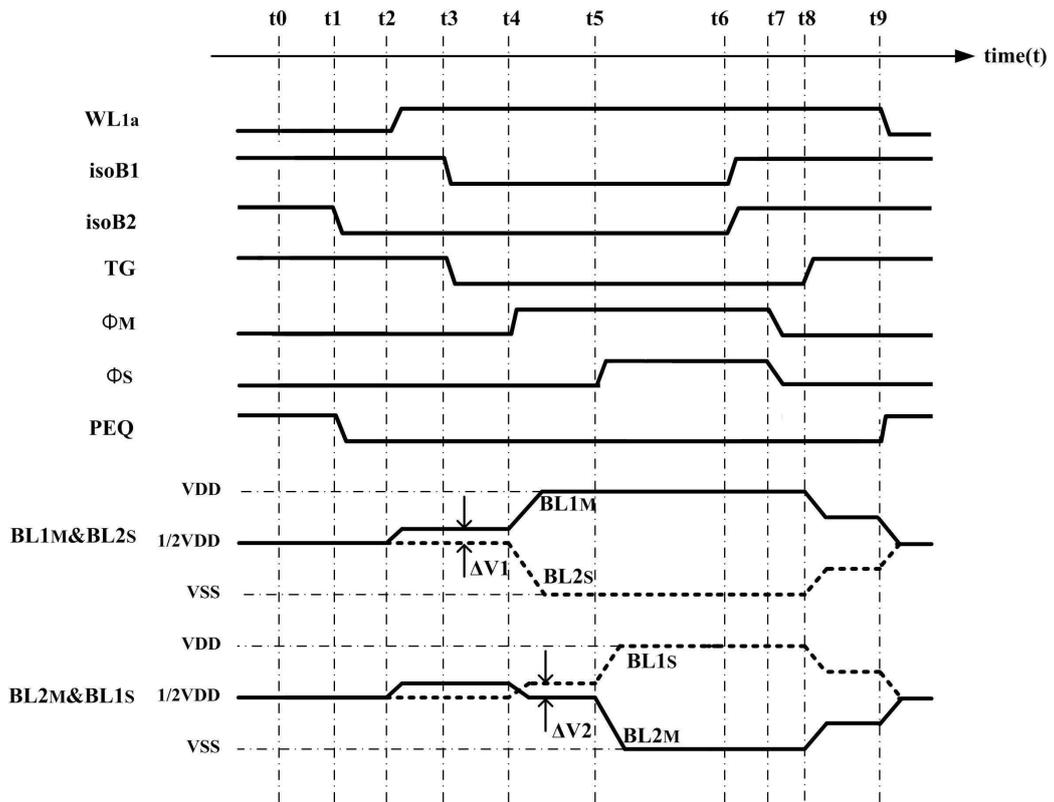
- <1> 도 1은 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치를 설명하기 위한 회로도이다.
- <2> 도 2 및 도 3은 본 발명의 일 실시예에 따른 멀티레벨 동적 메모리 장치의 동작을 설명하기 위한 타이밍도이다.
- <3> 도 4는 본 발명의 다른 실시예에 따른 멀티레벨 동적 메모리 장치를 설명하기 위한 회로도이다.
- <4> 도 5는 본 발명의 또 다른 실시예에 따른 멀티레벨 동적 메모리 장치를 설명하기 위한 회로도이다.

도면

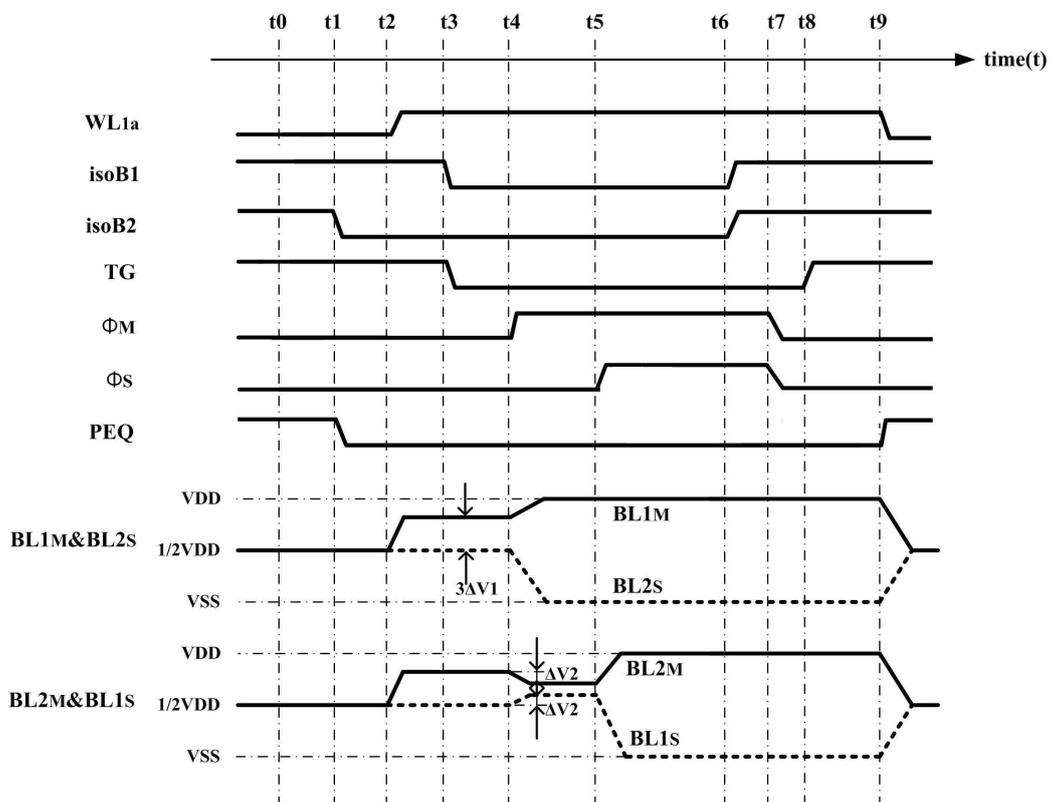
도면1



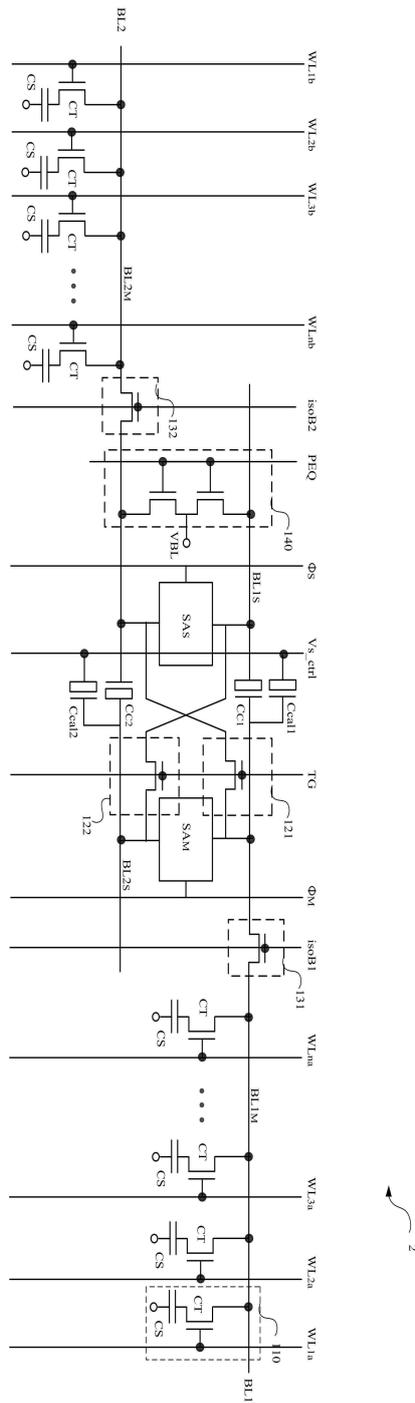
도면2



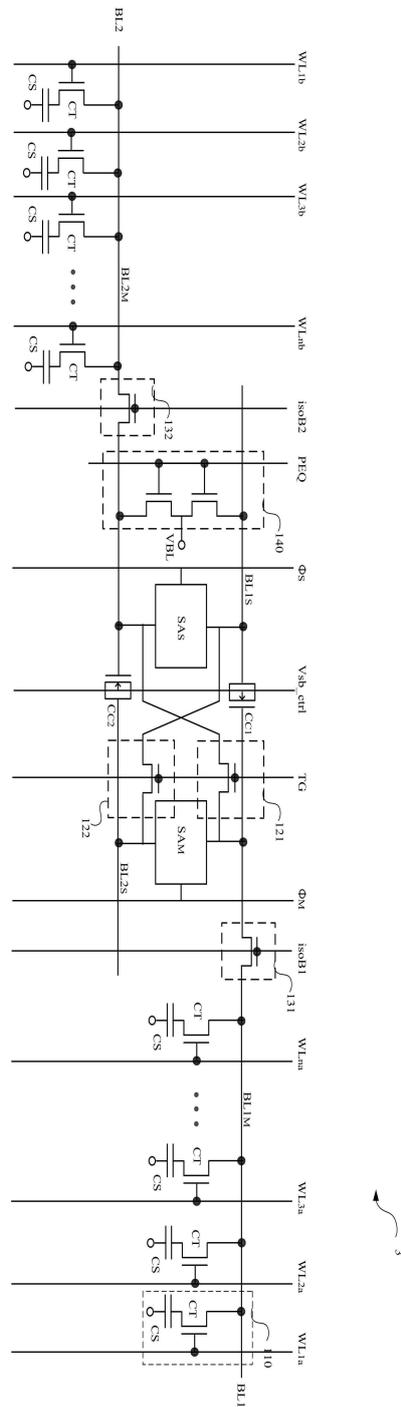
도면3



도면4



도면5



3