



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0125059
(43) 공개일자 2017년11월13일

- (51) 국제특허분류(Int. Cl.)
H03F 19/00 (2006.01) H01L 39/22 (2006.01)
- (52) CPC특허분류
H03F 19/00 (2013.01)
H01L 39/223 (2013.01)
- (21) 출원번호 10-2017-7027134
- (22) 출원일자(국제) 2016년02월26일
심사청구일자 없음
- (85) 번역문제출일자 2017년09월25일
- (86) 국제출원번호 PCT/US2016/019821
- (87) 국제공개번호 WO 2016/138408
국제공개일자 2016년09월01일
- (30) 우선권주장
62/126,381 2015년02월27일 미국(US)

- (71) 출원인
예일 유니버시티
미국 코네티컷주 06510 뉴 헤이븐 휘트니 애비뉴 투
- (72) 발명자
쇼크스 라슬로 제이.
미국 코네티컷주 06511 뉴 헤이븐 요크 스퀘어 플 레이스 104
날라 아니루드
미국 코네티컷주 06511 뉴 헤이븐 클라크 스트리트 넘버 1 54
(뒷면에 계속)
- (74) 대리인
특허법인아주

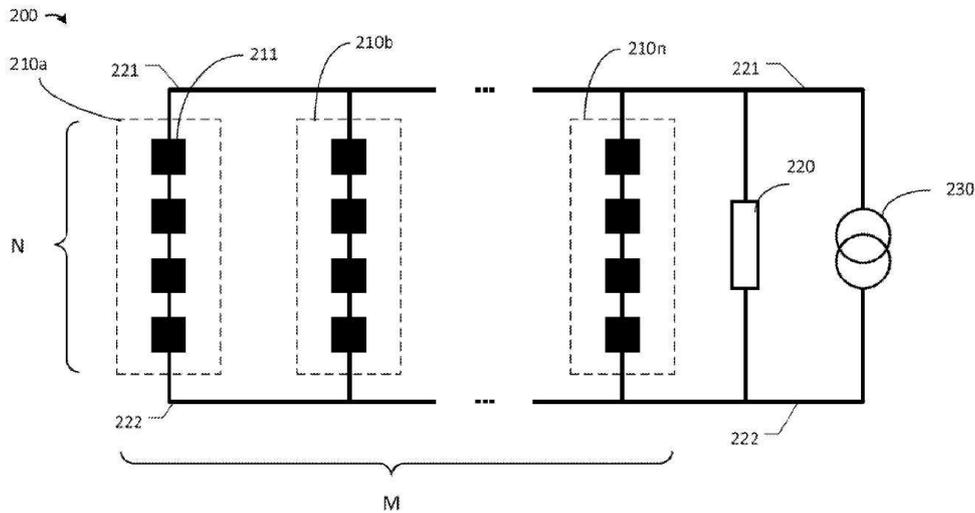
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 양자 증폭기를 생산하는 기술 및 관련 시스템 및 방법

(57) 요약

일부 양태에 따르면, 양자 회로가 제공되고, 상기 양자 회로는 직렬 및 병렬로 함께 결합된 복수의 비선형 회로 소자를 포함하되, 상기 회로 소자들 중 적어도 2개는 직렬로 함께 결합되고, 상기 회로 소자들 중 적어도 2개는 병렬로 함께 결합되며, 상기 양자 회로는 증폭기로서 동작하도록 구성된다.

대표도 - 도2



(72) 발명자

해트리지 마이클

미국 코네티컷주 06511 뉴 헤이븐 리빙슨 스트리트
넘버 에이7 106

슬리와 카트리나

미국 코네티컷주 06511 뉴 헤이븐 레이크 플레이스
71

산카르 쉬암

미국 코네티컷주 06511 뉴 헤이븐 메캐닉 스트리트
91

프룬지오 루이지

미국 코네티컷주 06473 노스 헤이븐 모리 스트리트
24

데보렛 미셸

미국 코네티컷주 06511 뉴 헤이븐 유닛 7더블유 오
렌지 스트리트 869

명세서

청구범위

청구항 1

양자 회로로서,

직렬 및 병렬로 함께 결합된 복수의 비선형 회로 소자를 포함하되, 상기 회로 소자들 중 적어도 2개는 직렬로 함께 결합되고, 상기 회로 소자들 중 적어도 2개는 병렬로 함께 결합되며,

상기 양자 회로는 증폭기로서 동작하도록 구성된, 양자 회로.

청구항 2

제1항에 있어서, 상기 회로 소자들은 조셉슨 접합(Josephson junction)인, 양자 회로.

청구항 3

제1항에 있어서, 상기 회로 소자들 중 N개는 상기 양자 회로의 서브-회로 내에서 직렬로 함께 결합되고, 복수의 상기 서브-회로는 상기 양자 회로 내에서 M번 병렬로 함께 결합된, 양자 회로.

청구항 4

제3항에 있어서, N은 적어도 3이고, M은 적어도 3인, 양자 회로.

청구항 5

제3항에 있어서, 상기 복수의 서브-회로 각각 내에 제1 커패시터를 더 포함하는 양자 회로.

청구항 6

제3항에 있어서, 상기 복수의 서브-회로 각각 내에 적어도 하나의 인덕터를 더 포함하는 양자 회로.

청구항 7

제6항에 있어서, 상기 적어도 하나의 인덕터는 상기 회로 소자들 중 하나 이상을 포함하는, 양자 회로.

청구항 8

제7항에 있어서, 상기 적어도 하나의 인덕터는 상기 하나 이상의 회로 소자와 구별되는 하나 이상의 인덕터를 포함하는, 양자 회로.

청구항 9

제3항에 있어서, 상기 서브-회로들의 이웃하는 쌍들 사이에 각각 결합된 복수의 제2 커패시터를 더 포함하는 양자 회로.

청구항 10

제1항에 있어서, 상기 복수의 비선형 회로 소자는 실질적으로 서로 동일한, 양자 회로.

청구항 11

제1항에 있어서, 상기 양자 회로는 하이브리드 공통 모드(hybrid common mode)에서 상기 복수의 회로 소자를 동작시키도록 구성된, 양자 회로.

발명의 설명

기술 분야

[0001] **관련 출원에 대한 상호 참조**

[0002] 본 출원은, 전체 내용이 본 명세서에 병합된, 2015년 2월 27일자로 출원된, 발명의 명칭이 "JOSEPHSON 'FABRIC' FOR IMPROVED AMPLIFIERS"인 미국 가특허 출원 번호 62/126,381의 35 U.S.C. § 119 (e) 하의 이익을 주장한다.

[0003] **기술 분야**

[0004] 본 출원은 일반적으로 양자 정보 처리에 관한 것이다. 보다 상세하게는, 본 출원은 양자 증폭기를 생산하는 기술에 관한 것이다.

배경 기술

[0005] 증폭기는 실험 물리학에서 흔한 구성 요소(component)이며, 통상적으로 측정 장치로부터 나오는 신호의 에너지를, 이 신호를 관측하는데 사용되는 전자 장치의 잡음을 초과할 만큼 충분한 레벨로 상승시키는데 사용된다. 종래의 증폭기는 발산적(dissipative)이어서 일반적으로 입력 단자에 인가된 입력 신호에 응답하여 증폭된 출력 신호에 더하여 특정 양의 잡음을 발생시킨다.

[0006] 양자 정보 처리는 에너지 양자화, 중첩 및/또는 얽힘(entanglement)과 같은 양자 역학 현상을 사용하여 종래의 정보 처리에 의해 사용되지 않는 방식으로 정보를 인코딩하고 처리한다. 특정 연산 문제는 종래의 고전 연산보다 양자 연산을 사용하여 보다 효율적으로 해결될 수 있을 것으로 예상된다. 양자 회로에서 사용되는 에너지가 낮은 것으로 인해 양자 회로의 측정값은 거시적(비-양자적) 스케일에서 관측되기 전에 증폭하는 것이 필요하다. 그러나, 종래의 증폭기는 사용 가능한 출력 신호를 생성하는데 너무 많은 잡음을 도입하여 양자 회로의 낮은 에너지에 대해 불량한 감도를 나타내기 때문에 양자 회로에 사용하기에는 부적절하다.

발명의 내용

[0007] 일부 양태는, 양자 회로로서, 직렬 및 병렬로 함께 결합된 복수의 비선형 회로 소자(non-linear circuit element)를 포함하되, 상기 회로 소자들 중 적어도 2개는 직렬로 함께 결합되고, 상기 회로 소자들 중 적어도 2개는 병렬로 함께 결합되며, 상기 양자 회로는 증폭기로서 동작하도록 구성된, 상기 양자 회로에 관한 것이다.

[0008] 일부 실시예에 따르면, 상기 회로 소자들은 조셉슨 접합(Josephson junction)이다.

[0009] 일부 실시예에 따르면, 상기 회로 소자들 중 N개는 상기 양자 회로의 서브-회로 내에서 직렬로 함께 결합되고, 복수의 상기 서브-회로는 상기 양자 회로 내에서 M번 병렬로 함께 결합된다.

[0010] 일부 실시예에 따르면, N은 적어도 3이고, M은 적어도 3이다.

[0011] 일부 실시예에 따르면, 상기 양자 회로는 상기 복수의 서브-회로 각각 내에 제1 커패시터를 더 포함한다.

[0012] 일부 실시예에 따르면, 상기 양자 회로는 상기 복수의 서브-회로 각각 내에 적어도 하나의 인덕터를 더 포함한다.

[0013] 일부 실시예에 따르면, 상기 적어도 하나의 인덕터는 상기 회로 소자들 중 하나 이상을 포함한다.

[0014] 일부 실시예에 따르면, 상기 적어도 하나의 인덕터는 상기 하나 이상의 회로 소자와 구별되는 하나 이상의 인덕터를 포함한다.

[0015] 일부 실시예에 따르면, 상기 양자 회로는 상기 서브-회로들의 이웃하는 쌍들 사이에 각각 결합된 복수의 제2 커패시터를 더 포함한다.

[0016] 일부 실시예에 따르면, 상기 복수의 비선형 회로 소자는 실질적으로 서로 동일하다.

[0017] 일부 실시예에 따르면, 상기 양자 회로는 하이브리드 공통 모드(hybrid common mode)에서 상기 복수의 회로 소자를 동작시키도록 구성된다.

도면의 간단한 설명

[0018] 다양한 양태 및 실시예가 다음의 도면들을 참조하여 설명될 것이다. 도면들은 반드시 축척에 맞게 도시된 것은 아님을 이해해야 한다. 도면들에서, 다양한 도면에 도시된 각 동일하거나 거의 동일한 구성 요소는 동일한 번호로 표시된다. 명확하게 하기 위해 모든 구성 요소가 모든 도면에 표시된 것은 아닐 수 있다.

- 도 1은 예시적인 양자 증폭기의 성능을 도시하는 그래프;
- 도 2는 일부 실시예에 따라 양자 증폭 회로의 회로도;
- 도 3은 일부 실시예에 따라 조셉슨 접합을 포함하는 양자 증폭 회로의 회로도;
- 도 4a 내지 도 4c는 일부 실시예에 따라 도 3에 도시된 회로의 감소된 회로 표현을 도시하는 도면;
- 도 5는 일부 실시예에 따라 양자 증폭기의 이득을 나타내는 그래프;
- 도 6은 일부 실시예에 따라 인덕턴스에 기초하여 그리고 직렬로 함께 결합된 양자 증폭기 소자들의 수에 기초하여 양자 증폭기의 이득이 변하는 정도를 도시하는 3차원 윤곽도;
- 도 7a는 일부 실시예에 따라 회로의 2개의 상이한 병렬도(measure of parallelism)에서 양자 증폭기의 무한 이득점(infinite gain point) 대(versus) 양자 증폭기의 인덕턴스의 그래프;
- 도 7b는 일부 실시예에 따라 회로의 2개의 상이한 병렬도에서 양자 증폭기의 제1 커패시턴스 대 양자 증폭기의 인덕턴스의 그래프;
- 도 7c는 일부 실시예에 따라 회로의 2개의 상이한 병렬도에서 양자 증폭기의 분로(shunt) 커패시턴스 대 양자 증폭기의 인덕턴스의 그래프;
- 도 8은 일부 실시예에 따라 예시적인 양자 증폭기의 일부의 상면도 이미지; 및
- 도 9는 일부 실시예에 따라 함께 병렬로 연결된 다수의 서브-회로를 나타내는 예시적인 양자 증폭기의 일부의 상면도 이미지.

발명을 실시하기 위한 구체적인 내용

- [0019] 증폭기는 실험 대상으로부터 입력 신호를 수신하고 출력으로서 신호의 크기를 증가시킨다. 입력 신호는 통상적으로 하나 이상의 잡음 소스로부터 잡음 성분을 포함하고, 증폭기는 이 성분의 크기를 증가시키면서 그 출력에 새로운 잡음 소스를 도입할 수 있다. 효율적인 증폭기는 증폭된 신호를 잡음과 분리하는 것을 더 곤란하게 하는 너무 많은 잡음 출력을 도입하지 않고 입력(실험 대상으로부터 오는 신호)의 정보 적재 부분의 에너지를 증가시키는 작업을 수행한다. 증폭기의 "이득"은 입력에 대한 증폭기의 출력의 진폭을 (잡음을 포함하여) 증가시키는 것이고, 증폭기의 "대역폭"은 증폭기가 증폭된 출력을 생성할 수 있는 입력 주파수 범위이다.
- [0020] 양자 증폭기는 정보 보존 방식으로 양자 신호를 증폭하기 위해 양자 역학 기술을 사용하는 증폭기이다. 일부 경우에 양자 신호는 단지 수 개의 양자 여기(quantum excitation)(예를 들어, 광자)만을 포함할 수 있다. 양자 증폭기는 통상적으로 비선형 및 발산이 적은 회로 소자인 조셉슨 접합을 사용하였다. 이러한 소자는 양자 증폭기로서 동작될 수 있지만, 이들 장치의 동적 범위는 제한될 수 있다. 증폭기의 동적 범위는 효과적으로 증폭될 수 있는 최대 및 최소 입력 신호들 사이의 비율이며, 양자 증폭기가 이득 및 대역폭에 대해 높은 동적 범위를 갖는 것이 유리할 수 있다. 예를 들어, 상대적으로 낮은 동적 범위를 갖는 양자 증폭기는 3개 내지 5개의 광자에 대응하는 에너지를 포함하는 입력 신호를 증폭할 수 있을 뿐이어서, 양자 회로에서 이러한 장치의 사용을 제한할 것이다.
- [0021] 도 1은 예시적인 양자 증폭기의 성능을 도시한다. 도 1의 예에서는, 그래프(100)의 수평축(101)은 증폭기로의 전력 입력을 나타내고, 수직축은 증폭기로부터의 전력 출력을 나타낸다. 입력 전력은 하나 이상의 잡음 소스뿐만 아니라 측정 신호를 포함할 수 있다. 입력 전력(P_{NF})보다 낮은 증폭기 출력은 단지 잡음 플로어(noise floor)로 나타나는 잡음에 의해 지배된다. 양자 증폭기에서 잡음 플로어는 양자 측정에 고유한 물리량의 불확실성으로 인해 발생하며, 이상적인 양자 증폭기는 양자 잡음 플로어보다 더 큰 잡음을 생성하지 않는다. 양자 측정의 고유한 불확실성으로 인해 최소량의 잡음만을 추가하는 양자 증폭기는 때때로 "양자-제한된(quantum-limited)"이라고 지칭된다.
- [0022] 도 1의 예에서, 입력 전력 P_{NF} 와 P_C 사이의 구역(103)에서, 증폭기는 입력 전력에 선형적으로 스케일링되는 출력 전력을 생성한다. 그래프(100)의 이 구역의 기울기는 증폭기의 이득이다. 입력 전력(P_C)을 초과하면 증폭기는 압축 구역에서 선형 이득으로부터 벗어나기 시작하고, 최종적으로 증폭기 이득은 입력 전력(P_F)을 초과시에 단일 값(unity)("실패"라고도 지칭됨)으로 떨어지고 이 경우 입력 전력에 상관 없이 입력 전력이 일정하게 된다. 증폭기의 동적 범위는, 도시된 바와 같이, 증폭기가 잡음 플로어(입력 전력(P_{NF}))를 초과하는 출력을 생성하는 점

과 압축이 시작되는 점(입력 전력(P_c)) 사이의 전력의 차이이다. 이러한 각 점을 측정하는 데는 다양한 방법이 있으며, 도시된 도면은 동적 범위의 정의를 임의의 특정 기술로 제한하도록 의도된 것이 아니다. 예를 들어, P_c 는 증폭기가 이득에 따라 출력을 생성하고 있었던 경우의 출력 전력일 수 있었던 출력 전력보다 1dB 아래로 떨어진, 소위 "1dB 압축점"일 수 있다. 그러나, 이것은 동적 범위의 하나의 에지(edge)를 결정하는 단지 일례일 뿐이고, 일반적으로 임의의 적절한 기술이 사용될 수 있다.

- [0023] 본 발명자들은 다수의 양자 회로 소자들이 직렬 및 병렬로 배열된 회로를 생성함으로써 개선된 동적 범위를 갖는 양자 증폭기를 실현할 수 있다는 것을 인식하고 이해하였다. 양자 회로 소자들은 격리(in isolation)되어 사용될 때 증폭기로서 동작될 수 있지만, 개별적으로 소자가 나타낼 수 있는 것보다 더 큰 동적 범위를 갖는 증폭을 생성하기 위해 양자 회로 내에서 결합될 수 있다. 양자 회로 소자들이 직렬 및 병렬로 특정 방식으로 배열되는 것에 의해, 양자 회로의 이득 또는 대역폭을 희생시키지 않고, 증폭기로서 작용할 때 양자 회로가 원하는 동적 범위를 나타낼 수 있도록 튜닝될 수 있다.
- [0024] 일부 실시예에 따르면, 양자 회로 소자는 조셉슨 접합과 같은 비선형 회로 소자이다. 통상적으로 인덕터 및 커패시터와 같은 거시적 (비-양자적) 증폭기를 생산하는 데 사용되는 회로 소자들은 선형 구성 요소이어서 회로에서 이들을 조합하는 것이 일반적으로 예측 가능하고 모델링하기 쉽다. 그러나 증폭기로 동작될 수 있는 양자 소자들은 통상적으로 특성상 비선형이기 때문에 이들을 직렬이든 그리고/또는 병렬이든 회로에서 조합하는 것이 거시적 회로에서와 같이 간단하지 않다.
- [0025] 일부 실시예에 따르면, 양자 증폭기의 양자 회로 소자는 서로 실질적으로 동일하다. 소자들 사이의 차이를 감소시키면 장치의 각 부분이 다른 부분과 동일한 방식으로 작동하기 때문에 장치의 성능을 개선시킬 수 있다. 그러나 양자 회로 소자들은 서로 직접 결합되어 있기 때문에 이것은 이들 소자들을 하이브리드화(hybridize)하여 장치의 파라미터들이 변동하는 것을 방지한다. 따라서, 양자 회로 소자들은 이들 사이에 약간의 변동을 나타낼 수 있지만, 회로 내 직접 결합은 그 결과 성능 손실을 방지할 수 있다.
- [0026] 다음은 양자 증폭기를 생산하는 기술과 관련된 다양한 개념 및 실시예에 대한 보다 상세한 설명이다. 본 명세서에 설명된 다양한 양태가 다양한 방식 중 임의의 방식으로 구현될 수 있다는 것을 이해해야 한다. 특정 구현의 예는 설명의 목적으로만 본 명세서에 제공된다. 또한, 이하의 실시예들에서 설명된 다양한 양태는 단독으로 또는 임의의 조합으로 사용될 수 있으며, 본 명세서에 명시적으로 설명된 조합들로 제한되지 않는다.
- [0027] 도 2의 회로도에 도시된 예시적인 회로(200)에서, 서브-회로(210a)는 직렬로 함께 결합된 복수의 양자 회로 소자(211)를 포함한다. 서브-회로(210a)는 N개의 양자 회로 소자와 같이 직렬로 결합된 임의의 개수의 양자 회로 소자(211)를 포함할 수 있다. 본 명세서에서 사용된 바와 같이, "직렬로" 배열된 소자들이란 신호가 각 소자를 통해 흐르는 경로가 1개만 있도록 연결된 소자들을 지칭한다. 예를 들어, 도 2의 예에서, 서브-회로(210a) 내의 모든 소자(211)를 통해 단자(221)와 단자(222) 사이에 신호가 흐르는 경로는 단 하나뿐이다. 도 2의 비-제한적인 예에서, N = 4가 도시된다. 도 2의 예에서, 서브-회로(210a)에서 직렬로 결합된 양자 회로 소자(예를 들어, 소자(211))들은 서로 실질적으로 동일하지만, 일부 실시예에서 각 양자 회로 소자는 양자 증폭기의 성능을 개선시키기 위해 상이한 양자 회로 특성을 갖도록 선택적으로 튜닝될 수 있다.
- [0028] 도시되지는 않았지만, 도 2에서 서브-회로(210a)는, 도시된 양자 회로 소자들 이외에, 양자 회로 소자들과 직렬 및/또는 병렬로 배열될 수 있는 추가적인 커패시턴스, 인덕턴스 및/또는 저항을 나타내는 임피던스를 갖는 임의의 개수의 추가적인 회로 소자를 포함할 수 있다. 서브-회로(210a) 내의 추가적인 회로 소자들은, 예를 들어, 서브-회로 내 및/또는 서브-회로와 서브-회로 외부의 소자들 사이의 비-의도적인 기생(parasitic) 및/또는 표류(stray) 임피던스에 기여할 수 있다. 일부 실시예에서, 추가적인 회로 소자들은 양자 증폭기의 성능을 개선시키기 위해 선택적으로 튜닝된 임피던스를 갖는 것으로 의도적으로 도입될 수 있다.
- [0029] 도 2의 예에서 회로(200)는 임의의 적절한 전압 및/또는 전류 소스를 포함할 수 있는 소스(230)를 포함한다. 회로(200)는 서브-회로(210a)에 병렬로 연결된 소스 임피던스(220)(예를 들어, 저항기)를 더 포함한다. 본 명세서에 사용된 바와 같이, "병렬로" 배열된 소자들은 동일한 2개의 단자 사이에 모두 연결된 소자들을 지칭한다. 예를 들어, 도 2의 예에서, 서브-회로(210a)는 소스(230)의 2개의 단자(221 및 222)들 사이에 연결된다.
- [0030] 회로(200)는 소스(230)에 의해 제공되는 입력 소스 신호를 증폭할 수 있다. 예를 들어, 일부 실시예에서 소스(230)는 전류 소스일 수 있고, 이 전류 소스는 회로(200)의 나머지 부분에 인가될 때 회로(200)에 의해 비례적으로 증폭되는 입력 전류 신호를 포함할 수 있다. 소스(230)는 서브-회로(예를 들어, 210a) 내의 소자들의 동작을 위해 전력을 공급하기 위해 임의의 적절한 신호를 추가적으로 제공할 수 있다.

- [0031] 도 2의 예에서, 복수의 서브-회로(210a, 210b, ... 210n)는 병렬로 함께 결합된다. 임의의 개수의 서브-회로(210)가 도 2에 도시된 바와 같이 M개의 서브-회로와 같이 병렬로 함께 결합될 수 있다. 도 2의 예에서, 서브-회로들은 서로 실질적으로 동일하지만, 일반적으로 이것이 반드시 그러해야 하는 것은 아니다. M개의 서브-회로 각각은 도 2의 예에서 직렬로 연결된 N개의 양자 회로 소자를 포함하여 $N \times M$ 개의 양자 회로 소자의 2차원 네트워크가 함께 하이브리드화되게 한다. 각 서브-회로는 또한 동일한 입력 신호를 증폭할 뿐만 아니라 소스(230)로부터 임의의 적절한 전력 공급 신호를 수신하기 위해 전류 소스(230) 및 소스 임피던스(220)와 병렬로 결합된다. $N \times M$ 개의 실질적으로 동일한 양자 회로 소자의 2차원 네트워크가 도시되어 있지만, 본 발명자들은, 각 직렬 서브-회로 내의 소자들이 상이한 양자 회로 특성을 갖도록 튜닝될 수 있고, 상이한 개수의 직렬 소자들이 양자 증폭기의 성능을 개선시키기 위해 각 병렬 서브-회로에 제공될 수 있다는 것을 인식하였다.
- [0032] 도 3은 일부 실시예에 따라 조셉슨 접합을 포함하는 양자 증폭 회로의 회로도이다. 도 3에 도시된 회로(300)는 도 2에 도시된 회로(200)의 일례이고, 여기서, 양자 회로 소자들은 조셉슨 접합이고, 커패시터 및 인덕터를 포함하는 다수의 추가적인 회로 소자들이 또한 이 회로 내에 포함되며, 이들 중 일부는 회로(300)의 서브-회로 내에 포함된다.
- [0033] 도 3의 회로도에는 회로(300) 내의 서브-회로(310a)의 예시적인 예를 도시한다. 서브-회로(310a)는 직렬로 연결된 양자 회로 소자들로서 N개의 동일한 조셉슨 접합(311)의 어레이를 포함한다. 각 조셉슨 접합은 조셉슨 에너지(E_J)를 갖고, 각 개별 조셉슨 접합에 걸친 게이지-불변 조셉슨 위상 차이는 1차 자기 공진 모드에서 φ/N 이며, 여기서 φ 는 조셉슨 접합의 전체 직렬 어레이에 걸친 총 조셉슨 위상 차이이다. 조셉슨 접합(311)의 어레이는 집합적으로 전류 $I = I_0 \sin(\frac{\varphi}{N})$ (도시되지 않음)를 제공하며, 여기서 I_0 는 각 조셉슨 접합의 임계 전류이다. 일부 실시예에서, 조셉슨 접합은 비-발산성일 수 있다.
- [0034] 도 3의 예에서, 서브-회로(310a)는 N개의 조셉슨 접합의 어레이의 양 단부에 직렬로 결합된 2개의 인덕턴스(L)(313)를 포함한다. L은 표류 인덕턴스일 수 있고 또는 일부 실시예에서 양자 증폭기의 성능을 튜닝하도록 선택된 값을 갖는 의도적인 인덕턴스일 수 있다. 도 3의 서브-회로(310a)는 또한 인덕턴스(L), 조셉슨 접합의 어레이 및 제2 인덕턴스(L)를 포함하는 직렬 어레이의 양단을 분로하도록 선택된 값을 갖는 분로 커패시턴스(C_s)(314))를 더 포함하여, 조셉슨 접합의 공진 특성을 튜닝하여 양자 증폭기의 성능을 개선시킬 수 있다.
- [0035] 도 3의 예에서, 서브-회로(310a) 내 인덕턴스(L), 조셉슨 접합들의 어레이, 및 제2 인덕턴스(L)를 포함하는 직렬 어레이의 각 단부 상에 2개의 커패시턴스(C_a)(315)가 각각 사용되어, 이 서브-회로를 전류 소스(I(t)) 및 소스 저항(R)에 병렬로 결합시킨다. 전류 소스(I(t))는 증폭될 입력 신호에 기초한 성분을 포함할 뿐만 아니라, 서브-회로(210a) 내 비선형 조셉슨 접합 발전기의 증폭기 이득을 파라미터로 조정하기 위해 펌프 신호 성분을 포함한다.
- [0036] 도 3의 예에서 M개의 서브-회로(310a, 310b, ... 310n)가 병렬로 함께 결합된다. 병렬로 결합된 M개의 서브-회로 각각은 $N \times M$ 조셉슨 접합의 2차원 네트워크가 함께 하이브리드화되도록 직렬로 연결된 N개의 조셉슨 접합을 포함한다. 도 3의 예에서, 각 서브-회로는 동일한 입력 신호를 증폭할 뿐만 아니라 소스(I(t))로부터 임의의 적절한 펌프 신호를 수신하기 위해 서브-회로의 각 측에 있는 커패시턴스(C_a)를 통해 전류 소스(I(t)) 및 소스 저항(R)과 병렬로 결합된다.
- [0037] 도 3의 예에서, 각 서브-회로는 2개의 커패시턴스(C_c)를 통해 인접한 서브-회로에 결합된다. 일부 실시예에서, C_c 는 서로 공간적으로 근접한 서브-회로들 사이의 비-의도적 기생 커패시턴스일 수 있다. 일부 경우에, 이것이 그러한 경우인지 여부는 서브-회로의 제조 방법에 의존할 수 있다. 일부 실시예에서, 증폭 프로세스 동안, C_c 는, 모든 조셉슨 접합에서 동작하는 공통 모드(common mode)로부터 다른 모드들을 격퇴(repelled)하는 기능을 할 수 있고, 모든 다른 모드들이 더 낮은 주파수로 격퇴될 때 모든 다른 모드들은 증폭 프로세스로부터 배제된다.
- [0038] 도 3에 본 발명의 일 실시예의 예시적인 회로도를 기술하였으나, 도 4는 일부 실시예를 예시하기 위해 분석의 용이함을 위해 도 3의 회로도의 감소된 회로 표현의 시퀀스를 도시한다.
- [0039] 도 4a는 도 3의 회로도의 상부 절반 부분(316)의 회로 소자들을 나타내는 감소된 회로이다. 도 4a는 병렬로 동일한 개수의 M개의 서브-회로를 포함하고, 각 서브-회로는 단 하나의 인덕턴스(L)와 직렬인 N/2개의 조셉슨 접

합, 값($2C_s$)을 갖는 분로 커패시턴스, 및 단 하나의 커패시턴스(C_a)를 포함하며, 여기서 단 하나의 커패시턴스(C_a)는 각 서브-회로의 제1 단자(431)를 전류 소스($I(t)$) 및 소스 저항($R/2$)의 단자(421)에 더 연결한다. 각 서브-회로의 제2 단부(432)는 접지로 표시되고, 도 3의 회로의 수평 중간-평면(315)과 비교될 수 있다. 도 3의 회로도에는 중간-평면(315)에 대해 대칭이기 때문에, 도 3의 예에서 중간-평면 위의 부분(316)에 있는 각 소자에 대한 전류 및 전압과 같은 회로 파라미터들은 중간-평면의 반대쪽에 있는 대응하는 소자들의 파라미터와 동일하다. 그리하여, 도 3의 전체 회로의 성능 특성을 분석하기 위해 도 3의 회로의 하나의 절반부에 있는 소자들을 본질적으로 포함하거나, 또는 C_s , R 및 $I(t)$ 의 경우에 이 소자들의 등가 분할물을 본질적으로 포함하는 도 4a의 감소된 회로의 회로 파라미터들을 분석하는 것만으로 충분할 수 있다. $(N/2) \times M$ 개의 조셉슨 접합을 포함하는 도 4a의 감소된 회로를 분석하면 회로 분석의 복잡성을 감소시킬 수 있다.

[0040] 도 4a의 감소된 회로 표현의 M개의 병렬 서브-회로는 더 감소될 수 있다. 도 4a의 예에서 M개의 병렬 서브-회로 각각은 실질적으로 서로 동일하기 때문에, 각 서브-회로 내의 회로 파라미터들에 대한 해는 또한 실질적으로 동일할 수 있고, 또는 다시 말해 각 서브-회로는 나머지 서브-회로와 공통 모드에 있다. 단 하나의 대표적인 서브-회로를 분석하면 도 4a 또는 도 3의 전체 회로를 해결할 만큼 충분한 정보를 제공할 수 있다. 도 4b의 예에서, $N/2$ 직렬 연결된 조셉슨 접합, 인덕턴스(L), 분로 커패시턴스($2C_s$) 및 연결 커패시턴스(C_a)만을 포함하는 감소된 서브-회로가 소스 임피던스($MR/2$)의 등가 분할물에 연결된 것으로 도시되어 있다. 이 소스 임피던스는, 이들 중 M개가 병렬로 결합될 때, 도 4a에서 $R/2$ 의 등가 저항이 재생산되도록 분할된다.

[0041] 도 4c는, 임피던스(C_a , $2C_s$ 및 $MR/2$)를 등가 임피던스(C' 및 R')로 변환함으로써 도 4b의 단일 서브-회로를 나타내는 또 다른 예시적인 감소된 회로를 도시한다. 도 4c의 감소된 회로는, 도 3의 예시적인 실시예에 있는 원래의 회로보다 더 적은 개수의 소자들을 포함하고 분석하기에 더 간단하다. 임피던스(L , C' 및 R')와 직렬인 $(N/2)$ 개의 직렬 결합된 조셉슨 접합만이 도 4c에 존재한다. 도시되지는 않았지만, C' 및 R' 에 대한 값은 도 3의 원래의 회로에 배열된 M개의 병렬 서브-회로의 병렬도(M)에 의존한다. 도 4c의 감소된 표현을 통해 도 3의 회로를 분석하는 것을 돕기 위해, 일부 경우에 입력 전류 소스가 도 4c의 회로에 포함될 수 있다. 도 4c의 감소된 단일 서브-회로에 비선형 양자 회로 분석을 수행하고 그 결과를 M배 조합하면, 도 3의 실시예에 도시된 바와 같이 N개의 직렬 및 M개의 병렬 조셉슨 접합 어레이로부터 전체 양자 증폭기 회로 응답을 결정할 수 있다.

[0042] 일부 실시예에서, 비선형 양자 회로에 대한 회로 해밀토니안(Hamiltonian)을 결정하면, 양자 회로가 증폭기로서 수행할 수 있는 정도 및 키(key) 증폭기 특성이 회로 해밀토니안에 의해 지시된 바와 같이 양자 회로의 비선형성에 의존할 수 있는 정도를 정량화할 수 있다. 도 4c에 도시된 감소된 양자 회로 모델에 대한 비선형 유효 회로 해밀토니안은 양자 역학과 조합하여 회로 분석을 사용하여 다음 수식으로 유도될 수 있다:

[0043]
$$\mathcal{H} = \hbar\omega a^\dagger a - \beta(a + a^\dagger)^4 \quad (\text{수식 1})$$

[0044] 여기서 비선형 인자(factor)는,

[0045]
$$\beta = \frac{(\hbar\omega)^2}{24N^2\phi_0^2} \frac{L_J p^2}{M} \quad (\text{수식 2})$$

[0046] 이다.

[0047] 수식 1에서, \hbar 는 감소된 플랑크 상수이고; ω 는 도 4c에 도시된 회로의 발진 모드의 주파수이고; a^\dagger , a 는 각각 생성 연산자 및 소멸 연산자이다. 수식 2에서, N 및 M 은 도 3의 예에서 조셉슨 접합의 $N \times M$ 네트워크에서 직렬 조셉슨 접합의 수 및 조셉슨 접합의 병렬 서브-회로의 수이고, ϕ_0 는 자속 양자이고,

$L_J = L_J(N/2)$ 는 도 4c의 감소된 회로도에서 직렬 결합된 $N/2$ 조셉슨 접합의 총 조셉슨 접합 인덕턴스이고, 여기서 각 조셉슨 접합은 $L_J = \phi_0^2/E_J$ 의 조셉슨 접합 인덕턴스를 갖고, E_J 는 각 조셉슨 접합의 구성에 따라 튜닝될 수 있는 각 접합의 조셉슨 에너지이다. p 는 도 4c의 예시적인 회로도의 총 인덕턴스에 대하여 동일한 회로 내의 $N/2$ 개의 직렬 결합된 조셉슨 접합으로부터의 인덕턴스의 참가 비율(participation ratio)이고, 다음 수식으로 정의된다:

$$p = \frac{L_J}{L + L_J} \quad (\text{수식 3})$$

[0048]

[0049] 여기서, L은 도 4c에 도시된 인덕턴스이다.

[0050] 도 4c의 감소된 회로의 발진기 주파수는, 회로 해밀토니안에 기초하여,

$$\omega = \sqrt{\frac{p}{L_J C'}} \quad (\text{수식 4})$$

[0051]

[0052] 이고, 여기서 C'는 도 4c의 예에서 등가 커패시턴스이다.

[0053] 회로 해밀토니안에 기초한 발진기의 품질 인자(Q)는,

$$Q = 1/(\omega R' C') \quad (\text{수식 5})$$

[0055]

이고, 여기서, R'은 도 4c의 예에서 유효 저항이다. ω 및 Q는 모두 수식 4 및 수식 5에 따라 C' 및/또는 R'의 함수이다. 도 4c에 도시된 바와 같이 C' 및 R'는 모두 도 4b에 도시된 바와 같이 2개의 독립적인 변수(C_a 및 $2C_s$)를 포함하는 회로로부터 변형된 유효 임피던스이므로, 도 3의 예에서 양자 증폭기 회로와 같은 양자 회로를 구성하는 동안 C_a 및 $2C_s$ 의 각 값을 조정하면, 양자 증폭기의 ω 및 Q를 양자 증폭기의 성능을 개선시키는 임의의 적절한 값으로 독립적으로 튜닝할 수 있다.

[0056]

위에서 설명된 바와 같이 증폭기의 동적 범위는 효과적으로 증폭될 수 있는 최대 및 최소 입력 신호들 사이의 차이이고, 양자 증폭기는 이득 및 대역폭에서 높은 동적 범위를 갖는 것이 유리할 수 있다. 일부 실시예에서, 양자 증폭기로의 입력 신호의 전력은, 예를 들어, 도 3의 예에서 전류 소스(I(t))의 펄스 신호에서 신호 입력 소스의 광자의 수(n_p)로 나타낼 수 있다.

[0057]

일부 실시예에서, 비선형 파라미터 증폭기로부터 이득은 입력 신호의 전력에 의존할 수 있다. 도 5에서 곡선 (501)은 예시적인 비선형 조셉슨 접합 양자 증폭기에서 입력 전력(n_p)의 함수로서의 이득을 나타낸다. 도 5에 도시된 바와 같이, 비선형 양자 증폭기 이득은 n_p 가 무한 이득점(n_∞)에 접근할 때까지 n_p 가 증가함에 따라 초선형적으로 증가하고, 이 점 후에는 이득($-n_p$) 관계는 적용되지 않는다. 광자의 수(n_∞)에 대한 무한 이득점은 도 5의 예에서 양자 증폭기에 의해 특정 이득으로 효과적으로 증폭될 수 있는 입력 신호 전력의 최대 양을 나타낸다. 따라서 0으로부터 n_∞ 까지의 입력 신호 전력은 양자 증폭기의 동적 범위를 나타내고, n_∞ 는 동적 범위를 나타내는 성능 지수로 사용될 수 있다. 그리하여, 일반적으로 말하면, 큰 동적 범위를 갖기 위해 양자 증폭기가 더 큰 n_∞ 를 갖는 것이 바람직할 수 있지만, 아래에서 논의된 바와 같이, 특정 값을 초과하면 특정 불리한 효과가 이익을 증가할 수 있는 n_∞ (이하 논의된 n_c)의 특정 값이 존재할 수 있다.

[0058]

일부 실시예에서, n_∞ 의 값은 발진기 공진 주파수(ω)의 시프트가 라인 폭과 같을 때 정의될 수 있다. 수식 1의 형태로 회로 해밀토니안을 갖는 비선형 양자 증폭기의 경우, n_∞ 는 다음 수식, 즉

$$1 - \frac{\partial_n E_n |_{n_\infty}}{\hbar \omega} = \frac{1}{4Q} \quad (\text{수식 6})$$

[0059]

[0060] 이 만족될 때 발생하고, 여기서, E_n 은 입력 신호 에너지로서 광자 수(n)로 펌핑되는 단일 고조파 발진기 고유 상태에 대한 공진 에너지인 반면, $\hbar \omega_0$ 는 발진기의 기본 모드(fundamental mode)의 에너지이다.

[0061]

수식 1의 회로 해밀토니안을 사용하여 수식 6을 풀면,

$$n_\infty = \frac{MN^2 \phi_0^2}{Q \hbar \omega L_J p^2} - \frac{1}{2} \quad (\text{수식 7})$$

[0062]

[0063] 이 된다. 그리하여, 수식 7에 따라 L, C_a 및 $2C_s$ 와 같은 다른 회로 파라미터들과 함께, 직렬 접합 수(N) 및 병렬

도(M)가 양자 증폭기의 동적 범위를 개선하기 위해 n_{∞} 의 값을 튜닝하도록 선택될 수 있다. 전술한 바와 같이, 궁극적인 목표는 도 3의 회로(300)에 대해 L , C_a , C_c 및 C_s 의 적절한 값을 선택하는 것이지만, 도 4a 내지 도 4c에 도시된 감소된 표현은 본 명세서에 설명된 바와 같이 단순화된 분석을 허용하는데 도움이 된다.

[0064] 일부 실시예에서, 특정 광자 수를 초과시 비선형 양자 증폭기가 쌍안정 상태에 들어가서 효과적인 증폭을 하는데 부적절하게 될 수 있는, 특정 광자 수(n_c)로 표시되는 특정 입력 전력 값이 존재할 수 있다. 도 5의 예에서, n_c 보다 더 큰 입력 전력(n_p)을 갖는 신호는 더 이상 안정적으로 증폭되지 않을 것이다. $n_{\infty} < n_c$ 일 때, 동적 범위는 n_{∞} 와 동일하고; $n_{\infty} > n_c$ 일 때 동적 범위는 n_c 로 제한된다. 따라서, 본 명세서에 설명된 바와 같이 회로를 튜닝하면 n_{∞} 가 n_c 를 초과하여 상승하지 않는 것을 보장하면서도 n_{∞} 로 표현되는 동적 범위를 최대화할 수 있다.

[0065] 도 4c의 예시적인 회로에서, n_c 는 조셉슨 위상의 평균 값이 $N/2$ 직렬 조셉슨 접합 어레이의 각 접합에 걸처

$\langle \frac{2\Phi}{N\phi_0} \rangle = \pi/2$ 만큼 변할 때 도달되고, 여기서 Φ 는 조셉슨 접합의 전체 직렬 어레이에 걸친 총 자속이다. 도 4c의 감소된 회로도들 풀면,

$$n_c = \frac{(N\pi\phi_0)^2 M}{32\hbar\omega L_J p} \quad (\text{수식 8})$$

[0066] 이 된다. 그리하여, 수식 8에 따라, L , C_a 및 $2C_s$ 와 같은 다른 회로 파라미터들과 함께 직렬 접합 수(N)와 병렬도(M)가 n_c 의 값을 튜닝하기 위해 선택될 수 있다. 일부 실시예에서, 양자 증폭기의 동적 범위를 개선하기 위해, 회로 파라미터(N , M , L , C_a , C_c 및/또는 C_s)는 n_{∞} 의 값이 n_c 의 값을 초과함이 없이 최대 되도록 집합적으로 튜닝될 수 있다.

[0068] 도 6은, $M = 1$ 이고 각 조셉슨 접합에 대한 임계 전류 $I_0 = 5 \mu A$ 인 실시예에서, 도 4c의 예시적인 회로도에 도시된 회로 인덕턴스(L) 및 직렬 접합 수(N)의 함수로서 n_{∞} 의 계산된 3차원 윤곽도를 도시한다. N 개의 직렬 조셉슨 접합의 각 주어진 어레이에서 L 을 증가시키면 수식 3 및 수식 7의 결과 n_{∞} 가 증가한다. 한편, 인덕턴스(L)를 고정시킨 상태에서, 0에 가까운 L 에 대해 N 이 증가함에 따라 n_{∞} 및 이에 따라 동적 범위가 증가한다. 그러나, 도 6의 예에서, L 의 다른 값들에 대해, N 이 1로부터 증가할 때 n_{∞} 는 먼저 감소하고 나서, 이후 N 이 증가함에 따라 점진적으로 증가한다. 이러한 결과는 종래의 선형 증폭기의 직렬 결합과 개별 조셉슨 접합과 같은 비선형 양자 증폭기의 직렬 결합 사이의 차이를 나타낸다. N 개의 직렬 결합된 동일한 선형 증폭기에 인가된 총 부하 전압 (V)을 갖는 종래의 회로에서, 각 선형 증폭기는 감소된 부하 부분(V/N)을 수신한다. 각 개별 선형 증폭기가 0 내지 V_i 의 동적 범위를 갖는다면 N 개의 직렬 결합된 선형 증폭기의 동적 범위는 NV_i 가 될 것이고, 이는 더 높은 수의 N 을 추가하는 경우 증가될 것이다. 한편, N 개의 직렬 결합된 비선형 조셉슨 접합 증폭기 어레이의 어레이에서 각 개별 조셉슨 접합에 걸친 조셉슨 위상 차이가 총 위상차 Φ 의 일부인 Φ/N 이라 할지라도, 이 어레이의 동적 범위는, 고전 선형 회로에는 적용되지 않는 양자 조셉슨 접합 인덕턴스(L_J)와 (수식 7의 유도성 참가 비율(p)로 표현된) 회로 인덕턴스(L) 사이의 상호 작용으로 인해, 도 6의 예에서 상기 분석이 예시하는 바와 같이 N 에 따라 증가하거나 감소할 수 있다.

[0069] 도 7a에서 $M = 1$ 의 곡선(701)은 도 6의 윤곽도의 횡단면도에 대응한다. 이 예에서, N 은 5개의 직렬 접합에 고정된다. 인덕턴스(L)에 대한 적절한 값은 도 7a에 도시된 n_{∞} 대(versus) L 의 관계에 기초하여 선택될 수 있다. 일부 실시예에서, 직렬 연결된 조셉슨 접합들의 다수의 서브-회로는 n_{∞} 의 값의 더 높은 범위를 제공하도록 병렬로 연결될 수 있다. 도 7a의 예에서, $M = 5$ 의 곡선(702)은, 병렬도(M)를 5로 증가시키고 5개의 어레이를 병렬로 결합하여 조셉슨 접합 증폭기의 5×5 네트워크를 형성함으로써, 동적 범위 또는 n_{∞} 가 $L = 2.0$ nH의 인덕턴스에 대해 최대 3.1×10^3 으로 튜닝될 수 있어서, 이에 따라 단 1개의 조셉슨 접합 직렬 어레이만이 사용될 때 달성되는 $L = 2.0$ nH에서 $n_{\infty} = 0.6$ 보다 더 높은 것을 도시한다. 따라서 M 및/또는 N 의 값을 튜닝하면 n_{∞} 가 n_c 값을 초과하지 않고 개선된 동적 범위를 형성할 수 있다.

$$\frac{\omega_0}{2\pi} = 10 \text{ GHz}$$

[0070] 도 7b의 예에서, 발진기 기본 주파수(fundamental frequency)는 품질 인자 $Q = 100$ 을 갖는 에서 선택되고, 이는 도 4c의 예시적인 회로도에 대한 수식 4 및 수식 5에서 한정된 C' 및 R' 의 값에 특정 제한을 설정하고, 그리하여 도 4b에 도시된 커패시턴스(C_a 및 $2C_s$)에 대한 값을 선택하는데 특정 제한을 설정한다. 도 7b의 예에서 $M = 1$ 의 곡선(721)은 5개의 직렬 접합과 1개의 직렬 접합을 병렬로 갖는 조셉슨 접합 증폭기의 어레이에서 C_a 및 L 의 선택 사이의 관계를 도시한다. 도 7b의 예에서 $M = 5$ 의 곡선(722)은 $M = 5$ 인 병렬 어레이를 포함하도록 병렬도를 확장하면 주어진 L 에 대해 더 작은 C_a 값을 형성할 수 있는 것을 보여준다. 따라서 일부 실시예에서, 추가적인 병렬 서브-회로들이 구성될 때 더 작은 커패시터(C_a) 값이 선택될 수 있다. 본 발명자들은, 도 7b의 예에서 음영 영역으로 도시된 바와 같이 예를 들어 20 fF보다 더 작은 커패시턴스 값을 갖는 작은 커패시터는 양자 회로 소자들을 포함하는 장치에서 제조하는 것을 더 곤란할 수 있다는 것을 인식하였다. 그리하여 임의의 적절한 반도체 제조 기술이 양자 증폭기의 성능을 개선하기 위해 튜닝된 커패시턴스 값을 갖는 구조물을 제조하는데 사용될 수 있다.

$$\frac{\omega_0}{2\pi} = 10 \text{ GHz}$$

[0071] 도 7b의 예와 유사하게 도 7c의 예는, 도 7c는 기본 주파수 및 품질 인자 $Q = 100$ 을 갖는 발진기에서 분로 커패시턴스(C_s)와 인덕턴스(L)의 값들 사이의 관계를 도시한다. 도 7c의 예에서 $M = 1$ 의 곡선(741)과 $M = 5$ 의 곡선(742)은 주어진 L 에서 C_s 의 선택이 도 7b의 예에 도시된 C_a 와 같은 병렬 접합의 수(M)만큼 민감하지 않다는 것을 보여준다. 도 7c에 따라 L 이 더 커질 때 더 작은 C_s 가 사용될 수 있기 때문에, 일부 실시예에서, 추가적인 인덕턴스를 갖는 조셉슨 접합들의 어레이를 사용함으로써 실리콘 질화물을 포함하는 분로 커패시터의 사용이 제거될 수 있다.

[0072] 도시되지는 않았지만, 도 4c의 회로도에서 각 조셉슨 접합에 고유(intrinsic) 접합 커패시턴스(C_j)를 추가하면 도 7c의 계산된 결과에 매우 작은 변동이 발생된다. 따라서 고유 어레이 커패시턴스(C_j)를 포함하면 분로 커패시턴스(C_s)를 선택하는데 매우 약간만 영향을 미친다.

[0073] 도 8은 $N = 5$, $M = 1$ 을 갖는 비선형 조셉슨 접합 증폭기(800)의 예시적인 어레이의 상면도를 도시한다. 도 8의 예에 따라 직렬 조셉슨 접합 어레이(810) 내 5개의 조셉슨 접합(811) 각각은 임계 전류 $I_0 = 6 \mu\text{A}$ 를 가질 수 있다. 도 8의 직렬 조셉슨 접합 증폭기(800)는 위와 아래에 배치된 2개의 곡류형(meandering) 와이어 인덕터(813)를 인덕턴스(L)로서 더 포함한다. 분로 커패시터(C_s)(814)는 직렬 어레이 및 인덕터와 병렬로 배치된다. 2개의 분로 커패시터(C_a)(815)는 직렬 접합 어레이(810)와 인덕터(813)를 도 8의 회로(800)의 2개의 단부에 배치된 2개의 접촉 패드(816)에 연결한다. 커패시터(C_a)의 길이가 $700 \mu\text{m}$ 인 것으로 도시되어 있지만, 임의의 적절한 치수가 커패시턴스(C_a 및 C_s)를 구성하는데 사용될 수 있다.

[0074] 도 9는 $M = 3$ 을 갖는 비선형 조셉슨 접합 증폭기(900)의 예시적인 어레이의 상면도를 도시한다. 도 9의 예에 따라, 인접한 서브-회로(예를 들어, 910a 및 910b)들은 서로 고정된 거리를 두고 이격되어 있다. 이 거리로 $50 \mu\text{m}$ 가 사용되지만, 공통 모드 이외의 모드들을 제거하기 위해 결합 커패시턴스(C_c)를 구성하기 위해 임의의 적절한 간격이 사용될 수 있다.

[0075] 본 발명의 적어도 하나의 실시예에 대한 일부 양태를 설명하였으므로, 다양한 변경, 수정 및 개선이 이 기술 분야에 통상의 지식을 가진 자에게 용이하게 일어날 수 있는 것으로 이해된다.

[0076] 이러한 변경, 수정 및 개선은 본 명세서의 일부인 것으로 의도되고, 본 발명의 사상과 범위 내에 있는 것으로 의도된다. 또한, 본 발명의 장점이 지시되었지만, 본 명세서에 설명된 기술의 모든 실시예가 설명된 모든 장점을 포함하는 것은 아닐 수 있는 것으로 이해된다. 일부 실시예는 본 명세서에서 유리한 것으로 설명된 임의의 특징을 구현하지 않을 수도 있고, 일부 경우에 설명된 특징들 중 하나 이상을 구현하여 추가적인 실시예를 달성할 수도 있다. 따라서, 전술한 설명 및 도면은 단지 예시일 뿐이다.

[0077] 본 발명의 다양한 양태는 단독으로, 조합하여, 또는 전술한 실시예들에서 구체적으로 논의되지 않은 다양한 배열로 사용될 수 있으며, 따라서 그 적용이 상기 설명에 제시되거나 도면에 도시된 구성 요소들의 상세 및 배열로 제한되지 않는다. 예를 들어, 일 실시예에서 설명된 양태들은 다른 실시예에서 설명된 양태들과 임의의 방식

으로 결합될 수 있다.

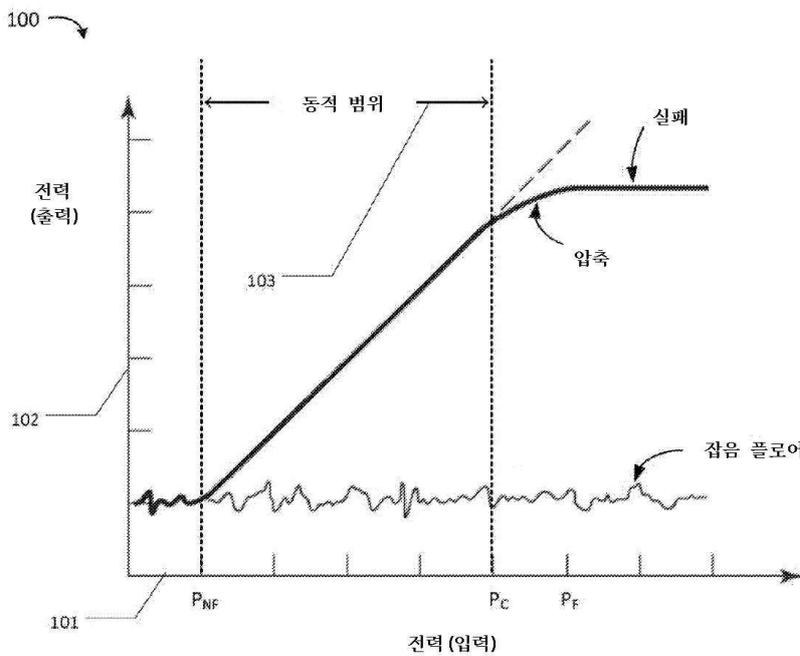
[0078] 또한, 본 발명은 일례가 예시로서 제공된 방법으로서 구현될 수 있다. 방법의 일부로 수행된 동작은 임의의 적절한 방법으로 순서화될 수 있다. 따라서, 도시된 실시예에서는 순차적인 동작인 것으로 도시되어 있으나, 일부 동작을 동시에 수행하는 것을 포함할 수 있는, 예시된 것과는 상이한 순서로 동작들이 수행되는 실시예를 구성할 수 있다.

[0079] 청구범위에서 "제1", "제2", "제3" 등과 같은 서수 용어를 사용하여 청구범위의 구성 요소를 수식하는 것은 그 자체로 방법 동작이 수행되는 시간적 순서 또는 하나의 구성 요소에 대해 다른 구성 요소의 우선 순위, 우선권 또는 순서를 나타내는 것이 아니고, 단지 특정 명칭을 갖는 하나의 청구항 구성 요소를 동일한 명칭을 갖는 (그러나 서수 용어를 사용하는) 다른 청구항 구성 요소와 구별하여 청구항 구성 요소를 구별하기 위한 라벨로서 사용된 것이다.

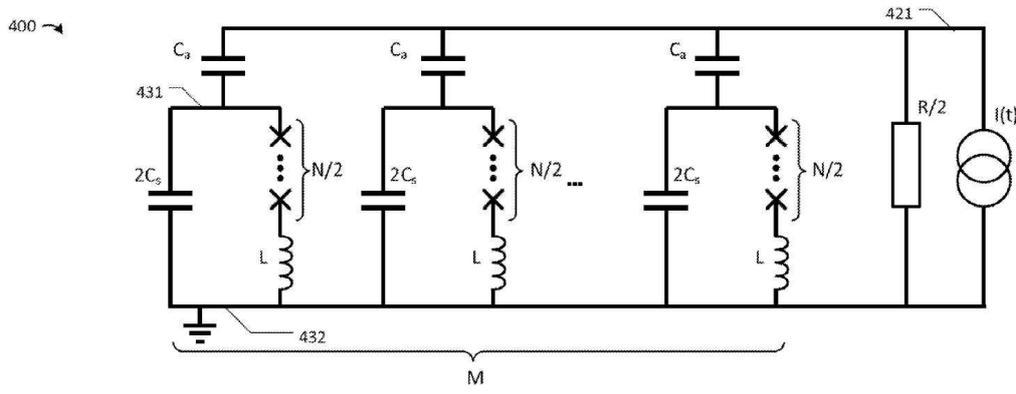
[0080] 또한, 본 명세서에서 사용된 어구 및 용어는 설명의 목적을 위한 것이며 본 발명을 제한하는 것으로 고려되어서는 안 된다. 본 명세서에서 "포함하는", "구비하는" 또는 "갖는", "함유하는", "수반하는"이라는 용어와 그 파생어는 그 이후 열거된 항목 및 그 등가물뿐만 아니라 추가적인 항목을 포함하는 것을 의미한다.

도면

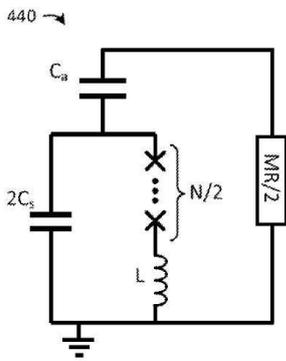
도면1



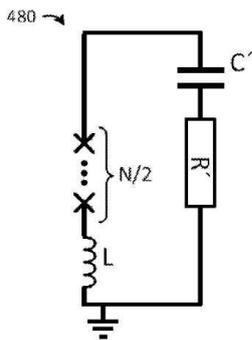
도면4a



도면4b

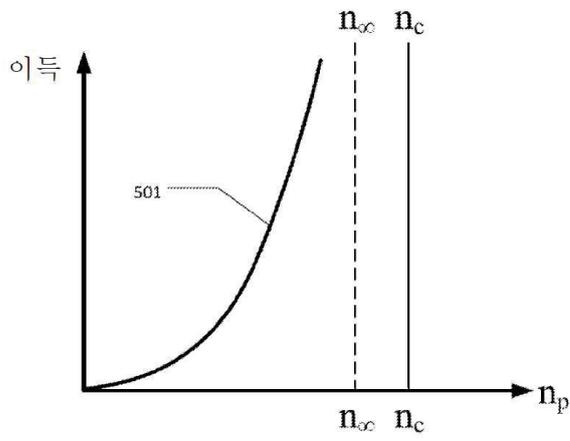


도면4c



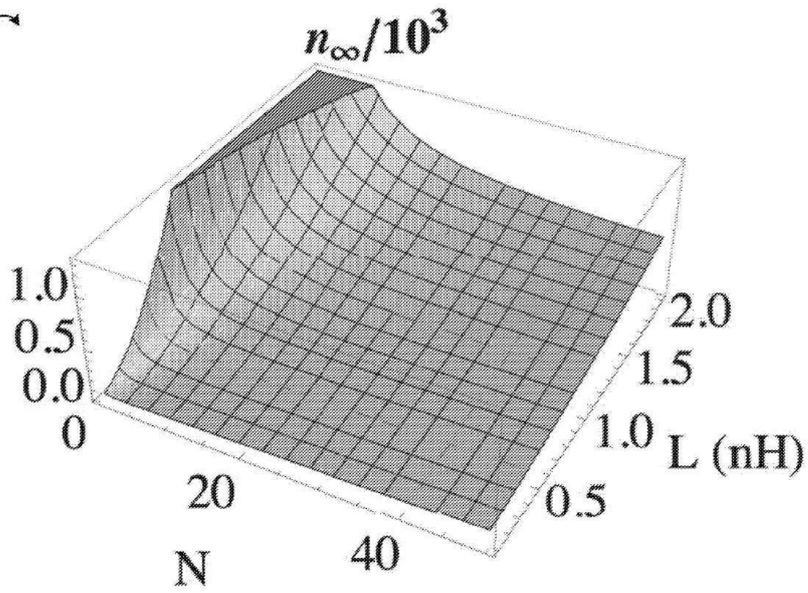
도면5

500 →

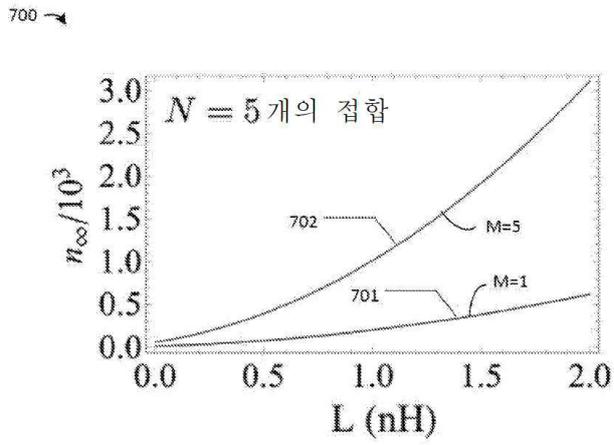


도면6

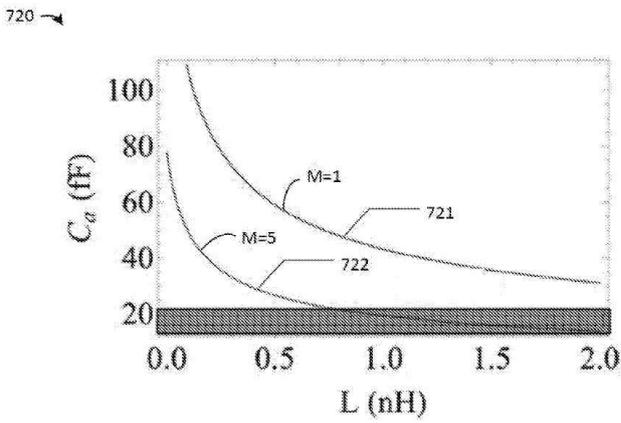
600 →



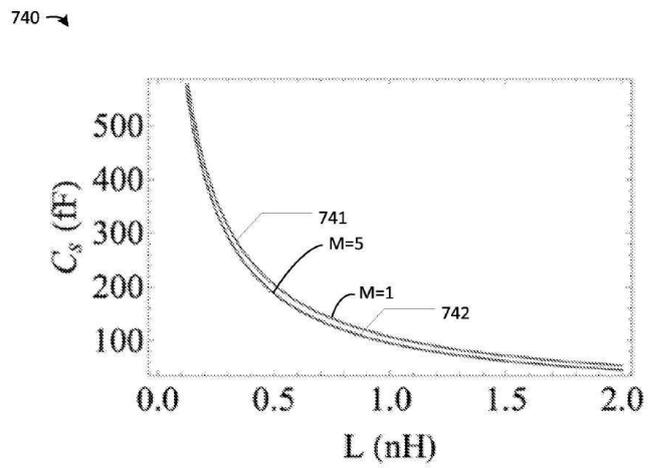
도면7a



도면7b

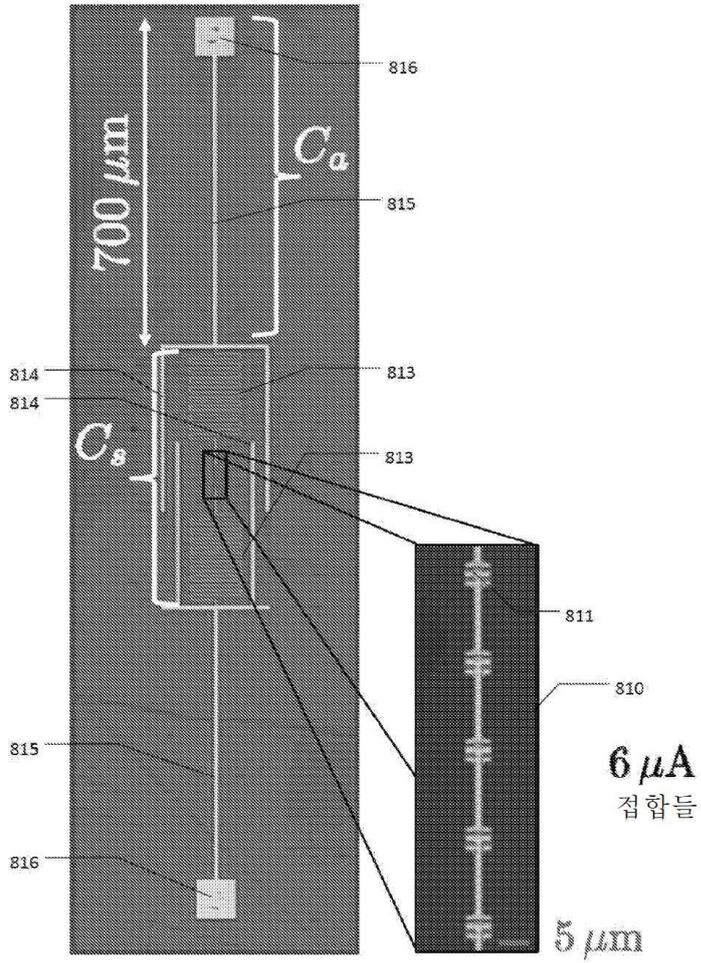


도면7c



도면8

800 ↗



도면9

900 ↙

