



(12)发明专利

(10)授权公告号 CN 104253159 B

(45)授权公告日 2017.06.13

(21)申请号 201410409198.9

(22)申请日 2014.08.19

(65)同一申请的已公布的文献号

申请公布号 CN 104253159 A

(43)申请公布日 2014.12.31

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 龙春平 梁逸南

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 彭瑞欣 陈源

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 27/12(2006.01)

H01L 21/336(2006.01)

(56)对比文件

CN 103219391 A,2013.07.24,说明书第4页  
第66-72段,第83-84段及图3.

CN 104022077 A,2014.09.03,说明书第6页  
第70段至第7页第85段,第8页第88段至第10页第  
108段及图12.

CN 101241937 A,2008.08.13,全文.

CN 102280488 A,2011.12.14,全文.

US 2010140706 A1,2010.06.10,全文.

审查员 周天微

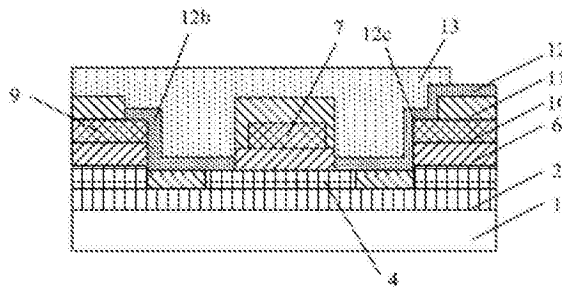
权利要求书4页 说明书14页 附图6页

(54)发明名称

薄膜晶体管及制备方法、阵列基板及制备方  
法和显示装置

(57)摘要

本发明属于显示技术领域,具体涉及一种薄  
膜晶体管及制备方法、阵列基板及制备方法和显  
示装置。一种薄膜晶体管,包括栅极、源极、漏极、  
有源层和栅极绝缘层,所述栅极绝缘层设置于所  
述有源层的上方,所述栅极、所述源极和所述漏  
极同层设置于所述栅极绝缘层的上方,所述有源  
层与所述源极通过第一连接电极连接,所述有源  
层与所述漏极通过第二连接电极连接。该薄膜晶  
体管以及包括该薄膜晶体管的阵列基板均为采用  
两次构图工艺即可形成,大大缩短了工艺时间,  
提高了工艺良率,降低了工艺成本。



1. 一种薄膜晶体管,包括栅极、源极、漏极、有源层和栅极绝缘层,其特征在于,所述栅极绝缘层设置于所述有源层的上方,所述栅极、所述源极和所述漏极同层设置于所述栅极绝缘层的上方,所述有源层与所述源极通过第一连接电极连接,所述有源层与所述漏极通过第二连接电极连接,所述有源层采用低温多晶硅材料形成,所述源极和所述漏极下方均对应设置有与所述有源层同层的多晶硅薄膜,所述有源层与对应着所述源极和所述漏极下方的所述多晶硅薄膜之间的区域填充有绝缘薄膜,所述源极与所述源极下方的栅极绝缘层以及所述源极下方的多晶硅薄膜的正投影重叠,所述漏极与所述漏极下方的栅极绝缘层以及所述漏极下方的多晶硅薄膜的正投影重叠。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,所述栅极与所述有源层的投影至少部分重叠、且所述栅极的宽度小于所述有源层的宽度,所述源极和所述漏极分别设置于所述栅极的两侧、且分别与所述栅极相离;

在设置所述有源层的区域,所述栅极绝缘层的宽度小于所述有源层的宽度而在所述有源层靠近所述源极的区域形成源极接触区、在所述有源层靠近所述漏极的区域形成漏极接触区,所述第一连接电极搭接于所述源极与所述源极接触区而使得所述源极与所述有源层连接,所述第二连接电极搭接于所述漏极与所述漏极接触区而使得所述漏极与所述有源层连接。

3. 根据权利要求2所述的薄膜晶体管,其特征在于,所述第一连接电极与所述第二连接电极同层设置、且采用相同的材料形成。

4. 根据权利要求2所述的薄膜晶体管,其特征在于,所述栅极、所述源极和所述漏极采用相同的材料形成,所述栅极、所述源极和所述漏极为采用钼、钼铌合金、铝、铝钽合金、钛和铜中的任一种形成的单层结构,或为采用钼/铝/钼、钛/铝/钛形成子层得到的叠层结构,所述栅极、所述源极和所述漏极的厚度范围为200-500nm。

5. 一种阵列基板,其特征在于,包括权利要求1-4任一项所述的薄膜晶体管。

6. 根据权利要求5所述的阵列基板,其特征在于,所述阵列基板还包括钝化层和像素电极,所述钝化层部分设置于所述漏极的上方而在所述漏极靠近所述栅极的一侧形成配合漏极接触区;所述像素电极通过搭接在所述配合漏极接触区的导电薄膜而与所述漏极连接。

7. 根据权利要求6所述的阵列基板,其特征在于,还包括交叉设置的栅线 and 数据线,所述栅线与所述栅极相连接且同层设置,所述数据线与所述源极相连接且同层设置;所述栅线或所述数据线任一在交叉位置处断续设置,且通过线连接电极连接。

8. 根据权利要求7所述的阵列基板,其特征在于,所述像素电极、所述第一连接电极、所述第二连接电极和所述线连接电极同层设置、且采用相同的材料形成。

9. 根据权利要求8所述的阵列基板,其特征在于,所述像素电极、所述第一连接电极、所述第二连接电极和所述线连接电极采用氧化铟镓锌、氧化铟锌、氧化铟锡、氧化铟镓锡中的至少一种材料形成。

10. 一种显示装置,其特征在于,包括权利要求5-9任一项所述的阵列基板。

11. 一种薄膜晶体管的制备方法,包括形成栅极、源极、漏极、有源层和栅极绝缘层的步骤,其特征在于,所述栅极绝缘层形成于所述有源层的上方,所述栅极、所述源极和所述漏极同层形成于所述栅极绝缘层的上方,所述栅极、所述源极和所述漏极与所述有源层采用同一构图工艺形成;且形成用于连接所述有源层与所述源极的第一连接电极、用于连接所

述有源层与所述漏极的第二连接电极。

12. 根据权利要求11所述的制备方法,其特征在于,形成所述栅极、所述源极和所述漏极与所述有源层的步骤具体包括:

步骤S1):依次连续形成多晶硅薄膜、栅极绝缘薄膜、金属薄膜和光刻胶;

步骤S2):采用双色调掩模工艺对所述光刻胶进行曝光、显影,其中,双色调掩模工艺采用的掩模板中,对应着形成所述栅极、所述源极和所述漏极的区域为不透光区,对应着形成所述有源层的宽度大于所述栅极的区域为部分透光区,其他区域为全透光区;在曝光、显影工艺后,使得所述光刻胶对应着形成所述栅极、所述源极和所述漏极的区域的厚度相对宽度大于所述栅极的所述有源层的区域的厚度大,其他区域的所述光刻胶完全去除;

步骤S3):通过刻蚀工艺去除未被所述光刻胶保护的所述金属薄膜,形成包括所述源极和所述漏极的图形;

步骤S4):对所述栅极绝缘薄膜和所述多晶硅薄膜进行连续刻蚀,形成包括所述有源层的图形;

步骤S5):通过灰化工艺去除厚度较小的所述光刻胶,露出宽度大于所述栅极的区域的所述金属薄膜;

步骤S6):通过刻蚀工艺去除所述有源层宽度大于所述栅极的区域的金属薄膜,形成包括所述栅极的图形;

步骤S7):剥离去除残留的全部所述光刻胶;

步骤S8):采用所述栅极作为阻挡层,对所述有源层的图形进行离子掺杂,并激活沟道掺杂和源漏掺杂离子,形成所述有源层。

13. 根据权利要求12所述的制备方法,其特征在于,在步骤S8)中,采用所述栅极作为阻挡层,通过离子注入或离子云注入的方法对所述有源层的图形进行离子掺杂,并通过快速热退火工艺激活沟道掺杂和源漏掺杂离子,形成所述有源层,其中:掺杂离子为 $\text{PH}_3/\text{H}_2$ 或 $\text{B}_2\text{H}_6/\text{H}_2$ ,离子注入剂量在 $10^{15}$ - $10^{16}$ ions/cm<sup>2</sup>之间,注入能量在10-100KeV之间。

14. 根据权利要求12所述的制备方法,其特征在于,在步骤S1)中,所述金属薄膜为采用钼、钼铌合金、铝、铝钽合金、钛和铜中的任一种形成的单层结构,或为采用钼/铝/钼、钛/铝/钛形成子层得到的叠层结构;其中,所述金属薄膜采用磁控溅射方式形成,所述金属薄膜的厚度范围为200-500nm;

相应的,在步骤S6)中,当所述金属薄膜为钼/铝/钼形成子层得到的叠层结构时,采用湿法刻蚀方法去除所述有源层宽度大于所述栅极的区域的所述金属薄膜;当所述金属薄膜为钛/铝/钛形成子层得到的叠层结构时,采用干法刻蚀方法去除所述有源层宽度大于所述栅极的区域的所述金属薄膜。

15. 根据权利要求12所述的制备方法,其特征在于,还包括在所述有源层与对应着所述源极和所述漏极下方的所述多晶硅薄膜之间的区域填充绝缘薄膜的步骤;

以及,采用一次构图工艺形成用于连接所述源极接触区与所述源极的第一连接电极、用于连接所述漏极接触区与所述漏极的第二连接电极。

16. 一种阵列基板的制备方法,其特征在于,包括权利要求11、13-15任一项所述薄膜晶体管的制备方法。

17. 根据权利要求16所述的制备方法,其特征在于,还包括形成交叉设置的栅线和数据

线的步骤,所述栅线与所述栅极连接,所述数据线与所述源极连接,所述栅极、所述源极、所述漏极、所述数据线与所述栅线同层设置、且在同一构图工艺中形成,所述栅线或所述数据线任一在交叉位置处断续形成,且通过线连接电极连接。

18. 根据权利要求17所述的制备方法,其特征在于,还包括形成钝化层和像素电极的步骤,所述钝化层和所述像素电极通过一次构图工艺形成;

所述像素电极以及用于连接所述栅线或所述数据线的所述线连接电极形成于所述钝化层的上方,所述像素电极、所述第一连接电极、所述第二连接电极以及所述线连接电极采用一次构图工艺-剥离工艺同时形成。

19. 根据权利要求16或17所述的制备方法,其特征在于,所述制备方法还包括权利要求12所述的薄膜晶体管的制备方法。

20. 根据权利要求18所述的制备方法,其特征在于,所述制备方法还包括权利要求12所述的薄膜晶体管的制备方法。

21. 根据权利要求20所述的制备方法,其特征在于,形成所述钝化层和所述像素电极的步骤具体包括:

步骤S1): 在阵列基板的上方依次连续形成钝化薄膜和光刻胶;

步骤S2): 采用双色调掩模工艺对所述光刻胶进行曝光、显影,其中,双色调掩模工艺采用的掩模板中,对应着所述栅极及其相连的所述栅线、所述源极及其相连的所述数据线、所述有源层以及对应着所述源极远离所述栅极的区域为不透光区,对应着形成所述像素电极以及连接所述栅线或所述数据线的所述线连接电极的区域为部分透光区,其他区域为全透光区;

步骤S3): 对所述钝化薄膜进行刻蚀,刻蚀深度以暴露所述源极靠近所述栅极、所述漏极靠近所述栅极的所述金属薄膜为终点,形成配合源极接触区、配合漏极接触区;和以暴露宽度大于所述栅极的所述有源层两侧的所述多晶硅薄膜为终点,形成漏极接触区和漏极接触区;

步骤S4): 通过灰化工艺去除部分透光区的所述光刻胶,保留不透光区的所述光刻胶;

步骤S5): 在步骤S4)的阵列基板上方形形成导电薄膜;

步骤S6): 通过剥离工艺去除所述光刻胶以及位于所述光刻胶上方的所述导电薄膜,形成包括所述像素电极以及连接所述栅极或所述数据线的所述线连接电极,同时还形成用于连接所述源极接触区与所述配合源极电极接触区的第一连接电极、用于连接所述漏极接触区与配合漏极接触区的所述第二连接电极的图形。

22. 根据权利要求21所述的制备方法,其特征在于,在步骤S3)中,采用选择比高和各向异性好的电感耦合等离子方法进行所述钝化薄膜的刻蚀,通过采用SF<sub>6</sub>/O<sub>2</sub>/He气体实现对对应着所述全透光区的刻蚀。

23. 根据权利要求21所述的制备方法,其特征在于,在步骤S5)中,所述导电薄膜为透明的金属氧化物导电薄膜,金属氧化物包括氧化铟锡、氧化铟锌、氧化锡铝中的任一种,厚度范围为20-100nm;

或者,所述导电薄膜为氧化铟锡/银/氧化铟锡、氧化铟锌/银形成子层得到的叠层薄膜,氧化铟锡薄膜的厚度范围为10-50nm,银薄膜的厚度范围为20-100nm。

24. 根据权利要求21所述的制备方法,其特征在于,还进一步包括对所述阵列基板进行

快速热退火或热处理炉退火工艺。

## 薄膜晶体管及制备方法、阵列基板及制备方法和显示装置

### 技术领域

[0001] 本发明属于显示技术领域,具体涉及一种薄膜晶体管及制备方法、阵列基板及制备方法和显示装置。

### 背景技术

[0002] 相对于液晶显示装置(Liquid Crystal Display,简称LCD)而言,有机电致发光二极管(Organic Light Emission Display,简称OLED)显示装置具有反应速度快、重量轻、可弯曲和广视角等优点。而有源矩阵有机电致发光二极管(Active Matrix OLED,简称AMOLED)更具有驱动电流小和功耗低的优势,适合于高解析度显示。

[0003] 不管是LCD显示装置还是OLED显示装置,其中均设置有作为控制开关的薄膜晶体管(Thin Film Transistor,简称TFT)。薄膜晶体管包括非晶硅、多晶硅、氧化物半导体或有机薄膜晶体管驱动。其中,非晶硅或有机TFT的载流子迁移率与驱动电流小,驱动高亮度有机电致发光二极管OLED所需的电压较高且器件占空间也较大;低温多晶硅TFT具有高达 $100\text{cm}^2/\text{V}\cdot\text{s}$ 的迁移率,其高电流特性正好符合OLED严格的要求,低操作电压与高密度的驱动架构使得OLED寿命较长。同时,为了克服灰阶与面板均匀性所涉及的补偿电路,显示装置在同一像素中往往需要多个TFT,而低温多晶硅高密度的布局特点,使得高亮度与高画质的OLED面板更容易实现。目前成功商业化生产的AMOLED绝大部分采用低温多晶硅TFT的阵列基板。

[0004] 如图1所示为现有技术中低温多晶硅TFT的阵列基板的结构示意图,该阵列基板包括有源层4、栅极7、层间绝缘层8、源极9/漏极10、钝化层11、像素电极12和像素定义层13等层结构,该阵列基板的制造工艺过程中,一般需要多次构图工艺,一次构图工艺对应一道掩模板(mask,也称光罩)。该阵列基板的制备方法通常包括如下步骤:

[0005] 在基板1上方形成缓冲层2;其后在缓冲层2上方形成非晶硅薄膜(a-Si),并使得a-Si结晶成为多晶硅;而后通过第一次构图工艺(通常为普通掩模板)形成包括有源层4的图形。利用离子注入工艺进行低浓度离子掺杂,在有源层4中形成薄膜晶体管要求的半导体沟道。

[0006] 在有源层4以及整个缓冲层2上方形成栅极绝缘层6;形成光刻胶,利用第二次构图工艺形成用于将非晶硅薄膜掺杂形成存储电容的光刻胶图形,采用该光刻胶图形作为离子注入的阻挡层,在完成掺杂后去除光刻胶。

[0007] 在栅极绝缘层6上沉积一种或多种低电阻的金属材料形成栅金属薄膜,利用第三次构图工艺形成包括栅极7的图形。采用栅极7作为离子注入的阻挡层,对有源层4进行离子掺杂,形成低阻抗的源极接触区和漏极接触区。

[0008] 在包括栅极7的整个表面形成第一介质薄膜,通过第四次构图工艺形成层间绝缘层8以及层间绝缘层8中的源极接触孔和漏极接触孔。

[0009] 沉积一种或多种低电阻的金属材料形成源漏金属薄膜,通过第五次构图工艺形成包括源极9和漏极10的图形,通过源极接触孔和漏极接触孔与有源层4形成欧姆接触。采用

快速热退火或热处理炉退火,激活有源层4中掺杂的离子,形成有效的导电沟道。

[0010] 在包括源极9和漏极10的整个表面成第二介质薄膜,通过第六次构图工艺形成包括钝化层过孔的钝化层11。采用快速热退火或热处理炉退火进行氢化工艺,修复有源层4内部和界面的缺陷。在该步骤中,还可以进一步在同一次构图工艺中,在钝化层11的上方形成具有相同过孔的有机平坦化层,形成平坦表面。

[0011] 在完成上一步骤的阵列基板上方形成一层透明导电薄膜,通过第七次构图工艺形成像素电极12;当该阵列基板应用于AMOLED时,可以通过第八次构图工艺形成图1中所示的像素定义层13。

[0012] 综上所述,至少需要七次构图工艺形成图1所示的包括低温多晶硅薄膜晶体管的阵列基板,导致较长的工艺时间和较低的工艺良率,使得阵列基板的制备成本较高。

## 发明内容

[0013] 本发明所要解决的技术问题是针对现有技术中存在的上述不足,提供一种薄膜晶体管及制备方法、阵列基板及制备方法和显示装置,该薄膜晶体管以及包括该薄膜晶体管的阵列基板均为采用两次构图工艺即可形成,大大缩短了工艺时间,提高了工艺良率,降低了工艺成本。

[0014] 解决本发明技术问题所采用的技术方案是该薄膜晶体管,包括栅极、源极、漏极、有源层和栅极绝缘层,所述栅极绝缘层设置于所述有源层的上方,所述栅极、所述源极和所述漏极同层设置于所述栅极绝缘层的上方,所述有源层与所述源极通过第一连接电极连接,所述有源层与所述漏极通过第二连接电极连接。

[0015] 优选的是,所述栅极与所述有源层的投影至少部分重叠、且所述栅极的宽度小于所述有源层的宽度,所述源极和所述漏极分别设置于所述栅极的两侧、且分别与所述栅极相离;

[0016] 在设置所述有源层的区域,所述栅极绝缘层的宽度小于所述有源层的宽度而在所述有源层靠近所述源极的区域形成源极接触区、在所述有源层靠近所述漏极的区域形成漏极接触区,所述第一连接电极搭接于所述源极与所述源极接触区而使得所述源极与所述有源层连接,所述第二连接电极搭接于所述漏极与所述漏极接触区而使得所述漏极与所述有源层连接。

[0017] 优选的是,所述有源层与对应着所述源极和所述漏极下方的所述多晶硅薄膜之间的区域填充有绝缘薄膜;

[0018] 以及,所述第一连接电极与所述第二连接电极同层设置、且采用相同的材料形成。

[0019] 优选的是,所述栅极、所述源极和所述漏极采用相同的材料形成,所述栅极、所述源极和所述漏极为采用钼、钼铌合金、铝、铝钽合金、钛和铜中的任一种形成的单层结构,或为采用钼/铝/钼、钛/铝/钛形成子层得到的叠层结构,所述栅极、所述源极和所述漏极的厚度范围为200-500nm。

[0020] 优选的是,所述有源层采用低温多晶硅材料形成。

[0021] 一种阵列基板,包括上述的薄膜晶体管。

[0022] 优选的是,所述阵列基板还包括钝化层和像素电极,所述钝化层部分设置于所述漏极的上方而在所述漏极靠近所述栅极的一侧形成配合漏极接触区;所述像素电极通过搭

接在所述配合漏极接触区的导电薄膜而与所述漏极连接。

[0023] 优选的是,还包括交叉设置的栅线和数据线,所述栅线与所述栅极相连接且同层设置,所述数据线与所述源极相连接且同层设置;所述栅线或所述数据线任一在交叉位置处断续设置,且通过线连接电极连接。

[0024] 优选的是,所述像素电极、所述第一连接电极、所述第二连接电极和所述线连接电极同层设置、且采用相同的材料形成。

[0025] 优选的是,所述像素电极、所述第一连接电极、所述第二连接电极和所述线连接电极采用氧化铟镓锌、氧化铟锌、氧化铟锡、氧化铟镓锡中的至少一种材料形成。

[0026] 一种显示装置,包括上述的阵列基板。

[0027] 一种薄膜晶体管的制备方法,包括形成栅极、源极、漏极、有源层和栅极绝缘层的步骤,所述栅极绝缘层形成于所述有源层的上方,所述栅极、所述源极和所述漏极同层形成于所述栅极绝缘层的上方,所述栅极、所述源极和所述漏极与所述有源层采用同一构图工艺形成;且形成用于连接所述有源层与所述源极的第一连接电极、用于连接所述有源层与所述漏极的第二连接电极。

[0028] 优选的是,形成所述栅极、所述源极和所述漏极与所述有源层的步骤具体包括:

[0029] 步骤S1):依次连续形成多晶硅薄膜、栅极绝缘薄膜、金属薄膜和光刻胶;

[0030] 步骤S2):采用双色调掩模工艺对所述光刻胶进行曝光、显影,其中,双色调掩模工艺采用的掩模板中,对应着形成所述栅极、所述源极和所述漏极的区域为不透光区,对应着形成所述有源层的宽度大于所述栅极的区域为部分透光区,其他区域为全透光区;在曝光、显影工艺后,使得所述光刻胶对应着形成所述栅极、所述源极和所述漏极的区域的厚度相对宽度大于所述栅极的所述有源层的区域的厚度大,其他区域的所述光刻胶完全去除;

[0031] 步骤S3):通过刻蚀工艺去除未被所述光刻胶保护的所述金属薄膜,形成包括所述源极和所述漏极的图形;

[0032] 步骤S4):对所述栅极绝缘薄膜和所述多晶硅薄膜进行连续刻蚀,形成包括所述有源层的图形;

[0033] 步骤S5):通过灰化工艺去除厚度较小的所述光刻胶,露出宽度大于所述栅极的区域的所述金属薄膜;

[0034] 步骤S6):通过刻蚀工艺去除所述有源层宽度大于所述栅极的区域的金属薄膜,形成包括所述栅极的图形;

[0035] 步骤S7):剥离去除残留的全部所述光刻胶;

[0036] 步骤S8):采用所述栅极作为阻挡层,对所述有源层的图形进行离子掺杂,并激活沟道掺杂和源漏掺杂离子,形成所述有源层。

[0037] 优选的是,在步骤S8)中,采用所述栅极作为阻挡层,通过离子注入或离子云注入的方法对所述有源层的图形进行离子掺杂,并通过快速热退火工艺激活沟道掺杂和源漏掺杂离子,形成所述有源层,其中:掺杂离子为 $\text{PH}_3/\text{H}_2$ 或 $\text{B}_2\text{H}_6/\text{H}_2$ ,离子注入剂量在 $10^{15}$ – $10^{16}$  ions/cm<sup>2</sup>之间,注入能量在10–100KeV之间

[0038] 优选的是,在步骤S1)中,所述金属薄膜为采用钼、钼铌合金、铝、铝钨合金、钛和铜中的任一种形成的单层结构,或为采用钼/铝/钼、钛/铝/钛形成子层得到的叠层结构;其中,所述金属薄膜采用磁控溅射方式形成,所述金属薄膜的厚度范围为200–500nm;



[0039] 相应的,在步骤S6)中,当所述金属薄膜为钼/铝/钼形成子层得到的叠层结构时,采用湿法刻蚀方法去除所述有源层宽度大于所述栅极的区域的所述金属薄膜;当所述金属薄膜为钛/铝/钛形成子层得到的叠层结构时,采用干法刻蚀方法去除所述有源层宽度大于所述栅极的区域的所述金属薄膜。

[0040] 优选的是,还包括在所述有源层与对应着所述源极和所述漏极下方的所述多晶硅薄膜之间的区域填充绝缘薄膜的步骤;

[0041] 以及,采用一次构图工艺形成用于连接所述源极接触区与所述源极的第一连接电极、用于连接所述漏极接触区与所述漏极的第二连接电极。

[0042] 一种阵列基板的制备方法,包括权利要求上述薄膜晶体管的制备方法。

[0043] 优选的是,还包括形成交叉设置的栅线和数据线的步骤,所述栅线与所述栅极连接,所述数据线与所述源极连接,所述栅极、所述源极、所述漏极、所述数据线与所述栅线同层设置、且在同一构图工艺中形成,所述栅线或所述数据线任一在交叉位置处断续形成,且通过线连接电极连接。

[0044] 优选的是,还包括形成钝化层和像素电极的步骤,所述钝化层和所述像素电极通过一次构图工艺形成,所述钝化层完全覆盖所述栅极、所述栅线和所述数据线的上方、局部覆盖所述源极和所述漏极的上方;

[0045] 所述像素电极以及用于连接所述栅线或所述数据线的所述线连接电极形成于所述钝化层的上方,所述像素电极、所述第一连接电极、所述第二连接电极以及所述线连接电极采用一次构图工艺-剥离工艺同时形成。

[0046] 优选的是,形成所述钝化层和所述像素电极的步骤具体包括:

[0047] 步骤S1):在阵列基板的上方依次连续形成钝化薄膜和光刻胶;

[0048] 步骤S2):采用双色调掩模工艺对所述光刻胶进行曝光、显影,其中,双色调掩模工艺采用的掩模板中,对应着所述栅极及其相连的所述栅线、所述源极及其相连的所述数据线、所述有源层以及对应着所述源极远离所述栅极的区域为不透光区,对应着形成所述像素电极以及连接所述栅极或所述数据线的所述线连接电极的区域为部分透光区,其他区域为全透光区;

[0049] 步骤S3):对所述钝化薄膜进行刻蚀,刻蚀深度以暴露所述源极靠近所述栅极、所述漏极靠近所述栅极的所述金属薄膜为终点,形成配合源极接触区、配合漏极接触区;和以暴露宽度大于所述栅极的所述有源层两侧的所述多晶硅薄膜为终点,形成漏极接触区和漏极接触区;

[0050] 步骤S4):通过灰化工艺去除部分透光区的所述光刻胶,保留不透光区的所述光刻胶;

[0051] 步骤S5):在步骤S4)的阵列基板上方形形成导电薄膜;

[0052] 步骤S6):通过剥离工艺去除所述光刻胶以及位于所述光刻胶上方的所述导电薄膜,形成包括所述像素电极以及连接所述栅极或所述数据线的所述线连接电极,同时还形成用于连接所述源极接触区与所述配合源极电极接触区的第一连接电极、用于连接所述漏极接触区与配合漏极接触区的所述第二连接电极的图形。

[0053] 优选的是,在步骤S3)中,采用选择比高和各向异性好的电感耦合等离子方法进行所述钝化薄膜的刻蚀,通过采用SF<sub>6</sub>/O<sub>2</sub>/He气体实现对对应着所述全透光区的刻蚀。

[0054] 优选的是,在步骤S5)中,所述导电薄膜为透明的金属氧化物导电薄膜,金属氧化物包括氧化铟锡、氧化铟锌、氧化锡铝中的任一种,厚度范围为20-100nm;

[0055] 或者,所述导电薄膜为氧化铟锡/银/氧化铟锡、氧化铟锌/银形成子层得到的叠层薄膜,氧化铟锡薄膜的厚度范围为10-50nm,银薄膜的厚度范围为20-100nm。

[0056] 优选的是,还进一步包括对所述阵列基板进行快速热退火或热处理炉退火工艺。

[0057] 本发明的有益效果是:该包括低温多晶硅薄膜晶体管的阵列基板的结构中,栅极(栅线)与源极(数据线)和漏极由同一层金属薄膜形成,而没有层间绝缘层隔离开来,能有效降低栅极与源极和漏极之间的寄生电容;采用和像素电极相同的透明导电薄膜,形成和有源层的多晶硅薄膜接触的连接电极,透明导电薄膜和低电阻的金属薄膜相连接,降低电极和导线阻抗。同时,栅线在和数据线交叉处断开,通过透明导电薄膜形成的线连接电极连接断续的栅线金属薄膜,简化阵列基板的结构和制造工艺;

[0058] 特别是,该薄膜晶体管以及包括该薄膜晶体管的阵列基板均为采用两次构图工艺即可形成,大大缩短了工艺时间,提高了工艺良率,降低了工艺成本。

## 附图说明

[0059] 图1为现有技术中包括低温多晶硅薄膜晶体管的阵列基板的结构示意图;

[0060] 图2A、图2B为本发明实施例1中低温多晶硅薄膜晶体管的结构示意图;

[0061] 图3A为采用第一次构图工艺形成厚度不同的光刻胶的薄膜晶体管的结构示意图;

[0062] 图3B为形成包括源极和漏极的图形后的薄膜晶体管的结构示意图;

[0063] 图3C为形成包括有源层的图形后的薄膜晶体管的结构示意图;

[0064] 图3D为采用灰化工艺后的薄膜晶体管的结构示意图;

[0065] 图3E为形成包括栅极的图形后的薄膜晶体管的结构示意图;

[0066] 图3F为剥离光刻胶后的薄膜晶体管的结构示意图;

[0067] 图4为本发明实施例2中包括低温多晶硅薄膜晶体管的阵列基板的结构示意图;

[0068] 图5A为形成钝化薄膜以及光刻胶的阵列基板的结构示意图;

[0069] 图5B为采用第二次构图工艺形成厚度不同的光刻胶的阵列基板的结构示意图;

[0070] 图5C为形成包括钝化层以及钝化层过孔、源极接触区和漏极接触区、配合源极接触区和配合漏极接触区的图形的阵列基板的结构示意图;

[0071] 图5D为采用灰化工艺后的阵列基板的结构示意图;

[0072] 图5E为形成导电薄膜的阵列基板的结构示意图;

[0073] 图5F为采用第三次构图工艺-剥离工艺后的阵列基板的结构示意图;

[0074] 图5G为形成像素定义层的阵列基板的结构示意图;

[0075] 图5H为对应图4的俯视图;

[0076] 附图标记中:

[0077] 1、基板;2、缓冲层;4、有源层;4a、多晶硅薄膜;4b、源极接触区;4c、漏极接触区;5、金属薄膜;5a、厚度较大的光刻胶;5b、厚度较小的光刻胶;6、栅极绝缘层;6a、栅极绝缘薄膜;7、栅极;7a、栅线;8、层间绝缘层;9、源极;9b、数据线;9c、配合源极接触区;10、漏极;10b、配合漏极接触区;11、钝化层;11a、钝化薄膜;12、像素电极;12a、导电薄膜;12b、第一连接电极;12c、第二连接电极;12d、线连接电极;13、像素定义层;14-绝缘薄膜。

## 具体实施方式

[0078] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明薄膜晶体管及制备方法、阵列基板及制备方法和显示装置作进一步详细描述。

[0079] 实施例1:

[0080] 本实施例提供一种薄膜晶体管和相应的薄膜晶体管的制备方法。

[0081] 如图2A和图2B所示,该薄膜晶体管包括栅极7、源极9、漏极10、有源层4和栅极绝缘层6,其中,栅极绝缘层6设置于有源层4的上方,栅极7、源极9和漏极10同层设置于栅极绝缘层6的上方,有源层4与源极9通过第一连接电极12b连接,有源层4与漏极10通过第二连接电极12c连接。

[0082] 这里应该理解的是,在本发明中,“同层”指的是采用同一成膜工艺形成用于形成特定图形的膜层,然后利用同一掩模板通过一次构图工艺形成的层结构;根据特定图形的不同,一次构图工艺可能包括多次曝光、显影或刻蚀工艺,而形成的层结构中的特定图形可以是连续的也可以是不连续的,这些特定图形还可能处于不同的高度或者具有不同的厚度。

[0083] 如图2A和图2B所示,栅极7与有源层4的投影至少部分重叠、且栅极7的宽度小于有源层4的宽度(即在对应着有源层4的区域,栅极7在有源层4上的正投影完全落入有源层4的内部,有源层4还具有未被栅极7覆盖两侧的边缘区域,边缘区域对应形成源极接触区和漏极接触区),源极9和漏极10分别设置于栅极7的两侧、且分别与栅极7相离;在设置有源层4的区域,栅极绝缘层6的宽度小于有源层4的宽度(即在对应着形成有源层4的区域,栅极绝缘层6部分覆盖于有源层4的上方)而在有源层4靠近源极9的区域形成源极接触区4b、在有源层4靠近漏极10的区域形成漏极接触区4c(可参见图5C,图2A和图2B中的源极接触区4b和漏极接触区4c因已分别被第一连接电极12b和第二连接电极12c所覆盖,因此未具体示出),第一连接电极12b搭接于源极9与源极接触区4b而使得源极9与有源层4连接,第二连接电极12c搭接于漏极10与漏极接触区4c而使得漏极10与有源层4连接。

[0084] 优选的是,有源层4与对应着源极9和漏极10下方的多晶硅薄膜4a之间的区域填充有绝缘薄膜14,以便形成栅极7与源极9和漏极10、有源层4与多晶硅薄膜4a之间的隔离;以及,第一连接电极12b与第二连接电极12c同层设置、且采用相同的材料形成。

[0085] 其中,栅极7、源极9和漏极10采用相同的材料形成,栅极7、源极9和漏极10为采用钼Mo、钼铌合金、铝Al、铝钨合金AlNd、钛Ti和铜Cu中的任一种形成的单层结构,或为采用钼Mo/铝Al/钼Mo、钛Ti/铝Al/钛Ti形成子层得到的叠层结构,栅极7、源极9和漏极10的厚度范围为200-500nm。

[0086] 进一步优选的是,有源层4采用低温多晶硅材料形成,以使得薄膜晶体管获得较好的电学性能。

[0087] 相应的,本实施例还提供一种薄膜晶体管的制备方法,该制备方法包括形成栅极7、源极9、漏极10、有源层4和栅极绝缘层6的步骤,其中,栅极7、源极9和漏极10同层形成于栅极绝缘层6的上方,栅极7、源极9和漏极10与有源层4采用同一构图工艺形成;且形成用于连接有源层4与源极9的第一连接电极12b、用于连接有源层4与漏极10的第二连接电极12c。

[0088] 在阐述具体制备方法之前,应该理解,在本发明中,构图工艺,可只包括光刻工艺,

或,包括光刻工艺以及刻蚀步骤,同时还可以包括打印、喷墨等其他用于形成预定图形的工艺;光刻工艺,是指包括成膜、曝光、显影等工艺过程的利用光刻胶、掩模板、曝光机等形成图形的工艺。可根据本发明中所形成的结构选择相应的构图工艺。

[0089] 下面以图2A和图2B所示的低温多晶硅薄膜晶体管的结构作为示例,参照图3A-图3F说明本实施例中薄膜晶体管的制备方法。具体的,形成栅极7、源极9和漏极10与有源层4的步骤具体包括:

[0090] 步骤S1):依次连续形成多晶硅薄膜、栅极绝缘薄膜、金属薄膜和光刻胶。

[0091] 在该步骤中,首先,对基板1进行初始清洗以清除基板表面的杂质粒子,然后采用PECVD(Plasma Enhanced Chemical Vapor Deposition,等离子体增强化学气相沉积法)在基板1的表面沉积一层氮化硅SiN薄膜和二氧化硅SiO<sub>2</sub>薄膜作为缓冲层2,参考3A。其中,作为缓冲层2的SiN的厚度范围为50-100nm, SiO<sub>2</sub>的厚度范围为100-400nm。

[0092] 接着,采用PECVD连续沉积一层厚度范围在40-100nm之间的非晶硅a-Si薄膜,采用热处理炉对a-Si薄膜进行脱氢工艺处理,以防止结晶过程中的氢爆;然后进行a-Si结晶工艺,可以采用激光退火结晶、金属诱导结晶、固相结晶等方法,形成如图3A所示的多晶硅薄膜4a。

[0093] 其中,形成缓冲层2的SiN薄膜具有很强的扩散阻挡特性,可以抑制基板(通常为玻璃)中少量的碱金属离子和Na、K金属离子对于多晶硅薄膜4a的影响。SiO<sub>2</sub>薄膜与多晶硅薄膜4a具有优良的界面,可以防止SiN薄膜缺陷对多晶硅薄膜4a质量的损害。

[0094] 然后,采用稀释的氢氟酸对多晶硅薄膜4a进行清洗,降低多晶硅薄膜4a的表面粗糙度,以便减少薄膜晶体管界面的缺陷。采用离子注入或离子云注入的方法,对多晶硅薄膜4a进行薄膜晶体管沟道掺杂,掺杂离子一般为PH<sub>3</sub>/H<sub>2</sub>或B<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>,离子注入剂量在10<sup>11</sup>-13<sup>16</sup>ions/cm<sup>2</sup>之间,注入能量在10-100KeV之间。沟道掺杂可以有效调整薄膜晶体管的阈值电压,改善薄膜晶体管的开关特性。

[0095] 采用PECVD方法在多晶硅薄膜4a上沉积一层栅极绝缘薄膜6a,该栅极绝缘薄膜6a一般为厚度范围在30-100nm之间的SiO<sub>2</sub>和厚度范围在20-100nm之间的SiN两层薄膜,其中SiO<sub>2</sub>薄膜为底层, SiN薄膜为顶层。

[0096] 然后,采用磁控溅射方法在栅极绝缘薄膜6a上方形成一层厚度为200-500nm的金属薄膜5,该金属薄膜5为采用钼Mo、钼铌合金、铝Al、铝钽合金AlNd、钛Ti和铜Cu中的任一种形成的单层结构,或为采用钼Mo/铝Al/钼Mo、钛Ti/铝Al/钛Ti形成子层得到的叠层结构。

[0097] 步骤S2):采用双色调掩模工艺对光刻胶进行曝光、显影,其中,双色调掩模工艺采用的掩模板中,对应着形成栅极7、源极9和漏极10的区域为不透光区,对应着形成有源层4的宽度大于栅极7的区域为部分透光区,其他区域为全透光区;在曝光、显影工艺后,使得光刻胶对应着形成栅极7、源极9和漏极10的区域(即厚度较大的光刻胶5a)的厚度相对宽度大于栅极7的有源层4的区域(即厚度较小的光刻胶5b)的厚度大,其他区域的光刻胶完全去除(在阵列基板中,对应着栅线7a、数据线9b的光刻胶需保留)。

[0098] 如图3A所示,该步骤中,采用一种双色调掩模板在金属薄膜5表面形成两种不同厚度的光刻胶,即厚度较大的光刻胶5a和厚度较小的光刻胶5b。其中,双色调掩模板可以是半色调(Half-tone mask)或灰色调掩模板(Gray-tone mask),厚度较大的光刻胶5a的厚度范围在1-3微米之间,主要对应形成栅极7、源极9和漏极10的图形;厚度较小的光刻胶5b的厚

度范围在0.5-1微米之间,主要对应形成用于连接源极9和有源层4的源极接触区4b和用于连接漏极10和有源层4的漏极接触区4c的图形。

[0099] 步骤S3):通过刻蚀工艺去除未被光刻胶保护的金属薄膜,形成包括源极9和漏极10的图形。

[0100] 在该步骤中,通过刻蚀工艺去除没有光刻胶保护的金属薄膜,形成如图3B所示的源极9(阵列基板中还包括与其相连的数据线9b)、漏极10。根据在步骤S1)中形成金属薄膜的不同材料,刻蚀工艺可以是湿法刻蚀方法,也可以是干法刻蚀方法,例如采用湿法刻蚀方法去除钼Mo/铝Al/钼Mo形成子层得到的叠层结构的金属薄膜,采用电感耦合等离子方法等干法刻蚀方法去除钛Ti/铝Al/钛Ti形成子层得到的叠层结构的金属薄膜。

[0101] 步骤S4):对栅极绝缘薄膜6a和多晶硅薄膜4a进行连续刻蚀,形成包括有源层4的图形。

[0102] 如图3C所示,在该步骤中,采用等离子体或电感耦合等离子方法连续进行栅极绝缘薄膜和多晶硅薄膜4a的刻蚀,刻蚀深度以完全去除未被光刻胶保护的多晶硅薄膜4a为终点,防止因为多晶硅薄膜4a相连导致的薄膜晶体管特性下降,形成包括有源层4的图形。

[0103] 步骤S5):通过灰化工艺去除厚度较小的光刻胶,露出宽度大于栅极7的区域的金属薄膜5。

[0104] 如图3D所示,在该步骤中,在干刻设备里通过灰化工艺去除厚度较小的光刻胶5b部分,露出对应着源极接触区4b和漏极接触区4c的金属薄膜5。保留覆盖源极9(阵列基板中还包括与其相连的数据线9b)、漏极10和栅极7(阵列基板中还包括与其相连的栅线7a)的光刻胶,露出栅极7两侧边缘部分的金属薄膜5,以便于在后续工艺步骤中去除该露出部分的金属薄膜5以及其下方的栅极绝缘层6,在金属薄膜5中形成包括栅极7、源极接触区4b和漏极接触区4c的图形的轮廓,在栅极绝缘层6和多晶硅薄膜4a中形成包括源极接触区4b和漏极接触区4c的图形的轮廓,。

[0105] 步骤S6):通过刻蚀工艺去除有源层4宽度大于栅极7的区域的金属薄膜5,形成包括栅极7的图形。

[0106] 如图3E所示,在该步骤中,通过刻蚀工艺去除暴露的金属薄膜5以及其下方的栅极绝缘层6,即去除有源层4宽度大于栅极7的区域(源极接触区4b和漏极接触区4c的图形)对应的金属薄膜5,保留栅极绝缘薄膜6a和多晶硅薄膜4a中形成源极接触区4b和漏极接触区4c的图形的轮廓,形成栅极7的图形。

[0107] 与步骤S1)相应,当金属薄膜5为钼Mo/铝Al/钼Mo形成子层得到的叠层结构时,采用湿法刻蚀方法去除有源层4宽度大于栅极7的区域(即去除栅极7的两侧边缘部分)的金属薄膜5;当金属薄膜5为钛Ti/铝Al/钛Ti形成子层得到的叠层结构时,采用干法刻蚀方法,例如电感耦合等离子方法去除有源层4宽度大于栅极7的区域(即去除栅极7的两侧边缘部分)的金属薄膜5,形成栅极7(阵列基板中还包括与其相连的栅线7a)。

[0108] 这里,步骤S3)和步骤S6)均针对同一层金属薄膜5进行刻蚀,可以采用同样的刻蚀方法。其中,湿法刻蚀方法的优点在于容易形成侧壁平缓、坡度角较小的侧面,干法刻蚀方法的优点在于容易形成关键尺寸较小、尺寸控制精确的图形。

[0109] 步骤S7):剥离去除残留的全部光刻胶。

[0110] 在该步骤中,采用剥离机完全去除残留的光刻胶,形成如图3F所示的图形。

[0111] 步骤S8):采用栅极7作为阻挡层,对有源层4的图形进行离子掺杂,并激活沟道掺杂和源漏掺杂离子,形成有源层4。

[0112] 在该步骤中,采用栅极7作为源漏掺杂阻挡层,通过离子注入或离子云注入的方法,对有源层4的图形进行离子掺杂。优选的是,掺杂离子一般为 $\text{PH}_3/\text{H}_2$ 或 $\text{B}_2\text{H}_6/\text{H}_2$ ,离子注入剂量在 $10^{15}$ - $10^{16}$ ions/ $\text{cm}^2$ 之间,注入能量在10-100KeV之间。然后通过快速热退火工艺,激活沟道掺杂和源漏掺杂离子,增强多晶硅薄膜的导电特性。这里应该理解的是,本实施例中的薄膜晶体管只有在与栅极7的投影至少部分重叠部分为有效的有源层4(步骤S1)中对应具有两种厚度的光刻胶的中间部分的多晶硅薄膜4a),而在与源极9、漏极10的投影至少部分重叠部分由于未进行离子掺杂而保持为多晶硅薄膜4a(步骤S1)中对应具有较厚的光刻胶的两侧部分的多晶硅薄膜4a)。

[0113] 如上结构,为了薄膜晶体管的正常开关功能,如图2A和图2B所示,有源层4与对应着源极9和漏极10下方的多晶硅薄膜4a之间的区域填充有绝缘薄膜14,以便形成栅极7与源极9和漏极10、有源层4与多晶硅薄膜4a之间的隔离。相应的,在完成上述的步骤S8)后,栅极7两侧在对应着源极接触区4b和漏极接触区4c仍被栅极绝缘层6覆盖着,在形成有源层4与对应着源极9和漏极10下方的多晶硅薄膜4a之间的区域填充绝缘薄膜14的构图工艺中,即可同时去除栅极7两侧在对应着源极接触区4b和漏极接触区4c区域的栅极绝缘层6,形成源极接触区4b和漏极接触区4c的图形,也同时形成栅极绝缘层6的图形。

[0114] 当然,如图2B所示,在图2A的基础上,绝缘薄膜14还可以进一步形成在源极9和漏极10的上方,以便对源极9和漏极10进行保护。

[0115] 在上述形成栅极7、源极9与漏极10的基础上,该制备方法还进一步包括,采用一次构图工艺形成用于连接源极接触区4b与源极9的第一连接电极12b、用于连接漏极接触区4c与漏极10的第二连接电极12c,以形成图2A或图2B所示的薄膜晶体管。

[0116] 在本实施例的薄膜晶体管中,为了减少制造工艺的光刻次数,采用两种技术方法:(1)双色调掩模板光刻工艺,(2)栅极7(栅线7a)和源极9(数据线9b)、漏极10同层沉积,使得包括低温多晶硅薄膜晶体管的阵列结构的构图工艺次数下降到两次。

[0117] 简单地讲就是,在基板上形成多晶硅薄膜,连续沉积栅极绝缘层和金属薄膜,采用双色调掩模板光刻工艺,形成两种不同厚度的光刻胶,以较厚的光刻胶形成栅极7、源极9和漏极10的图形,较薄的光刻胶形成多晶硅薄膜的源极接触区4b和漏极接触区4c;通过一次构图工艺同时形成源极9和漏极10;然后去除较薄的光刻胶,露出覆盖多晶硅薄膜源极接触区4b和漏极接触区4c的金属薄膜,通过刻蚀工艺去除暴露的金属薄膜,形成薄膜晶体管的栅极7,将现有技术的多晶硅薄膜(有源层4)、栅极7和源极9、漏极10三次构图工艺减少到一次。

[0118] 综上,本实施例中的薄膜晶体管,栅极7、源极9和漏极10采用相同的材料、采用同一构图工艺形成在同层,并通过连接电极分别连接有源层4与源极9和漏极10,以实现薄膜晶体管的正常功能,大大减少了低温多晶硅薄膜晶体管的构图工艺次数,从而达到提升工艺良率和降低工艺成本的目的。

[0119] 实施例2

[0120] 本实施例提供一种阵列基板以及相应的阵列基板的制备方法。该阵列基板包括实施例1中的薄膜晶体管。

[0121] 如图4所示,以实施例1中图3F所示的薄膜晶体管为基础,本实施例的阵列基板还包括钝化层11和像素电极12,钝化层11部分设置于漏极10的上方而在漏极10靠近栅极7的一侧形成配合漏极接触区10b;像素电极12通过搭接在配合漏极接触区10b的导电薄膜而与漏极10连接(可参见图5C,图4中的配合源极接触区9c和源极接触区4b、配合漏极接触区10b和漏极接触区4c因已分别被第一连接电极12b和第二连接电极12c所覆盖,因此未具体示出)。

[0122] 如图4和图5H所示,在该阵列基板,还包括交叉设置的栅线7a和数据线9b,栅线7a与栅极7相连接且同层设置,数据线9b与源极9相连接且同层设置;栅线7a或数据线9b任一在交叉位置处断续设置,且通过线连接电极12d连接。其中,像素电极12、第一连接电极12b、第二连接电极12c和线连接电极12d同层设置、且采用相同的材料形成。

[0123] 在形成栅线7a和数据线9b的构图工艺中,利用与形成栅极7、源极9和漏极10相同的金属薄膜5,采用双色调掩模板在金属薄膜5表面形成两种不同厚度的光刻胶,即厚度较大的光刻胶5a和厚度较小的光刻胶5b。使得厚度较大的光刻胶5a对应的金属薄膜5同时形成栅极7/栅线7a(栅线7a与栅极7连接,可以对应在实施例1中的步骤S6)中形成,请参见图5H)和源极9/数据线9b、漏极10(数据线9b与源极9连接,可以对应在实施例1中的步骤S3)中形成,请参见图5H)的图形,其中形成栅线7a或数据线9b任一图形的光刻胶为断续(不连续)线状(后续工艺以栅线7a断续设置为例),防止栅线7a与数据线9b相连而短路,通过一次光刻工艺同时形成栅极7/栅线7a和源极9/数据线9b、漏极10,然后去除厚度较小的光刻胶。

[0124] 这里应该理解的是,为能更突出地示意本实施例中阵列基板中各层结构以及各层之间的位置关系,图5F所示的俯视图中的导电薄膜设置为具有一定透明度。同时,由于栅极绝缘层6和钝化层11一般采用透明材料(硅氧化物、硅氮化物、铅氧化物、硅氮氧化物、铝氧化物)形成,对俯视图的观察不会造成阻碍,因此在图5H中略去栅极绝缘层6和钝化层11的示意,以便能更好地示出其他结构的相对位置关系。

[0125] 优选的是,像素电极12、第一连接电极12b、第二连接电极12c和线连接电极12d采用氧化铟镓锌、氧化铟锌、氧化铟锡、氧化铟镓锡中的至少一种材料形成。

[0126] 相应的,本实施例还提供一种阵列基板的制备方法,该制备方法包括实施例1中薄膜晶体管的制备方法。

[0127] 在实施例1中薄膜晶体管制备方法的基础上,该制备方法还包括形成交叉设置的栅线7a和数据线9b的步骤,栅线7a与栅极7连接,数据线9b与源极9连接,栅极7、源极9、漏极10、数据线9b与栅线7a同层设置、且在同一构图工艺中形成,栅线7a或数据线9b任一在交叉位置处断续形成,且通过线连接电极12d连接。

[0128] 进一步的,该制备方法还包括形成钝化层11和像素电极12的步骤,钝化层11和像素电极12通过一次构图工艺形成,钝化层11完全覆盖栅极7、栅线7a和数据线9b的上方、局部覆盖源极9和漏极10的上方;

[0129] 像素电极12以及用于连接栅线7a或数据线9b的线连接电极12d形成于钝化层11的上方,像素电极12、第一连接电极12b、第二连接电极12c以及线连接电极12d采用一次构图工艺-剥离工艺同时形成。

[0130] 简单地讲,本实施例中的阵列基板的制备方法为:在形成多晶硅薄膜4a的基板1上连续沉积栅极绝缘薄膜6a和金属薄膜5;利用双色调掩模板光刻工艺,在金属薄膜5上形成

用于形成多晶硅有源层4、栅极7和栅线7a、源极9、漏极10和数据线9b图形的光刻胶,通过一次构图工艺在基板1上形成多晶硅有源层4、栅极7和栅线7a、源极9和数据线9b、漏极10,其中,栅线7a为断续设置;在栅极7和栅线7a、源极9和数据线9b、漏极10上方形成钝化薄膜11a;在钝化薄膜11a上方形成用于形成钝化层过孔和像素电极图形的光刻胶,利用双色调掩模板,通过一次构图工艺和剥离工艺形成钝化层11、钝化层过孔,并形成包括第一连接电极12b、第二连接电极12c和像素电极12的图形以及用于连接断续设置的栅线7a的线连接电极12d的图形。

[0131] 以图2B所示的薄膜晶体管的结构为例,在实施例1形成薄膜晶体管的基础上,参照图5A-图5H说明本实施例中阵列基板的制备方法。其中,图5A-图5F为对应图5H中A-A剖切线区域的剖视图,图5G为对应图5H中B-B剖切线区域的剖视图。

[0132] 具体的,在本实施例中阵列基板中形成钝化层11和像素电极12的步骤具体包括:

[0133] 步骤S1):在阵列基板的上方依次连续形成钝化薄膜和光刻胶。

[0134] 在该步骤中,如图5A所示,以包含图3F所示的薄膜晶体管的阵列基板为例(同时还应包括与栅极7同时形成的栅线7a和与源极9同时形成的数据线9b),采用PECVD方法在栅极7、源极9、漏极10以及栅线7a和数据线9b上方形成一层钝化薄膜11a,栅极7两侧的栅极绝缘层6对应着形成源极接触区4b和漏极接触区4c的区域也同时被钝化薄膜11a覆盖。然后在钝化薄膜11a上方形成一层光刻胶5a。其中,钝化层11一般是厚度在200-500nm之间含氢的SiN薄膜。然后,进行快速热退火或热处理炉退火工艺,利用钝化薄膜11a和栅极绝缘层6的SiN薄膜,实现有源层4内部以及有源层4与SiO<sub>2</sub>薄膜界面的氢化,钝化体缺陷和界面缺陷,提高有源层4的薄膜晶体管特性。

[0135] 步骤S2):采用双色调掩模工艺对光刻胶进行曝光、显影,其中,双色调掩模工艺采用的掩模板中,对应着栅极7及其相连的栅线7a、源极9及其相连的数据线9b、有源层4以及对应着源极9远离栅极7的区域为不透光区,对应着形成像素电极12以及连接栅线7a或数据线9b的线连接电极12d的区域为部分透光区,其他区域为全透光区。在一次曝光、显影工艺后,不透光区的光刻胶的厚度大于部分透光区的光刻胶的厚度,而全透光区的光刻胶被去除。

[0136] 在该步骤中,如图5B所示,采用一种双色调掩模板在钝化薄膜11a的SiN薄膜表面形成两种不同厚度的光刻胶,即厚度较大(对应着不透光区)的光刻胶5a和厚度较小(对应着部分透光区)的光刻胶5b。其中,双色调掩模板可以是半色调(Half-tone mask)或灰色调掩模板(Gray-tone mask),厚度较大的光刻胶5a的厚度范围在1-3微米之间,覆盖栅极7及其相连的栅线7a、源极9及其相连的数据线9b,以及除钝化层过孔和厚度较小的光刻胶5b以外的所有区域。厚度较小的光刻胶5b的厚度范围为0.5-1.5微米,覆盖漏极10以及用于形成线连接电极12d和像素电极12的区域;对应着全透光区的光刻胶用于形成数据线过孔和栅线过孔等图形。

[0137] 步骤S3):对钝化薄膜11a进行刻蚀,刻蚀深度以暴露源极9靠近栅极7、漏极10靠近栅极7的金属薄膜为终点,形成配合源极接触区9c、配合漏极接触区10b;和以暴露宽度大于栅极7的有源层4两侧的多晶硅薄膜4a为终点,形成源极接触区4b和漏极接触区4c。

[0138] 在该步骤中,如图5C所示,采用等离子体或电感耦合等离子方法进行刻蚀,形成钝化层过孔。同时,刻蚀钝化薄膜11a以暴露配合源极接触区9c的源极9和配合漏极接触区10b



的漏极10为终点,刻蚀钝化薄膜11a和栅极绝缘薄膜以暴露源极接触区4b和漏极接触区4c的有源层4为终点,即有源层4顶面的源极接触区4b和漏极接触区4c在钝化层过孔的刻蚀工艺中同时形成(暴露出来),也即在该步骤中同时形成了包括栅极绝缘层6的图形(对应着实施例1中在填充绝缘薄膜14的构图工艺中,同时去除栅极7两侧在对应着源极接触区4b和漏极接触区4c区域的栅极绝缘薄膜的步骤)。

[0139] 优选的是,采用选择比高和各向异性好的电感耦合等离子方法进行钝化薄膜11a的刻蚀,通过采用SF<sub>6</sub>/O<sub>2</sub>/He气体实现钝化层过孔的刻蚀。

[0140] 在该步骤中,在钝化层11中还同时形成用于栅极7与栅线7a接触的栅线过孔、源极9与数据线9b接触的数据线过孔(图5C中均未示出)。而且,从图5C可见,栅极7完全处于钝化层11的覆盖范围内,能更好地保护栅极7。

[0141] 步骤S4):通过灰化工艺去除部分透光区的光刻胶,保留不透光区的光刻胶。

[0142] 在该步骤中,利用等离子体灰化工艺去除厚度较小的光刻胶5b,原来厚度较大的光刻胶5a也被灰化到一定厚度,形成如图5D所示的厚度较小的光刻胶5b,保留栅极7及其相连的栅线7a、部分源极9及其相连的数据线9b、有源层4以及对应着源极9远离栅极7的区域的光刻胶;而暴露出对应着形成线连接电极12d和像素电极12的图形的阵列基板区域。

[0143] 步骤S5):在步骤S4)的阵列基板上方形形成导电薄膜12a。

[0144] 其中,导电薄膜12a为透明的金属氧化物导电薄膜,金属氧化物包括氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锡铝(ZTO)中的任一种,厚度范围为20-100nm;或者,导电薄膜12a为氧化铟锡ITO/银Ag/氧化铟锡ITO、氧化铟锌IZO/银Ag形成子层得到的叠层薄膜,氧化铟锡薄膜的厚度范围为10-50nm,银薄膜的厚度范围为20-100nm。

[0145] 在该步骤中,如图5E所示,采用磁控溅射在钝化层过孔、残留的厚度较小的光刻胶5b、钝化层11、源极9、漏极10以及整个基板表面沉积一层导电薄膜12a,该导电薄膜12a用于形成包括像素电极12、连接断续设置的栅线7a或数据线9b的线连接电极12d(本实施例以连接断续设置的栅线7a为例)、连接配合源极接触区9c和源极接触区4b的第一连接电极12b以及连接配合漏极接触区10b和漏极接触区4c的第二连接电极12c。

[0146] 根据该阵列基板的不同应用,例如是应用于LCD显示装置或者是应用于OLED显示装置中,该导电薄膜12a可设置成不同的材料。例如,以将该阵列基板应用于OLED显示装置中为例,当该阵列基板应用于底发射AMOLED显示装置中时,该导电薄膜12a一般为透明的,可以采用氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锡铝(ZTO)等氧化物透明导电薄膜,厚度范围为20-100nm;而该阵列基板应用于顶发射AMOLED显示装置中时,该导电薄膜12a一般采用ITO/Ag/ITO、IZO/Ag等复合薄膜,ITO薄膜的厚度范围为10-50nm,Ag薄膜的厚度范围为20-100nm。

[0147] 步骤S6):通过剥离工艺去除光刻胶以及位于光刻胶上方的导电薄膜12a,形成包括像素电极12以及连接栅极7或数据线9b的线连接电极12d,同时还形成用于连接源极接触区4b与配合源极电极接触区9c的第一连接电极12b、用于连接漏极接触区4c与配合漏极接触区10b的第二连接电极12c的图形。

[0148] 在该步骤中,把沉积完导电薄膜12a的阵列基板放入剥离机台里,采用光刻胶剥离液去除图5D所示残留的厚度较小的光刻胶5b,通过剥离工艺同时去除厚度较小的光刻胶5b上方的导电薄膜12a(光刻胶5b及其光刻胶5b上方的导电薄膜12a将被同时去除),而保留钝

化层过孔(包括栅线过孔、数据线过孔)和像素区域钝化层薄膜上方的导电薄膜12a,形成图5F所示的第一连接电极12b、第二连接电极12c和像素电极12,以及形成图5H所示的连接断续设置的栅线7a的线连接电极12d。

[0149] 其中,采用剥离工艺有利于减少掩模板和光刻工艺的次数,可以通过两次构图工艺分别形成钝化层过孔和第一连接电极和第二连接电极、像素电极12。例如:通过PECVD形成钝化层的钝化薄膜,通过溅射工艺形成导电薄膜,通过两次光刻工艺分别形成上述钝化薄膜和导电薄膜的图形,而图形之外的钝化薄膜和导电薄膜通过剥离工艺去除即可。

[0150] 如图5H所示,进行上述钝化层过孔工艺、导电薄膜溅射和剥离工艺的同时,在断续的栅线7a搭桥处,形成连接断续栅线7a的线连接电极12d,完成整个阵列基板中栅线7a或数据线9b的制作。栅线7a或数据线9b处的钝化层过孔工艺与图5H所示的源极、漏极处钝化层过孔工艺同时进行,线连接电极12d的沉积和剥离工艺与像素电极12沉积、剥离工艺也是同时完成的。

[0151] 以将本实施例中的阵列基板应用于OLED显示装置中为例,如图5G所示,还包括,进一步在阵列基板的上方形成像素定义层13,像素定义层13采用亚克力(Acrylic)、通过一次构图工艺形成,像素定义层13的厚度范围为1-4微米。相应的,在完成上述制备工艺的阵列基板的上方采用一次构图工艺,完成如图4所示的像素定义层13的制备,并对阵列基板采用快速热退火或热处理炉,进行最后的退火处理,以稳定低温多晶硅薄膜晶体管的特性,完成本实施例中阵列基板的制作。

[0152] 与实施例1中薄膜晶体管的制备方法相同,本实施例中的阵列基板的制备方法中,为了减少制备过程中构图工艺的次数,钝化层11和像素电极12采用一次构图工艺,采用双色调光刻胶工艺和剥离工艺结合的技术来实现。其中,在形成钝化层11及其钝化层过孔的构图工艺中,采用双色调掩模板形成两种不同厚度的光刻胶,较厚的光刻胶(对应不透光区)覆盖栅极7/栅线7a、源极9/数据线9b的部分金属薄膜(其上不存在与像素电极12同层的导电薄膜);较薄的光刻胶(对应部分透光区)覆盖包括像素电极12区域的部分金属薄膜,形成像素电极12和线连接电极12d的图形。首先,刻蚀去除对应着全透光区的钝化薄膜11a形成钝化层过孔(例如包括栅线过孔和数据线过孔),同时刻蚀工艺以露出源极接触区和漏极接触区的多晶硅薄膜为终点、以及以露出配合源极接触区和配合漏极接触区的金属薄膜为终点;接着,进一步去除像素电极区域较薄的光刻胶;然后,沉积一层透明导电薄膜,采用薄膜剥离工艺去除较厚的光刻胶及其之上的透明导电薄膜,形成像素电极12、连接源极9与有源层4的第一连接电极12b、连接漏极10与有源层4的第二连接电极12c和连接断续设置的栅线7a的线连接电极12d,将原有技术的钝化层11和像素电极12两次构图工艺合二为一,完成LCD显示应用的阵列基板;或者,进一步的,再采用一次构图工艺形成像素定义层,完成AMOLED显示应用的阵列基板。

[0153] 在本实施例的包括低温多晶硅薄膜晶体管的阵列基板结构中,栅极7(栅线7a)和源极9(数据线9b)、漏极10由同一层金属薄膜形成,而没有层间绝缘层隔离开来,能有效降低栅极7与源极9和漏极10之间的寄生电容;采用和像素电极12相同的透明导电薄膜,形成和有源层4的多晶硅薄膜接触的第一连接电极12b和第二连接电极12c,透明导电薄膜和低电阻的金属薄膜相连接,降低电极和导线阻抗。栅线7a在和数据线9b交叉处断开,通过透明导电薄膜形成的线连接电极12d连接断续的栅线7a,简化阵列基板结构和制造工艺。

[0154] 本实施例中的阵列基板特别适用于低温多晶硅阵列基板的器件结构(即LTPS-AMOLED)的制造。

[0155] 综上,在本实施例的阵列基板中,为了减少制造工艺的光刻次数,采用三种技术方法:(1)双色调掩模板光刻工艺,(2)薄膜剥离工艺,(3)栅极(栅线7a)和源极(数据线9b)、漏极采用相同的材料同层沉积且在同一构图工艺中形成,像素电极、第一连接电极、第二连接电极和线连接电极采用相同的材料同层沉积且在同一构图工艺中形成,使得包括低温多晶硅薄膜晶体管的阵列结构的构图工艺次数大大减少(下降到两次),从而降低了工序复杂度,在缩短制造工艺时间的同时降低工艺成本、提升工艺良率。

[0156] 实施例3

[0157] 本实施例提供一种显示装置,该显示装置包括实施例2中的阵列基板。

[0158] 根据阵列基板的结构,显示装置可以为液晶显示装置或有机电致发光二极管显示装置。即该显示装置可以为:液晶面板、电子纸、OLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0159] 该显示装置采用低温多晶硅阵列基板形成,具有较好的显示效果,且制备成本较低。

[0160] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

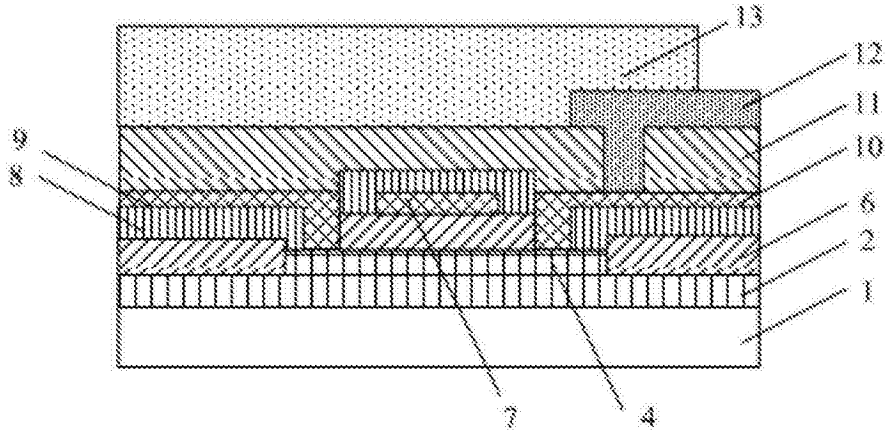


图1

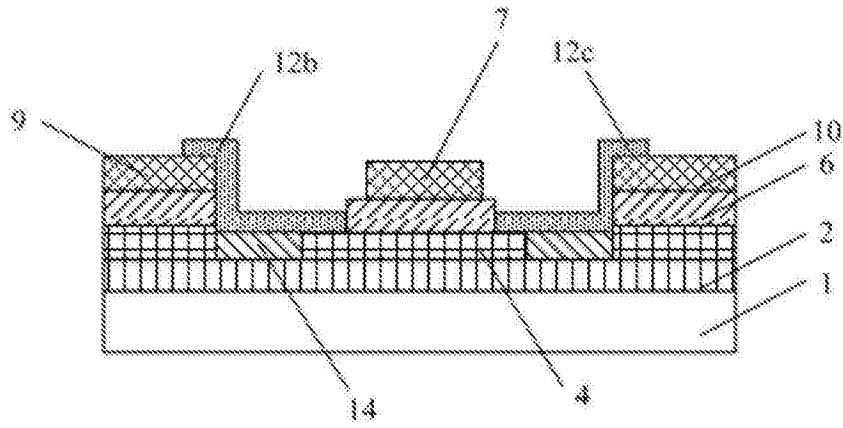


图2A

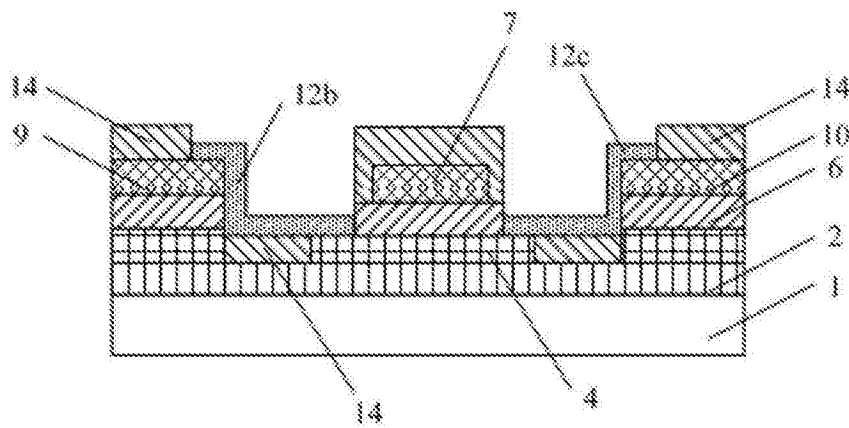


图2B

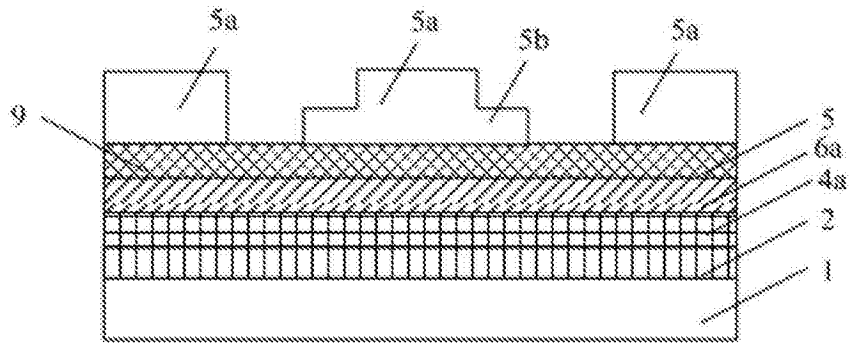


图3A

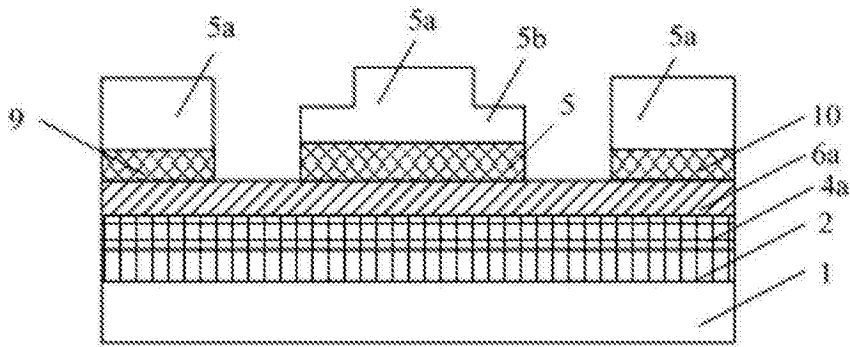


图3B

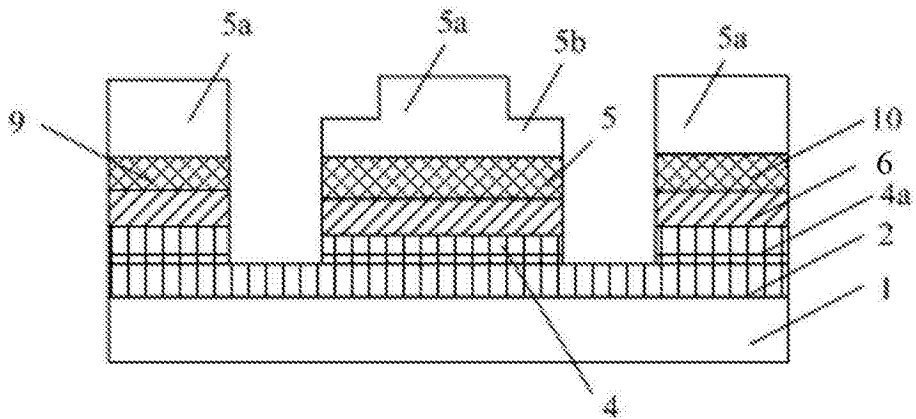


图3C

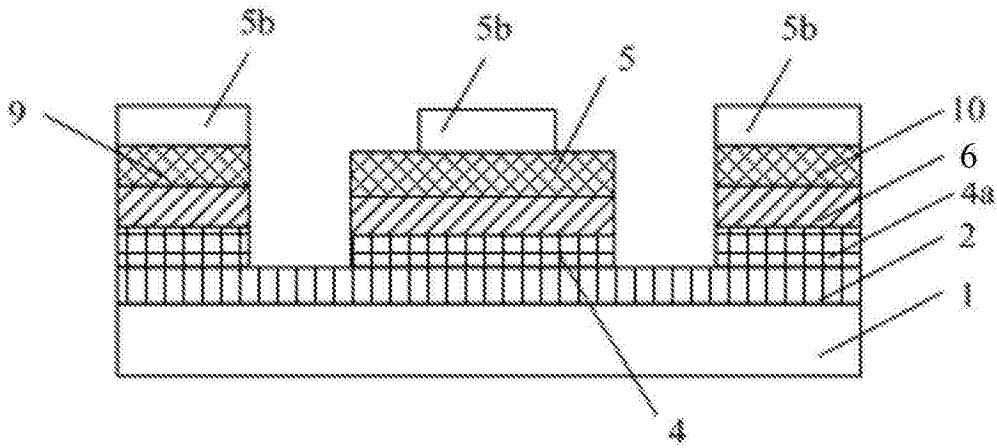


图3D

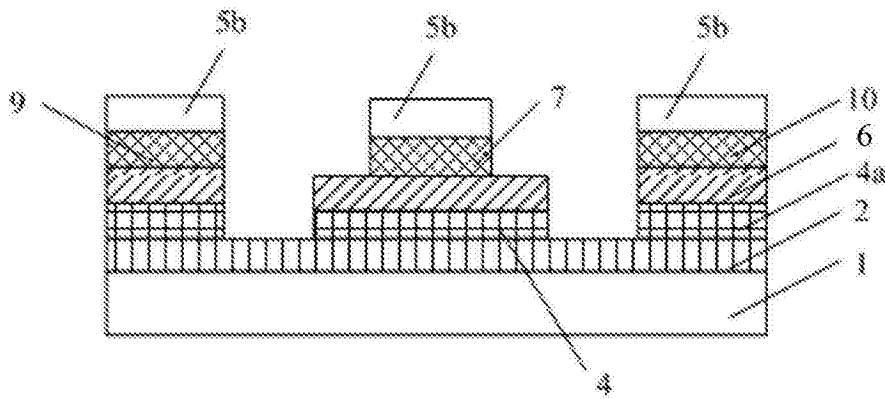


图3E

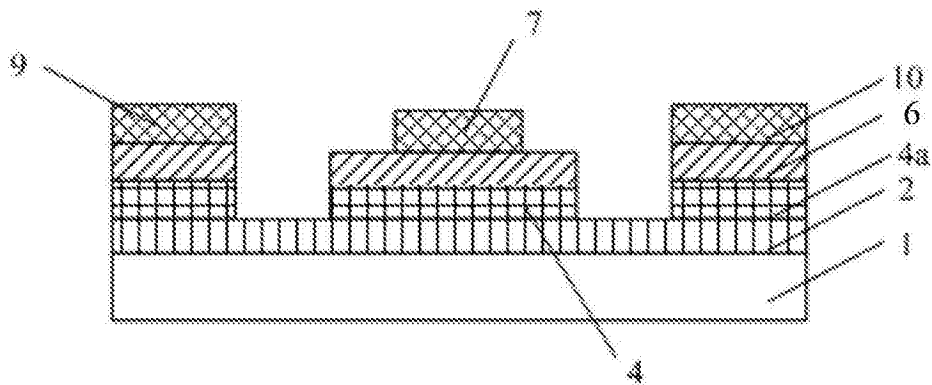


图3F

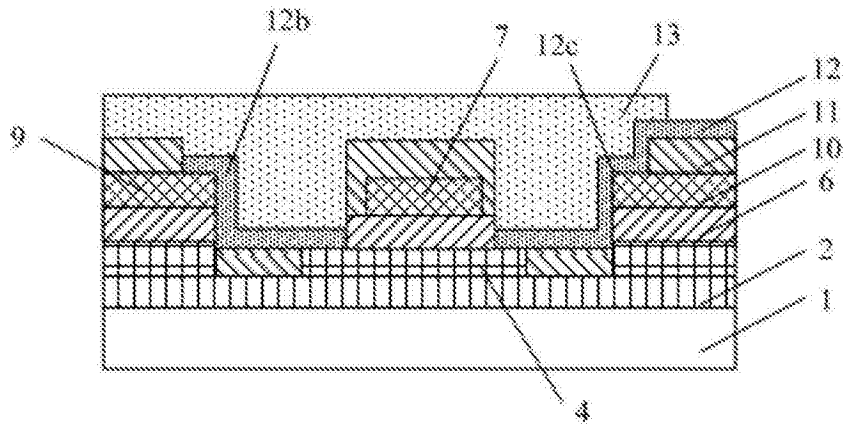


图4

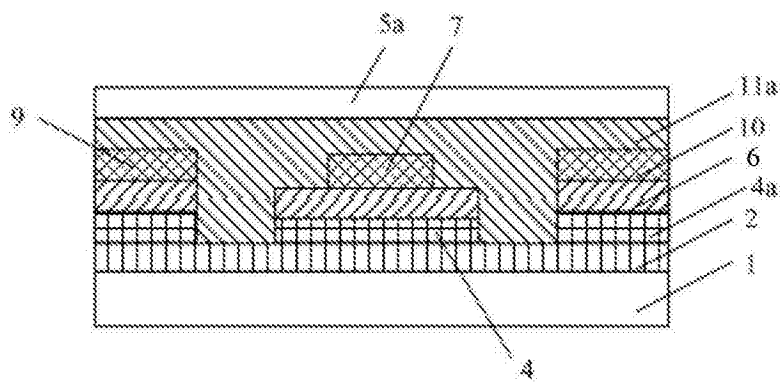


图5A

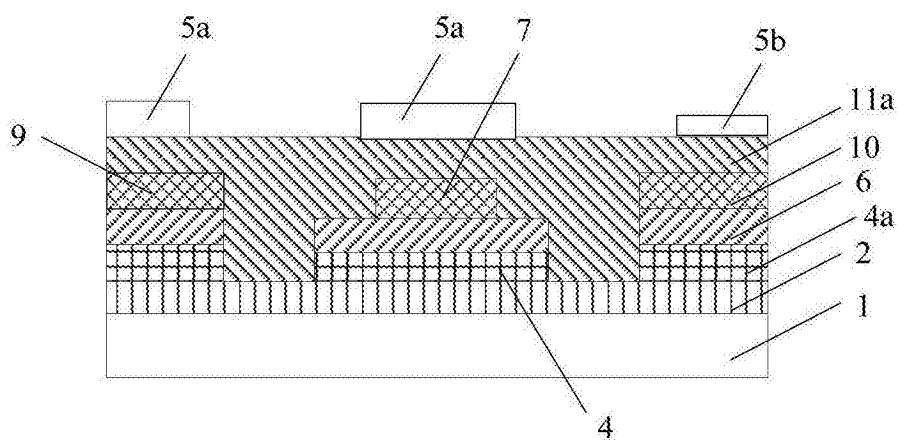


图5B

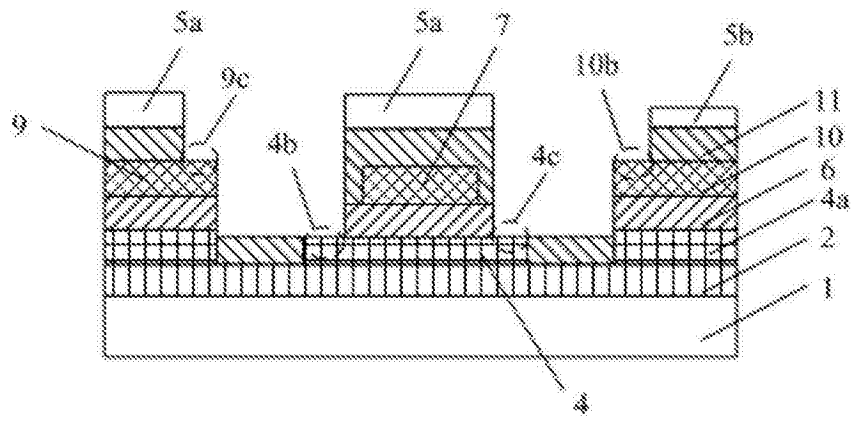


图5C

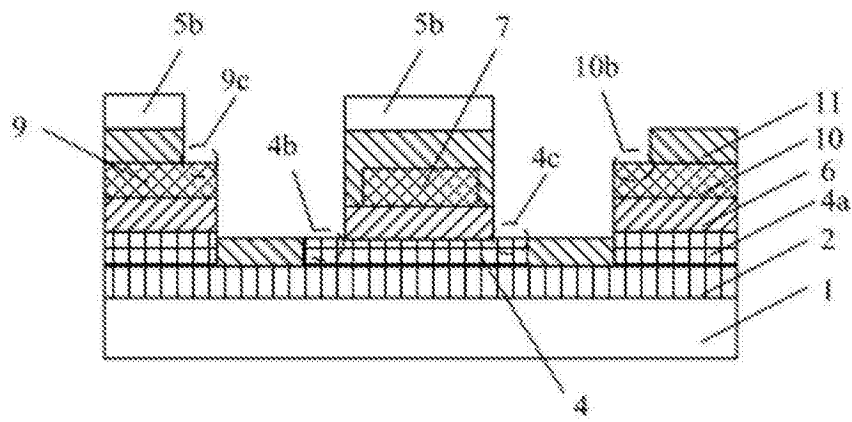


图5D

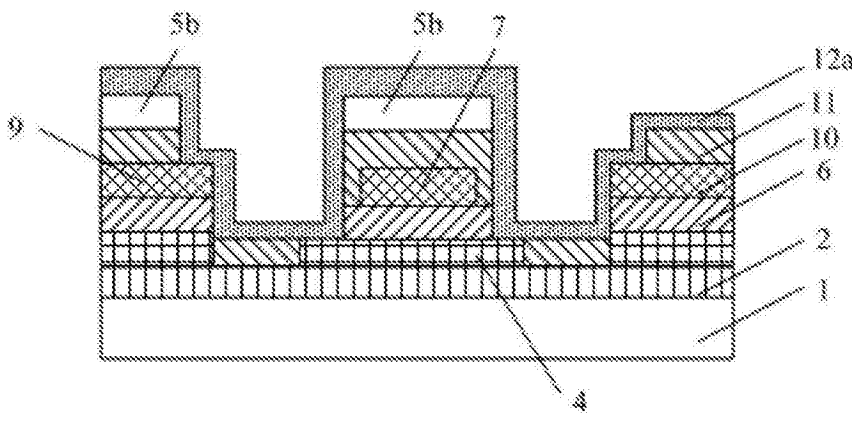


图5E



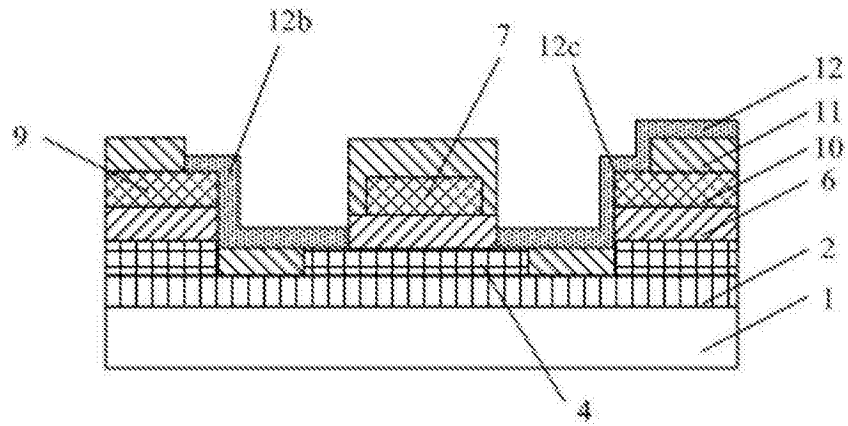


图5F

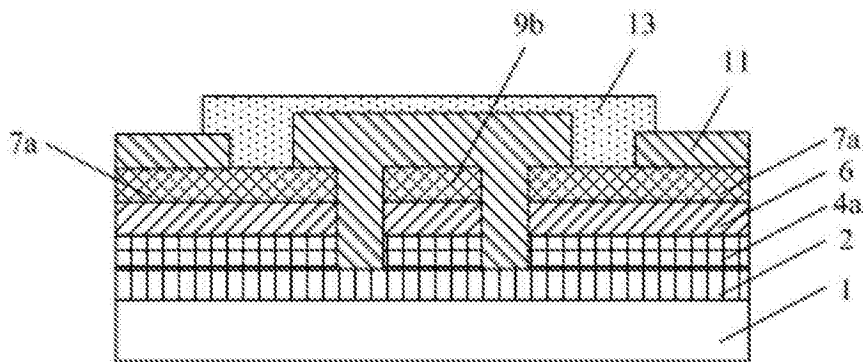


图5G

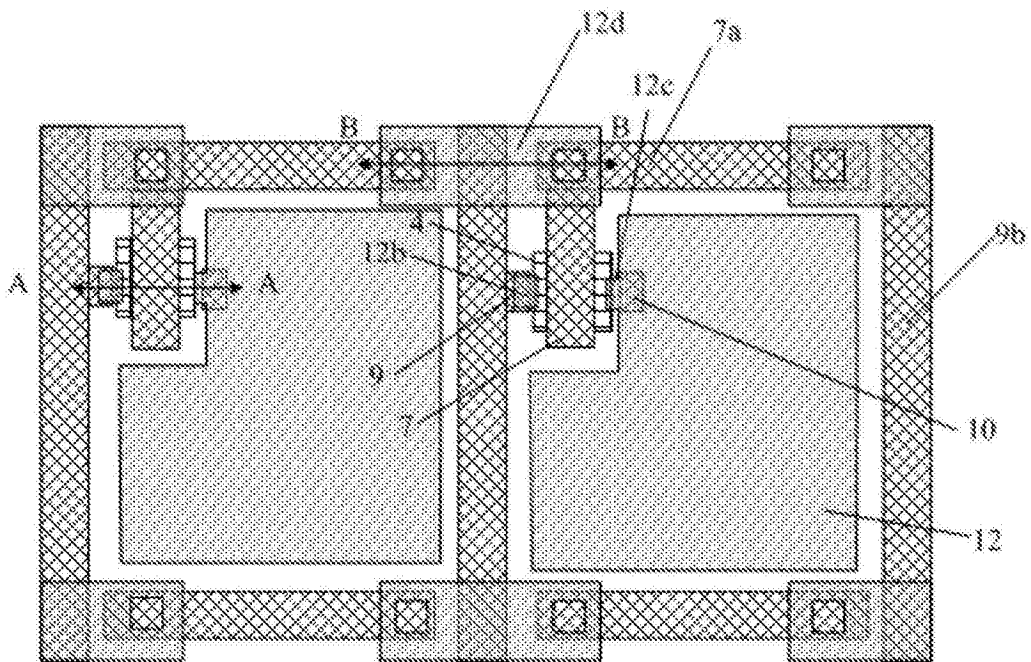


图5H