



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I543535 B

(45)公告日：中華民國 105 (2016) 年 07 月 21 日

(21)申請案號：102137974

(22)申請日：中華民國 102 (2013) 年 10 月 21 日

(51)Int. Cl.：

**H03K3/356 (2006.01)****G01R31/3185(2006.01)**

(71)申請人：創意電子股份有限公司(中華民國) GLOBAL UNICHIP CORPORATION (TW)

新竹市新竹科學園區力行六路 10 號

台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR

MANUFACTURING CO., LTD. (TW)

新竹市新竹科學園區力行六路 8 號

(72)發明人：陳水謨 CHEN, SHO MO (TW)；吳健誠 WU, CHIEN CHENG (TW)

(74)代理人：林素華；涂綺玲

(56)參考文獻：

US 5291078

WO 2008/138113A1

審查人員：郭立民

申請專利範圍項數：11 項 圖式數：4 共 21 頁

(54)名稱

掃描正反器及相關方法

SCAN FLIP-FLOP AND ASSOCIATED METHOD

(57)摘要

一種掃描正反器與相關方法。掃描正反器包括有一資料輸入端、一掃描輸入端、一正反器電路、一第一電晶體與複數個第二電晶體。第一電晶體的閘極耦接掃描輸入端，第二電晶體的閘極共同耦接至一致能訊號，第一電晶體與各第二電晶體的源極與汲極串連地耦接至正反器電路，以增加該掃描輸入端至該正反器電路間的延遲。

Scan flip-flop and associated method are provided. The scan flip-flop includes a data input terminal, a scan input terminal, a flip-flop circuit, a first transistor and a plurality of second transistors. A gate of the first transistor is coupled to the scan input terminal, gates of the second transistors are commonly coupled to an enabling signal, drains and sources of the first transistor and the second transistors are serially coupled to the flip-flop circuit, so as to increase a delay between the scan input terminal and the flip-flop circuit.

指定代表圖：

符號簡單說明：

20a-24a、20b-24b、

26、28 . . . 反相器

30 . . . 正反器

36 . . . 多工器

38 . . . 正反器電路

D、SI、SE、Q、

CK、CKB、CKI、

SEB . . . 端點

P1、N1、P3-P6、N3-

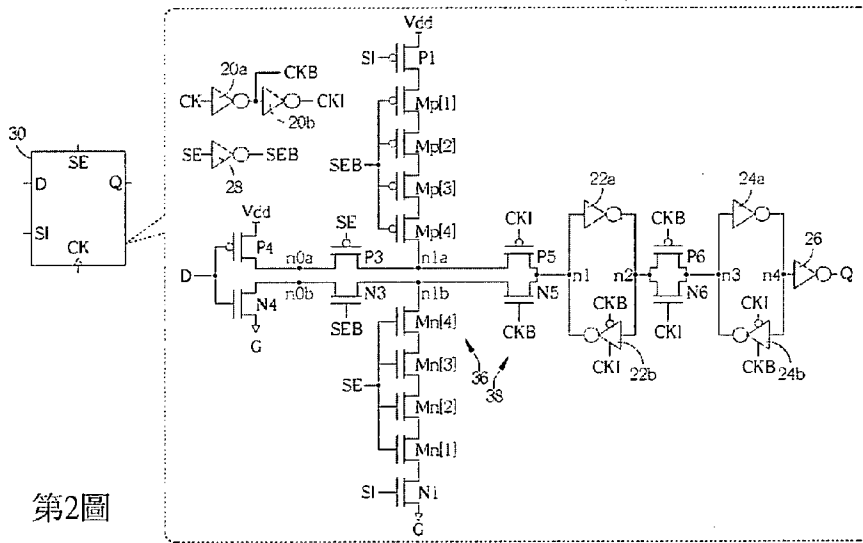
N6、Mp[.]、Mn

[.] . . . 電晶體

n1-n4、n0a-n1a、n0b-

n1b . . . 節點

Vdd、G . . . 電壓



第2圖

## 發明摘要

※ 申請案號： 102137974

H03K 3/356 (2006.01)

※ 申請日： 102. 10. 21

※IPC 分類： G01R 31/3185 (2006.01)

## 【發明名稱】(中文/英文)

掃描正反器及相關方法/SCAN FLIP-FLOP AND ASSOCIATED  
METHOD

## 【中文】

一種掃描正反器與相關方法。掃描正反器包括有一資料輸入端、一掃描輸入端、一正反器電路、一第一電晶體與複數個第二電晶體。第一電晶體的閘極耦接掃描輸入端，第二電晶體的閘極共同耦接至一致能訊號，第一電晶體與各第二電晶體的源極與汲極串連地耦接至正反器電路，以增加該掃描輸入端至該正反器電路間的延遲。

## 【英文】

Scan flip-flop and associated method are provided. The scan flip-flop includes a data input terminal, a scan input terminal, a flip-flop circuit, a first transistor and a plurality of second transistors. A gate of the first transistor is coupled to the scan input terminal, gates of the second transistors are commonly coupled to an enabling signal, drains and sources of the first transistor and the second transistors are serially coupled to the flip-flop circuit, so as to increase a delay between the scan input terminal and the flip-flop circuit.

【代表圖】

【本案指定代表圖】：第（ 2 ）圖。

【本代表圖之符號簡單說明】：

20a-24a、20b-24b、26、28：反相器

30：正反器

36：多工器

38：正反器電路

D、SI、SE、Q、CK、CKB、CKI、SEB：端點

P1、N1、P3-P6、N3-N6、Mp[.]、Mn[.]：電晶體

n1-n4、n0a-n1a、n0b-n1b：節點

Vdd、G：電壓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

掃描正反器及相關方法/SCAN FLIP-FLOP AND ASSOCIATED METHOD

## 【技術領域】

【0001】 本發明係關於一種掃描正反器及相關方法，且特別係關於一種可有效解決維持時間違誤 (hold time violation) 的掃描正反器及相關方法。

## 【先前技術】

【0002】 半導體積體電路 (例如晶片、晶粒) 是由許多電路單元 (cell) 合成的，掃描正反器就是最常用的標準電路單元之一。掃描正反器可在一正常運作模式與一掃描測試模式間切換；掃描正反器的電路架構可等效為一多工器與一普通的正反器電路 (例如一主從式正反器)。多工器設有一資料輸入端與一掃描輸入端；在正常運作模式與掃描測試模式下，多工器分別將資料輸入端與掃描輸入端導通至正反器電路；正反器電路則在一時脈的觸發下對多工器所選擇導通而來的訊號進行閘鎖取樣，也就是在正常運作模式下對資料輸入端傳入的訊號進行閘鎖取樣，在掃描測試模式下對掃描輸入端傳入的訊號進行閘鎖取樣。

【0003】 為實現積體電路的正常功能，各掃描正反器的資料輸入端會被耦接至積體電路中因應正常功能的邏輯區塊；相對地，掃描輸入端則可耦接至另一掃描正反器的輸出端，使不同掃描正反器串接為一掃描鏈，以在掃描測試模式下傳輸掃描測試的相關資料。請參考第 1 圖，其係舉例示意一種典型的數位電路架構；在此例中的兩個正反器 FF[1]與 FF[2]皆為掃描正反器，各正反器設有端點 D、SI、SE、CK 與 Q，分別為一資料輸入端、一掃描輸入端、一掃描致能端、一時脈端與一輸出端。一端點 Q0 經由一邏輯區塊 LOGIC[1]耦接至正反器 FF[1]的端點 D，再於端

點 Q1 經另一邏輯區塊 LOGIC[2] 耦接至次一正反器 FF[2]，形成正常運作模式下的資料路徑。相對地，爲了支援掃描測試模式，端點 Q0 另行耦接至正反器 FF[1] 的端點 SI，端點 Q1 亦另行耦接至正反器 FF[2] 的端點 SI，形成掃描測試模式下的資料路徑，即掃描鏈。

**【0004】** 第 1 圖中也一併繪示了一典型的掃描正反器架構，其包括有電晶體 Tp1 至 Tp6（如 p 通道金氧半電晶體）、電晶體 Tn1 至 Tn6（如 n 通道金氧半電晶體），以及反相器 10a 與 10b、12a 與 12b、14a 與 14b、16 與 18。由端點 CK 接收的時脈經由反相器 10a 反相至端點 CKB，端點 CKB 的時脈再經由反相器 10b 反相至端點 CKI；端點 SE 的訊號經由反相器 18 反相至端點 SEB。電晶體 Tp1 至 Tp4、Tn1 至 Tn4 形成一多工器 32。電晶體 Tp5 至 Tp6、Tn5 至 Tn6、反相器 12a 與 14a、受控於端點 CKI 與 CKB 的反相器 12b 與 14b 以及反相器 16 則形成一正反器電路 34，以節點 n0 作爲一內部輸入端，並輸出至端點 Q。當正反器 FF[1] 要運作於掃描測試模式時，端點 SE 會被提昇至高位準（邏輯 1），電晶體 Tn2 與 Tp2 導通，使節點 n0 的電壓可受控於端點 SI 的訊號，讓正反器電路 34 能接收掃描鏈上傳入的訊號；另一方面，電晶體 Tp3 與 Tn3 則不導通。當正反器 FF[1] 要運作於正常運作模式時，端點 SE 會被拉低至低位準（邏輯 0），電晶體 Tn3 與 Tp3 導通，使節點 n0 的電壓可受控於端點 D 的訊號，也就是讓正反器電路 34 能接收正常運作的訊號；另一方面，電晶體 Tp2 與 Tn2 則不導通。

**【0005】** 在第 1 圖中，時脈 CKin 用以觸發正反器 FF[1] 與 FF[2] 中的正反器電路（如正反器電路 34）。不過，因爲邏輯電路 LOGIC[1] 與 LOGIC[2] 會各自引進訊號延遲，故正反器 FF[1] 與 FF[2] 於端點 CK 所接收的觸發時脈 CK[1] 與 CK[2] 皆有所調整；延遲器 CTSD[1] 與 CTSD[2] 即用以代表時脈樹合成所引入的時脈延遲。然而，掃描鏈上的延遲和正常運作模式下的資料路徑延遲

並不相同（前者通常較短），依據正常功能所設定的時脈會使掃描正反器在掃描測試模式下違反相關的時序規格，例如說是違反維持時間的要求。同理，若依據掃描測試的時序調整各掃描正反器的時脈，掃描正反器在正常運作模式下應有的功能就會受影響。為克服掃描正反器的時序違誤，一種常用的技術係在掃描鏈上增設延遲用的緩衝器，例如第 1 圖中的緩衝器 BUFF[1]與 BUFF[2]。然而，增設緩衝器也會增加積體電路的總面積，影響積體電路的集積度、增加功耗、繞線距離也變長，連帶亦降低掃描鏈重排序（reorder）的彈性。

● **【0006】** 為了兼顧正常運作時序與掃描鏈時序，積體電路的設計流程常要進行多次重複遞迴以在掃描鏈時序與正常運作時序間尋求妥協，不僅要耗費大量設計時間、成本與資源在積體電路中插入許多緩衝器，有時甚至完全無法收斂至兩全的局面。對先進、小尺寸的製程而言，由於端點 CK 至 Q 的延遲縮短、資料設置時間（setup time）較短、不同晶片間的時脈變異較大與時脈不確定性較高等因素，維持時間違誤的影響更為嚴重，成為重大的電路設計難點。

● **【0007】** 另一些習知技術則嘗試將掃描鏈的延遲內建至掃描正反器中，如美國專利 6389566、6895540 與 7649395。然而，這些習知技術仍有缺點，例如說是輸出端數目不符合標準電路元件、布局面積過大，於掃描鏈上引入延遲的效能（如每單位面積能提供的延遲）較低，以及/或者是在先進製程的低工作電壓下無法正常動作。

### **【發明內容】**

**【0008】** 本發明的目的之一係提供一種掃描正反器，包括一資料輸入端、一掃描輸入端、一正反器電路，並包括一第一電晶體、複數個第二電晶體、一第三電晶體、一第四電晶體、複數個第五電晶體與一第六電晶體，用以形成一多工器。

**【0009】** 第一電晶體有一第一閘極、一第一源極與一第一汲

極，各個第二電晶體有一第二閘極、一第二源極與一第二汲極，第三電晶體有一第三閘極、一第三源極與一第三汲極，第四電晶體有一第四閘極、一第四源極與一第四汲極，各個第五電晶體有一第五閘極、一第五源極與一第五汲極，第六電晶體有一第六閘極、一第六源極與一第六汲極。正反器電路有一第一內部輸入端與一第二內部輸入端。該些第二源極與第二汲極以及第一源極與第一汲極係串連地耦接於一第一電壓與第一內部輸入端之間；第一閘極耦接掃描輸入端，且該些第二閘極係共同耦接至一第一致能訊號。第三源極與第三汲極係耦接於第一內部輸入端與資料輸入端之間，第三閘極則耦接於一第二致能訊號；其中，第二致能訊號與該第一致能訊號係互為反相。該些第五源極與第五汲極以及第四源極與第四汲極係串連地耦接於一第二電壓與第二內部輸入端之間；第四閘極耦接掃描輸入端，且該些第五閘極係共同耦接至第二致能訊號。第六源極與第六汲極係耦接於第二內部輸入端與資料輸入端之間，第六閘極則耦接於第二致能訊號。

**【0010】** 本發明的另一目的係提供一種應用於一電路布局的方法，包括：將複數個第一類掃描正反器擺放於該電路布局中，並於各個第一類掃描正反器之旁預留一對應的鄰接閒置區域；進行一時脈樹合成（clock tree synthesis）以替各第一類掃描正反器提供一時脈；針對該些第一類掃描正反器進行一時序測試（包括維持時間測試），並據以由該些第一類掃描正反器中選出第一數目個待置換正反器；並且，進行一置換步驟，將各該第一數目個待置換正反器置換為一第二類掃描正反器。其中，各個第二類掃描正反器的面積大於各第一類掃描正反器的面積，各個第一類掃描正反器與對應鄰接閒置區域的總面積可涵蓋各個第二類掃描正反器的面積。

**【0011】** 各個第二類掃描正反器包括一資料輸入端、一掃描輸入端、一正反器電路（具有一內部輸入端）、一第一電晶體與複數個第二電晶體。第一電晶體與第二電晶體的源極與汲極係串



連地耦接於一第一電壓與內部輸入端之間；第一電晶體的閘極耦接掃描輸入端，該些第二電晶體的閘極則係共同耦接在一起。本發明方法亦可包括一掃描重排序（scan reordering）。

【0012】 爲了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 【圖式簡單說明】

#### 【0013】

第 1 圖示意的是典型掃描正反器與其運用。

第 2 圖示意的是依據本發明一實施例的掃描正反器。

第 3 圖示意的是依據本發明一實施例的布局，可用以實現第 2 圖中的掃描正反器。

第 4 圖示意的是依據本發明一實施例的流程。

### 【實施方式】

【0014】 請參考第 2 圖，其所示意的是依據本發明一實施例的正反器 30。正反器 30 爲一掃描正反器，運作於直流工作電壓 Vdd 與 G（如地端電壓）之間，並設有端點 D、SI、SE、CK 與 Q，分別作爲一資料輸入端、一掃描輸入端、一掃描致能端、一時脈端與一輸出端。正反器 30 中可包括：反相器 20a 與 20b、22a 與 22b、24a 與 24b、26 與 28、電晶體 P1、P3 至 P6（如 p 通道金氧半電晶體）、電晶體 N1、N3 至 N6（如 n 通道金氧半電晶體）；正反器 30 亦包括有複數個電晶體 Mp[1]、Mp[2]、...等等，第 2 圖中以電晶體 Mp[1]至 Mp[4]代表；再者，正反器 30 還包括有複數個電晶體 Mn[1]、Mn[2]、...等等，第 2 圖中以電晶體 Mn[1]至 Mn[4]爲例。各電晶體 Mp[.]可以是 p 通道金氧半電晶體，各電晶體 Mn[.]可以是 n 通道金氧半電晶體。由端點 CK 接收的時脈可經由反相器 20a 反相至端點 CKB，端點 CKB 的時脈再經由反相器 20b 反相至端點 CKI；端點 SE 的訊號經由反相器 28 反相至端點 SEB。

【0015】 在正反器 30 中，電晶體 P1、Mp[.]（如 Mp[1]至

Mp[4])、P3、N1、Mn[.] (如 Mn[1]至 Mn[4]) 與 N3 分別作為第一至第六電晶體，並和電晶體 P4 與 N4 共同形成一多工器 36。電晶體 P5、P6、N5、N6 與反相器 22a、24a、22b、24b 與 26 則形成一主僕式正反器電路 38；節點 n1a 與 n1b 可視為正反器電路 38 的兩個內部輸入端。

**【0016】** 在多工器 36 中，電晶體 P1 與 N1 的閘極皆耦接端點 SI，諸電晶體 Mp[.] (如 Mp[1]至 Mp[4]) 的閘極共同耦接端點 SEB，諸電晶體 Mn[.] (如 Mn[1]至 Mn[4]) 的閘極則共同耦接端點 SE。電晶體 P1 與諸電晶體 Mp[.] 的源極與汲極串連地耦接於電壓 Vdd 與節點 n1a 之間，形成一串接 (cascode) 架構；類似地，電晶體 N1 與諸電晶體 Mn[.] 的源極與汲極亦串連地耦接於電壓 G 與節點 n1b 之間。舉例而言，假設正反器 30 中共有 Kp 個電晶體 Mp[1]至 Mp[Kp]，則第 k 個電晶體 Mp[k] 的源極可耦接至電晶體 Mp[k-1] 的汲極 (對 k=2 至 Kp)，電晶體 Mp[1] 的源極耦接電晶體 P1 的汲極，電晶體 P1 的源極耦接電壓 Vdd，電晶體 Mp[Kp] 的汲極則耦接節點 n1a。同理，假設正反器 30 中共有 Kn 個電晶體 Mn[1]至 Mn[Kn]，則第 k 個電晶體 Mn[k] 的源極可耦接至電晶體 Mn[k-1] 的汲極 (對 k=2 至 Kn)，電晶體 Mn[1] 的源極耦接電晶體 N1 的汲極，電晶體 N1 的源極耦接電壓 G，電晶體 Mn[Kn] 的汲極則耦接節點 n1b。電晶體 P4 的閘極、源極與汲極分別耦接端點 D、電壓 Vdd 與節點 n0a，電晶體 N4 的閘極、源極與汲極則分別耦接端點 D、電壓 G 與節點 n0b。電晶體 P3 的源極與汲極耦接於節點 n0a 與 n1a 之間，閘極耦接端點 SE；電晶體 N3 的源極與汲極耦接於節點 n0b 與 n1b 之間，閘極耦接端點 SEB。

**【0017】** 當正反器 30 要運作於正常運作模式時，端點 SE 的訊號會被維持為邏輯 0 (如電壓 G 的低位準)，使端點 SEB 的訊號成為邏輯 1 (如電壓 Vdd 的高位準)；因此，電晶體 P3 與 N3 導通，使節點 n1a 與 n1b 的訊號可受控於端點 D 的訊號，等效上就是使端點 D 的正常運作訊號能經由電晶體 P4 與 N4 而傳輸至正

反器電路 38；另一方面，諸電晶體 Mp[.]與 Mn[.]則不導通，使端點 SI 的訊號不會導通至節點 n1a 與 n1b。當正反器 30 要運作於掃描測試模式時，端點 SE 的訊號會被維持於邏輯 1，端點 SEB 的訊號則成為邏輯 0；因此，電晶體 P3 與 N3 關閉不導通，使端點 D 的訊號不被導通至多工器電路 38；諸電晶體 Mp[.]與 Mn[.]則皆導通，讓節點 n1a 與 n1b 的訊號可受控於端點 SI 的訊號，等效上就是使端點 SI 上的掃描鍊訊號能經由電晶體 P1 與 N1 而傳輸至正反器電路 38。

【0018】 在正反器電路 38 中，電晶體 P5 與 N5 的閘極分別耦接至端點 CKI 與 CKB，電晶體 P5 的源極與汲極耦接於節點 n1a 與 n1 之間，電晶體 N5 的源極與汲極則耦接於節點 n1b 與 n1 之間。反相器 22a 的輸入端與輸出端分別耦接節點 n1 與 n2；反相器 22b 受控於端點 CKI、CKB 的訊號而致能與失能，其輸入端與輸出端分別耦接節點 n2 與 n1。電晶體 P6 與 N6 的閘極分別耦接端點 CKB 與 CKI，電晶體 P6 的源極與汲極耦接於節點 n2 與 n3 之間，電晶體 N6 的源極與汲極亦耦接於節點 n2 與 n3 之間。反相器 24a 的輸入端與輸出端分別耦接節點 n3 與 n4；反相器 22b 受控於端點 CKI、CKB 的訊號而致能與失能，其輸入端與輸出端分別耦接節點 n4 與 n3。反相器 26 的輸入端與輸出端分別耦接節點 n4 與端點 D。

【0019】 當端點 CKI 的時脈呈邏輯 0，端點 CKB 為邏輯 1，電晶體 P5 與 N5 皆導通，讓節點 n1a 與 n1b 可被導通至節點 n1，並經反相器 22a 傳輸至節點 n2；電晶體 P6 與 N6 則不導通，使端點 Q 的訊號不受節點 n2 影響。當端點 CKI 的時脈轉態為邏輯 1，端點 CKB 隨之轉態至邏輯 0，電晶體 P5 與 N5 停止導通，轉態時在節點 n1a、n1b 上的訊號就會被門鎖於反相器 22a 與 22b 之間；電晶體 P6 與 N6 會導通，讓節點 n2 的訊號能被導通至節點 n3，並經由反相器 24a 與 26 而傳輸至端點 Q。

【0020】 在多工器 36 中，由於本發明配置了多個疊接的電晶

體  $Mn[.]$  與  $Mp[.]$ ，故可有效增加端點 SI 至多工器電路 38 間的延遲，等效上也就是增加掃描鏈上的延遲。因此，本發明正反器 30 能有效解決掃描鏈的維持時間違誤。正反器 30 不僅能為掃描測試改善掃描鏈的時序違誤，也不會影響正常運作模式下的訊號時序；由於諸電晶體  $Mn[.]$  與  $Mp[.]$  係串連疊接，故在節點  $n1a$  與  $n1b$  所呈現的阻抗會相當於單一電晶體的汲極阻抗。也就是說，在正常運作時，端點 D 的訊號於節點  $n1a$  與  $n1b$  所感受到的阻抗和第 1 圖中的多工器 32 的阻抗相同；因此，正反器 30 的正常運作時序會和第 1 圖正反器  $FF[.]$  相同。相較於各種先前技術的掃描正反器，本發明正反器 30 能以更小的增額 (overhead) 面積提供更長的掃描鏈延遲；換言之，本發明正反器 30 於每單位面積所提供的延遲時間較習知技術更長，更能有效克服維持時間違誤，也能進一步減少緩衝器的使用，節省積體電路的面積與功耗，提昇集積度，並降低積體電路的設計時間、成本與資源。

【0021】 請參考第 3 圖，其所示意的是依據本發明一實施例的布局 40，例如說是 28 奈米製程下的布局；布局 40 可用以實現第 2 圖正反器 30。布局 40 包括有多個沿著 x 軸等距平行排列的閘極區；這些閘極區可以具有相同的長度  $L$  (沿 x 方向的尺度)，並形成於同一導體層，如一多晶矽層。其中，閘極區  $gU$  可形成電晶體  $P1$  與  $N1$  的閘極，閘極區  $g[k]$  (對  $k=1$  至 4) 形成電晶體  $Mp[k]$  與  $Mn[k]$  的閘極，閘極區  $gD$  則形成電晶體  $P3$  與  $N3$  的閘極。第 3 圖中亦繪示相同製程下的另一布局 42，其可用以實現第 1 圖中的正反器  $FF[.]$ 。類似布局 40，布局 42 亦包括有沿著 x 軸等距平行排列的閘極區，如閘極區  $gpU$ 、 $gp1$  以及  $gpD$  等。其中，閘極區  $gpU$  可形成電晶體  $Tp1$  與  $Tn1$  的閘極，閘極區  $gp1$  形成電晶體  $Tp2$  與  $Tn2$  的閘極，閘極區  $gpD$  則形成電晶體  $Tp3$  與  $Tn3$  的閘極。

【0022】 相較於第 1 圖中的正反器  $FF[.]$ ，由於第 2 圖正反器 30 增設了疊接的諸電晶體  $Mp[.]$  與  $Mn[.]$ ，故布局 40 的長度比布局 42 延長了長度  $L_v$ ，如第 3 圖所示。不過，在先進製程下，相

鄰電晶體 P1、Mp[.]與 P3 以及 N1、Mn[.]與 N3 的閘極區 gU、g[1] 至 g[4]與 gD 之間不需設置虛接 (dummy) 閘極區，故正反器 30 能有效率地增加每一單位面積的延遲。一實施例中，布局 40 增加的長度 Lv 為 3 個節距 (pitch)，但卻可額外引入 70ps (微微秒) 的延遲時間，單位面積的延遲遠優於習知技術。

**【0023】** 本發明正反器 30 (如布局 40) 可以和第 1 圖中正反器 FF[.] (如布局 42) 一併被納入標準電路單元資料庫 (standard cell library) 而作為兩類不同的標準電路單元。請參考第 4 圖，其所示意的是依據本發明一實施例的流程 100，其可於積體電路的設計流程中運用本發明正反器 30。流程 100 的主要步驟可說明如下。

**【0024】** 步驟 102：在積體電路的布局中擺放電路單元。在需要使用掃描正反器的地方，先擺放第 1 圖中的正反器 FF[.]，並於各正反器 FF[.]之旁預留一對應的鄰接閒置區域 A[.]。舉例而言，第 4 圖的積體電路局部需要四個掃描正反器，故步驟 102 可擺放四個正反器 FF[k1]、FF[k2]、FF[k3]與 FF[k4]，並於正反器 FF[k1]之旁預留一對應的鄰接閒置區域 A[k1]、於正反器 FF[k2]之旁預留鄰接閒置區域 A[k2]、於正反器 FF[k3]旁預留鄰接閒置區域 A[k3]，並於正反器 FF[k4]之旁預留鄰接閒置區域 A[k4]。其中，每個區域 A[.]的長度可以大於等於長度 Lv (第 3 圖)。

**【0025】** 步驟 104、106 與 108 係針對已擺放的電路單元進行前時脈樹合成 (pre-CTS)、時脈樹合成 (CTS, clock tree synthesize) 與後時脈樹合成 (post-CTS)。

**【0026】** 步驟 110：針對時脈樹合成的結果進行時序測試，並據以由已擺放的正反器 FF[.]中選出待置換正反器。此時序測試可包括維持時間測試，以找出哪些正反器 FF[.]會違反維持時間的要求，而這些會違反維持時間的正反器 FF[.]即為待置換正反器。找出待置換正反器後，便可進行置換步驟，將各個待置換正反器 FF[.]置換為本發明的掃描正反器 eFF[.]，也就是第 2 圖中的正反

器 30。由於正反器 FF[.]與 eFF[.]的高度（沿 y 軸的尺寸）相同，且區域 A[.]沿 x 軸的長度可涵蓋長度  $L_v$ ，故正反器 eFF[.]的布局可被涵蓋至正反器 FF[.]與區域 A[.]的總和面積中。在第 4 圖的例子，假設正反器 FF[k1]與 FF[k3]為待置換正反器，因此，可於步驟 110 中將正反器 eFF[k1]插入至正反器 FF[k1]與區域 A[k1]原先佔據的區域，而正反器 FF[k3]與區域 A[k3]中的布局則以正反器 eFF[k3]的布局取代。其他未被使用的區域 A[.]，如區域 A[k1]與 A[k4]，可用來容納其他的元件或電路單元，例如緩衝器與去耦電容等等。

**【0027】** 步驟 112：繼續設計流程，針對步驟 110 完成的積體電路布局進行繞線。

**【0028】** 由於本發明正反器能有效增加維持時間的餘裕，故也可擴大掃描鏈重新排序的彈性，而流程 100 中也可包括掃描重排序（scan reordering）的步驟，例如說是在步驟 102 與 104 間進行掃描重排序。

**【0029】** 總結來說，相較於習知技術，本發明的掃描正反器能有效率地增加單位面積的延遲時間，有效改善維持時間違誤，實質減少積體電路所需的緩衝器、功耗、繞線長度與布局面積，並增進積體電路設計的效率，讓設計流程能兼顧正常運作時序與掃描鏈時序的需求，快速地收斂至兩全的局面，減少設計流程的時間、成本、資源。

**【0030】** 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通並據以由該些第一類掃描正反器中選出第一數目個待置換正反器常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### **【符號說明】**

**【0031】**

10a-14a、10b-14b、16、18、20a-24a、20b-24b、26、28：反  
相器

30、FF[.]、eFF[.]：正反器

32、36：多工器

34、38：正反器電路

40、42：布局

100：流程

102-112：步驟

CKin、CK[.]：時脈

D、SI、SE、Q、CK、CKB、CKI、SEB、Q0-Q1：端點

LOGIC[.]：邏輯區塊

BUFF[.]：緩衝器

CTSD[.]：延遲器

Tp1-Tp6、Tn1-Tn6、P1、P3-P6、N1、N3-N6、Mp[.]、Mn[.]：

電晶體

n0-n4、n0a-n1a、n0b-n1b、：節點

Vdd、G：電壓

gU、gD、g[.]、gpU、gpD、gp1：閘極區

L、Lv：長度

A[.]：區域

## 申請專利範圍

1. 一種掃描正反器，包含：
  - 一資料輸入端，耦接一資料訊號；
  - 一掃描輸入端，耦接一掃描輸入訊號；
  - 一正反器電路，包含一第一內部輸入端與一第二內部輸入端；以及
  - 一多工器，包含：
    - 一第一電晶體，包含一第一閘極、一第一源極與一第一汲極；以及
    - 複數個第二電晶體，各該第二電晶體包含一第二閘極、一第二源極與一第二汲極；以及
    - 一第三電晶體，包含一第三閘極、一第三源極與一第三汲極，該第三源極與該第三汲極係耦接於該第一內部輸入端與該資料輸入端之間；以及
    - 一第四電晶體，包含一第四閘極、一第四源極與一第四汲極；以及
    - 複數個第五電晶體，各該第五電晶體包含一第五閘極、一第五源極與一第五汲極；以及
    - 一第六電晶體，包含一第六閘極、一第六源極與一第六汲極，該第六源極與該第六汲極係耦接於該第二內部輸入端與該資料輸入端之間；

其中，該些第二電晶體的該些第二源極與該些第二汲極以及該第一源極與該第一汲極係串連地耦接於一第一電壓與該第一內部輸入端之間，該第一閘極與該第四閘極共同耦接該掃描輸入端，且該些第二電晶體的該些第二閘極與該第六閘極係共同耦接至一第一致能訊號；並且，該些第五電晶體的該些第五源極與該些第五汲極以及該第四源極與該第四汲極係串連地耦接於一第二電壓與該第二內部輸入端之間，該些第五電晶體的該些第五閘極與該第三閘極係共同耦接至一第二致能訊號；

其中，該第二致能訊號與該第一致能訊號係互為反相，並



且，該些第二電晶體的數目等於該些第五電晶體的數目。

2. 如申請專利範圍第 1 項的掃描正反器，其中，該掃描正反器的布局包含一第一閘極區、複數個第二閘極區與一第三閘極區；該第一閘極與該第四閘極形成於該第一閘極區，各該第二閘極與一對應的該第五閘極形成於該些第二閘極區的其中之一，該第三閘極與該第六閘極形成於該第三閘極區；並且

該第一閘極區、該些第二閘極區與該第三閘極區係等距平行排列。

3. 如申請專利範圍第 2 項的掃描正反器，其中該第一閘極區、該些第二閘極區與該第三閘極區係沿一水平方向等距平行排列，並且，該第一閘極區、各該第二閘極區與該第三閘極區沿該水平方向的長度相等。

4. 如申請專利範圍第 3 項的掃描正反器，其中，該些第二閘極區係排列於該第一閘極區與該第三閘極區之間。

5. 一種應用於一電路布局的方法，包含：

將複數個第一類掃描正反器擺放於該電路布局中，並於各該第一類掃描正反器之旁預留一對應的鄰接閒置區域；

針對該些第一類掃描正反器進行一時序測試，並據以由該些第一類掃描正反器中選出第一數目個待置換正反器；以及

進行一置換步驟，將各該第一數目個待置換正反器置換為一第二類掃描正反器；

其中，各該第二類掃描正反器包含：

一資料輸入端；

一掃描輸入端；

一正反器電路，包含一內部輸入端與一第二內部輸入端；以

及

一多工器，包含：

一第一電晶體，包含一第一閘極、一第一源極與一第一汲極；以及

複數個第二電晶體，各該第二電晶體包含一第二閘極、一第二源極與一第二汲極；以及

一第三電晶體，包含一第三閘極、一第三源極與一第三汲極，該第三源極與該第三汲極係耦接於該第一內部輸入端與該資料輸入端之間；以及

一第四電晶體，包含一第四閘極、一第四源極與一第四汲極；以及

複數個第五電晶體，各該第五電晶體包含一第五閘極、一第五源極與一第五汲極；以及

一第六電晶體，包含一第六閘極、一第六源極與一第六汲極，該第六源極與該第六汲極係耦接於該第二內部輸入端與該資料輸入端之間；

其中，該些第二電晶體的該些第二源極與該些第二汲極以及該第一源極與該第一汲極係串連地耦接於一第一電壓與該內部輸入端之間，該第一閘極與該第四閘極共同耦接該掃描輸入端，且該些第二電晶體的該些第二閘極與該第六閘極係共同耦接至一第一致能訊號；並且，該些第五電晶體的該些第五源極與該些第五汲極以及該第四源極與該第四汲極係串連地耦接於一第二電壓與該第二內部輸入端之間，該些第五電晶體的該些第五閘極與該第三閘極係共同耦接至一第二致能訊號；

其中，該第二致能訊號與該第一致能訊號係互為反相，並且，該些第二電晶體的數目等於該些第五電晶體的數目。

6. 如申請專利範圍第 5 項的方法，其中該時序測試包含一維持時間 (hold-time) 測試。

7. 如申請專利範圍第 5 項的方法，更包含：

在進行該時序測試前，進行一時脈樹合成（clock tree synthesis）以替各該第一類掃描正反器提供一時脈。

8. 如申請專利範圍第 5 項的方法，更包含：  
進行一掃描重排序（scan reordering）。

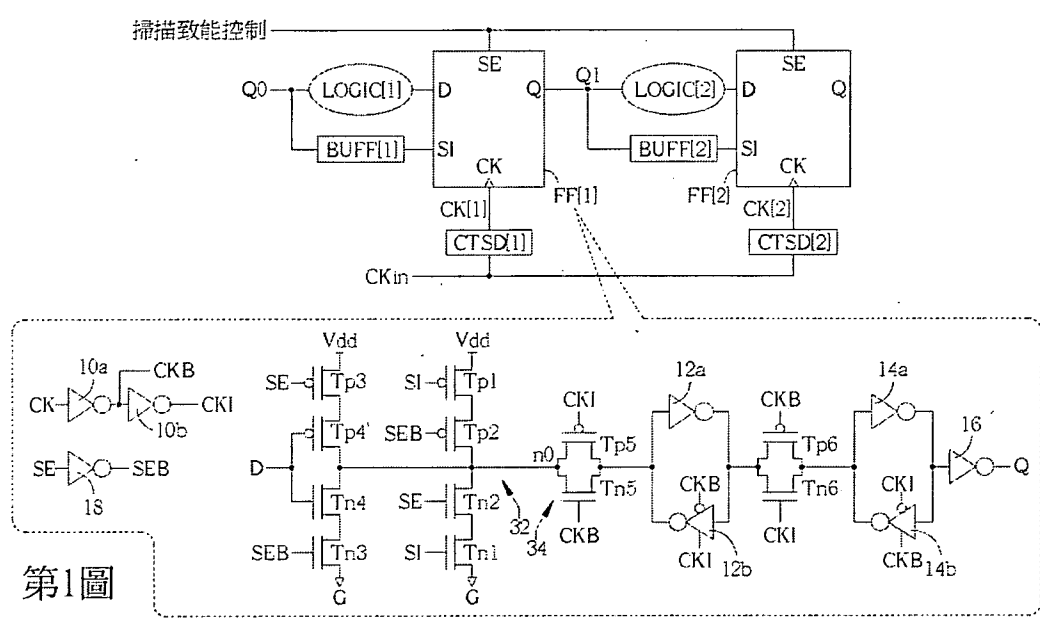
9. 如申請專利範圍第 5 項的方法，其中，各該第二類掃描正反器的布局包含一第一閘極區、複數個第二閘極區與一第三閘極區；該第一閘極與該第四閘極形成於該第一閘極區，各該第二閘極與一對應的該第五閘極形成於該些第二閘極區的其中之一，該第三閘極與該第六閘極形成於該第三閘極區；並且

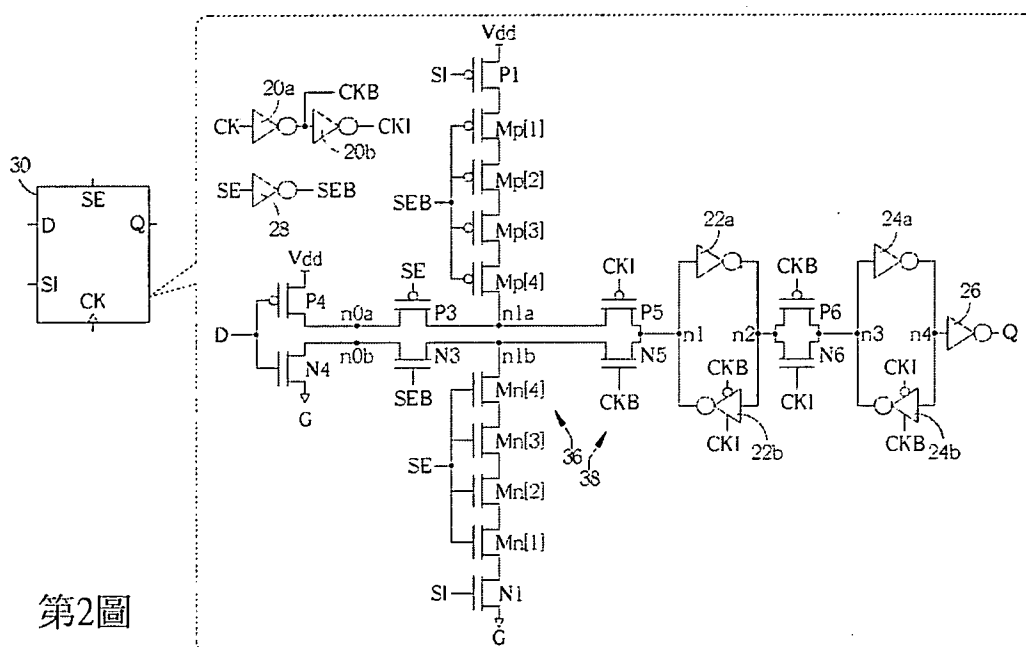
該第一閘極區、該些第二閘極區與該第三閘極區係等距平行排列。

10. 如申請專利範圍第 9 項的方法，其中該第一閘極區、該些第二閘極區與該第三閘極區係沿一水平方向等距平行排列，並且，該第一閘極區、各該第二閘極區與該第三閘極區沿該水平方向的長度相等。

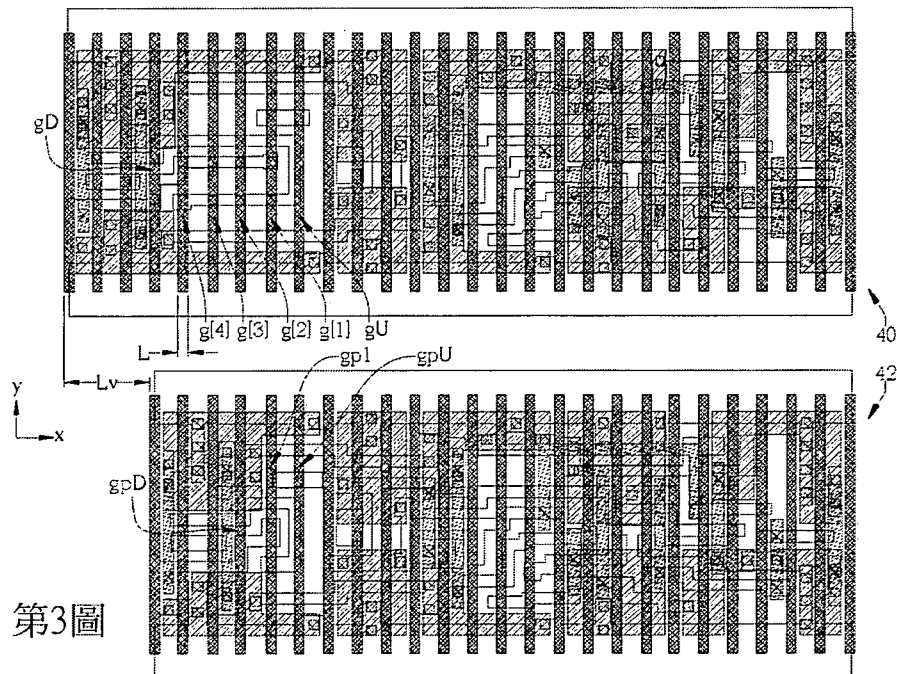
11. 如申請專利範圍第 10 項的方法，其中，該些第二閘極區係排列於該第一閘極區與該第三閘極區之間。

# 圖式

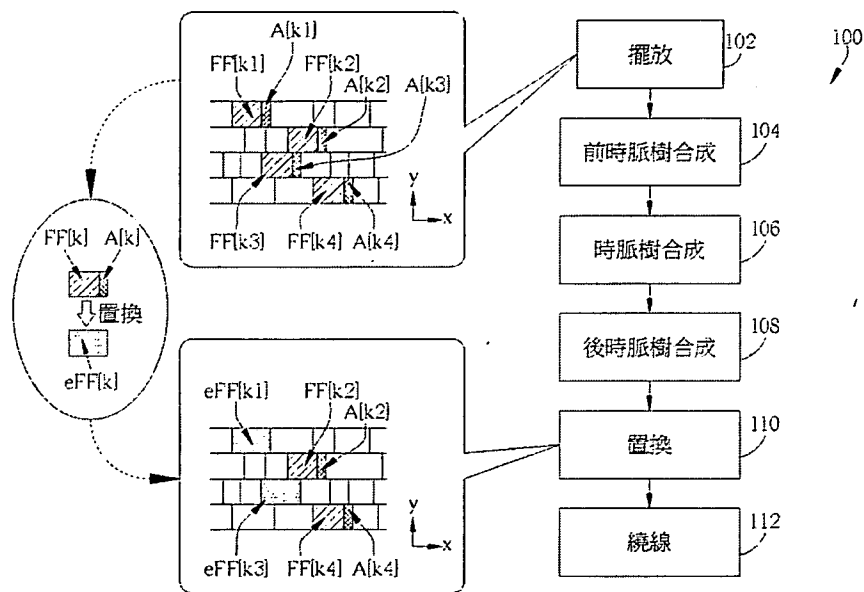




第2圖



第3圖



第4圖