

은 상기 공진 수정이 비교적 값비싸고 공진 수정 발진기가 통상 소비자용의 텔레비전 수상기 또는 비디오 테이프 레코더의 조립체에서 비교적 값비싼 단계를 수동을 조작시킬 필요가 있기 때문에 바람직하지 못하다.

공진 수정을 필요로 하지도 않고 수동 조작 동작을 필요로 하지 않는 한 방법이 기준에 의해 본원에 통합된 미국 특허 제4,255,759호에 기술되었다. 상기 시스템에선, 제어 회로에 의한 조잡한 주파수는 사이드-로크 주파수를 제외한 범위내에서 자동 위상 제어 회로(PLL)에 의해 생성된 신호를 유지하는데 사용된다. 상기 시스템은 사실상 이중 PLL이다. 내부 PLL, 즉, 자동 위상 제어 회로가 복합 비디오 신호의 칼라 기준 버스트 신호 성분에 고정되는 반면에, 외부 PLL, 즉, 조잡 주파수 제어 회로는 복합 비디오 신호의 수평 라인 동기 신호 성분에 고정된다. 상기 시스템은 잔여 정수 f_c 대 f_H 의 비에 따른다. NTSC 시스템에선, 예를들어, 칼라 부반송파 신호는 라인 주사 주파수(즉, $f_c = 227.5f_H$)의 1/2의 455번째 고조파이다. 방송 및 다른 표준 신호에 대해서는 상기 비를 유지한다. 그러나, 비디오 테이프 레코더, 비디오 디스크 플레이어 및 가정용 컴퓨터와 같은 비표준 신호원에 의해 생성된 신호에 대해서는, f_c 대 f_H 의 비는 공칭값 부근에 집중된 값의 범위에 걸쳐 변할 수도 있다. 상기 값의 범위의 비교적 작은 부분만이 불필요한 사이드-로크 상태에 대응한다. 참조된 특허에 기술된 상기 시스템은 아무런 변화도 원하지 않더라도, 루프의 조합된 결과가 재생된 부반송파 신호의 주파수를 변화시킬 수도 있기 때문에 이들 비표준 신호원이 사용될때 제대로 실행되지 않을 수도 있다.

본 발명은 복합 비디오 신호의 칼라 동기 버스트 신호 성분에 동기화된 광대역 위상 로크 루프를 포함하는 회로에서 구체화된다. 이 위상-로크 루프에 의해 생성된 신호는 복합 비디오 신호의 수평 라인 동기 신호 성분에 응답하여, 사이드-로크 상태를 검출하는 회로에 인가된다. 잠재적인 사이드-로크 상태가 검출되면, 상기 회로는 위상 로크 루프에 신호를 인가해서 사이드-로크 상태를 수정한다. 아무런 잠재적인 사이드-로크 상태가 검출되지 않으면, 상기 회로는 위상 로크 루프의 동작에 아무런 영향을 미치지 않는다.

이제, 도면을 참조하여, 본원 발명이 더욱 상세히 설명될 것이다.

제1도에서, 넓은 화살표는 다중-비트 병렬 디지털 신호(multiplebit parallel digital signals)를 전달하는 버스를 표시하고 라인 화살표는 아날로그 신호 또는 신호-비트 디지털 신호를 전달하는 접속 관계를 표시한다. 각 장치의 처리 속도에 따라, 특정의 신호 경로에는 보상용 지연이 요구될 수도 있다. 위상 동기 루프 시스템을 설계하는 기술 분야에 숙련된 자는 이러한 지연이 특정 시스템에서 필요하다는 것을 알 것이다.

제1도에 도시된 PLL 시스템에선, 예를들어, 종래의 텔레비전 수상기의 동조기, IF 증폭기, 비디오 검출기, 및 버스트 게이트 회로를 포함할 수도 있는 칼라 버스트 신호원(10)이 분리된 칼라 버스트 신호를 위상 검출기(12)의 한 입력 단자에 제공한다. 종래의 설계일 수도 있는 위상 검출기(12)는 칼라 버스트 신호 분주기(frequency divider; 20)에 의해 생성된 발진 신호 FC와 비교한다. 위상 검출기(12)에 의해 제공된 출력 신호는 버스트 신호와 분주기(20)에 의해 제공된 신호간의 위상차에 비례한다. 위상 검출기(12)의 출력 신호는 저역 통과 필터, 즉, 저항기(14) 및 캐패시터(16)를 포함하는 PLL의 시스템 루프 필터에 인가된다. 상기 저역 통과 필터는 다수의 수평 라인 기간에 걸쳐 위상 에러 신호를 적분하여, 전압 제어 발진기(VCO; 18)의 입력 단자에 인가되는 주파수 제어 신호를 발생시킨다. 상기 VCO(18)는 예를들어 저항기-캐패시터(RC) 공진 회로를 포함하는 비교적 값비싼 광대역 회로일 수도 있다. 상기 VCO의 프리-러닝(free-running) 주파수는 칼라 부반송파 신호의 주파수 f_c 의 4배인 대략 $4f_c$ 이다. 상기 VCO(18)에 의해 제공된 출력 신호는 예를들어, 상기 미국 특허 제 4,255,759호에 도시된 바와 같은 텔레비전 수상기에 사용될 수도 있는 신호 CK이다. 상기 신호 CK는 상기 신호의 주파수를 4로 분할하는 분주기(20)에 인가되어, 위상 검출기(12)에 인가되는 신호 FC를 발생시킨다.

전술된 회로는 종래의 버스트-로크 PLL이다. 그러나, 상기 기술된 바와 같이, 상기 PLL이 비교적 광대역 VCO를 사용하기 때문에, 사이드-로킹에 영향을 받기 쉽다. 사이드-로킹은 신호 FC의 주파수가 f_H 또는 수배의 f_H 와 실제로 동일한 양만큼 f_c 와 상이할시에 발생한다. 버스트 신호가 각 수평 라인의 버스트 기간 동안에만 위상 검출기(12)에 인가되기 때문에, 위상 검출기(12)에 의해 제공된 출력 신호는 FC의 주파수가 $f_c - f_H$, f_c , 및 $f_c + f_H$ 와 실제로 동일할시에 국소적인 최소를 나타낸다. 이들 3개의 주파수는 PLL의 안정동작점을 표시한다.

PLL이 사이드-로크 주파수 $f_c - f_H$ 또는 $f_c + f_H$ 중의 한 주파수에서 안정화하는 것을 방지하기 위하여, 제1도의 잔여 회로는 사이드-로크 상태를 검출하고, 그 검출에 따라, PLL을 f_c 와 실제로 동일한 주파수로 재고정시키는 방향으로 PLL을 비안정화 시킨다.

VCO(18)에 의해 제공된 $4f_c$ 신호 CK는 검출 회로로의 입력 신호중 하나이다. 상기 신호는 10-비트 카운터(22)의 입력 단자에 인가된다. 수평 동기 신호원(28)에 의해 제공된 수평 동기 신호 HS는 검출 회로의 제2의 입력 단자에 인가된다. 상기 신호 HS는 지연 소자(26)를 통하여 카운터(22)의 리셋 입력 단자에 인가된다.

카운터(22)는 신호 CK의 각 펄스에 대하여 그 값을 증가한다. 표준 신호가 수신되고 PLL이 사이드-로크되지 않으며, 카운터(22)에 의해 생성된 값은 신호 HS의 펄스에 의해 제로로 리셋하고, 909까지 증가하고, 그후에 신호 HS의 그다음 후속 펄스에 의해 제로로 리셋된다. 카운터(22)에 의해 생성된 10비트 출력 값은 각 수평 라인 기간동안 카운터 값을 로드하기 위해 비지연된 신호 HS에 의해 조절되는 래치(24)에 인가된다. 지연 소자(26)는 신호 CK의 1주기의 분주인 지연을 제공한다. 따라서, 래치(24)내로 로드된 값은 카운터(22)가 리셋되기 직전에 카운터(22)에 의해 생성된 값과 실제로 동일하다.

래치(24)내에 저장된 값은 판독 전용 메모리(ROM ; 30)의 어드레스 입력 포트에 인가된다. ROM(30)은 상기 ROM의 어드레스 입력 포트에 인가된 상이한 값에 응답하여, 출력 신호 SC, SE 및, 다른 실시예에선 출력 신호 SI를 발생하도록 프로그램된다. 이하의 표 1은 카운트 값 신호 CV의 상이한 값에 응답하여 발생하는 신호 SC 및 SE의 값을 나타낸다. 상기 표에서 'x'의 값은 어느쪽이나 상관없음(don't care) 상태를 표시한다.

[표 1]

CV	SC	SE
≤905	1	0
906-912	x	1
≥913	0	0

신호 SC 및 SE는 삼-상 게이트(three-state gate ; 32)의 신호 입력 단자 및 제어 입력 단자에 각기 인가된다. 게이트(32)는 저항기(34)를 통하여 저항기(14) 및 캐패시터(16)의 상호 접속에 인가되는 출력 신호를 제공한다. 신호SE는 PLL이 사이드-로크 상태에 있을 수도 있음을 나타내는 에러 신호이다. 신호 SC는 제1의 사이드-로크 상태의 희망 주파수 보다 더 크거나 또는 제2의 사이드-로크 상태의 희망 주파수 보다 더 적은 사이드-로크의 형태를 나타낸다. 신호 SE가 논리 0일시엔, 삼-상 게이트(32)는 신호SC 실제로 동일한 신호를 저항기(34)에 인가하도록 동작된다. 그러나, 신호 SE가 논리 1일시엔, 삼-상 게이트(32)는 사이드-로크 방지 회로를 PLL로부터 효과적으로 제거하기 위해 삼-상 게이트의 출력 단자에서 고 임피던스 상태를 나타낸다. 본 발명의 상기 실시예에선, 신호 SE가 삼-상 게이트(32)를 조절하여, 906에서 912까지 변동하는 카운트 값에 대해 고 임피던스 상태를 나타낸다. 상기 범위내의 카운트 값은 사이드-로크 상태에 대응하기 않는 f대 f의 비의 변동에 대응한다. 이들 변동은 예를들어, PLL 시스템에 인가된 비디오 신호가 VTR, 비디오 디스크 플레이어 또는 가정용 컴퓨터로부터 유래된 경우 발생할 수도 있다.

905보다 적거나 같은 카운트 값은 PLL이 주파수 f-f에 고정된 것을 나타낼 수도 있다. 상기 예에서, ROM(30)은 신호 SC 및 SE를 통하여 논리 1이 저항기(34)에 인가되도록 게이트(32)를 조절하여, VCO(18)가 자신의 출력 신호의 주파수를 증가시키게 한다. 상기 주파수가 증가된 양은 PLL을 비안정화시키기에 충분하고 f의 주파수에 PLL을 재고정시키기에 충분하다. 역으로, 913보다 크거나 같은 카운트 값은 PLL이 주파수 f+f에 고정된 것을 나타낼 수도 있다. 상기 예에서, ROM(30)에 의해 제공된 신호는 논리 0값이 저항(34)에 인가되도록 게이트(32)를 조절한다. 이로 인하여, VCO(18)가 PLL을 주파수 f에 고정시키기에 충분한 양만큼 그 출력신호의 주파수를 감소시킨다.

카운트 값이913보다 크거나 같고 905보다 작거나 같으면, 게이트(32)의 출력은 제1의 상태에 있고 논리 1이나 또는 논리 0값을 나타낸다. 카운트 값이 906 내지 912범위이라면, 게이트(32)의 출력은 제2의 상태에 있고 그 출력 단자에서 고 임피던스를 나타낸다.

점선으로 도시된 플립-플롭(36)이 본 발명의 대안의 실시예에 포함되어, 예를들어 한 수평 동기 펄스가 누락되게할 수도 있거나, 또는 f대 f의 비에 아무런 변화를 주지 않고도 수평 동기 신호의 돌연한 위상 시프트를 초래할 수도 있는 입력 비디오 신호의 에러를 보상한다. 이들 에러중 첫번째 에러는 수평 동기 신호의 한 펄스가 레코드되지 못하게 하는 VTR 테이프의 결함에 의해 야기될 수도 있다. 두번째 에러는 적어도 2개의 헤드로부터 비디오 신호가 획득될시에 다중-헤드 VTR의 헤드 스위칭 동안 발생할 수도 있다.

각각의 이들 에러는 후속의 라인 기간동안에는 발생하지 않는 한 수평 라인 기간동안 f대 f의 비의 변화를 초래한다. 플립-플롭(36)이 PLL 시스템에 포함되어, 이러한 형태의 단일의 에러가 무시된다. 플립-플롭(36)은 예를들어, 종래의 셋-리셋 플립-플롭일 수도 있다.

예시의 실시예에선, 플립-플롭(36)은 논리 1의 값이 셋 및 리셋 입력 단자 둘다에 인가되면, 셋 입력이 우선되는 형태이다. ROM(30)에 의해 제공된 신호 SI는 플립-플롭(36)의 셋 입력 단자 S에 인가되고 신호 SE는 리셋 입력 단자 R에 인가된다. 출력 단자 Q는 예를들어, 어드레스 값의 최하위 비트로서 ROM(30)의 어드레스 입력 포트에 결합된다. 표 2는 ROM(30) 및 플립-플롭(36)의 동작을 표시한다. 플립-플롭(36)의 출력 신호 Q가 ROM(30)에 의해 변화되고 신호 CV와는 별개로, 신호 Q가 ROM(30)으로의 어드레스 입력신호이기 때문에, 상기 신호가 표 2에 입력(Q) 및 (출력Q) 둘다로서 리스트된다.

[표 2]

CV	Q _n	I	SC	SE	SI	Q _{n-1}
≤ 905	0		x	1	1	1
≤ 905	1		1	0	1	1
906-912	0		x	1	0	0
906-912	1		x	1	0	0
≥ 913	0		x	1	1	1
≥ 913	1		0	0	1	1

표 2에 의해 표시된 바와 같이, 가능한 사이드-로킹 상태가 검출될시에, 플립-플롭(36)이 리셋되면, 플립-플롭(36)은 셋되나, 신호 SC 및 SE는 변하지 않는다. 그 다음의 연속 라인 기간중에 사이드-로크 상태의 표시에 의해, 사이드-로크 방지 회로가 동작되어, 상기 상태가 수정된다. 그러나, 플립-플롭(36)이 한 수평 라인 기간동안 셋되고 그다음 수평 라인 기간동안 ROM(30)의 출력이 사이드-로크 상태를 표시하지 않으면, 플립-플롭(36)은 리셋된다.

(57) 청구의 범위

청구항 1

칼라 동기 버스트 신호원(10)과 ; 상기 신호원에 결합되어 칼라 동기 버스트 신호에 위상이 실제로 고정되는 발진 신호를 제공하여 불필요한 사이드-로크 상태에 영향을 받기 쉬운 위상 로크 루프 회로(12 내지 20)를 포함하며, 칼라 동기 버스트 신호 성분을 포함하는 텔레비전 신호를 처리하는 시스템의 위상 로크 루프 시스템에 있어서, 상기 위상 로크 루프 회로에 결합되어, 상기 위상 로크 루프 회로가 상기 사이드-로크 상태에 있을 수도 있음을 상기 발진 신호가 표시하면 제1의 상태에 있고 그렇지 않다면 제2의 상태에 있는 에러 신호를 발생하는 검출 수단(22,24,30) 및 ; 상기 검출 수단에 결합되고 상기 제1의 상태에 있는 상기 에러 신호에 응답하여, 상기 사이드-로크 상태를 수정하기 위한 방향으로 상기 위상 로크 루프에 의해 발생된 신호의 주파수를 변화시키며, 상기 에러 신호가 상기 제2의 상태에 있을시에 상기 위상 로크 루프 회로에 의해 발생된 신호의 주파수에 실제로 아무런 영향도 미치지 않는 수정 수단(32)을 포함하는 것을 특징으로 하는 위상 로크 루프 시스템.

청구항 2

제1항에 있어서, 상기 위상 로크 루프 회로는 상기 발진 신호의 주파수가 희망 주파수 보다 각기 크거나 작은 제1 및 제2의 사이드-로크 상태에 영향을 받기 쉬우며, 상기 검출 수단은 상기 위상 로크 루프 회로가 각기 상기 제1 및 제2의 사이드-로크 상태에 있을 수도 있음을 상기 발진 신호가 표시할시에, 상기 제1 및 제2의 상태에 있는 에러 형태의 신호를 제공하기 위한 회로를 더 포함하며, 상기 수정 수단은 상기 에러 신호 및 에러 형태의 신호에 응답하여, 상기 위상 로크 루프 회로에 적용되며, 상기 에러 신호 및 상기 에러 형태의 신호가 상기 제1 및 제2의 사이드 로크 상태를 표시할시에 기준 값에 대해 제1 및 제2의 극성을 갖고 상기 에러 신호가 사이드-로크 상태를 표시하지 않을 시엔 널 값(null valve)을 갖는 수정 전위를 발생시키는 것을 특징으로 하는 위상 로크 루프 시스템.

청구항 3

제2항에 있어서, 상기 위상 로크 루프 회로는 상기 발진 신호에 응답하고 상기 신호원에 의해 제공된 칼라 동기 버스트 신호에 응답하여, 상기 신호간의 순간적인 차에 비례하는 위상 차 신호를 발생하는 위상 검출 수단(12)과 ; 상기 위상 검출 수단에 결합되어, 주파수 제어 신호를 발생하기 위해 상기 위상 차 신호를 적분하는 적분 수단(14,16) 및 ; 상기 적분 수단에 결합되어, 상기 주파수 제어 신호에 의해 결정되어진 주파수를 가진 상기 발진 신호를 발생시키는 가변 발진기(18)를 포함하며, 상기 수정 수단은 상기 수정 신호를 상기 적분 수단에 인가시키기 위한 수단을 포함하는 것을 특징으로 하는 위상 로크 루프 시스템.

청구항 4

제3항에 있어서, 상기 텔레비전 신호는 수평 라인 동기 신호 성분을 더 포함하며, 상기 위상 검출 수단(12)은 수평 라인 동기 신호원(28)과 ; 상기 위상 로크 루프 회로에 결합되어, 상기 수평 라인 동기 신호의 각 주기에서 발생하는 상기 발진 신호의 주기 수와 실제로 동일한 신호를 발생시키기 위한 카운팅 수단과 ; 상기 카운팅 수단에 결합되고 상기 카운팅 수단에 의해 제공된 신호에 응답하여, 상기 카운팅 수단에 의해 제공된 신호가 각기 선정된 범위의 값 이내에 존재하거나 또는 상기 선정된 범위의 값 이상의 값을 가질시에 상기 제1 및 제2의 상태의 상기 에러 신호를 발생시키고, 상기 카운팅 수단에 의해 제공된 신호가 각기 상기 선정된 범위의 값보다 크거나 적은 값을 가질시에, 상기 제1 및 제2의 상태의 상기 에러 형태의 신호를 발생시키기 위한 수단을 포함하는 것을 특징으로 하는 위상 로크 루프 시스템.

청구항 5

제4항에 있어서, 상기 위상 검출 수단(12)은 상기 카운팅 수단에 의해 제공된 값이 상기 수평 라인 동기 신호의 2연속 주기동안 상기 선정된 범위의 값 이상인 것을 검출한 후에만 상기 에러 신호 및 상기 에러 형태의 신호를 변화시키기 위한 수단을 더 포함하는 것을 특징으로 하는 위상 락 루프 시스템.

도면

도면1

