



(12)发明专利

(10)授权公告号 CN 106448526 B

(45)授权公告日 2019.11.05

(21)申请号 201510495669.7

(22)申请日 2015.08.13

(65)同一申请的已公布的文献号
申请公布号 CN 106448526 A

(43)申请公布日 2017.02.22

(73)专利权人 群创光电股份有限公司
地址 中国台湾新竹科学工业园区

(72)发明人 陈联祥 郭拱辰 曾名骏

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 王珊珊

(51)Int.Cl.
G09G 3/20(2006.01)

审查员 李小艳

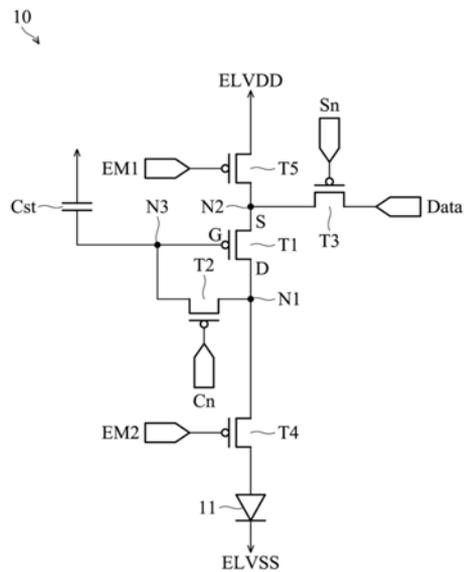
权利要求书6页 说明书15页 附图12页

(54)发明名称

驱动电路

(57)摘要

一种驱动电路,包括第一晶体管具有耦接第一节点的第一端,耦接第二节点的第二端,耦接至第三节点的导通端。第二晶体管具有耦接第一节点的第一端,耦接第三节点的第二端,用以接收第一控制信号的导通端。第三晶体管具有耦接至第二节点的第一端,用以接收显示信号的第二端,用以接收第二控制信号的导通端。第四晶体管具有耦接发光元件的第一端,耦接第一节点的第二端及用以接收第三控制信号的导通端。第五晶体管具有耦接高电压电位的第一端,耦接第二节点的第二端及用以接收第四控制信号的导通端。电容,具有耦接该高电压电位的第一端及耦接第三节点的第二端。发光装置,具有耦接低电压电位的第一端及耦接第四晶体管的第一端的第二端。



1. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至第一节点,第二端,耦接至第三节点以及导通端,用以接收第一控制信号;

第三晶体管,具有第一端,耦接至第二节点,第二端,用以接收显示信号,以及导通端,用以接收第二控制信号;

第四晶体管,具有第一端,耦接至发光元件,第二端,耦接至第一节点以及导通端,用以接收第三控制信号;

第五晶体管,具有第一端,耦接至高电压电位,第二端,耦接至该第二节点以及导通端,用以接收第四控制信号;

电容,具有第一端,耦接至该高电压电位,以及第二端,耦接至该第三节点;以及

发光装置,具有第一端,耦接至低电压电位,以及第二端耦接至第四晶体管的第一端,

其中该驱动电路的操作流程如下:

在第一时间点时,该第二控制信号以及该第四控制信号为高电压逻辑电平,以关闭该第三晶体管与该第五晶体管,且该第一控制信号与该第三控制信号为低电压逻辑电平,以导通该第二晶体管与该第四晶体管;

在第二时间点,该第二控制信号转变为该低电压逻辑电平以导通该第三晶体管,该第三控制信号转变为该高电压逻辑电平以关闭该第四晶体管;以及

在第三时间点,该第一控制信号与该第二控制信号转变为该高电压逻辑电平以关闭该第二晶体管与该第三晶体管,该第三控制信号与该第四控制信号转变为该低电压逻辑电平以导通该第四晶体管与该第五晶体管。

2. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至第一节点,第二端,耦接至第三节点以及导通端,用以接收第一控制信号;

第三晶体管,具有第一端,耦接至第二节点,第二端,用以接收显示信号,以及导通端,用以接收第二控制信号;

第四晶体管,具有第一端,耦接至发光元件,第二端,耦接至第一节点以及导通端,用以接收第三控制信号;

第五晶体管,具有第一端,耦接至高电压电位,第二端,耦接至该第二节点以及导通端,用以接收第四控制信号;

电容,具有第一端,耦接至该高电压电位,以及第二端,耦接至该第三节点;以及

发光装置,具有第一端,耦接至低电压电位,以及第二端耦接至第四晶体管的第一端,

其中该第一控制信号与该第二控制信号相同,且该驱动电路的操作流程如下:

在第一时间点时,该第一控制信号、第二控制信号以及该第三控制信号为低电压逻辑电平,以导通该第二晶体管、该第三晶体管与该第四晶体管,且该第四控制信号为高电压逻辑电平,以关闭该第五晶体管;

在第二时间点,该第三控制信号转变为该高电压逻辑电平以关闭该第四晶体管;以及
在第三时间点,该第一控制信号与该第二控制信号转变为该高电压逻辑电平以关闭该第二晶体管与该第三晶体管,该第三控制信号与该第四控制信号转变为该低电压逻辑电平以导通该第四晶体管与该第五晶体管。

3. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至第一节点,第二端,耦接至第三节点以及导通端,用以接收第一控制信号;

第三晶体管,具有第一端,耦接至第二节点,第二端,用以接收显示信号,以及导通端,用以接收第二控制信号;

第四晶体管,具有第一端,耦接至发光元件,第二端,耦接至第一节点以及导通端,用以接收第三控制信号;

第五晶体管,具有第一端,耦接至高电压电位,第二端,耦接至该第二节点以及导通端,用以接收第四控制信号;

电容,具有第一端,耦接至该高电压电位,以及第二端,耦接至该第三节点;以及

发光装置,具有第一端,耦接至低电压电位,以及第二端耦接至第四晶体管的第一端,

其中该第三控制信号与该第四控制信号相同,且该驱动电路的操作流程如下:

在第一时间点,该第二控制信号为高电压逻辑电平以关闭该第三晶体管,该第一控制信号、第三控制信号与第四控制信号为低电压逻辑电平以导通该第二晶体管、该第四晶体管以及该第五晶体管;

在第二时间点,该第三控制信号与该第四控制信号转变为该高电压逻辑电平,以关闭该第四晶体管以及该第五晶体管;

在第三时间,该第二控制信号转变为该低电压逻辑电平以导通该第三晶体管;以及

在第四时间点时,该第二控制信号转变为该高电压逻辑电平以关闭该第三晶体管,该第三控制信号与第四控制信号转变为该低电压逻辑电平以导通该第四晶体管以及该第五晶体管。

4. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至第一节点,第二端,耦接至第三节点以及导通端,用以接收第一控制信号;

第三晶体管,具有第一端,耦接至第二节点,第二端,用以接收显示信号,以及导通端,用以接收第二控制信号;

第四晶体管,具有第一端,耦接至发光元件,第二端,耦接至第一节点以及导通端,用以接收第三控制信号;

第五晶体管,具有第一端,耦接至高电压电位,第二端,耦接至该第二节点以及导通端,用以接收第四控制信号;

电容,具有第一端,耦接至该高电压电位,以及第二端,耦接至该第三节点;以及

发光装置,具有第一端,耦接至低电压电位,以及第二端耦接至第四晶体管的第一端,其中该第一控制信号与该第二控制信号相同,该第三控制信号与该第四控制信号相同,且该驱动电路的一操作流程如下:

在第一时间点,该第一控制信号、该第二控制信号、该第三控制信号与该第四控制信号为一低电压逻辑电平以导通驱动电路内的所有晶体管;

在第二时间点,该第三控制信号与该第四控制信号转变为一高电压逻辑电平以关闭第四晶体管与第五晶体管;

在第三时间点,该第一控制信号与该第二控制信号转变为该高电压逻辑电平以关闭该第二晶体管与该第三晶体管;

在第四时间点,该第一控制信号与该第二控制信号转变为该低电压逻辑电平以导通该第二晶体管与该第三晶体管;以及

在第五时间点,该第一控制信号与该第二控制信号转变为该高电压逻辑电平以关闭该第二晶体管与该第三晶体管,且该第三控制信号与该第四控制信号转变为低电压逻辑电平以导通该第四晶体管以及该第五晶体管。

5. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至该第一节点,第二端,耦接至该第三节点以及导通端,用以接收第一控制信号;

第三晶体管,具有第一端,耦接至该第二节点,第二端,用以接收显示信号,以及导通端,用以接收第二控制信号;

第四晶体管,具有第一端,耦接至第四节点,第二端,耦接至该第一节点以及导通端,用以接收第三控制信号;

第五晶体管,具有第一端,耦接至高电压电位,第二端,耦接至该第二节点以及导通端,用以接收第四控制信号;

第六晶体管,具有第一端,耦接至参考电压,第二端,耦接至该第四节点以及导通端,接收重置信号;

电容,具有第一端,耦接至该高电压电位,以及第二端,耦接至该第三节点;以及

发光装置,具有第一端,耦接至一低电压电位,以及第二端耦接至该第四节点,

其中该第三控制信号与第四控制信号相同,且该驱动电路的操作流程如下:

在第一时间点,该第二控制信号为高电压逻辑电平,以关闭该第三晶体管,该重置信号、该第一控制信号、该第三控制信号与该第四控制信号为低电压逻辑电平,以导通该第二晶体管、该第六晶体管、该第四晶体管以及该第五晶体管;

在第二时间点,该第三控制信号与该第四控制信号转变为该高电压逻辑电平,以关闭第四晶体管以及第五晶体管;

在第三时间点,该第二控制信号转变为该低电压逻辑电平以导通该第三晶体管;

在第四时间点,该重置信号转变为该高电压逻辑电平以关闭该第六晶体管;以及

在第五时间点,该第三控制信号与该第四控制信号转变为该低电压逻辑电平以导通该第四晶体管以及该第五晶体管,且该第一控制信号与该第二控制信号转变为高电压逻辑电

平,以关闭该第三晶体管与该第二晶体管。

6. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至该第一节点,第二端,耦接至该第三节点以及导通端,用以接收第一控制信号;

第三晶体管,具有第一端,耦接至该第二节点,第二端,用以接收显示信号,以及导通端,用以接收第二控制信号;

第四晶体管,具有第一端,耦接至第四节点,第二端,耦接至该第一节点以及导通端,用以接收第三控制信号;

第五晶体管,具有第一端,耦接至高电压电位,第二端,耦接至该第二节点以及导通端,用以接收第四控制信号;

第六晶体管,具有第一端,耦接至参考电压,第二端,耦接至该第四节点以及导通端,接收重置信号;

电容,具有第一端,耦接至该高电压电位,以及第二端,耦接至该第三节点;以及

发光装置,具有第一端,耦接至一低电压电位,以及第二端耦接至该第四节点,

其中该第三控制信号与第四控制信号相同,且该重置信号、该第一控制信号以及该第二控制信号相同,该驱动电路的操作流程如下:

在第一时间点,该重置信号、该第一控制信号、该第二控制信号、该第三控制信号与第四控制信号为低电压逻辑电平,使得驱动电路内的所有晶体管导通;

在第二时间点,该第三控制信号与该第四控制信号转变为高电压逻辑电平,以关闭该第四晶体管与该第五晶体管;

在第三时间点,该第一控制信号与该第二控制信号转变为高电压逻辑电平,以关闭该第二晶体管与该第三晶体管;

在第四时间点,该第一控制信号与该第二控制信号转变为低电压逻辑电平,以导通该第二晶体管与该第三晶体管;以及

在第五时间点,该第一控制信号与该第二控制信号转变为高电压逻辑电平,以关闭该第二晶体管与该第三晶体管,该第三控制信号与该第四控制信号转变为低电压逻辑电平,以导通该第四晶体管与该第五晶体管。

7. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至该第一节点,第二端,耦接至该第三节点以及导通端,用以接收第一控制信号;

第三晶体管,具有第一端,耦接至该第二节点,第二端,用以接收一显示信号,以及一导通端,用以接收一第二控制信号;

第四晶体管,具有第一端,耦接至第四节点,第二端,耦接至该第二节点以及导通端,用以接收第三控制信号;

第五晶体管,具有第一端,耦接至高电压电位,第二端,耦接至该第一节点以及导通端,

用以接收一第四控制信号；

电容,具有第一端,耦接至该第三节点,以及第二端,耦接至该第四节点;以及
发光装置,具有第一端,耦接至一低电压电位,以及第二端耦接至该第四节点。

8. 如权利要求7所述的驱动电路,其中该驱动电路的操作流程如下:

在第一时间点,该第二控制信号以及该第四控制信号为低电压逻辑电平,以关闭该第三晶体管与该第五晶体管,该第一控制信号与该第三控制信号为高电压逻辑电平,以导通该第二晶体管与该第四晶体管;

在第二时间点,该第二控制信号转变为高电压逻辑电平以导通该第三晶体管,该第三控制信号转变为低电压逻辑电平以关闭该第五晶体管;以及

在第三时间点,该第一控制信号与该第二控制信号转变为低电压逻辑电平以关闭该第三晶体管与该第二晶体管,且该第三控制信号与该第四控制信号转变为高电压逻辑电平以导通该第四晶体管与该第五晶体管。

9. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至该第一节点,第二端,耦接至该第三节点以及导通端,用以接收第一控制信号;

第三晶体管,具有第一端,耦接至该第二节点,第二端,用以接收显示信号,以及导通端,用以接收第二控制信号;

第四晶体管,具有第一端,耦接至第四节点,第二端,耦接至该第二节点以及导通端,用以接收第四控制信号;

第五晶体管,具有第一端,耦接至高电压电位,第二端,耦接至该第一节点以及导通端,用以接收第三控制信号;

第一电容,具有第一端,耦接至该高电压电位,以及第二端,耦接至该第三节点;

第二电容,具有第一端,耦接至该第三节点以及第二端,耦接至该第四节点;以及
发光装置,具有第一端,耦接至低电压电位,第二端耦接至该第四节点。

10. 如权利要求9所述的驱动电路,其中该驱动电路的操作流程如下:

在第一时间点,该第二控制信号以及该第四控制信号为低电压逻辑电平,以关闭该第三晶体管与嘎第五晶体管,该第一控制信号与该第三控制信号为高电压逻辑电平,以导通该第二晶体管与该第四晶体管;

在第二时间点,该第二控制信号转变为高电压逻辑电平以导通该第三晶体管,该第三控制信号转变为低电压逻辑电平,以关闭该第五晶体管;以及

在第三时间点,该第一控制信号与该第二控制信号转变为低电压逻辑电平以关闭该第三晶体管与该第二晶体管,该第三控制信号与该第四控制信号转变为高电压逻辑电平以导通该第四晶体管与该第五晶体管。

11. 一种驱动电路,包括:

第一晶体管,具有第一端,耦接至第一节点,第二端,耦接至第二节点以及导通端,耦接至第三节点;

第二晶体管,具有第一端,耦接至该第一节点,第二端,耦接至该第三节点以及导通端,

用以接收第一控制信号；

第三晶体管，具有第一端，耦接至第二节点，第二端，用以接收显示信号，以及导通端，用以接收第二控制信号；

第四晶体管，具有第一端，耦接至第四节点，第二端，耦接至该第二节点以及导通端，用以接收第四控制信号；

第五晶体管，具有第一端，耦接至高电压电位，第二端，耦接至该第一节点以及导通端，用以接收第三控制信号；

第一电容，具有第一端，耦接至该高电压电位，以及第二端，耦接至该第三节点；

第二电容，具有第一端，耦接至该第三节点以及第二端，耦接至该第二节点；以及

发光装置，具有第一端，耦接至一低电压电位，以及第二端耦接至该第二节点。

12. 如权利要求11所述的驱动电路，其中该驱动电路的一操作流程如下：

在第一时间点，该第二控制信号以及该第四控制信号为低电压逻辑电平，以关闭该第三晶体管与该第五晶体管，该第一控制信号与该第三控制信号为高电压逻辑电平，以导通该第二晶体管与该第四晶体管；

在第二时间点，该第二控制信号转变为高电压逻辑电平以导通该第三晶体管，且该第三控制信号转变为低电压逻辑电平，以关闭该第五晶体管；以及

在第三时间点，该第一控制信号与该第二控制信号转变为低电压逻辑电平以关闭该第三晶体管与该第二晶体管，该第三控制信号与该第四控制信号转变为高电压逻辑电平以导通该第四晶体管与该第五晶体管。

驱动电路

技术领域

[0001] 本发明涉及一种驱动电路,特别涉及一种显示装置的驱动电路。

背景技术

[0002] 一般而言,平面显示器的显示面板具有多个像素。每一像素具有一驱动晶体管以及一发光元件。驱动晶体管根据一图像信号,产生一驱动电流。发光元件根据驱动电流,呈现相对应的亮度。

[0003] 由于工艺的影响,不同像素的驱动晶体管可能具有不同的临界电压。当不同的驱动晶体管接收到相同的图像信号时,可能会产生不同的驱动电流,而使得不同的发光元件呈现不同的亮度。

[0004] 为了避免发光元件的亮度受到驱动晶体管的临界电压影响,已知的做法是在每一像素内,设置一补偿单元,用以补偿驱动晶体管的临界电压所造成的影响。然而,随着科技的进步,平面显示器的尺寸愈来愈大。若每一次像素均设置一补偿单元,将造成显示面板开口率(aperture rate)的降低。

发明内容

[0005] 本发明的一实施例提供一种驱动电路,由五个PMOS晶体管与一电容所组成。该驱动电路的连接关系如下:一第一晶体管,具有一第一端,耦接至第一节点,一第二端,耦接至一第二节点以及一导通端,耦接至一第三节点。一第二晶体管,具有一第一端,耦接至第一节点,一第二端,耦接至第三节点以及一导通端,用以接收一第一控制信号。一第三晶体管,具有一第一端,耦接至第二节点,一第二端,用以接收一显示信号,以及一导通端,用以接收一第二控制信号。一第四晶体管,具有一第一端,耦接至一发光元件,一第二端,耦接至第一节点以及一导通端,用以接收一第三控制信号。一第五晶体管,具有一第一端,耦接至一高电压电位,一第二端,耦接至一第二节点以及一导通端,用以接收一第四控制信号。一电容,具有一第一端,耦接至该高电压电位,以及一第二端,耦接至第三节点。该发光装置,具有一第一端,耦接至一低电压电位,以及一第二端耦接至第四晶体管的第一端。

[0006] 本发明的一实施例中,该驱动电路的一操作流程如下:在一第一时间点时,该第二控制信号以及该第四控制信号为一高电压逻辑电平,以关闭该第三晶体管与该第五晶体管,且该第一控制信号与该第三控制信号为一低电压逻辑电平,以导通该第二晶体管与该第四晶体管;在一第二时间点,该第二控制信号转变为该低电压逻辑电平以导通该第三晶体管,该第三控制信号转变为该高电压逻辑电平以关闭该第四晶体管;以及在一第三时间点,该第一控制信号与该第二控制信号转变为该高电压逻辑电平以关闭该第二晶体管与该第三晶体管,该第三控制信号与该第四控制信号转变为该低电压逻辑电平以导通该第四晶体管与该第五晶体管。

[0007] 本发明的另一实施例中,该第一控制信号与该第二控制信号相同,且该驱动电路的一操作流程如下:在一第一时间点时,该第一控制信号、第二控制信号以及该第三控制信

号为低电压逻辑电平,以导通该第二晶体管、该第三晶体管与该第四晶体管,且该第四控制信号为一高电压逻辑电平,以关闭该第五晶体管;在一第二时间点,该第三控制信号转变为该高电压逻辑电平以关闭该第四晶体管;以及在一第三时间点,该第一控制信号与该第二控制信号转变为该高电压逻辑电平以关闭该第二晶体管与该第三晶体管,该第三控制信号与该第四控制信号转变为该低电压逻辑电平以导通该第四晶体管与该第五晶体管。

[0008] 本发明的另一实施例中,该第三控制信号与该第四控制信号相同,且该驱动电路的一操作流程如下:在一第一时间点,该第二控制信号为一高电压逻辑电平以关闭该第三晶体管,该第一控制信号、第三控制信号与第四控制信号为一低电压逻辑电平以导通该第二晶体管、该第四晶体管以及该第五晶体管;在一第二时间点,该第三控制信号与该第四控制信号转变为该高电压逻辑电平,以关闭该第四晶体管以及该第五晶体管;在一第三时间,该第二控制信号转变为该低电压逻辑电平以导通该第三晶体管;以及在一第四时间点时,该第二控制信号转变为该高电压逻辑电平以关闭该第三晶体管,该第三控制信号与第四控制信号转变为该低电压逻辑电平以导通该第四晶体管以及该第五晶体管。

[0009] 本发明的另一实施例中,该第一控制信号与该第二控制信号相同,且该驱动电路的一操作流程如下:在第一时间点,该第一控制信号、该第二控制信号、该第三控制信号与该第四控制信号为一低电压逻辑电平以导通驱动电路内的所有晶体管;在第二时间点,该第三控制信号与该第四控制信号转变为一高电压逻辑电平以关闭第四晶体管与第五晶体管;在第三时间点,该第一控制信号与该第二控制信号转变为该高电压逻辑电平以关闭该第二晶体管与该第三晶体管;在第四时间点,该第一控制信号与该第二控制信号转变为该低电压逻辑电平以导通该第二晶体管与该第三晶体管;以及在第五时间点,该第一控制信号与该第二控制信号转变为该高电压逻辑电平以关闭该第二晶体管与该第三晶体管,且该第三控制信号与该第四控制信号转变为低电压逻辑电平以导通该第四晶体管以及该第五晶体管。

[0010] 本发明的一实施例提供一种驱动电路,由六个PMOS晶体管与一电容所组成。该驱动电路的连接关系如下:一第一晶体管,具有一第一端,耦接至一第一节点,一第二端,耦接至一第二节点以及一导通端,耦接至一第三节点。一第二晶体管,具有一第一端,耦接至该第一节点,一第二端,耦接至该第三节点以及一导通端,用以接收一第一控制信号。一第三晶体管,具有一第一端,耦接至该第二节点,一第二端,用以接收一显示信号,以及一导通端,用以接收一第二控制信号。一第四晶体管,具有一第一端,耦接至该第四节点,一第二端,耦接至该第一节点以及一导通端,用以接收一第三控制信号。一第五晶体管,具有一第一端,耦接至一高电压电位,一第二端,耦接至该第二节点以及一导通端,用以接收一第四控制信号。一第六晶体管,具有一第一端,耦接至一参考电压,一第二端,耦接至该第四节点以及一导通端,接收一重置信号。一电容,具有一第一端,耦接至该高电压电位,以及一第二端,耦接至该第三节点。一发光装置,具有一第一端,耦接至一低电压电位,以及一第二端耦接至该第四节点。

[0011] 本发明的一实施例中,该驱动电路的一操作流程如下:在一第一时间点,该第二控制信号与该第四控制信号为一高电压逻辑电平以关闭该第三晶体管与该第五晶体管,该重置信号、该第一控制信号以及该第三控制信号为低电压逻辑电平以导通该第六晶体管、该第二晶体管以及该第四晶体管被导通;在一第二时间点,该第二控制信号转变为该低电压

逻辑电平以导通该第三晶体管,该第三控制信号与该重置信号转变为该高电压逻辑电平以关闭该第四晶体管与该第六晶体管;以及在一第三时间点,该第二控制信号转变为该高电压逻辑电平以关闭该第三晶体管,该第一控制信号转变为该高电压逻辑电平以关闭该第二晶体管,该第三控制信号与该第四控制信号转变为该低电压逻辑电平以导通该第四晶体管与该第五晶体管。

[0012] 本发明的另一实施例中,该重置信号、该第一控制信号以及该第二控制信号相同,且该驱动电路的一操作流程如下:在一第一时间点,该第四控制信号为一高电压逻辑电平以关闭该第五晶体管,该重置信号、该第一控制信号、该第二控制信号以及该第三控制信号为一低电压逻辑电平以导通该第六晶体管、该第二晶体管、该第三晶体管以及该第四晶体管被导通;在一第二时间点,该第三控制信号转变为该高电压逻辑电平以关闭该第四晶体管;以及在一第三时间点,该第三控制信号与该第四控制信号转变为该低电压逻辑电平以导通该第四晶体管与该第五晶体管,该重置信号、该第一控制信号以及该第二控制信号变为该高电压逻辑电平以关闭该第六晶体管、该第二晶体管以及该第三晶体管。

[0013] 本发明的另一实施例中,该第三控制信号与第四控制信号相同,且该驱动电路的一操作流程如下:在一第一时间点,该第二控制信号为一高电压逻辑电平,以关闭该第三晶体管,该重置信号、该第一控制信号、该第三控制信号与该第四控制信号为一低电压逻辑电平,以导通该第二晶体管、该第六晶体管、该第四晶体管以及该第五晶体管;在一第二时间点,该第三控制信号与该第四控制信号转变为该高电压逻辑电平,以关闭第四晶体管以及第五晶体管;在一第三时间点,该第二控制信号转变为该低电压逻辑电平以导通该第三晶体管;在一第四时间点,该重置信号转变为该高电压逻辑电平以关闭该第六晶体管;以及在一第五时间点,该第三控制信号与该第四控制信号转变为该低电压逻辑电平以导通该第四晶体管以及该第五晶体管,且该第一控制信号与该第二控制信号转变为高电压逻辑电平,以关闭该第三晶体管与该第二晶体管。

[0014] 本发明的另一实施例中,该第三控制信号与第四控制信号相同,且该重置信号、该第一控制信号以及该第二控制信号相同,该驱动电路的一操作流程如下:在一第一时间点,该重置信号、该第一控制信号、该第二控制信号、该第三控制信号与第四控制信号为低电压逻辑电平,使得驱动电路内的所有晶体管导通;在一第二时间点,该第三控制信号与该第四控制信号转变为高电压逻辑电平,以关闭该第四晶体管与该第五晶体管;在一第三时间点,该第一控制信号与该第二控制信号转变为高电压逻辑电平,以关闭该第二晶体管与该第三晶体管;在一第四时间点,该第一控制信号与该第二控制信号转变为低电压逻辑电平,以导通该第二晶体管与该第三晶体管;以及在一第五时间点,该第一控制信号与该第二控制信号转变为高电压逻辑电平,以关闭该第二晶体管与该第三晶体管,该第三控制信号与该第四控制信号转变为低电压逻辑电平,以导通该第四晶体管与该第五晶体管。

[0015] 本发明的另一实施例提供一种驱动电路,由五个NMOS晶体管与一电容所组成。该驱动电路的连接关系如下:一第一晶体管,具有一第一端,耦接至一第一节点,一第二端,耦接至一第二节点以及一导通端,耦接至一第三节点。一第二晶体管,具有一第一端,耦接至该第一节点,一第二端,耦接至该第三节点以及一导通端,用以接收一第一控制信号。一第三晶体管,具有一第一端,耦接至该第二节点,一第二端,用以接收一显示信号,以及一导通端,用以接收一第二控制信号。一第四晶体管,具有一第一端,耦接至一第四节点,一第二

端,耦接至该第二节点以及一导通端,用以接收一第三控制信号。一第五晶体管,具有一第一端,耦接至一高电压电位,一第二端,耦接至该第一节点以及一导通端,用以接收一第四控制信号。一电容,具有一第一端,耦接至该第三节点,以及一第二端,耦接至该第四节点。一发光装置,具有一第一端,耦接至一低电压电位,以及一第二端耦接至该第四节点。

[0016] 本发明的另一实施例中,该驱动电路的一操作流程如下:在一第一时间点,该第二控制信号以及该第四控制信号为低电压逻辑电平,以关闭该第三晶体管与该第五晶体管,该第一控制信号与该第三控制信号为高电压逻辑电平,以导通该第二晶体管与该第四晶体管;在一第二时间点,该第二控制信号转变为高电压逻辑电平以导通该第三晶体管,该第三控制信号转变为低电压逻辑电平以关闭该第五晶体管;以及在一第三时间点,该第一控制信号与该第二控制信号转变为低电压逻辑电平以关闭该第三晶体管与该第二晶体管,且该第三控制信号与该第四控制信号转变为高电压逻辑电平以导通该第四晶体管与该第五晶体管。

[0017] 本发明的另一实施例提供一种驱动电路,由五个NMOS晶体管与两个电容所组成。该驱动电路的连接关系如下:一第一晶体管,具有一第一端,耦接至一第一节点,一第二端,耦接至一第二节点以及一导通端,耦接至一第三节点。一第二晶体管,具有一第一端,耦接至该第一节点,一第二端,耦接至该第三节点以及一导通端,用以接收一第二控制信号。一第三晶体管,具有一第一端,耦接至该第二节点,一第二端,用以接收一显示信号,以及一导通端,用以接收一第二控制信号。一第四晶体管,具有一第一端,耦接至一第四节点,一第二端,耦接至该第二节点以及一导通端,用以接收一第四控制信号。一第五晶体管,具有一第一端,耦接至一高电压电位,一第二端,耦接至该第一节点以及一导通端,用以接收一第三控制信号。一第一电容,具有一第一端,耦接至该高电压电位,以及一第二端,耦接至该第三节点。一第二电容,具有一第一端,耦接至该第三节点以及一第二端,耦接至该第四节点。一发光装置,具有一第一端,耦接至一低电压电位,一第二端耦接至该第四节点。

[0018] 本发明的另一实施例中,该驱动电路的一操作流程如下:在一第一时间点,该第二控制信号以及该第四控制信号为低电压逻辑电平,以关闭该第三晶体管与该第四晶体管,该第一控制信号与该第三控制信号为高电压逻辑电平,以导通该第二晶体管与该第五晶体管;在一第二时间点,该第二控制信号转变为高电压逻辑电平以导通该第三晶体管,该第三控制信号转变为低电压逻辑电平,以关闭该第五晶体管;以及在一第三时间点,该第一控制信号与该第二控制信号转变为低电压逻辑电平以关闭该第三晶体管与该第二晶体管,该第三控制信号与该第四控制信号转变为高电压逻辑电平以导通该第四晶体管与该第五晶体管。

[0019] 本发明的另一实施例提供一种驱动电路,由五个NMOS晶体管与两个电容所组成。该驱动电路的连接关系如下:一第一晶体管,具有一第一端,耦接至一第一节点,一第二端,耦接至一第二节点以及一导通端,耦接至一第三节点。一第二晶体管,具有一第一端,耦接至该第一节点,一第二端,耦接至该第三节点以及一导通端,用以接收一第一控制信号。一第三晶体管,具有一第一端,耦接至一第二节点,一第二端,用以接收一显示信号,以及一导通端,用以接收一第二控制信号。一第四晶体管,具有一第一端,耦接至一第四节点,一第二端,耦接至该第二节点以及一导通端,用以接收一第四控制信号。一第五晶体管,具有一第一端,耦接至一高电压电位,一第二端,耦接至该第一节点以及一导通端,用以接收一第三控制信号。一第一电容,具有一第一端,耦接至该高电压电位,以及一第二端,耦接至该第三节

点。一第二电容,具有一第一端,耦接至该第三节点以及一第二端,耦接至该第二节点。一发光装置,具有一第一端,耦接至一低电压电位,以及一第二端耦接至该第二节点。

[0020] 本发明的另一实施例中,该驱动电路的一操作流程如下:在一第一时间点,该第二控制信号以及该第四控制信号为低电压逻辑电平,以关闭该第三晶体管与该第四晶体管,该第一控制信号与该第三控制信号为高电压逻辑电平,以导通该第二晶体管与该第五晶体管;在一第二时间点,该第二控制信号转变为高电压逻辑电平以导通该第三晶体管,且该第三控制信号转变为低电压逻辑电平,以关闭该第五晶体管;以及在一第三时间点,该第一控制信号与该第二控制信号转变为低电压逻辑电平以关闭该第三晶体管与该第二晶体管,该第三控制信号与该第四控制信号转变为高电压逻辑电平以导通该第四晶体管与该第五晶体管。

附图说明

[0021] 图1为根据本发明的一驱动电路的一实施例的电路图。

[0022] 图2A为根据本发明图1的驱动电路的操作流程的一实施例的波形图。

[0023] 图2B为根据本发明图1的驱动电路的操作流程的另一实施例的波形图。

[0024] 图3A为根据本发明图1的驱动电路的操作流程的另一实施例的波形图。

[0025] 图3B为根据本发明图1的驱动电路的操作流程的另一实施例的波形图。

[0026] 图4为根据本发明的一驱动电路的另一实施例的电路图。

[0027] 图5A为根据本发明图4的驱动电路的操作流程的一实施例的波形图。

[0028] 图5B为根据本发明图4的驱动电路的操作流程的另一实施例的波形图。

[0029] 图6A为根据本发明图4的驱动电路的操作流程的一实施例的波形图。

[0030] 图6B为根据本发明图4的驱动电路的操作流程的另一实施例的波形图。

[0031] 图7为根据本发明的一驱动电路的另一实施例的电路图。

[0032] 图8为根据本发明图7的驱动电路的操作流程的一实施例的波形图。

[0033] 图9为根据本发明的一驱动电路的另一实施例的电路图。

[0034] 图10为根据本发明图9的驱动电路的操作流程的一实施例的波形图。

[0035] 图11为根据本发明的一驱动电路的另一实施例的电路图。

[0036] 图12为根据本发明图11的驱动电路的操作流程的一实施例的波形图。

[0037] 图13为根据本发明的一显示装置的一实施例的示意图。

[0038] **【符号说明】**

[0039] 130~显示装置

[0040] 131~控制器

[0041] 132~驱动器

[0042] 133~发光阵列

具体实施方式

[0043] 图1为根据本发明的一驱动电路的一实施例的电路图。图1的驱动电路全部由PMOS晶体管组成,用以驱动一发光元件11,该发光元件11可能为一发光二极管、一有机发光二极管或是其它发光装置。驱动电路10由五个晶体管与一个电容所组成,可提高显示面板的开口率。驱动电路10详述如下:

[0044] 第一晶体管T1具有一第一端(图上标示D),耦接至第一节点N1,一第二端(图上标示S),耦接至一第二节点N2以及一导通端(图上标示G),耦接至一第三节点N3。第二晶体管T2具有一第一端,耦接至第一节点N1,一第二端,耦接至第三节点N3以及一导通端,用以接收一第一控制信号Cn。第三晶体管T3具有一第一端,耦接至第二节点N2,一第二端,用以接收一显示信号Data,以及一导通端,用以接收一第二控制信号Sn。第四晶体管T4具有一第一端,耦接至发光元件11,一第二端,耦接至第一节点N1以及一导通端,用以接收第三控制信号EM2。第五晶体管T5具有一第一端,耦接至电位ELVDD,一第二端,耦接至一第二节点N2以及一导通端,用以接收第四控制信号EM1。电容Cst具有一第一端,耦接至电位ELVDD或一DC电平,以及一第二端,耦接至第三节点N3。发光装置11具有一第一端,耦接至电位ELVSS,一第二端耦接至第四晶体管的第一端。

[0045] 在本实施例中,第一晶体管T1为驱动晶体管,用以驱动发光装置11。第二晶体管T2为补偿晶体管,用以补偿第一晶体管T1的临界电压(V_{tp})漂移。第三晶体管T3为数据输入晶体管,用以接收输入的显示信号Data。在本实施例中,显示信号Data为一电流或一电压。第四晶体管T4与第五晶体管T5为开关晶体管,用以决定发光装置11是否被致能。

[0046] 图2A为根据本发明图1的驱动电路的操作流程的一实施例的波形图。一般来说,驱动电路的动作可分为三个阶段。第一阶段为重置期间,用以让第一晶体管T1导通,以将第一晶体管T1的第二端的电位下拉至电位ELVSS(地电位)。第二阶段是补偿期间,此时第三晶体管T3导通以接收显示信号Data,且第二晶体管T2导通以对显示信号Data进行补偿。第三阶段为显示期间,通过第一晶体管T1将补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。

[0047] 在时间点t1时,第二控制信号Sn以及第四控制信号EM1为高电压逻辑电平,因此第三晶体管T3与第五晶体管T5被关闭。此时,第一控制信号Cn与第三控制信号EM2为低电压逻辑电平,因此第二晶体管T2与第四晶体管T4被导通。此时端点N3的电位被下拉至电位ELVSS(地电位),第一晶体管T1也因此被导通。端点N2的电位也因此被下拉至电位ELVSS(地电位)。

[0048] 在时间点t2时,第二控制信号Sn转变为低电压逻辑电平,且第三控制信号EM2转变为高电压逻辑电平。此时,第三晶体管T3被导通且第四晶体管T4被关闭,且因为显示信号Data的关系,使得第一晶体管T1的导通端的电位变为($V_{DATA}+V_{tp}$)。

[0049] 在时间点t3,第一控制信号Cn与第二控制信号Sn转变为高电压逻辑电平,第三控制信号EM2与第四控制信号EM1转变为低电压逻辑电平。此时,第三晶体管T3与第二晶体管T2被关闭,补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。

[0050] 在本实施例中,时间点t1与t2之间为重置期间,时间点t2与t3之间为补偿期间,而时间点t3之后为发光期间。

[0051] 为清楚说明本申请的驱动方式,请参考下表一、二:

[0052]

	T1	T2	T3	T4	T5
重置	ON	ON	OFF	ON	OFF
补偿	ON	ON	ON	OFF	OFF
发光	ON	OFF	OFF	ON	ON

[0053] 表一

[0054]

	G	S	$V_{GS-} V_{tp}$
重置	$\sim ELVSS$	floating	X
补偿	$V_{DATA+} V_{tp}$	V_{DATA}	0
发光	$V_{DATA+} V_{tp}$	V_{DD}	$V_{DATA}-V_{DD}$

[0055] 表二

[0056] 表一表示在不同时间点,驱动电路10内的晶体管的状态。表二则是表示在不同时间点,第一晶体管T1的第二端与导通端,以及发光装置11接收到的电压。从表二可以看到,在发光期间(也就是时间点t3之后),发光装置11接收到的电压已经不受第一晶体管T1的临界电压的影响。

[0057] 图2B为根据本发明图1的驱动电路的操作流程的另一实施例的波形图。一般来说,驱动电路的动作可分为三个阶段。第一阶段为重置阶段,用以让第一晶体管T1导通,已将第一晶体管T1的第二端的电位下拉至电位ELVSS(地电位)。第二阶段是补偿阶段,此时第三晶体管T3导通以接收显示信号Data,且第二晶体管T2导通以对显示信号Data进行补偿。第三阶段为显示阶段,通过第一晶体管T1将补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。在本实施例中,第一控制信号Cn与第二控制信号Sn可以由单一控制线所实现。

[0058] 在本实施例中,第一控制信号Cn与第二控制信号Sn由单一控制线所实现。在时间点t1时,第一控制信号Cn与第二控制信号Sn转变为低电压逻辑电平,且第三控制信号EM2为低电压逻辑电平,因此第二晶体管T2,第三晶体管T3以及第四晶体管T4被导通,且使得第一晶体管T1也被导通。此时虽然显示信号Data已被传送到第一晶体管T1的第二端,但是因为第四晶体管T4被导通的原因,第一晶体管T1的第二端的电位是接近地电位。

[0059] 在时间点T2时,第三控制信号EM2转变为高电压逻辑电平,使得第四晶体管T4被关闭。此时,因为显示信号Data的关系,使得第一晶体管T1的导通端的电位变为 $(V_{DATA+} + V_{tp})$ 。在时间点t3,第一控制信号Cn与第二控制信号Sn转变为高电压逻辑电平,第三控制信号EM2与第四控制信号EM1转变为低电压逻辑电平。此时,第三晶体管T3与第二晶体管T2被关闭,补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。

[0060] 在本实施例中,时间点t1与t2之间为重置期间,时间点t2与t3之间为补偿期间,而时间点t3之后为发光装置11的发光期间。

[0061] 图3A为根据本发明图1的驱动电路的操作流程的另一实施例的波形图。与图2A的操作流程不同之处在于第三控制信号EM2与第四控制信号EM1相同,因此只需要单一信号线就可实现。同样地,本实施例的操作流程包括了三个阶段:重置期间、补偿期间以及发光期间。在重置期间内,第一晶体管T1的第一节点及第三节点N3的电压会被重置至接近地电位。在补偿期间,则是对显示信号Data进行补偿,并将补偿后的显示信号Data存储在电容Cst。在发光期间则是将补偿后的显示信号Data通过发光装置11显示。

[0062] 在时间点t1时,第二控制信号Sn为高电压逻辑电平,第一控制信号Cn、第三控制信号EM2与第四控制信号EM1为低电压逻辑电平,因此第三晶体管T3被关闭,而第一晶体管T1、第二晶体管T2、第四晶体管T4以及第五晶体管T5被导通。此时高电压ELVDD会被传送到发光装置11,造成发光装置11发光。因此在时间点t2第三控制信号EM2与第四控制信号EM1转变

为高电压逻辑电平,以关闭第四晶体管T4以及第五晶体管T5。

[0063] 在时间t3,第二控制信号Sn转变为低电压逻辑电平,此时显示信号Data被传送到第一晶体管T1,且第一晶体管T1的导通端的电位变为 $(V_{DATA}+V_{tp})$ 。在时间点t4时,第二控制信号Sn转变为高电压逻辑电平,第三控制信号EM2与第四控制信号EM1转变为低电压逻辑电平,此时,第三晶体管T3与第二晶体管T2被关闭,补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。

[0064] 在本实施例中,时间点t1与t3之间为重置期间,时间点t3与t4之间为补偿期间,而时间点t4之后为发光期间。在另一实施例中,时间点t1与t2之间的时间差是可以被调整的。

[0065] 图3B为根据本发明图1的驱动电路的操作流程的另一实施例的波形图。与图3A的操作流程不同之处在于第一控制信号Cn与第二控制信号Sn相同。因此在图3B的操作流程中,只需要两条信号线就可以控制驱动电路10的运作,如此可以降低电路控制的复杂度。同样地,本实施例的操作流程包括了三个阶段:重置期间、补偿期间以及发光期间。在重置期间内,第一晶体管T1的第一节点及第三节点N3的电压会被重置至地电位。在补偿期间,则是对显示信号Data进行补偿,并将补偿后的显示信号Data存储在电容Cst。在发光期间则是将补偿后的显示信号Data通过发光装置11显示。

[0066] 在时间点t1时,第一控制信号Cn与第二控制信号Sn转变为低电压逻辑电平,第三控制信号EM2与第四控制信号EM1为低电压逻辑电平,此时,全部晶体管T1~T5都导通。此时端点N1、N2与N3都被下拉至电位ELVSS(地电位)。

[0067] 在时间点t2时,第三控制信号EM2与第四控制信号EM1转变为高电压逻辑电平,因此第四晶体管T4与第五晶体管T5被关闭。在时间点t3时,第一控制信号Cn与第二控制信号Sn转变为高电压逻辑电平,此时第二晶体管T2与第三晶体管T3被关闭。在时间点t4时,第一控制信号Cn与第二控制信号Sn转变为低电压逻辑电平,此时第二晶体管T2与第三晶体管T3被导通,且第一晶体管T1的导通端的电位变为 $(V_{DATA}+V_{tp})$ 。在时间点t5时,第一控制信号Cn与第二控制信号Sn转变为高电压逻辑电平,第三控制信号EM2与第四控制信号EM1转变为低电压逻辑电平。此时,第三晶体管T3与第二晶体管T2被关闭,补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。

[0068] 在本实施例中,时间点t1与t4之间为重置期间,时间点t4与t5之间为补偿期间,而时间点t5之后为发光期间。在另一实施例中,时间点t1与t2之间的时间差是可以被调整的。虽然图3B的操作流程为造成在时间点t1与t2之间使发光装置11短暂地发光,但是这时间非常短,因此可以忽略。

[0069] 图4为根据本发明的一驱动电路的另一实施例的电路图。图4的驱动电路全部由PMOS晶体管组成,用以驱动一发光元件41,该发光元件41可能为一发光二极管、一有机发光二极管或是其它发光装置。驱动电路40由六个晶体管与一个电容所组成,可提高显示面板的开口率。驱动电路40详述如下:

[0070] 第一晶体管T1具有一第一端(图上标示D),耦接至第一节点N1,一第二端(图上标示S),耦接至一第二节点N2以及一导通端(图上标示G),耦接至一第三节点N3。第二晶体管T2具有一第一端,耦接至第一节点N1,一第二端,耦接至第三节点N3以及一导通端,用以接收一第一控制信号Cn。第三晶体管T3具有一第一端,耦接至第二节点N2,一第二端,用以接收一显示信号Data,以及一导通端,用以接收一第二控制信号Sn。第四晶体管T4具有一第一

端,耦接至第四节点N4,一第二端,耦接至第一节点N1以及一导通端,用以接收第三控制信号EM2。第五晶体管T5具有一第一端,耦接至电位ELVDD,一第二端,耦接至一第二节点N2以及一导通端,用以接收第四控制信号EM1。第六晶体管T6具有一第一端,耦接至一参考电压REF,一第二端,耦接至第四节点N4以及一导通端,接收一重置信号RST。电容Cst具有一第一端,耦接至电位ELVDD,以及一第二端,耦接至第三节点N3。发光装置11具有一第一端,耦接至电位ELVSS,一第二端耦接至第四节点N4。

[0071] 在本实施例中,第一晶体管T1为驱动晶体管,用以驱动发光装置11。第二晶体管T2为补偿晶体管,用以补偿第一晶体管T1的临界电压(V_t)漂移。第三晶体管T3为数据输入晶体管,用以接收输入的显示信号Data。在本实施例中,显示信号Data为一电流或一电压。第四晶体管T4与第五晶体管T5为开关晶体管,用以决定发光装置11是否被致能。第六晶体管T6为一重置晶体管,以将第一节点N1的电压重置为参考电压 V_{REF} 。

[0072] 图5A为根据本发明图4的驱动电路的操作流程的一实施例的波形图。一般来说,驱动电路的动作可分为三个阶段。第一阶段为重置期间,用以让第一晶体管T1导通,以将第一晶体管T1的第二端的电位下拉至电位ELVSS(地电位)。第二阶段是补偿期间,此时第三晶体管T3导通以接收显示信号Data,且第二晶体管T2导通以对显示信号Data进行补偿。第三阶段为显示期间,通过第一晶体管T1将补偿后的显示信号Data存储在电容Cst,并通过发光装置41显示。

[0073] 在时间点 t_1 ,第二控制信号 S_n 与第四控制信号EM1为高电压逻辑电平,因此第三晶体管T3与第五晶体管T5被关闭。重置信号RST、第一控制信号 C_n 以及第三控制信号EM2为低电压逻辑电平,因此第六晶体管T6、第一晶体管T1、第二晶体管T2以及第四晶体管T4被导通。第一晶体管T1的第一端及第三节点N3的电位被设定为参考电压REF。

[0074] 在时间点 t_2 时,第二控制信号 S_n 转变为低电压逻辑电平,第三控制信号EM2与重置信号RST转变为高电压逻辑电平,因此第三晶体管T3被导通,第四晶体管T4与第六晶体管T6被关闭。此时,第一晶体管T1的导通端的电位变为 $(V_{DATA}+V_{tp})$ 。

[0075] 在时间点 t_3 ,仅第三控制信号EM2与第四控制信号EM1为低电压逻辑电平,此时补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。在本实施例中,时间点 t_1 与 t_2 之间为重置期间,时间点 t_2 与 t_3 之间为补偿期间,而时间点 t_3 之后为发光期间。

[0076] 为清楚说明本申请的驱动方式,请参考下表三、四:

[0077]

	T1	T2	T3	T4	T5	T6
重置	ON	ON	OFF	ON	OFF	ON
补偿	ON	ON	ON	OFF	OFF	OFF
发光	ON	OFF	OFF	ON	ON	OFF

[0078] 表三

[0079]

	G	S	$V_{GS}- V_{tp} $
重置	\sim ELVSS	floating	X

[0080]

补偿	$V_{DATA}+ V_{tp} $	V_{DATA}	0
----	---------------------	------------	---

发光	$V_{DATA+} V_{tp}$	V_{DD}	$V_{DATA}-V_{DD}$
----	----------------------	----------	-------------------

[0081] 表四

[0082] 表三表示在不同时间点,驱动电路40内的晶体管的状态。表四则是表示在不同时间点,第一晶体管T1的第二端与导通端,以及发光装置41接收到的电压。从表二可以看到,在发光期间(也就是时间点t3之后),发光装置41接收到的电压已经不受到第一晶体管T1的临界电压的影响。

[0083] 图5B为根据本发明图4的驱动电路的操作流程的另一实施例的波形图。与图5A相比,本实施例中重置信号RST、第一控制信号Cn以及第二控制信号Sn是相同的。

[0084] 在时间点t1,只有第四控制信号EM1为高电压逻辑电平,因此只有第五晶体管T5被关闭。在时间点t2时,第三控制信号EM2转变为高电压逻辑电平,因此第四晶体管T4被关闭。此时,第一晶体管T1的导通端的电位变为 $(V_{DATA+}+V_{tp})$ 。在时间点t3,仅第三控制信号EM2与第四控制信号EM1为低电压逻辑电平,此时补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。在本实施例中,时间点t1与t2之间为重置期间,时间点t2与t3之间为补偿期间,而时间点t3之后为发光期间。

[0085] 图6A为根据本发明图4的驱动电路的操作流程的一实施例的波形图。一般来说,驱动电路的动作可分为三个阶段。第一阶段为重置期间,用以让第一晶体管T1导通,以将第一晶体管T1的第二端的电位下拉至电位ELVSS(地电位)。第二阶段是补偿期间,此时第三晶体管T3导通以接收显示信号Data,且第二晶体管T2导通以对显示信号Data进行补偿。第三阶段为显示期间,通过第一晶体管T1将补偿后的显示信号Data存储在电容Cst,并通过发光装置41显示。

[0086] 与图5A相比,本申请第三控制信号EM2与第四控制信号EM1是相同的。同样地,本实施例的操作流程包括了三个阶段:重置期间、补偿期间以及发光期间。在重置期间内,第一晶体管T1的第一端的电压会被重置接近地电位。在补偿期间,则是对显示信号Data进行补偿,并将补偿后的显示信号Data存储在电容Cst。在发光期间则是将补偿后的显示信号Data通过发光装置41显示。

[0087] 在时间点t1时,该第二控制信号Sn为高电压逻辑电平,重置信号RST、第一控制信号Cn、第三控制信号EM2与第四控制信号EM1为低电压逻辑电平,因此第三晶体管T3被关闭,而第一晶体管T1、第二晶体管T2、第六晶体管T6、第四晶体管T4以及第五晶体管T5被导通。此时高电压ELVDD可能会被传送到发光装置41,造成发光装置41发光。因此在时间点t2第三控制信号EM2与第四控制信号EM1转变为高电压逻辑电平,以关闭第四晶体管T4以及第五晶体管T5。虽然图5A的操作流程为造成在时间点t1与t2之间使发光装置11短暂地发光,但是这时间非常短,因此可以忽略。

[0088] 在时间t3,第二控制信号Sn转变为低电压逻辑电平,此时显示信号Data被传送到第一晶体管T1,且第一晶体管T1的导通端的电位变为 $(V_{DATA+}+V_{tp})$ 。在时间点t4时,重置信号RST转变为高电压逻辑电平,以关闭第六晶体管T6。在时间t5时,第三控制信号EM2与第四控制信号EM1转变为低电压逻辑电平以导通第四晶体管T4以及第五晶体管T5。此时,第一控制信号Cn与第二控制信号Sn转变为高电压逻辑电平,第三晶体管T3与第二晶体管T2因此被关闭。补偿后的显示信号Data存储在电容Cst,并通过发光装置41显示。

[0089] 在本实施例中,时间点t1与t3之间为重置期间,时间点t3与t5之间为补偿期间,而

时间点t5之后为发光期间。在另一实施例中,时间点t1与t2之间的时间差是可以被调整的。

[0090] 图6B为根据本发明图4的驱动电路的操作流程的另一实施例的波形图。与图6A的操作流程不同之处在于第一控制信号Cn与第二控制信号Sn相同。因此在图3B的操作流程中,只需要两条信号线就可以控制驱动电路10的运作,如此可以降低电路控制的复杂度。同样地,本实施例的操作流程包括了三个阶段:重置期间、补偿期间以及发光期间。在重置期间内,第一晶体管T1的第一节点及第三节点N3的电压会被重置至地电位。在补偿期间,则是对显示信号Data进行补偿,并将补偿后的显示信号Data存储在电容Cst。在发光期间则是将补偿后的显示信号Data通过发光装置41显示。

[0091] 在时间点t1时,所有的控制信号都是低电压逻辑电平,因此晶体管T1~T6都导通。此时发光装置41会因为高电压ELVDD而发光。在时间点t2时,第三控制信号EM2与第四控制信号EM1转变为高电压逻辑电平,因此第四晶体管T4与第五晶体管T5被关闭,发光装置41也因此不发光。在时间点t3时,第一控制信号Cn与第二控制信号Sn转变为高电压逻辑电平,此时第二晶体管T2与第三晶体管T3被关闭。

[0092] 在时间点t4时,第一控制信号Cn与第二控制信号Sn转变为低电压逻辑电平,此时第二晶体管T2与第三晶体管T3被导通,且第一晶体管T1的导通端的电位变为 $(V_{DATA}+V_{tp})$ 。在时间点t5时,第一控制信号Cn与第二控制信号Sn转变为高电压逻辑电平,第三控制信号EM2与第四控制信号EM1转变为低电压逻辑电平。此时,第三晶体管T3与第二晶体管T2被关闭,补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。

[0093] 在本实施例中,时间点t1与t4之间为重置期间,时间点t4与t5之间为补偿期间,而时间点t5之后为发光期间。在另一实施例中,时间点t1与t2之间的时间差是可以被调整的。虽然图6B的操作流程为造成在时间点t1与t2之间使发光装置11短暂地发光,但是这时间非常短,因此可以忽略。

[0094] 图7为根据本发明的一驱动电路的另一实施例的电路图。图7的驱动电路全部由NMOS晶体管组成,用以驱动一发光元件71,该发光元件71可能为一发光二极管、一有机发光二极管或是其它发光装置。驱动电路70由五个晶体管与一个电容所组成,可提高显示面板的开口率。驱动电路70详述如下:

[0095] 第一晶体管T1具有一第一端(图上标示D),耦接至第一节点N1,一第二端(图上标示S),耦接至一第二节点N2以及一导通端(图上标示G),耦接至一第三节点N3。第二晶体管T2具有一第一端,耦接至第一节点N1,一第二端,耦接至第三节点N3以及一导通端,用以接收一第一控制信号Cn。第三晶体管T3具有一第一端,耦接至第二节点N2,一第二端,用以接收一显示信号Data,以及一导通端,用以接收一第二控制信号Sn。第四晶体管T4具有一第一端,耦接至一第四节点N4,一第二端,耦接至第二节点N2以及一导通端,用以接收第三控制信号EM1。第五晶体管T5具有一第一端,耦接至电位ELVDD,一第二端,耦接至一第一节点N1以及一导通端,用以接收第四控制信号EM2。电容Cst具有一第一端,耦接至第三节点N3,以及一第二端,耦接至第四节点N4。发光装置71具有一第一端,耦接至电位ELVSS,一第二端耦接至第四节点N4。

[0096] 在本实施例中,第一晶体管T1为驱动晶体管,用以驱动发光装置71。第二晶体管T2为补偿晶体管,用以补偿第一晶体管T1的临界电压(Vt)漂移。第三晶体管T3为数据输入晶体管,用以接收输入的显示信号Data。在本实施例中,显示信号Data为一电流或一电压。第

四晶体管T4与第五晶体管T5为开关晶体管,用以决定发光装置71是否被致能。

[0097] 图8为根据本发明图7的驱动电路的操作流程的一实施例的波形图。驱动电路70在接收显示信号Data前,会先通过第一控制信号Cn与第三控制信号EM2对第一晶体管T1进行重置。在接收到显示信号Data时,第四晶体管并没有马上导通,而是先通过第二晶体管先对显示信号Data进行补偿,并将补偿后的显示信号Data存储在电容Cst。当补偿完毕后,第四晶体管T4与第五晶体管T5被导通以将补偿后的显示信号Data传送给发光装置71。

[0098] 在时间点t1时,第二控制信号Sn以及第四控制信号EM1为低电压逻辑电平,因此第三晶体管T3与第四晶体管T4被关闭。此时,第一控制信号Cn与第三控制信号EM2为高电压逻辑电平,因此第二晶体管T2与第五晶体管T5被导通。此时端点N3的电位被上抬至接近电位ELVDD(高电位),第一晶体管T1也因此被导通。

[0099] 在时间点t2时,第二控制信号Sn转变为高电压逻辑电平,且第三控制信号EM2转变为低电压逻辑电平。此时,第三晶体管T3被导通且第五晶体管T5被关闭,且因为显示信号Data的关系,使得第一晶体管T1的导通端的电位变为 $(V_{DATA}+V_{tn})$ 。

[0100] 在时间点t3,第一控制信号Cn与第二控制信号Sn转变为低电压逻辑电平,第三控制信号EM2与第四控制信号EM1转变为高电压逻辑电平。此时,第三晶体管T3与第二晶体管T2被关闭,补偿后的显示信号Data存储在电容Cst,并通过发光装置71显示。

[0101] 在本实施例中,时间点t1与t2之间为重置期间,时间点t2与t3之间为补偿期间,而时间点t3之后为发光期间。

[0102] 为清楚说明本申请的驱动方式,请参考下表五、六:

[0103]

	T1	T2	T3	T4	T5
重置	ON	ON	OFF	OFF	ON
补偿	ON	ON	ON	OFF	OFF
发光	ON	OFF	OFF	ON	ON

[0104] 表五

[0105]

	G	S	$V_{GS}- V_{tp} $
重置	VDD	floating	X
补偿	$V_{DATA}+V_{tn}$	V_{DATA}	0

[0106]

发光	$V_{DATA}+V_{tn}$	$V_{SS}+V_{oled}$	$V_{DATA}- (V_{SS}+V_{oled})$
----	-------------------	-------------------	-------------------------------

[0107] 表六

[0108] 表五表示在不同时间点,驱动电路70内的晶体管的状态。表六则是表示在不同时间点,第一晶体管T1的第二端与导通端,以及发光装置71接收到的电压。从表二可以看到,在发光期间(也就是时间点t3之后),发光装置71接收到的电压已经不受第一晶体管T1的临界电压 V_{tn} 的影响。表六中 V_{oled} 的表示发光装置71的临界电压。

[0109] 图9为根据本发明的一驱动电路的另一实施例的电路图。图9的驱动电路全部由NMOS晶体管组成,用以驱动一发光元件91,该发光元件91可能为一发光二极管、一有机发光二极管或是其它发光装置。驱动电路90由五个晶体管与一个电容所组成,可提高显示面板

的开口率。驱动电路90详述如下：

[0110] 第一晶体管T1具有一第一端(图上标示D)，耦接至第一节点N1，一第二端(图上标示S)，耦接至一第二节点N2以及一导通端(图上标示G)，耦接至一第三节点N3。第二晶体管T2具有一第一端，耦接至第一节点N1，一第二端，耦接至第三节点N3以及一导通端，用以接收一第一控制信号Cn。第三晶体管T3具有一第一端，耦接至第二节点N2，一第二端，用以接收一显示信号Data，以及一导通端，用以接收一第二控制信号Sn。第四晶体管T4具有一第一端，耦接至一第四节点N4，一第二端，耦接至第二节点N2以及一导通端，用以接收第四控制信号EM1。第五晶体管T5具有一第一端，耦接至电位ELVDD，一第二端，耦接至一第一节点N1以及一导通端，用以接收第三控制信号EM2。电容Cst具有一第一端，耦接至电位ELVDD或一DC直流电平，以及一第二端，耦接至第三节点N3。电容C1具有一第一端，耦接至第三节点N3以及一第二端，耦接至第四节点N4。发光装置91具有一第一端，耦接至电位ELVSS，一第二端耦接至第四节点N4。

[0111] 在图9中，因为发光装置91长时间导通后，可能会产生衰退，因此需要增加电容C1来对发光装置91进行补偿。在本实施例中，第一晶体管T1为驱动晶体管，用以驱动发光装置91。第二晶体管T2为补偿晶体管，用以补偿第一晶体管T1的临界电压(Vt)漂移。第三晶体管T3为数据输入晶体管，用以接收输入的显示信号Data。在本实施例中，显示信号Data为一电流或一电压。第四晶体管T4与第五晶体管T5为开关晶体管，用以决定发光装置91是否被致能。

[0112] 图10为根据本发明图9的驱动电路的操作流程的一实施例的波形图。驱动电路90在接收显示信号Data前，会先通过第一控制信号Cn与第四控制信号EM2对第一晶体管T1进行重置。在接收到显示信号Data时，第四晶体管并没有马上导通，而是先通过第二晶体管先对显示信号Data进行补偿，并将补偿后的显示信号Data存储在电容Cst。当补偿完毕后，第四晶体管T4与第五晶体管T5被导通以将补偿后的显示信号Data传送给发光装置91。

[0113] 在时间点t1时，第二控制信号Sn以及第四控制信号EM1为低电压逻辑电平，因此第三晶体管T3与第五晶体管T5被关闭。此时，第一控制信号Cn与第三控制信号EM2为高电压逻辑电平，因此第二晶体管T2与第四晶体管T4被导通。此时端点N3的电位被上抬至接近电位ELVDD(高电位)，第一晶体管T1也因此被导通。

[0114] 在时间点t2时，第二控制信号Sn转变为高电压逻辑电平，且第三控制信号EM2转变为低电压逻辑电平。此时，第三晶体管T3被导通且第五晶体管T5被关闭，且因为显示信号Data的关系，使得第一晶体管T1的导通端的电位变为 $(V_{DATA}+V_{th})$ 。

[0115] 在时间点t3，第一控制信号Cn与第二控制信号Sn转变为低电压逻辑电平，第三控制信号EM2与第四控制信号EM1转变为高电压逻辑电平。此时，第三晶体管T3与第二晶体管T2被关闭，补偿后的显示信号Data存储在电容Cst，并通过发光装置11显示。

[0116] 为清楚说明本申请的驱动方式，请参考下表七、八：

[0117]

	T1	T2	T3	T4	T5
重置	ON	ON	OFF	OFF	ON
补偿	ON	ON	ON	OFF	OFF
发光	ON	OFF	OFF	ON	ON

[0118] 表七

[0119]

	G	S	$V_{GS} - V_{tp} $
重置	VDD	floating	X
补偿	$V_{DATA} + V_{tn}$	V_{DATA}	0
发光	$V_{DATA} + V_{tn}$	$V_{SS} + V_{oled}$	$V_{DATA} - (V_{SS} + V_{oled})$

[0120] 表八

[0121] 表七表示在不同时间点,驱动电路90内的晶体管的状态。表八则是表示在不同时间点,第一晶体管T1的第二端与导通端,以及发光装置91接收到的电压。从表二可以看到,在发光期间(也就是时间点t3之后),发光装置91接收到的电压已经不受第一晶体管T1的临界电压 V_{tn} 的影响。表六中 V_{oled} 的表示发光装置91的临界电压。

[0122] 图11为根据本发明的一驱动电路的另一实施例的电路图。图11的驱动电路全部由NMOS晶体管组成,用以驱动一发光元件111,该发光元件111可能为一发光二极管、一有机发光二极管或是其它发光装置。驱动电路1100仅由五个晶体管与一个电容所组成,可提高显示面板的开口率。驱动电路110详述如下:

[0123] 第一晶体管T1具有一第一端(图上标示D),耦接至第一节点N1,一第二端(图上标示S),耦接至一第二节点N2以及一导通端(图上标示G),耦接至一第三节点N3。第二晶体管T2具有一第一端,耦接至第一节点N1,一第二端,耦接至第三节点N3以及一导通端,用以接收一第一控制信号 C_n 。第三晶体管T3具有一第一端,耦接至第二节点N2,一第二端,用以接收一显示信号Data,以及一导通端,用以接收一第二控制信号 S_n 。第四晶体管T4具有一第一端,耦接至一第四节点N4,一第二端,耦接至第二节点N2以及一导通端,用以接收第四控制信号EM1。第五晶体管T5具有一第一端,耦接至电位ELVDD,一第二端,耦接至一第一节点N1以及一导通端,用以接收第三控制信号EM2。电容 C_{st} 具有一第一端,耦接至电位ELVDD,以及一第二端,耦接至第三节点N3。电容C1具有一第一端,耦接至第三节点N3以及一第二端,耦接至第二节点N2。发光装置111具有一第一端,耦接至电位ELVSS,一第二端耦接至第二节点N2。

[0124] 在图11中,因为发光装置111长时间导通后,可能会产生衰退,因此需要增加电容C1来对发光装置111进行补偿。在本实施例中,第一晶体管T1为驱动晶体管,用以驱动发光装置111。第二晶体管T2为补偿晶体管,用以补偿第一晶体管T1的临界电压(V_t)漂移。第三晶体管T3为数据输入晶体管,用以接收输入的显示信号Data。在本实施例中,显示信号Data为一电流或一电压。第四晶体管T4与第五晶体管T5为开关晶体管,用以决定发光装置111是否被致能。

[0125] 图12为根据本发明图11的驱动电路的操作流程的一实施例的波形图。驱动电路110在接收显示信号Data前,会先通过第一控制信号 C_n 与第三控制信号EM2对第一晶体管T1进行重置。在接收到显示信号Data时,第四晶体管并没有马上导通,而是先通过第二晶体管先对显示信号Data进行补偿,并将补偿后的显示信号Data存储在电容 C_{st} 。当补偿完毕后,第四晶体管T4与第五晶体管T5被导通以将补偿后的显示信号Data传送给发光装置111。

[0126] 在时间点t1时,第二控制信号 S_n 以及第四控制信号EM1为低电压逻辑电平,因此第三晶体管T3与第四晶体管T4被关闭。此时,第一控制信号 C_n 与第三控制信号EM2为高电压逻辑

辑电平,因此第二晶体管T2与第四晶体管T4被导通。此时端点N3的电位被上抬至接近电位ELVDD(高电位),第一晶体管T1也因此被导通。

[0127] 在时间点t2时,第二控制信号Sn转变为高电压逻辑电平,且第三控制信号EM2转变为低电压逻辑电平。此时,第三晶体管T3被导通且第五晶体管T5被关闭,且因为显示信号Data的关系,使得第一晶体管T1的导通端的电位变为 $(V_{DATA}+V_{tn})$ 。

[0128] 在时间点t3,第一控制信号Cn与第二控制信号Sn转变为低电压逻辑电平,第三控制信号EM2与第四控制信号EM1转变为高电压逻辑电平。此时,第三晶体管T3与第二晶体管T2被关闭,补偿后的显示信号Data存储在电容Cst,并通过发光装置11显示。

[0129] 为清楚说明本申请的驱动方式,请参考下表九、十:

[0130]

	T1	T2	T3	T4	T5
重置	ON	ON	OFF	OFF	ON
补偿	ON	ON	ON	OFF	OFF
发光	ON	OFF	OFF	ON	ON

[0131] 表九

[0132]

	G	S	$V_{GS}- V_{tp} $
重置	VDD	floating	X
补偿	$V_{DATA}+V_{tn}$	V_{DATA}	0
发光	$V_{DATA}+V_{tn}$	$V_{ss}+V_{oled}$	$V_{DATA}-(V_{ss}+V_{oled})$

[0133] 表十

[0134] 表九表示在不同时间点,驱动电路90内的晶体管的状态。表十则是表示在不同时间点,第一晶体管T1的第二端与导通端,以及发光装置91接收到的电压。从表二可以看到,在发光期间(也就是时间点t3之后),发光装置91接收到的电压已经不受到第一晶体管T1的临界电压 V_{tn} 的影响。表六中 V_{oled} 的表示发光装置91的临界电压。

[0135] 图13为根据本发明的一显示装置的一实施例的示意图。显示装置130包括控制器131、驱动器132以及发光阵列133。控制器131用以产生显示信号,并将该显示信号传送至驱动器132以显示在发光阵列133。驱动器132包括多个驱动电路,如图1、4、7、9以及11所示的驱动电路。发光阵列133则是由多个发光装置形成的一矩阵阵列,发光装置可能是发光二极管或是有机发光二极管。关于驱动器132的动作则在前述实施例中已经详细描述,在此不赘述。

[0136] 然而以上所述仅为本发明的优选实施例而已,当不能以此限定本发明实施的范围,即大凡依本发明权利要求书及发明说明内容所作的简单的等效变化与修饰,皆仍属本发明专利涵盖的范围内。另外本发明的任一实施例或权利要求书不须达成本发明所公开的全部目的或优点或特点。此外,摘要部分和标题仅是用来辅助专利文件搜寻之用,并非用来限制本发明的权利要求书要求保护的范

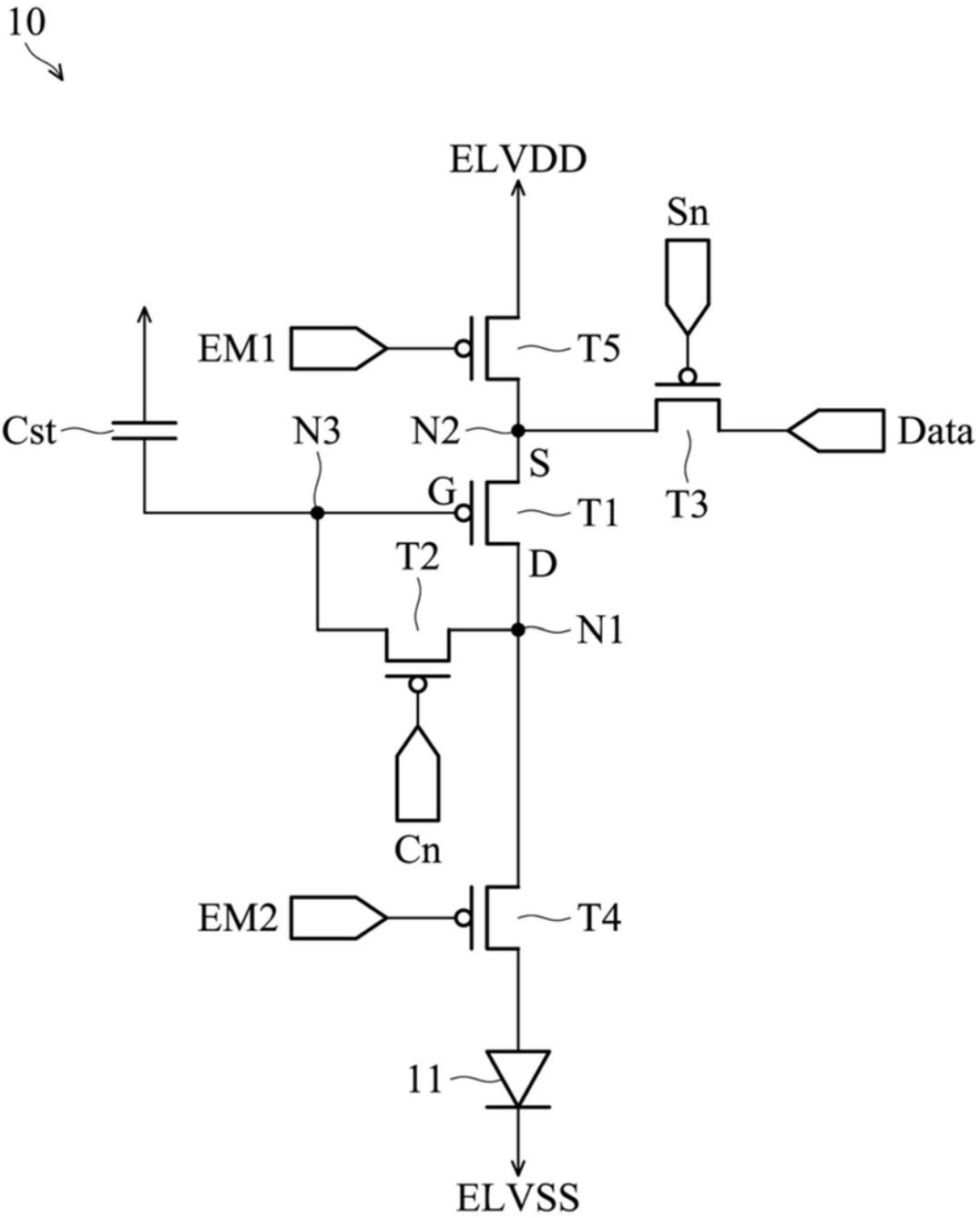


图1

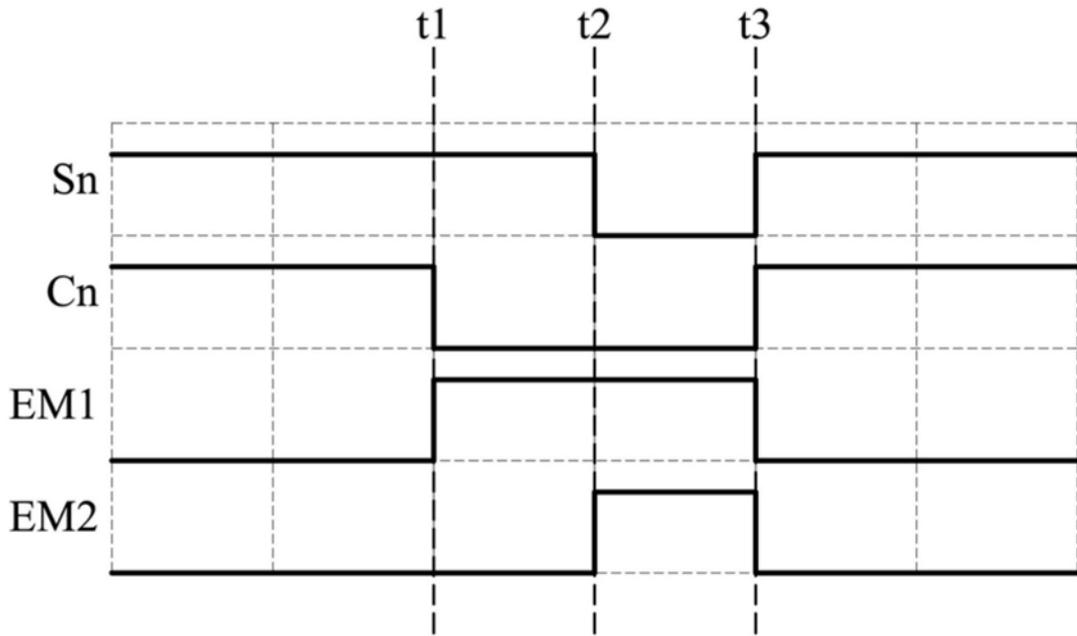


图2A

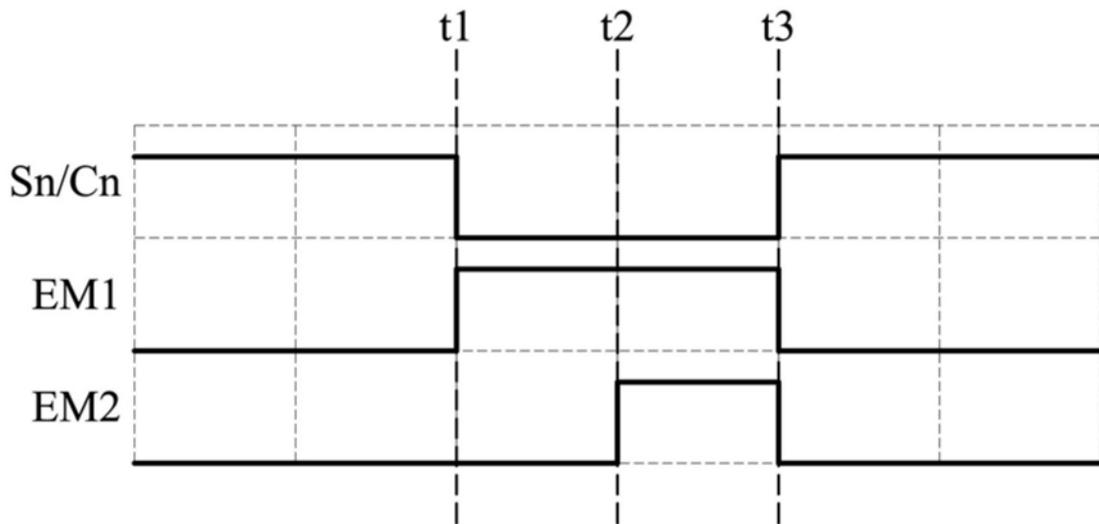


图2B

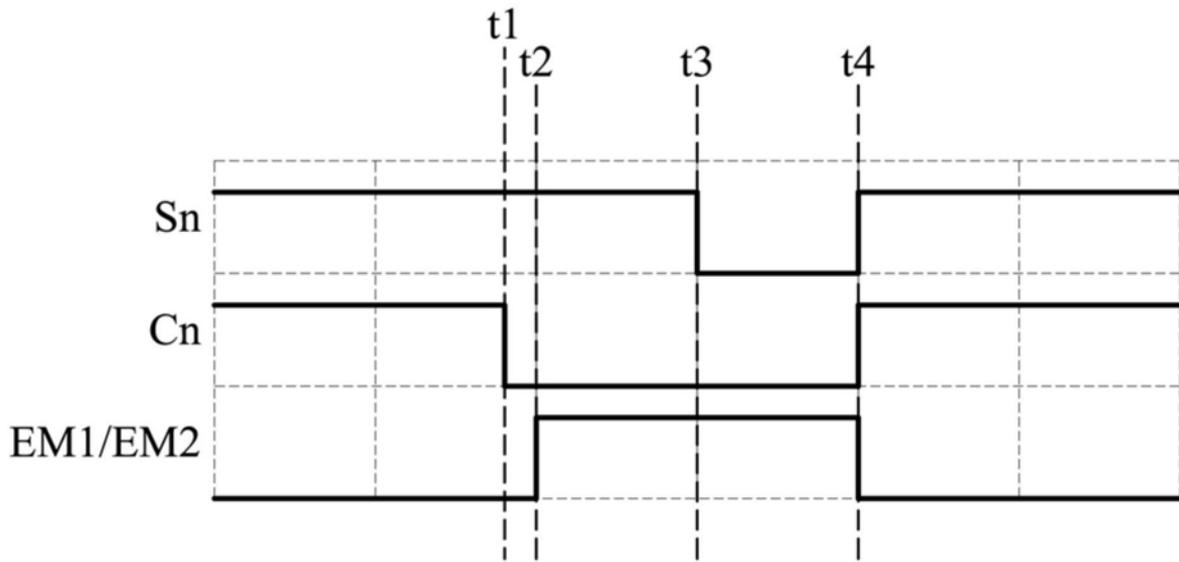


图3A

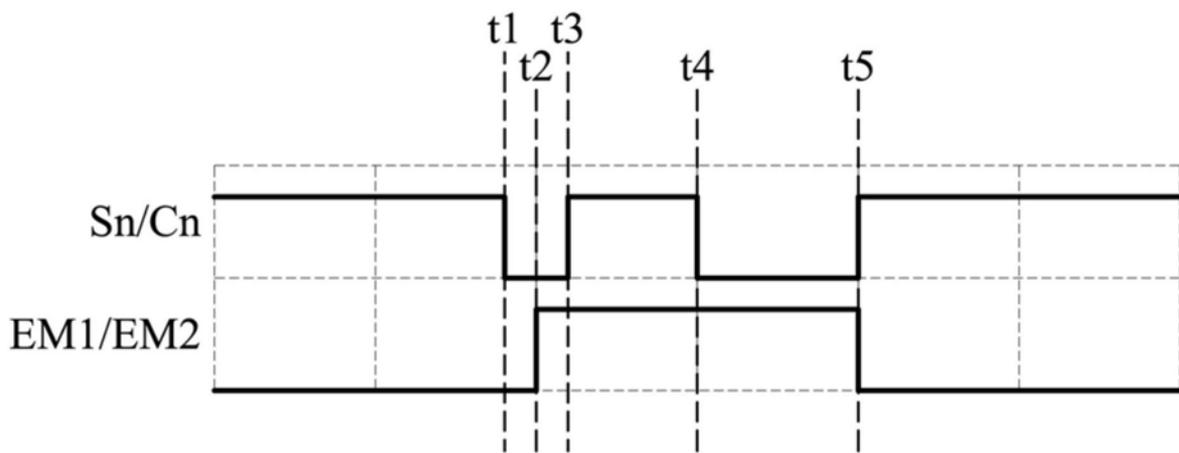


图3B

40
↙

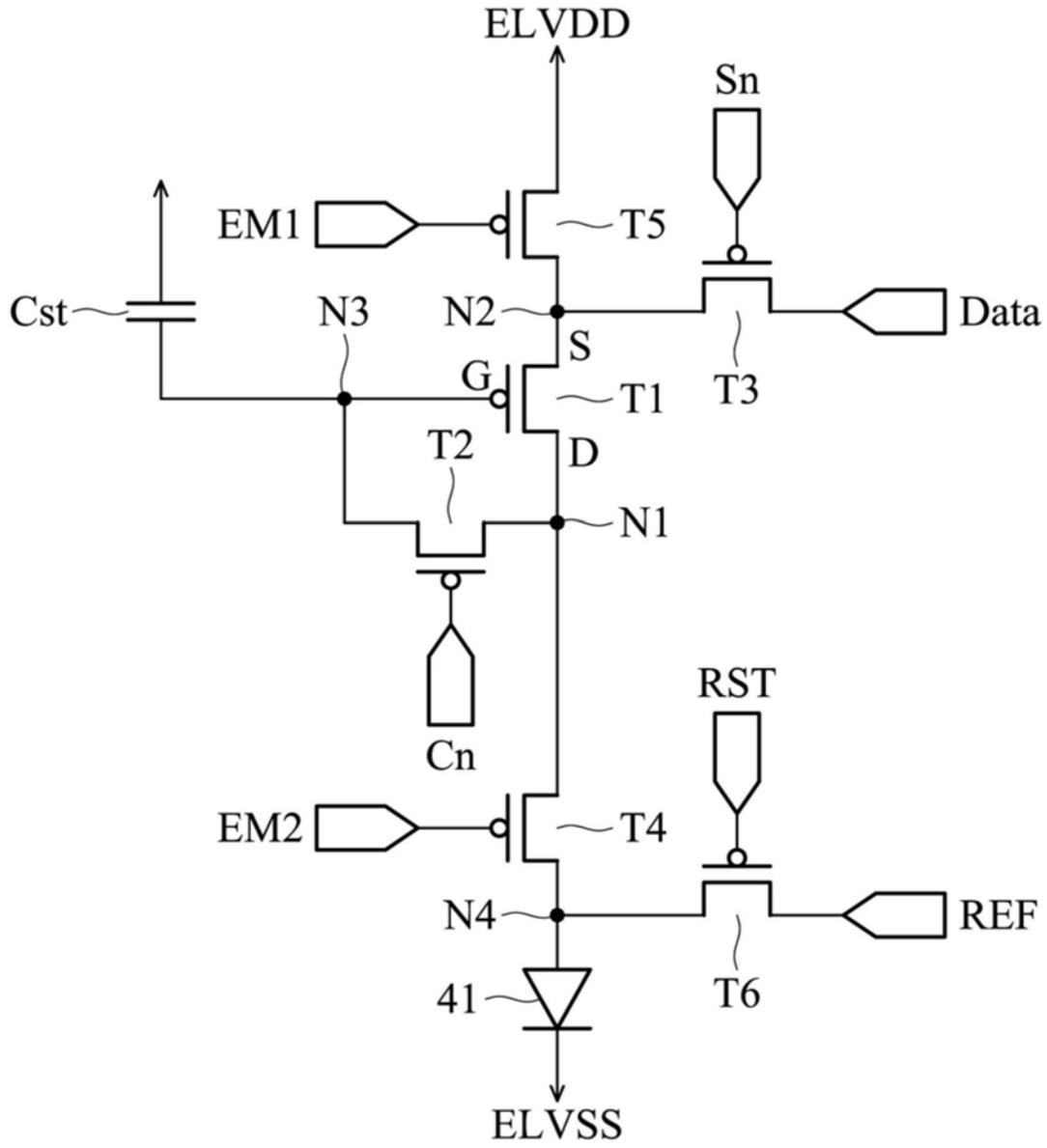


图4

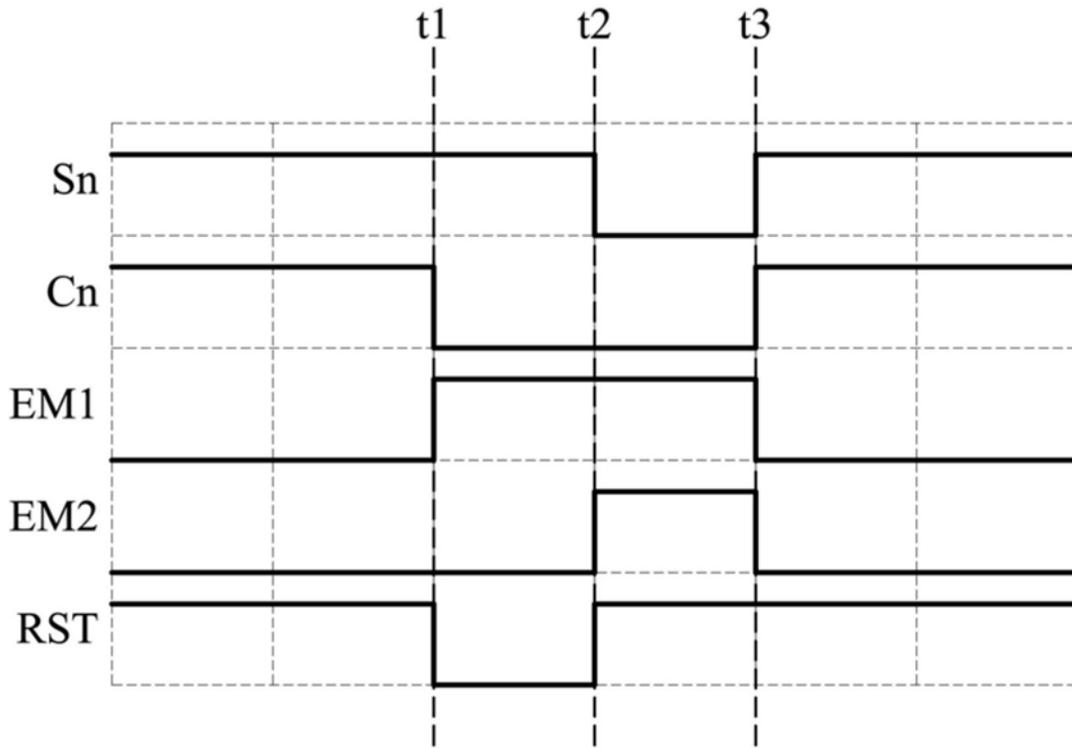


图5A

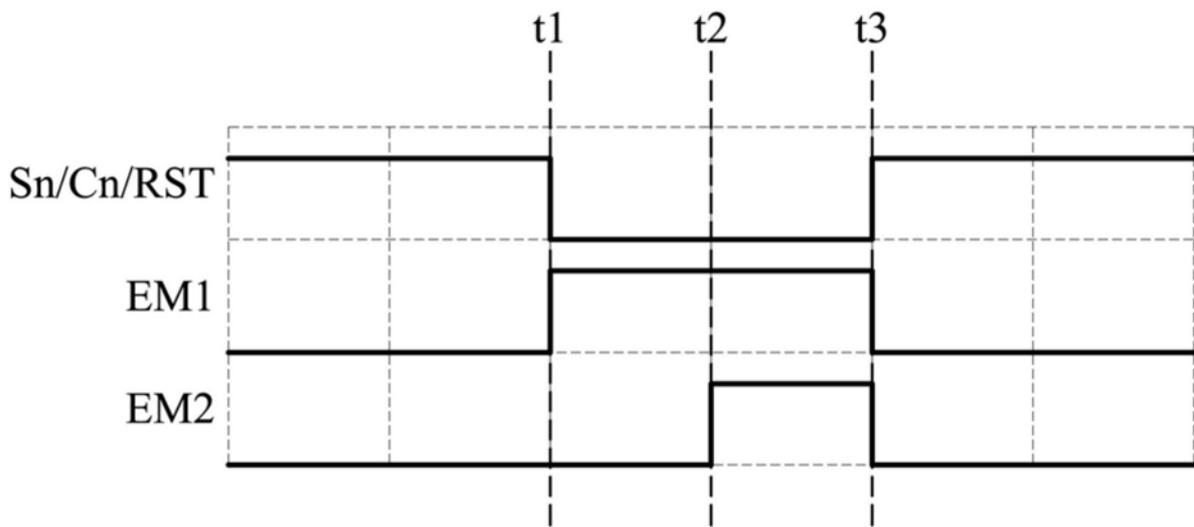


图5B

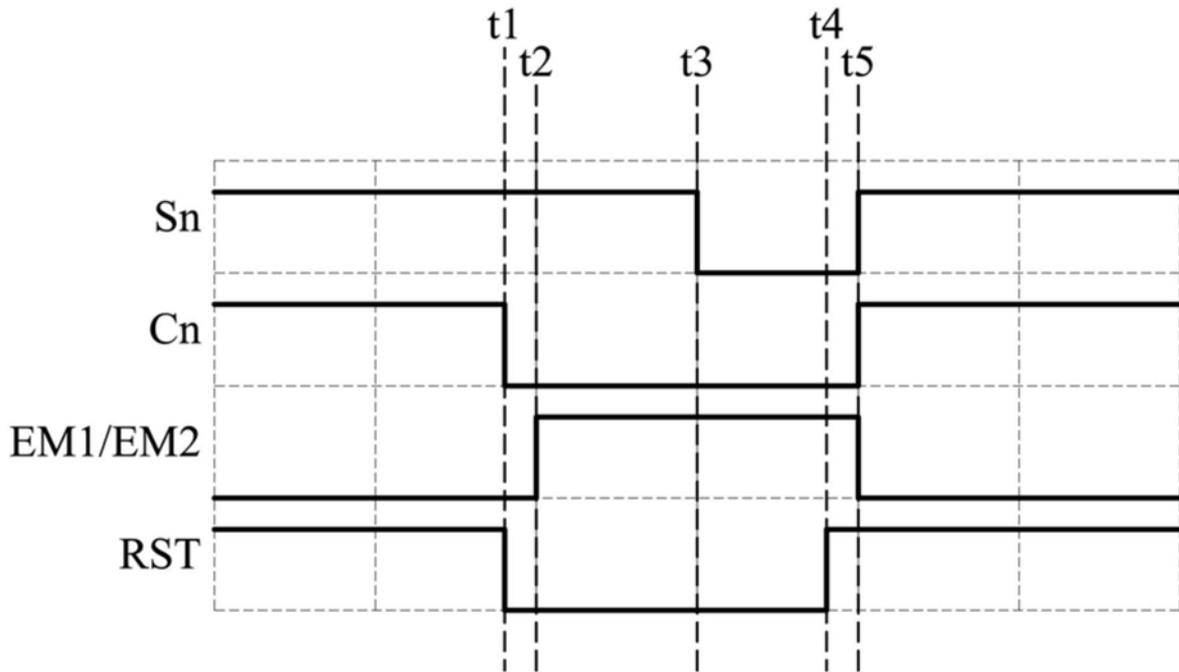


图6A

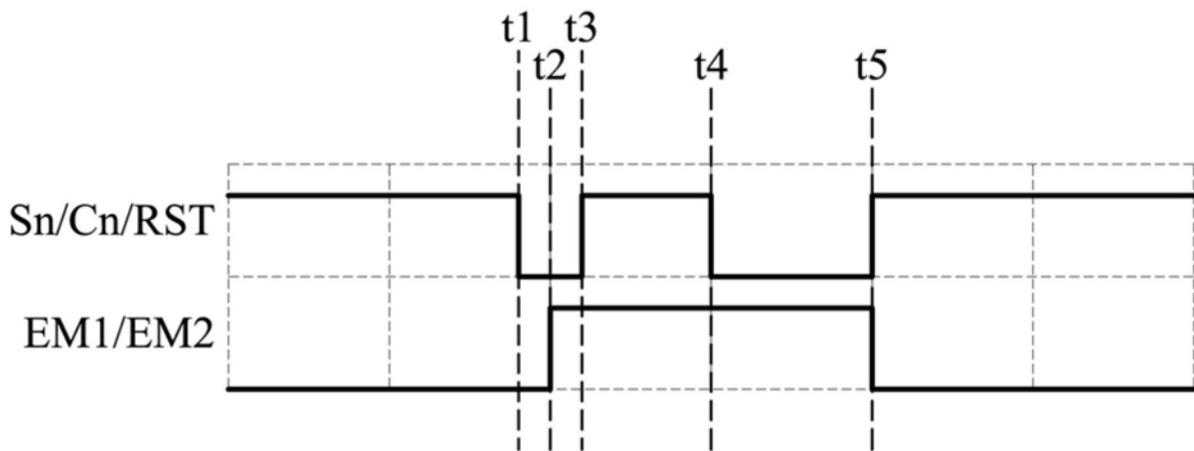


图6B

70

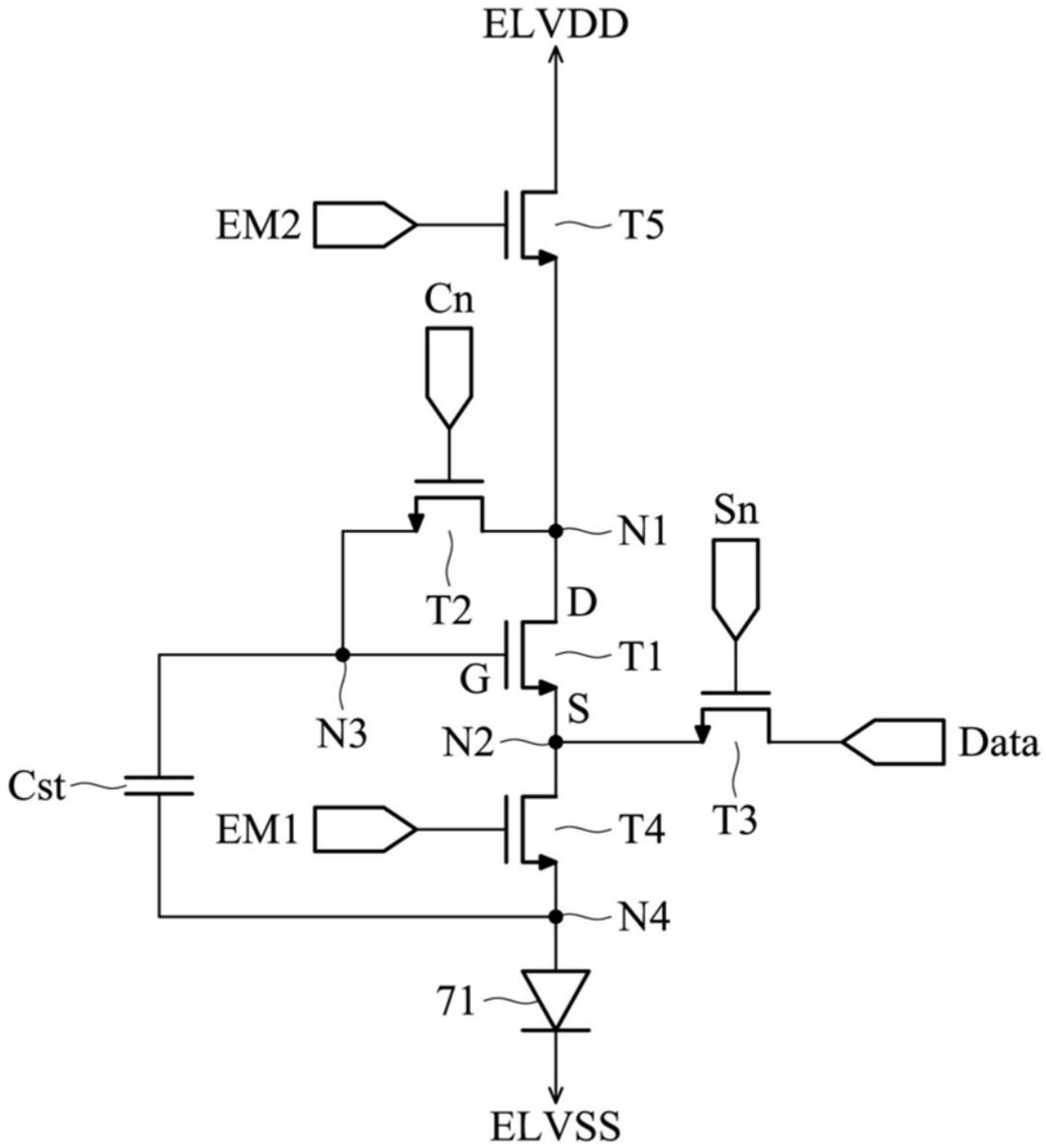


图7

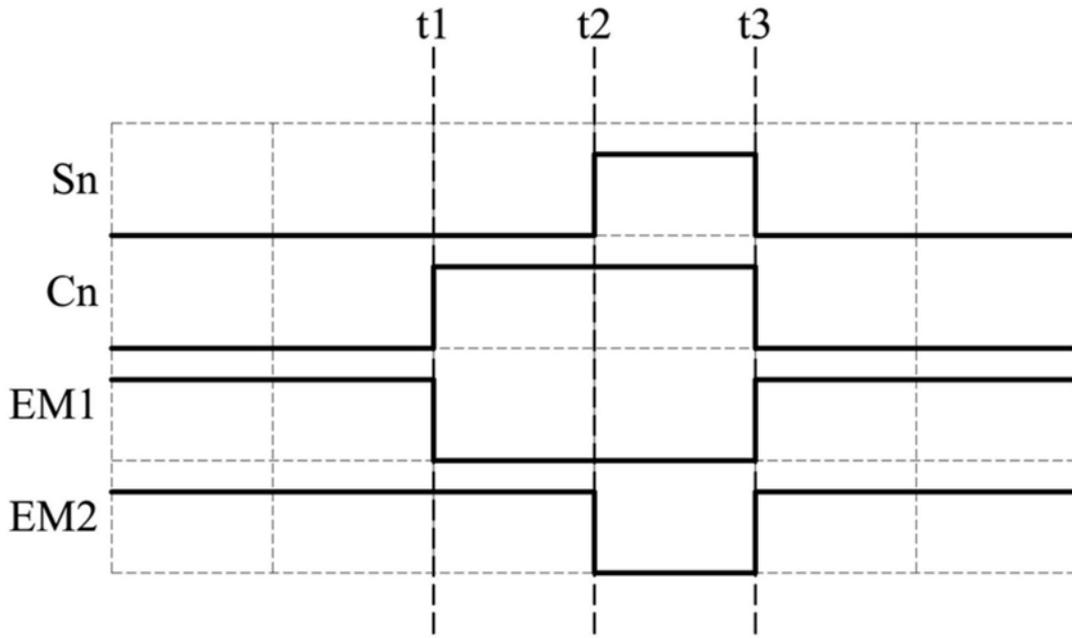


图8

90

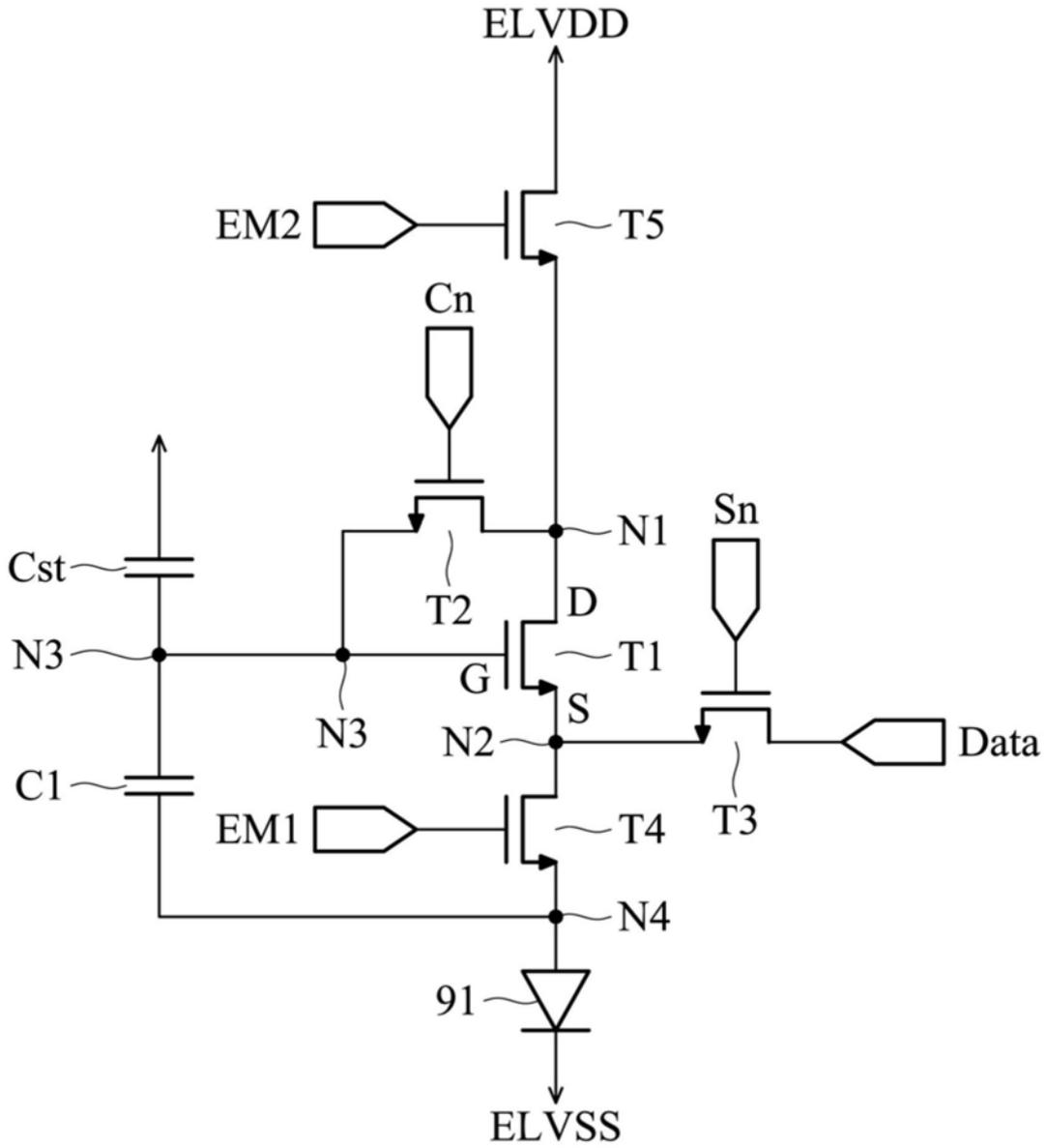


图9

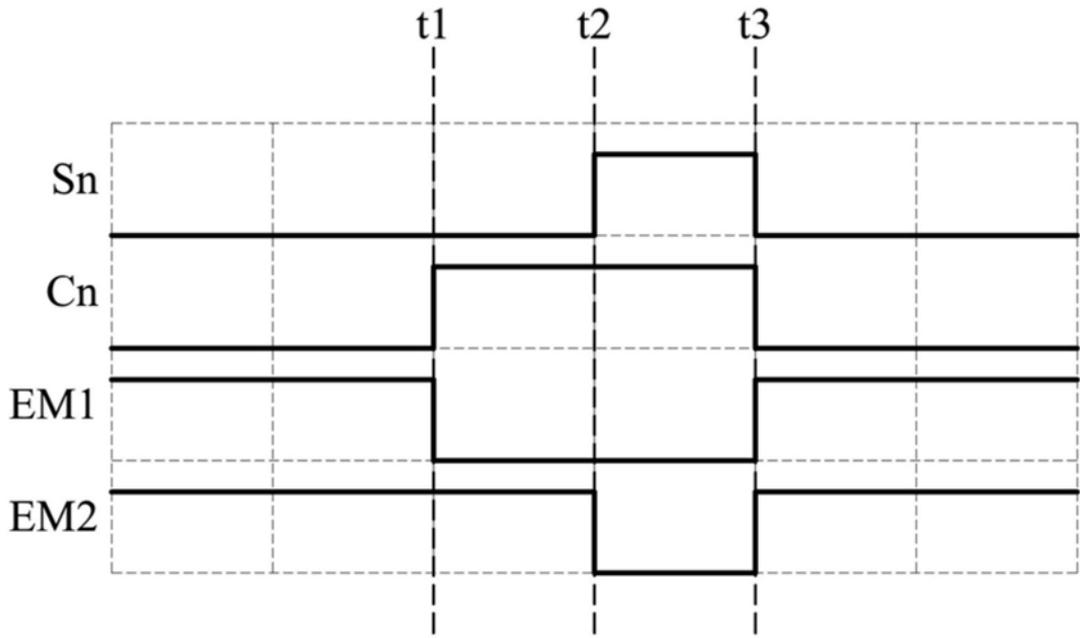


图10

110

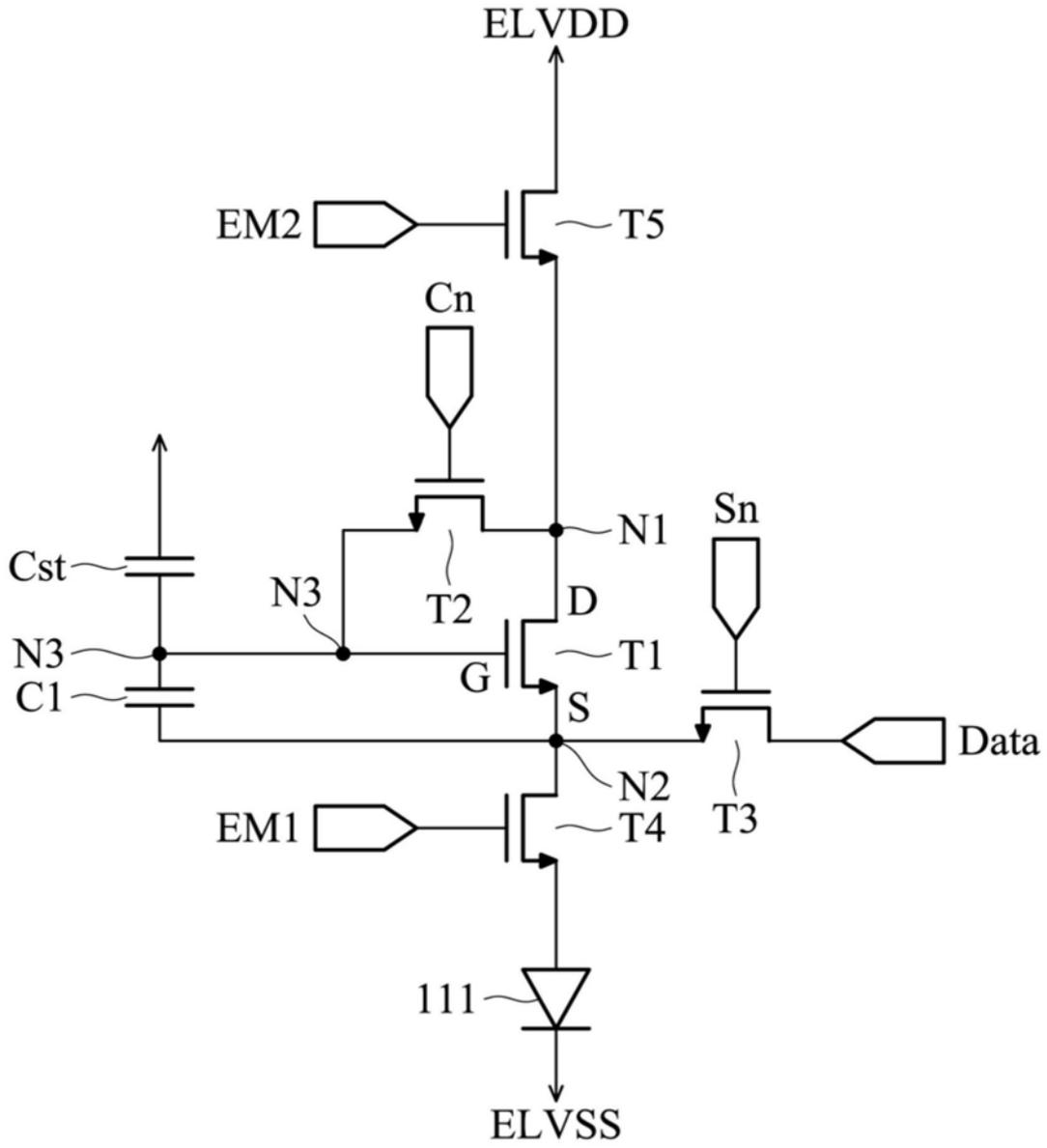


图11

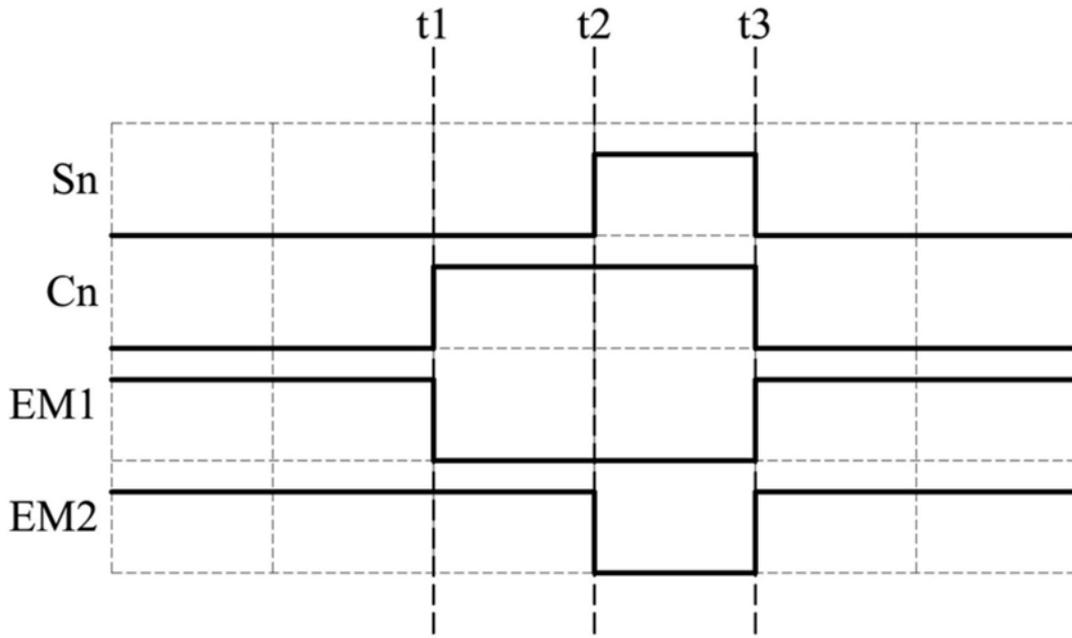


图12

130

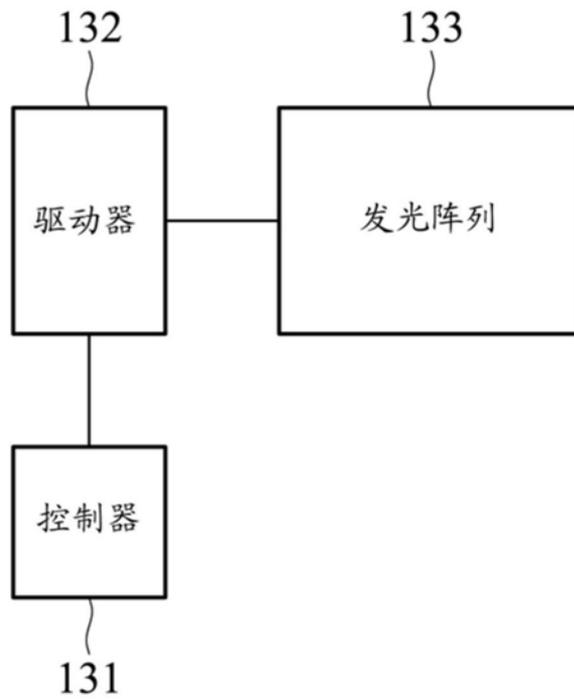


图13