



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월13일
 (11) 등록번호 10-1448169
 (24) 등록일자 2014년09월30일

(51) 국제특허분류(Int. Cl.)
 H01L 27/04 (2006.01) H01L 27/115 (2006.01)
 H01L 27/108 (2006.01)
 (21) 출원번호 10-2008-0000206
 (22) 출원일자 2008년01월02일
 심사청구일자 2012년12월28일
 (65) 공개번호 10-2009-0074431
 (43) 공개일자 2009년07월07일
 (56) 선행기술조사문헌
 KR100784007 B1*
 KR1020040047722 A*
 KR1020070071610 A*
 US07280397 B2*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 박기태
 경기 성남시 분당구 수내로 201, 410동 304호 (분당동, 셋별마을삼부아파트)
 이영택
 서울특별시 송파구 송이로 88, 대림아파트 5동 510호 (가락동)
 (74) 대리인
 권혁수, 오세준, 송윤호

전체 청구항 수 : 총 5 항

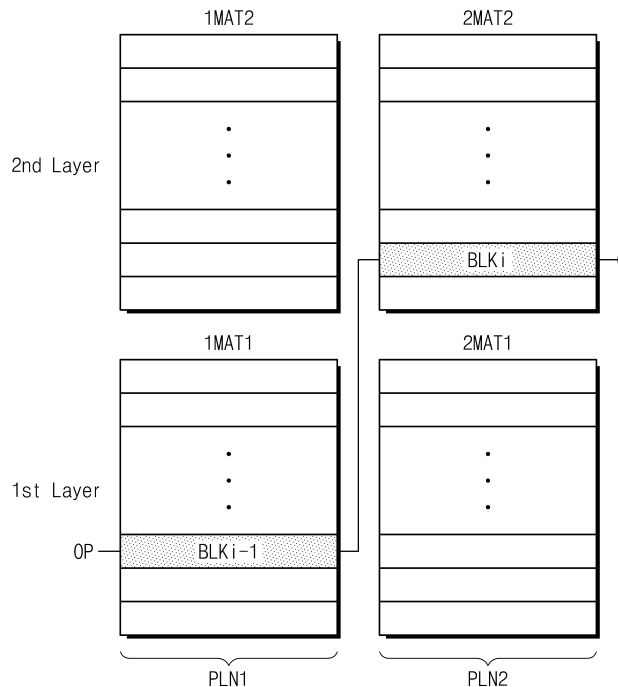
심사관 : 조훤

(54) 발명의 명칭 멀티-플레인 구조의 3차원 메모리 장치

(57) 요약

본 발명에 따른 3차원 메모리 장치는: 제 1 층에 형성된 제 1 매트 및 상기 제 1 층 위에 배치된 제 2 층에 형성된 제 3 매트를 갖고, 상기 제 1 및 제 3 매트들은 서로 비트라인들을 공유하는 제 1 플레인; 및 상기 제 1 층에 형성된 제 2 매트 및 상기 제 2 층에 형성된 제 4 매트를 갖고, 상기 제 2 및 제 4 매트들은 서로 비트라인들을 공유하는 제 2 플레인을 포함하되, 각 매트들은 복수의 블록들을 포함하고, 상기 제 1 플레인의 어느 하나의 블록 및 상기 제 2 플레인의 어느 하나의 블록에 대하여 동시에 동작이 수행되는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

제 1 층에 형성된 제 1 매트 및 상기 제 1 층 위에 배치된 제 2 층에 형성된 제 3 매트를 갖는 제 1 플레인; 및
 상기 제 1 층에 형성된 제 2 매트 및 상기 제 2 층에 형성된 제 4 매트를 갖는 제 2 플레인을 포함하고,
 상기 제 1 및 제 3 매트들은 비트라인들을 공유하고,
 상기 제 2 및 제 4 매트들은 비트라인들을 공유하고,
 상기 제 1 내지 제 4 매트들 각각은 복수의 블록들을 포함하고,
 상기 제 1 플레인의 어느 하나의 블록 및 상기 제 2 플레인의 어느 하나의 블록에 대하여 동시에 동작이 수행되
 고,
 상기 제 1 플레인의 블록들에 대한 어드레스와 상기 제 2 플레인의 블록들에 대한 어드레스는 서로 독립적으로
 할당되고,
 상기 제 1 매트의 어느 하나의 블록이 선택되고, 다음에 상기 제 2 매트의 어느 하나의 블록이 선택되고, 다음
 에 상기 제 3 매트의 어느 하나의 블록이 선택되고, 다음에 상기 제 4 매트의 어느 하나의 블록이 선택되도록
 블록 어드레스가 할당되고,
 상기 제 1 매트의 상기 어느 하나의 블록은, 상기 제 2 매트의 상기 어느 하나 블록, 상기 제 3 매트의 상기 어
 는 하나의 블록, 및 상기 제 4 매트의 상기 어느 하나의 블록이 동시에 소거되고,
 소거 동작시 공유된 비트라인이 충전되었는 지의 여부에 따라 상기 제 2 매트의 상기 어느 하나의 블록 및 상기
 제 4 매트의 상기 어느 하나의 블록의 소거 동작이 검증되고, 상기 충전된 비트라인이 방전되었는 지의 여부에
 따라 상기 제 1 매트의 상기 어느 하나의 블록 및 상기 제 3 매트의 상기 어느 하나의 블록의 소거 동작이 검증
 되는 3차원 메모리 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 제 1 매트의 상기 어느 하나의 블록에 속하는 적어도 하나의 페이지 및 상기 제 2 매트의 상기 어느 하나
 의 블록에 속하는 적어도 하나의 페이지가 동시에 프로그램되는 3차원 메모리 장치.

청구항 4

제 1 항에 있어서,
 상기 제 1 매트의 상기 어느 하나의 블록 및 상기 제 2 매트의 상기 어느 하나의 블록이 동시에 소거되는 3차원
 메모리 장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서,
 상기 제 1 및 제 2 층의 플레인들에 대하여는 연속적으로 블록 어드레스가 할당되고, 상기 제 1 및 제 2 층들에

대하여는 불연속적으로 블록 어드레스가 할당되는 3차원 메모리 장치.

청구항 8

제 1 항에 있어서,

상기 제 1 및 제 2 층들에 대하여는 연속적으로 블록 어드레스가 할당되고, 상기 제 1 및 제 2 층들의 플레인들에 대하여는 불연속적으로 블록 어드레스가 할당되는 3차원 메모리 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 3차원 메모리 장치에 관한 것으로, 좀더 구체적으로 멀티-플레인구조의 3차원 메모리 장치에 관한 것이다.

배경기술

[0002] 반도체 제조 기술의 발전과 더불어, 고밀도 메모리에 대한 요구가 계속되어 오고 있다. 이러한 요구를 충족시키기 위해서 다양한 방법들이 제안되어 오고 있다. 그러한 방법들 중 하나는 3차원 어레이 구조(three-dimensional array structure)를 갖는 메모리 장치(이하, "3차원 메모리 장치"라 칭함)를 제공하는 것이다. 3

차원 메모리 장치를 구현하기 위한 기술들이 미국특허 제5835396호(1998.11.10)에 "THREE-DIMENTIONAL READ-ONLY MEMORY"라는 제목으로, 미국특허 제6034882호(2000.3.7)에 "VERTICALLY STACKED FIELD PROGRAMMABLE NONVOLATILE MEMORY AND METHOD OF FABRICATION"라는 제목으로, 그리고 미국특허 제7002825호(2006.2.21)에 "WORD LINE ARRANGEMENT HAVING SEGMENTED WORD LINES"라는 제목으로 각각 게재되어 있으며, 이 출원의 레퍼런스로 포함된다.

[0003] 3차원 메모리 장치는 복수의 반도체 물질층들에 각각 형성되는 메모리 셀 어레이들을 포함한다. 반도체 물질층들은 잘 알려진 실리콘 기판과 실리콘 기판 상에 순차적으로 적층된 기판들을 포함할 것이다. 적층된 기판들은, 예를 들면, 에피택시얼 공정 기술을 이용하여 형성될 수 있다.

[0004] 최근에 반도체 메모리 장치의 성능을 향상시키기 위하여 멀티-플레인(Multi-PLN) 구조가 제안되었다. 멀티-플레인 구조의 반도체 메모리 장치에서는 블록들이 복수의 플레인들에 분산 배치되고, 인접한 플레인들에 연속한 블록들에 대하여 동시 연산(OP)이 수행된다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 목적은 블록관리의 자유도가 증가되는 멀티-플레인 구조의 3차원 메모리 장치 및 그것의 블록 어드레스를 할당하는 방법을 제공하는 데 있다.

[0006] 본 발명의 목적은 멀티-플레인 구조의 3차원 메모리 장치에서 전력 소비를 줄이는 소거 방법을 제공하는 데 있다.

과제 해결수단

[0007] 본 발명에 따른 3차원 메모리 장치는: 제 1 층에 형성된 제 1 매트 및 상기 제 1 층 위에 배치된 제 2 층에 형성된 제 3 매트를 갖고, 상기 제 1 및 제 3 매트들은 서로 비트라인들을 공유하는 제 1 플레인; 및 상기 제 1 층에 형성된 제 2 매트 및 상기 제 2 층에 형성된 제 4 매트를 갖고, 상기 제 2 및 제 4 매트들은 서로 비트라인들을 공유하는 제 2 플레인을 포함하되, 각 매트들은 복수의 블록들을 포함하고, 상기 제 1 플레인의 어느 하나의 블록 및 상기 제 2 플레인의 어느 하나의 블록에 대하여 동시에 동작이 수행되는 것을 특징으로 한다.

[0008] 실시예에 있어서, 블록 어드레스는 상기 제 1 매트의 어느 하나의 블록이 선택되고, 다음에 상기 제 2 매트의 어느 하나의 블록이 선택되고, 다음에 상기 제 3 매트의 어느 하나의 블록이 선택되고, 다음에 상기 제 4 매트의 어느 하나의 블록이 선택되도록 할당되는 것을 특징으로 한다.

[0009] 실시예에 있어서, 상기 제 1 매트의 상기 어느 하나의 블록에 속하는 적어도 하나의 페이지 및 상기 제 2 매트의 상기 어느 하나의 블록에 속하는 적어도 하나의 페이지가 동시에 프로그램되는 것을 특징으로 한다.

[0010] 실시예에 있어서, 상기 제 1 매트의 상기 어느 하나의 블록 및 상기 제 2 매트의 상기 어느 하나의 블록이 동시에 소거되는 것을 특징으로 한다.

[0011] 실시예에 있어서, 상기 제 1 매트의 상기 어느 하나의 블록, 상기 제 2 매트의 상기 어느 하나의 블록, 상기 제 3 매트의 상기 어느 하나의 블록, 및 상기 제 4 매트의 상기 어느 하나의 블록이 동시에 소거되는 것을 특징으로 한다.

[0012] 실시예에 있어서, 소거 동작시, 공유된 비트라인이 충전되었는 지의 여부에 따라 상기 제 3 매트의 상기 어느 하나의 블록 및 상기 제 4 매트의 상기 어느 하나의 블록의 소거 동작을 검증하고, 상기 충전된 비트라인이 방전되었는 지 여부에 따라 상기 제 1 매트의 상기 어느 하나의 블록 및 상기 제 3 매트의 상기 어느 하나의 블록의 소거 동작을 검증하는 것을 특징으로 한다.

[0013] 실시예에 있어서, 블록 어드레스는 상기 제 1 매트의 어느 하나의 블록이 선택되고, 다음에 상기 제 4 매트의 어느 하나의 블록이 선택되고, 다음에 상기 제 2 매트의 어느 하나의 블록이 선택되고, 다음에 상기 제 3 매트의 어느 하나의 블록이 선택되도록 할당되는 것을 특징으로 한다.

[0014] 실시예에 있어서, 상기 제 1 매트의 상기 어느 하나의 블록에 속하는 적어도 하나의 페이지 및 상기 제 4 매트의 상기 어느 하나의 블록에 속하는 적어도 하나의 페이지가 동시에 프로그램되는 것을 특징으로 한다.

[0015] 실시예에 있어서, 상기 제 1 매트의 상기 어느 하나의 블록 및 상기 제 4 매트의 상기 어느 하나의 블록이 동시

에 소거되는 것을 특징으로 한다.

- [0016] 실시예에 있어서, 상기 제 1 매트와 상기 제 2 매트와 상기 제 3 매트와 상기 제 4 매트와 상기 제 5 매트와 상기 제 6 매트와 상기 제 7 매트와 상기 제 8 매트와 상기 제 9 매트와 상기 제 10 매트가 동시에 소거되는 것을 특징으로 한다.
- [0017] 실시예에 있어서, 블록 어드레스가 상기 제 1 및 제 2층의 플레인들에 대하여는 연속적으로 할당되고, 상기 제 1 및 제 2층들에 대하여는 불연속적으로 할당되는 것을 특징으로 한다.
- [0018] 실시예에 있어서, 블록 어드레스가 상기 제 1 및 제 2층들에 대하여는 연속적으로 할당되고, 상기 제 1 및 제 2층들의 플레인들에 대하여는 불연속적으로 할당되는 것을 특징으로 한다.
- [0019] 실시예에 있어서, 프로그램 동작시 입력되는 상기 제 1 플레인의 블록 어드레스 및 상기 제 2 플레인의 블록 어드레스는 서로 다른 것을 특징으로 한다.
- [0020] 실시예에 있어서, 소거 동작시 입력되는 상기 제 1 플레인의 블록 어드레스 및 상기 제 2 플레인의 블록 어드레스는 서로 다른 것을 특징으로 한다.
- [0021] 본 발명에 따른 3차원 메모리 장치는: 비트라인; 상기 비트라인에 연결된 제 1 낸드 스트링; 상기 비트라인에 연결되고, 상기 제 1 낸드 스트링과 구조적으로 서로 다른 위치에 형성된 제 2 낸드 스트링; 및 상기 제 1 낸드 스트링의 소거 동작시 상기 비트라인이 충전됨을 감지하여 상기 제 1 낸드 스트링의 소거 검증을 수행하고, 상기 제 2 낸드 스트링의 소거 동작시 상기 충전된 비트라인이 방전됨을 감지하여 상기 제 2 낸드 스트링의 소거 검증을 수행하는 페이지 버퍼를 포함한다.
- [0022] 실시예에 있어서, 상기 제 1 및 제 2 낸드 스트링들은 공통 소스 라인을 공유하되, 상기 제 1 낸드 스트링 소거 동작시 상기 공통 소스 라인에는 전원전압이 인가되고, 상기 제 1 낸드 스트링의 메모리 셀들이 소거됨으로 형성된 채널을 통하여 상기 비트라인으로 상기 전원전압이 충전되는 것을 특징으로 한다.
- [0023] 실시예에 있어서, 상기 제 1 및 제 2 낸드 스트링들은 공통 소스 라인을 공유하되, 상기 제 2 낸드 스트링 소거 동작시 상기 공통 소스 라인에는 접지전압이 인가되고, 상기 제 2 낸드 스트링의 메모리 셀들이 소거됨으로 형성된 채널을 통하여 상기 충전된 비트라인이 상기 공통 소스 라인으로 방전되는 것을 특징으로 한다.
- [0024] 본 발명에 따른 3차원 메모리 장치의 멀티-플레인 동작 방법은: 동작 명령을 입력받는 단계; 제 1 플레인의 어드레스를 입력받는 단계; 제 2 플레인의 어드레스를 입력받는 단계; 및 상기 동작 명령에 따라 멀티-플레인 동작을 수행하는 단계를 포함하되, 상기 제 1 및 제 2 플레인의 어드레스들은 서로 다른 블록 어드레스를 갖는 것을 특징으로 한다.

효과

- [0025] 본 발명에 따른 3차원 메모리 장치에서는 각 플레인에 속하는 블록들의 어드레스들이 독립적으로 관리됨으로 블록관리의 자유도가 증가된다.
- [0026] 또한, 본 발명에 따른 3차원 메모리 장치에서는 소거 동작시 공유된 비트라인을 충전 및 방전함으로 소거 검증을 수행하여 소비 전력이 감소된다.

발명의 실시를 위한 구체적인 내용

- [0027] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 본 발명의 실시예를 첨부된 도면을 참조하여 설명한다.
- [0028] 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치에서는 각 플레인들의 블록들에 대하여 독립적으로 어드레스가 할당된다. 이로써, 블록관리의 자유도가 증가된다. 또한 본 발명에 따른 3차원 메모리 장치에서는 공유된 비트라인을 충전 및 방전하여 소거 검증을 수행함으로 소비 전력이 감소된다.
- [0029] 도 1은 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치(10)에 대한 실시예를 보여주는 단면도이다. 도 1을 참조하면, 3차원 메모리 장치(10)는 3차원 메모리 어레이를 갖는 두 개의 플레인들(PLN1, PLN2)을 포함한다. 도 1에 도시된 플레인들은 두개이지만, 본 발명의 플레인이 반드시 여기에 국한될 필요가 없다는 것은 당업자에게 자명하다. 본 발명의 3차원 메모리 장치(10)는 3개 이상의 복수의 플레인들을 구비할 수 있다.
- [0030] 제 1 플레인(PLN1)은 제 1 층(1st Layer)에 메모리 어레이가 형성된 제 1 매트(111) 및 제 2 층(2nd Layer)에

메모리 어레이가 형성된 제 3 매트(121)를 포함한다. 각각의 매트들(111,121)에는 복수의 블록들(도시되지 않음)이 포함된다. 복수의 블록들에는 복수의 스트링들이 포함된다. 도 1에 도시된 매트들(111,121)은 각각 단 하나의 스트링만이 도시되어 있다. 여기서 제 1 매트(111)의 스트링 및 제 3 매트(121)의 스트링은 비트라인(104)을 공유한다.

[0031] 제 2 플레인(PLN2)은 제 1 층(1st Layer)에 메모리 어레이가 형성된 제 2 매트(211) 및 제 2 층(2nd Layer)에 메모리 어레이가 형성된 제 4 매트(221)를 포함한다. 각각의 매트들(211,221)에는 복수의 블록들(도시되지 않음)이 포함된다. 복수의 블록들에는 복수의 스트링들이 포함된다. 도 1에 도시된 매트들(211,221)은 각각 단 하나의 스트링만이 도시되어 있다. 여기서 제 2 매트(211)의 스트링 및 제 4 매트(221)의 스트링은 비트라인(204)을 공유한다.

[0032] 도 1에 도시된 매트들(111,121,211,221)의 메모리 어레이들은 낸드 플래시 메모리 어레이이다. 하지만 본 발명의 메모리 어레이가 낸드 플래시 메모리 어레이에 국한될 필요는 없다는 것은 당업자에게 자명하다. 본 발명의 메모리 어레이는 노아 플래시 메모리 어레이, 읽기 전용 메모리(Read Only Memory) 어레이, 스태틱 랜덤 액세스 메모리(Static Random Access Memory) 어레이, 실리콘-산화막-질화막-산화막-실리콘(Silicon-Oxide-Nitride-Oxide-Silicon:SONOS) 어레이, 또는 그와 같은 것이 될 수 있다.

[0033] 본 발명의 3차원 메모리 장치(10)에서는 제 1 플레인(PLN1)의 어느 하나의 블록/페이지 및 제 2 플레인(PLN2)의 어느 하나의 블록/페이지가 동시에 동작이 수행된다. 만약 메모리 어레이가 낸드 플래시 어레이라면, 동작에는 프로그램, 읽기 및 소거 동작이 포함될 것이다.

[0034] 제 1 층(1st Layer)의 제 1 및 제 2 매트들(111,211)은 벌크 실리콘 혹은 그와 같은 것으로 이루어진 기판(101)에 형성된다. 제 1 층(1st Layer)와 제 2 층(2nd Layer)는 절연층(102)에 의해 절연된다. 여기서 절연층(102)은 산화막, BSG(Borosilicate Glass), PSG(Phosphosilicate Glass), 및 BPSG(Borophosphosilicate Glass) 등 이다. 제 2 층(2nd Layer)의 제 3 및 제 4 매트들(121,221)은 단결정 실리콘 기판 혹은 그와 같은 기판(103)에 형성된다.

[0035] 도 2는 도 1에 도시된 3차원 메모리 장치의 회로도에 대한 실시예이다. 도 2을 참조하면, 제 1 플레인(PLN1)은 제 1 층(1st Layer)에 형성된 제 1 매트(1MAT1,111), 제 2 층(2nd Layer)에 형성된 제 2 매트(1MAT2,121), 로우 디코더들(112,122), 페이지 버퍼(113), 공통 소스 라인 드라이버(114) 및 웰전압 드라이버(115)를 포함한다. 각 층의 제 1 및 제 2 매트들(111,121)은 비트라인들(BL0-BLn-1)을 공유한다. 공유된 비트라인들(BL0-BLn-1)은 하나의 페이지 버퍼(113)에 연결된다. 또한, 각 층의 매트들(111,121)은 공통 소스 라인(Common Source Line:CSL)을 공유한다. 여기서 공통 소스 라인은 공통 소스 라인 드라이버(114)에 의해 제어된다.

[0036] 또한, 각 층의 매트들(111,121)은 웰전압(Well)을 공유한다. 여기서 웰전압(Well)은 웰전압 드라이버(115)에 의해 제어된다. 한편, 제 1 플레인(PLN1)에서는 매트들(111,121)을 제외한 다른 블록들이 제 1 층(1st Layer) 혹은 제 2 층(2nd Layer)에 다양한 조합으로 형성될 수 있다.

[0037] 도 2을 다시 참조하면, 제 2 플레인(PLN2)은 제 1 층(1st Layer)에 형성된 제 3 매트(2MAT1,211), 제 2 층(2nd Layer)에 형성된 제 4 매트(2MAT2,221), 로우 디코더들(212,222), 페이지 버퍼(213), 공통 소스 라인 드라이버(214) 및 웰전압 드라이버(215)를 포함한다. 제 2 플레인(PLN2)은 제 1 플레인(PLN1)과 동일한 구조로 구현될 것이다.

[0038] 도 2에서는 워드라인들이 각 층마다 분리된다. 그러나 본 발명의 워드라인들은 반드시 각 층마다 분리될 필요는 없다. 본 발명에서는 각 층은 워드라인들을 공유하도록 구현가능하다.

[0039] 도 3는 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치(10)의 동작에 대한 개념도이다. 본 발명의 3차원 메모리 장치(10)에서는 각 플레인들(PLN1,PLN2)의 임의의 하나의 블록들이 동시에 연산된다. 예를 들어, 도 3에 도시된 바와 같이, 3차원 메모리 장치(10)에서는 제 1 플레인(PLN1)의 어느 하나의 블록(BLK_{i-1}) 및 제 2 플레인(PLN2)의 어느 하나의 블록(BLK_i)에 대하여 동시에 동작(OP)이 수행된다. 도 3에서는 플레인(PLN2)의 어느 하나의 블록(BLK_i)이 제 2 층(2nd Layer)의 제 4 매트(2MAT1)에 포함되어 있지만, 제 2 플레인(PLN2)의 어느 하나의 블록(BLK_i)은 제 3 매트(2MAT1)의 어느 하나의 블록일 수도 있다.

[0040] 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치(10)의 동작은 인접한 플레인들의 연속한 블록들에 대한 동시 동작보다 블록관리의 자유도를 증대시킬 수 있다. 예를 들어, 제 1 플레인(PLN1)의 어느 하나의 블록에 대응하는 제 2 플레인(PLN2)의 블록이 배드 블록으로 판정되더라도, 본 발명의 멀티-플레인 구조의 3차원 메모리 장치(10)에서는 제 1 플레인(PLN1)의 어느 하나의 블록에 대응하는 제 2 플레인(PLN2)의 임의의 블록이 선택될

수 있다. 반대의 경우도 가능하다.

- [0041] 본 발명에서는 각 플레인들(PLN1, PLN2)에 속하는 어느 하나의 블록들이 동시에 연산된다. 여기서 어느 하나의 블록들이 동시에 연산된다는 것은 어느 하나의 블록들에 속하는 적어도 하나의 페이지가 동시에 연산된다 것을 포함한다.
- [0042] 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치(10)의 동작이 수행되도록, 각 플레인들(PLN1, PLN2)의 블록들은 다양한 방법으로 블록 어드레스가 할당될 것이다. 여기서 블록 어드레스의 할당은 외부의 메모리 제어기(도시되지 않음)에 수행될 것이다. 메모리 제어기는 3차원 메모리 장치(10)의 전반적인 동작을 제어한다. 메모리 제어기는 3차원 메모리 장치(10)의 물리적인 위치에 따른 블록에 대하여 블록 어드레스의 순서를 할당한다.
- [0043] 본 발명에서는 멀티-플레인 구조의 3차원 메모리 장치(10)에 대한 블록 어드레스의 할당 방법에 대하여 언급하였다. 본 발명은 유사한 방법으로 페이지 어드레스의 할당 방법에도 적용가능하다.
- [0044] 도 4은 본 발명의 3차원 메모리 장치(10)의 블록 어드레스 할당 방법에 대한 제 1 실시예이다. 도 4을 참조하면, 블록 어드레스의 순서(①→②→③→④)는 각 층의 플레인들에 대하여는 연속적으로 할당되고, 각 층들에 대하여는 비연속적으로 할당된다. 예를 들어, 제 1 플레인(PLN1)의 제 1 층(1st Layer)에 제 1 블록(BLK 1)이 선택되고, 다음으로 제 2 플레인(PLN2)의 제 1 층(1st Layer)에 제 2 블록(BLK2)이 선택되고(①), 다음으로 제 1 플레인(PLN1)의 제 2 층(2nd Layer)에 제 3 블록(BLK3)이 선택되고(②), 다음으로 제 2 플레인(PLN2)의 제 2 층(2nd Layer)에 제 4 블록(BLK4)이 선택되고(③), 다음으로 제 1 플레인(PLN1)의 제 1 층(1st Layer)에 제 5 블록(BLK5)이 선택되도록(④) 블록 어드레스가 할당된다.
- [0045] 도 5는 본 발명의 3차원 메모리 장치(10)의 블록 어드레스 할당 방법에 대한 제 2 실시예이다. 도 5을 참조하면, 블록 어드레스의 순서(①→②→③→④)는 각 층들에 대하여는 순차적으로 할당되고, 각 층의 플레인들에 대하여는 비연속적으로 할당된다. 예를 들어, 제 1 플레인(PLN1)의 제 1 층(1st Layer)에 제 1 블록(BLK 1)이 선택되고, 다음으로 제 2 플레인(PLN2)의 제 2 층(2nd Layer)에 제 2 블록(BLK2)이 선택되고(①), 다음으로 제 2 플레인(PLN2)의 제 1 층(1st Layer)에 제 3 블록(BLK3)이 선택되고(②), 다음으로 제 1 플레인(PLN1)의 제 2 층(2nd Layer)에 제 4 블록(BLK4)이 선택되고(③), 다음으로 제 1 플레인(PLN1)의 제 1 층(1st Layer)에 제 5 블록(BLK5)이 선택되도록(④) 블록 어드레스가 할당된다.
- [0046] 도 6은 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치의 프로그램 방법을 보여주는 타이밍도의 실시예이다. 도 2 및 6을 참조하면, 프로그램 동작은 아래와 같이 수행된다. 3차원 메모리 장치(10)로 제 1 플레인(PLN1)에 대한 시리얼 데이터 입력 명령(80h)이 전달되고, 이어서 제 1 플레인(PLN1)의 어드레스(PLN1ADD) 및 페이지 데이터(PLN1DATA)가 전달된다. 제 1 플레인(PLN1)의 페이지 버퍼(113)로 페이지 데이터 입력이 완료되면, 제 1 플레인(PLN1)의 더미 페이지 프로그램 명령(11h)이 전달된다.
- [0047] 소정의 시간(tDBSY) 이후 제 2 플레인(PLN2)의 프로그램 동작을 위한 시리얼 데이터 입력 명령(81h)이 전달된다. 이어서 제 2 플레인(PLN2)의 어드레스(PLN2ADD) 및 페이지 데이터(PLN2DATA)가 전달된다. 제 2 플레인(PLN2)의 페이지 버퍼(213)로 데이터 입력이 완료되면, 페이지 프로그램 명령(10h)이 전달된다. 전달된 페이지 프로그램 명령(10h)에 따라 소정의 시간(tPROG) 동안 제 1 플레인(PLN1)의 페이지 버퍼(113) 및 제 2 플레인(PLN2)의 페이지 버퍼(213)의 페이지 데이터들이 각각의 대응하는 메모리 어레이들로 동시에 프로그램된다. 프로그램 동작이 완료된 후, 프로그램이 제대로 수행되었는지 확인하기 위한 읽기 명령(70h)이 전달된다.
- [0048] 여기서, 제 1 플레인(PLN1)의 어드레스(PLN1ADD) 및 제 2 플레인(PLN2)의 어드레스(PLN2ADD)는 서로 다르다. 특히, 멀티-플레인 동작시 각 플레인들(PLN1, PLN2)은 블록 어드레스가 서로 다르다. 본 발명에서는 제 1 플레인(PLN1)의 임의 블록에 속하는 적어도 하나의 페이지 및 제 2 플레인(PLN2)의 임의의 블록에 속하는 적어도 하나의 페이지가 동시에 프로그램된다. 본 발명에서는 멀티-플레인 동작시 각 플레인들(PLN1, PLN2)의 블록 어드레스들이 서로 다르다. 이를 위하여 각 플레인들(PLN1, PLN2)의 블록들에 대하여 블록 어드레스가 각각 독립적으로 할당될 것이다. 그러나 멀티-플레인 동작시 본 발명의 각 플레인들(PLN1, PLN2)의 블록 어드레스가 반드시 서로 다를 필요는 없다.
- [0049] 도 4 및 도 5에 도시된 바와 같이 블록 어드레스가 할당된 3차원 메모리 장치에 대한 프로그램 방법은 다양하게 구현가능하다. 도 7는 도 4에 도시된 바와 같이 블록 어드레스가 할당된 3차원 메모리 장치의 프로그램 방법에 대한 실시예이다. 도 7을 참조하면, 3차원 메모리 장치의 프로그램 방법에서는 각 층의 인접한 모든 블록들(BLK5, BLK6)에 속하는 적어도 하나의 각 페이지가 동시에 프로그램된다. 즉, 제 1 층(1st Layer)에서 제 5 블록(BLK5)에 속하는 적어도 하나의 페이지 및 제 6 블록(BLK6)에 속하는 적어도 하나의 페이지가 동시에 프로그램

된다. 한편, 읽기 동작시 각 층의 블록들(BLK5,BLK6)에 속하는 적어도 하나의 각 페이지가 동시에 읽혀질 것이다.

[0050] 도 8은 도 5에 도시된 바와 같이 블록 어드레스가 할당된 3차원 메모리 장치의 프로그램 방법에 대한 실시예이다. 도 8을 참조하면, 3차원 메모리 장치의 프로그램 방법은 제 1 층(1st Layer)의 제 1 플레인(PLN1)에 속하는 어느 하나의 블록(BLK5)에 속하는 적어도 하나의 페이지 및 제 2 층(2nd Layer)의 제 2 플레인(PLN2)에 속하는 어느 하나의 블록(BLK6)에 속하는 적어도 하나의 페이지가 동시에 프로그램된다. 즉, 제 1 층(1st Layer)에서 제 5 블록(BLK5)에 속하는 적어도 하나의 페이지 및 제 2 층(2nd Layer)에서 제 6 블록(BLK6)에 속하는 적어도 하나의 페이지가 동시에 프로그램된다. 여기서 제 5 블록(BLK5)에 속하는 적어도 하나의 페이지 및 제 6 블록(BLK6)에 속하는 적어도 하나의 페이지를 통칭하여 하나의 페이지(Page(m))라고 할 수 있다. 한편, 읽기 동작시 각 층의 블록들(BLK5,BLK6)에 속하는 적어도 하나의 각 페이지가 동시에 읽혀질 것이다.

[0051] 도 9은 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치의 소거 방법을 보여주는 타이밍도의 실시예이다. 도 2 및 9을 참조하면, 소거 동작은 아래와 같이 수행된다. 3차원 메모리 장치(10)로 제 1 플레인(PLN1)에 대한 소거 셋업 명령(60h)이 전달되고, 이어서 제 1 플레인(PLN1)의 어드레스(PLN1ADD)가 전달된다. 이후, 제 2 플레인(PLN2)에 대한 소거 셋업 명령(60h)이 전달되고, 이어서 제 2 플레인(PLN2)의 어드레스(PLN2ADD)가 전달된다. 이후 소거 명령(D0h)이 전달되고, 소정의 시간(tBERS) 동안 제 1 플레인(PLN1)의 어드레스(PLN1ADD) 및 제 2 플레인(PLN2)의 어드레스(PLN2ADD)에 대응되는 블록들에 대하여 동시에 소거 동작이 수행된다. 소거 동작 이후, 소거 동작이 제대로 수행되었는지 판별하기 위한 읽기 명령(70h)이 전달되고, 그 읽기 결과에 따라 소거 동작이 제대로 수행되었는지 판별된다. 여기서, 제 1 플레인(PLN1)의 어드레스(PLN1ADD) 및 제 2 플레인(PLN2)의 어드레스(PLN2ADD)는 서로 다르다. 특히, 입력된 어드레스들(PLN1ADD,PLN2ADD)에서는 블록 어드레스가 서로 다르다.

[0052] 본 발명에서는 제 1 플레인(PLN1)의 임의 블록 및 제 2 플레인(PLN2)의 임의의 블록이 동시에 소거되지만, 블록 어드레스는 서로 다르다. 즉, 멀티-플레인 소거 동작시 입력된 각 플레인들(PLN1,PLN2)의 어드레스들(PLN1ADD,PLN2ADD)에서는 블록 어드레스들이 독립적으로 할당된다.

[0053] 도 4 및 도 5에 도시된 바와 같이 블록 어드레스가 할당된 3차원 메모리 장치에 대한 소거 방법은 다양하게 구현가능하다. 도 10은 도 4에 도시된 바와 같이 블록 어드레스가 할당된 3차원 메모리 장치의 블록 소거 방법에 대한 실시예이다. 도 10을 참조하면, 제 1 층(1st Layer)에서 제 1 플레인(PLN1)의 블록(BLKa) 및 제 2 플레인(PLN2)의 블록(BLKb)이 동시에 소거되고, 제 2 층(2nd Layer)에서 제 1 플레인(PLN1)의 블록(BLKc) 및 제 2 플레인(PLN2)의 블록(BLKd)이 동시에 소거된다. 한편, 블록들(BLKa, BLKb, BLKc, BLKd)이 동시에 소거될 수 있다. 즉, 본 발명에 따른 3차원 메모리 장치에서는 멀티-블록 소거가 가능하다.

[0054] 도 11은 도 5에 도시된 바와 같이 블록 어드레스가 할당된 3차원 메모리 장치의 블록 소거 방법에 대한 실시예이다. 도 11을 참조하면, 제 1 층(1st Layer)에서 제 1 플레인(PLN1)의 블록(BLKa) 및 제 2 플레인(PLN2)의 블록(BLKb)이 아닌 어느 하나의 임의 블록이 동시에 소거되고, 제 2 층(2nd Layer)에서 제 1 플레인(PLN1)의 블록(BLKc) 및 제 2 플레인(PLN2)의 블록(BLKd)가 아닌 어느 하나의 블록이 동시에 소거된다. 한편, 블록들(BLKa, BLKb)이 아닌 임의 블록, BLKc, BLKd가 아닌 임의의 블록이 동시에 소거될 수 있다.

[0055] 본 발명에 따른 3차원 메모리 장치의 멀티-플레인 동작 방법은, 동작 명령을 입력받는 단계, 제 1 플레인의 어드레스를 입력받는 단계, 제 2 플레인의 어드레스를 입력받는 단계, 및 동작 명령에 따라 멀티-플레인 동작을 수행하는 단계를 포함한다. 여기서 동작 명령에는 프로그램/읽기/소거 명령이 포함될 것이다. 특히, 제 1 및 제 2 플레인의 어드레스들은 서로 다른 블록 어드레스를 갖는다.

[0056] 도 12a 및 도 12b는 본 발명의 3차원 메모리 장치의 블록 소거 동작시 검증 방법을 보여주는 도면이다. 도 12a 및 도 12b를 참조하면, 소스 팔로워(Source Follow)을 이용한 비트라인 충전으로 어느 하나의 블록에 대한 소거 검증을 수행한 뒤, 충전된 비트라인 전압을 방전함으로써 다른 하나의 블록에 대한 소거 검증을 수행한다. 여기서 어느 하나의 블록과 다른 하나의 블록은 비트라인을 공유하고 있다.

[0057] 도 12a는 소스 팔로워(Source Follow)을 이용한 제 2 층(2nd Layer)의 블록에 대한 소거 검증시 인가되는 전압들을 보여주는 도면이다. 도 12a를 참조하면, 본 발명의 3차원 메모리 장치는 어느 하나의 비트라인(BL)에 연결된 두 개의 낸드 스트링들(111a,121a)을 포함하고 있다. 제 1 낸드 스트링들(111a,121a)은 모두 제 1 플레인(PLN1)에 포함되고, 제 1 낸드 스트링(111a)는 제 1 층(1st Layer)에 형성되고, 제 2 낸드 스트링(121a)은 제 2 층(2nd Layer)에 형성된다.

- [0058] 도 12a을 참조하면 제 2 낸드 스트링(121a)의 소거 동작은 다음과 같다. 제 2 낸드 스트링(121a)의 메모리 셀들에 소거 전압이 인가한다. 이 후, 소거가 완료되면, 제 2 낸드 스트링(121a)에는 채널이 형성될 것이다. 소거 전압이 인가된 뒤, 소정의 시간이 지난 후에 소거 검증을 수행한다. 여기서 소거 검증은 비트라인(BL)이 형성된 채널로 인하여 공통 소스 라인(CSL)의 전압으로 충전되었는 지 여부로 판별한다.
- [0059] 이때, 공통 소스 라인(CSL)에는 전원전압(Vcc)이 인가되고, 형성된 채널을 비트라인(BL)과 공통 소스 라인(CSL)에 전기적으로 연결하기 위하여 제 2 낸드 스트링(121a)의 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)에 각각 읽기전압(Vread)이 인가되고, 각 워드라인들(WL0~WLm-1)에는 0V가 인가된다. 한편, 제 1 낸드 스트링(111a)의 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 각 워드라인(WL0~WLm-1)에는 모두 0V가 인가된다.
- [0060] 만약, 제 2 낸드 스트링(121a)의 소거 동작이 완료되면, 채널이 형성될 것이고, 형성된 채널을 통하여 공통 소스 라인(CSL)의 전원전압(Vcc)이 비트라인(BL)로 충전될 것이다. 즉, 제 2 낸드 스트링(121a)의 메모리 셀들이 모두 소거되었다면, 비트라인(BL)은 소정의 전압(Vs)으로 충전될 것이다. 페이지 버퍼(113)는 비트라인(BL)의 전압을 감지하여 소거 동작이 제대로 되었는 지 판별하게 된다. 이로써 제 2 낸드 스트링(121a)에 대한 소거 검증 동작이 완료된다.
- [0061] 도 12b는 충전된 비트라인을 방전함으로 제 1 층의 블록에 대한 소거 검증시 인가되는 전압들을 보여주는 도면이다. 도 12b을 참조하면, 제 1 낸드 스트링(111a)의 소거 동작은 다음과 같다. 제 1 낸드 스트링(111a)의 메모리 셀들에 소거 전압이 인가한다. 이 후, 소거가 완료되면, 제 1 낸드 스트링(111a)에는 채널이 형성될 것이다. 소거 전압이 인가된 뒤, 소정의 시간이 지난 후에 소거 검증을 수행한다. 여기서 소거 검증은 제 2 낸드 스트링(121a)의 소거 동작으로 인하여 충전된 비트라인(BL)이 형성된 채널로 통하여 공통 소스 라인(CSL)으로 방전되었는 지 여부로 판별한다.
- [0062] 이때, 공통 소스 라인(CSL)에는 0V가 인가되고, 형성된 채널을 비트라인(BL)과 공통 소스 라인(CSL)에 전기적으로 연결하기 위하여 제 1 낸드 스트링(111a)의 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)에 각각 읽기전압(Vread)이 인가되고, 각 워드라인들(WL0~WLm-1)에는 0V가 인가된다. 한편, 제 2 낸드 스트링(121a)의 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 각 워드라인(WL0~WLm-1)에는 모두 0V가 인가된다.
- [0063] 만약, 제 1 낸드 스트링(111a)의 소거 동작이 완료되면, 채널이 형성될 것이고, 형성된 채널을 통하여 충전된 비트라인(BL)의 전압(Vs)이 0V로 방전될 것이다. 즉, 제 1 낸드 스트링(111a)의 메모리 셀들이 모두 소거되었다면, 비트라인(BL)은 소정의 전압(Vs)에서 0V로 방전될 것이다. 페이지 버퍼(113)는 비트라인(BL)의 전압을 감지하여 소거 동작이 제대로 되었는 지 판별하게 된다. 이로써 제 1 낸드 스트링(111a)에 대한 소거 검증 동작이 완료된다.
- [0064] 본 발명에 따른 3차원 메모리 장치에서는, 공유된 비트라인을 충전 및 방전함으로 각 층의 소거 동작을 순차적으로 수행할 수 있게 된다. 이로써, 본 발명의 3차원 메모리 장치에서는 소거 동작시 전력 소비를 줄일 수 있게 된다.
- [0065] 도 13은 본 발명에 따른 3차원 메모리 장치를 갖는 메모리 시스템(10)을 보여주는 블록도이다. 도 13을 참조하면, 메모리 시스템(10)은 버스(11)에 전기적으로 연결된 중앙처리장치(12), 에스램(14), 메모리 제어기(16) 및 3차원 메모리 장치(18)를 포함한다. 여기서 3차원 메모리 장치(18)는 도 1에 도시된 것들과 실질적으로 동일하게 구성될 것이다. 3차원 메모리 장치(18)에는 중앙처리장치(12)에 의해서 처리된/처리될 N-비트 데이터(N은 1 또는 그 보다 큰 정수)가 메모리 제어기(16)를 통해 저장될 것이다.
- [0066] 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 시스템(10)에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 메모리 제어기와 3차원 메모리 장치는, 예를 들면, 데이터를 저장하는데 비휘발성 메모리 장치를 사용하는 SSD(Solid State Drive/Disk)로 구성될 수도 있다.
- [0067] 본 발명에 따른 3차원 메모리 장치 그리고/또는 메모리 제어기는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 3차원 메모리 장치 그리고/또는 메모리 제어기는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed

Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.

[0068] 한편, 본 발명의 상세한 설명에서는 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있다. 그러므로 본 발명의 범위는 상세한 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위 뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

[0069] 도 1은 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치에 대한 실시예를 보여주는 단면도이다.

[0070] 도 2는 도 1에 도시된 멀티-플레인 구조의 3차원 메모리 장치의 회로도에 대한 실시예이다.

[0071] 도 3은 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치의 동작에 대한 개념도이다.

[0072] 도 4는 본 발명의 멀티-플레인 구조의 3차원 메모리 장치의 블록 어드레스 할당 방법에 대한 제 1 실시예이다.

[0073] 도 5은 본 발명의 멀티-플레인 구조의 3차원 메모리 장치의 블록 어드레스 할당 방법에 대한 제 2 실시예이다.

[0074] 도 6은 본 발명에 따른 멀티-플레인 구조의 프로그램 방법을 보여주는 타이밍도에 대한 실시예이다.

[0075] 도 7는 도 4에 도시된 바와 같이 블록 어드레스가 할당된 멀티-플레인 구조의 3차원 메모리 장치의 프로그램 방법에 대한 실시예이다.

[0076] 도 8은 도 5에 도시된 바와 같이 블록 어드레스가 할당된 멀티-플레인 구조의 3차원 메모리 장치의 프로그램 방법에 대한 실시예이다.

[0077] 도 9은 본 발명에 따른 멀티-플레인 구조의 소거 방법을 보여주는 타이밍도에 대한 실시예이다.

[0078] 도 10은 도 4에 도시된 바와 같이 블록 어드레스가 할당된 멀티-플레인 구조의 3차원 메모리 장치의 블록 소거 방법에 대한 실시예이다.

[0079] 도 11은 도 5에 도시된 바와 같이 블록 어드레스가 할당된 멀티-플레인 구조의 3차원 메모리 장치의 블록 소거 방법에 대한 실시예이다.

[0080] 도 12a는 소스 팔로워를 이용한 제 2 층의 블록에 대한 소거 검증시 인가되는 전압들을 보여주는 도면이다.

[0081] 도 12b는 충전된 비트라인을 방전함으로써 제 1 층의 블록에 대한 소거 검증시 인가되는 전압들을 보여주는 도면이다.

[0082] 도 13은 본 발명에 따른 멀티-플레인 구조의 3차원 메모리 장치를 갖는 메모리 시스템을 보여주는 블록도이다.

[0083] *도면의 주요부분에 대한 부호의 설명*

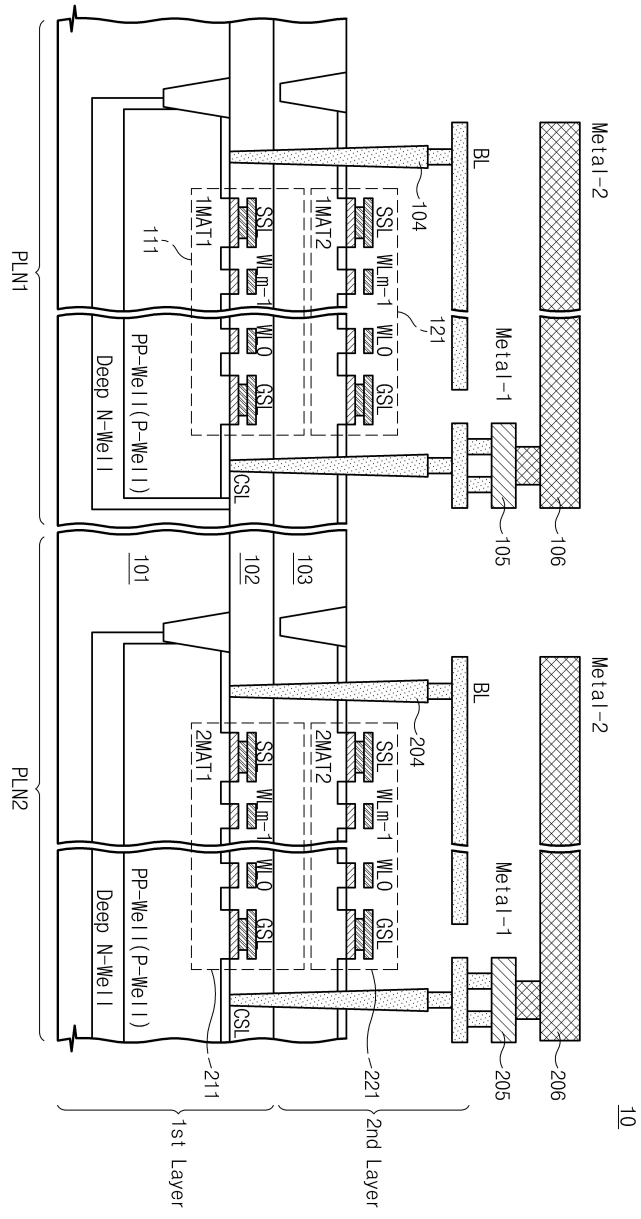
[0084] PLN1: 제 1 플레인 PLN2: 제 2 플레인

[0085] 111, 121, 211, 221: 매트 111a, 121a, 211a, 221a: 낸드 스트링

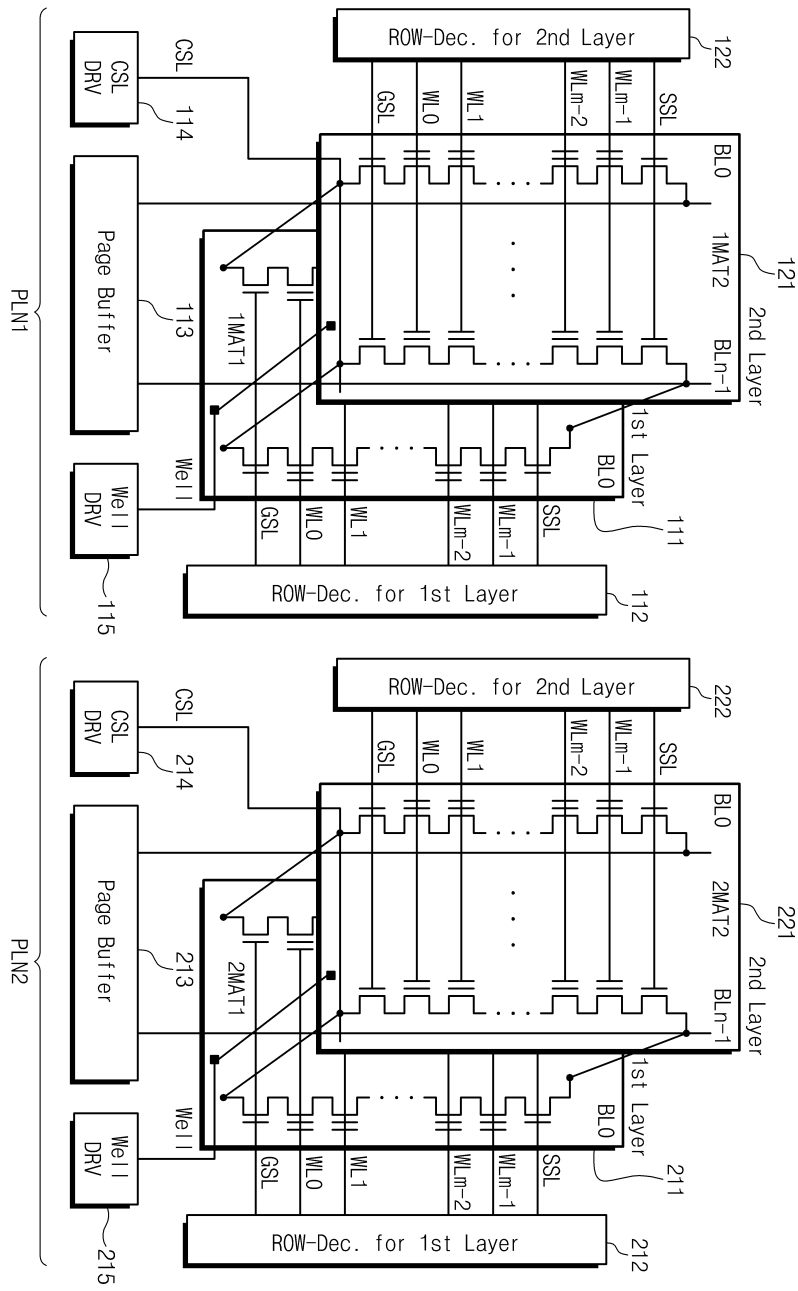
[0086] BLK1~BLKn: 블록 113, 213: 페이지 버퍼

도면

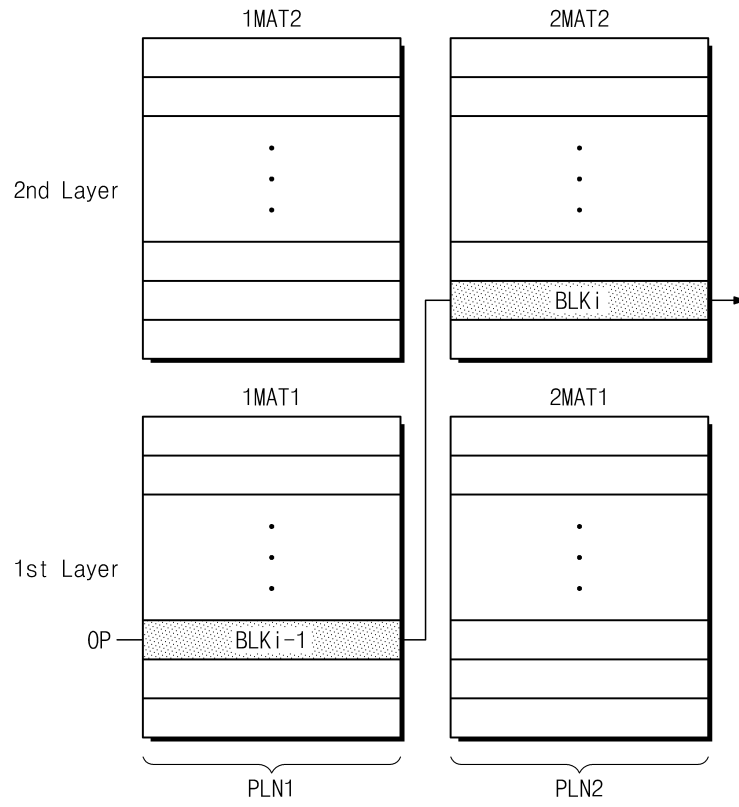
도면1



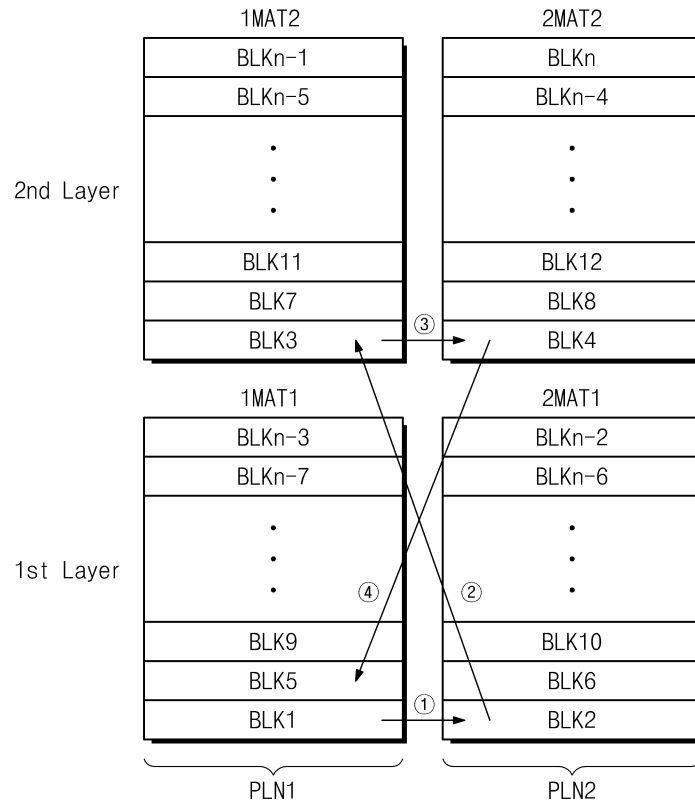
도면2



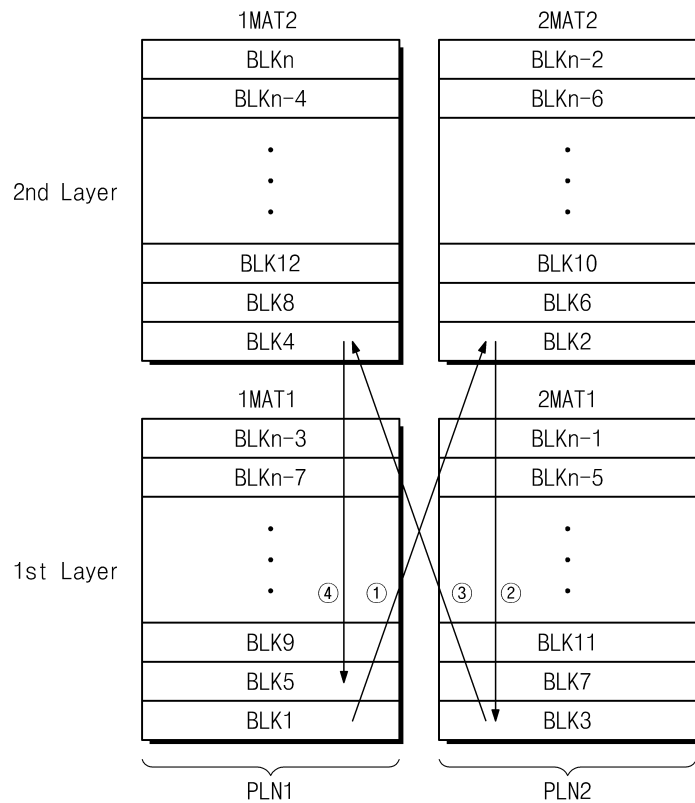
도면3



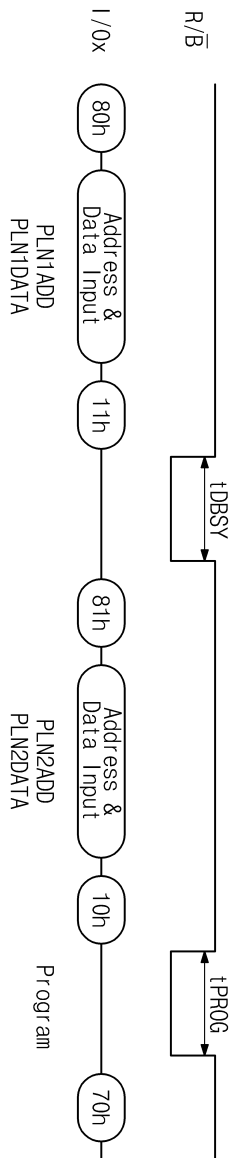
도면4



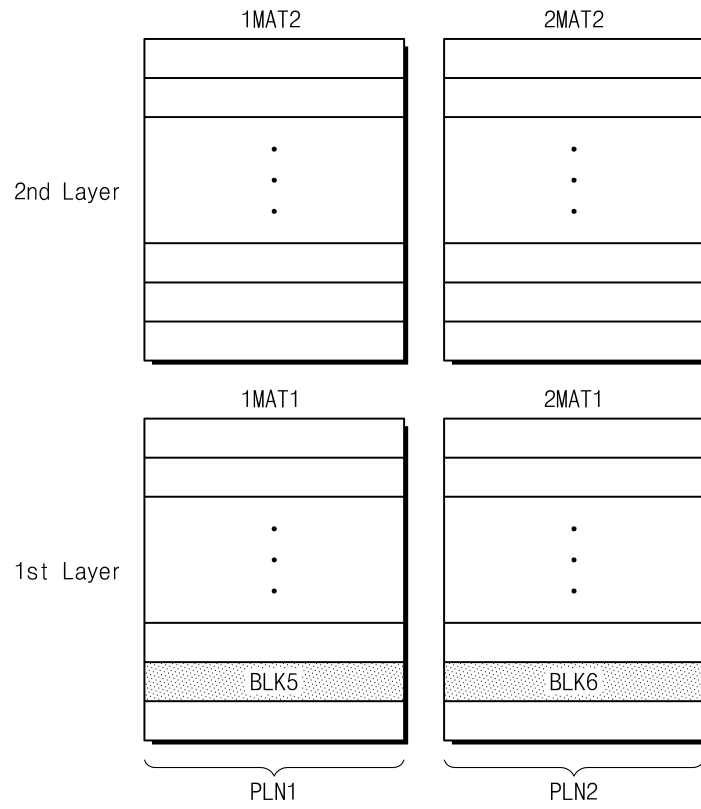
도면5



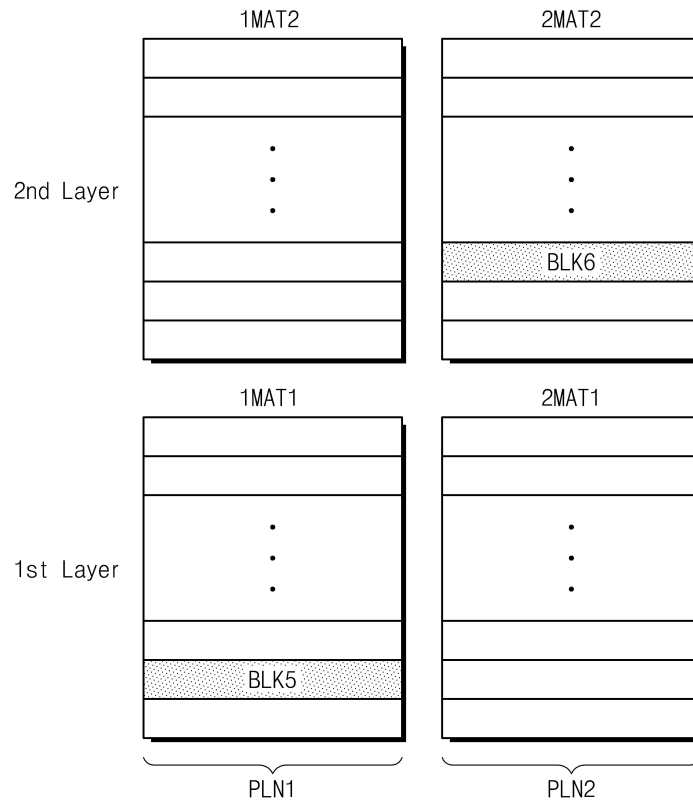
도면6



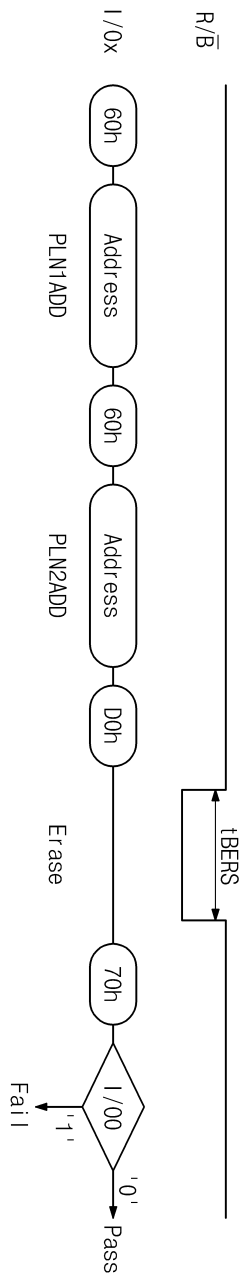
도면7



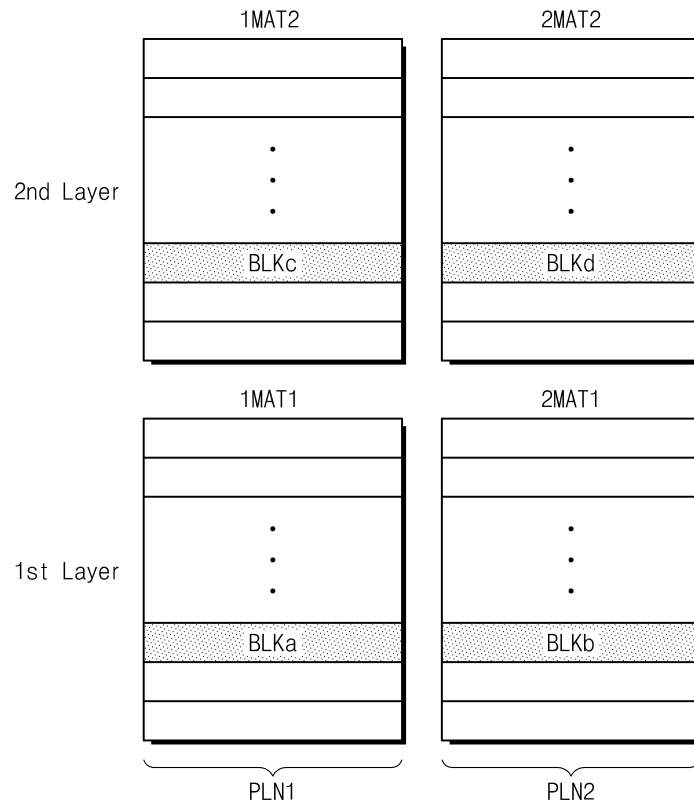
도면8



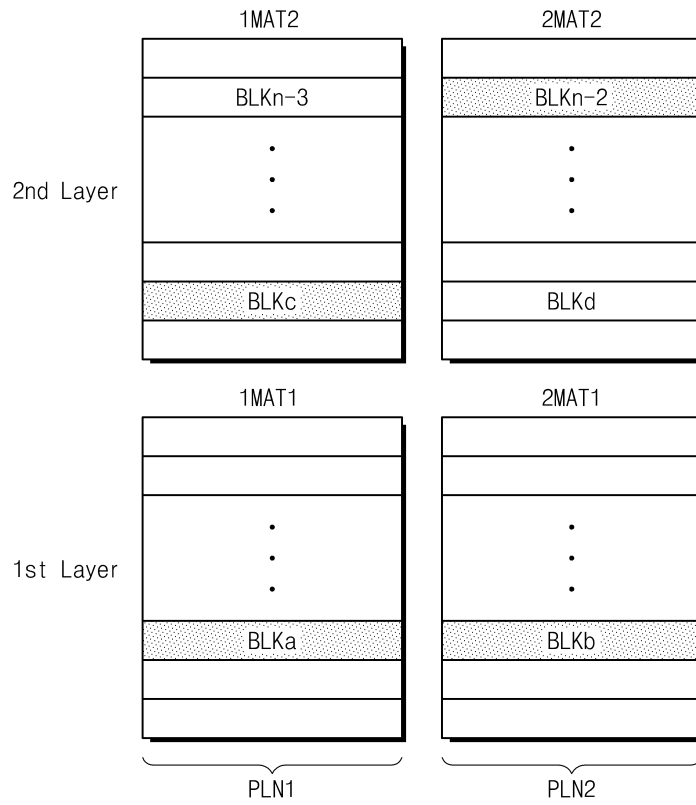
도면9



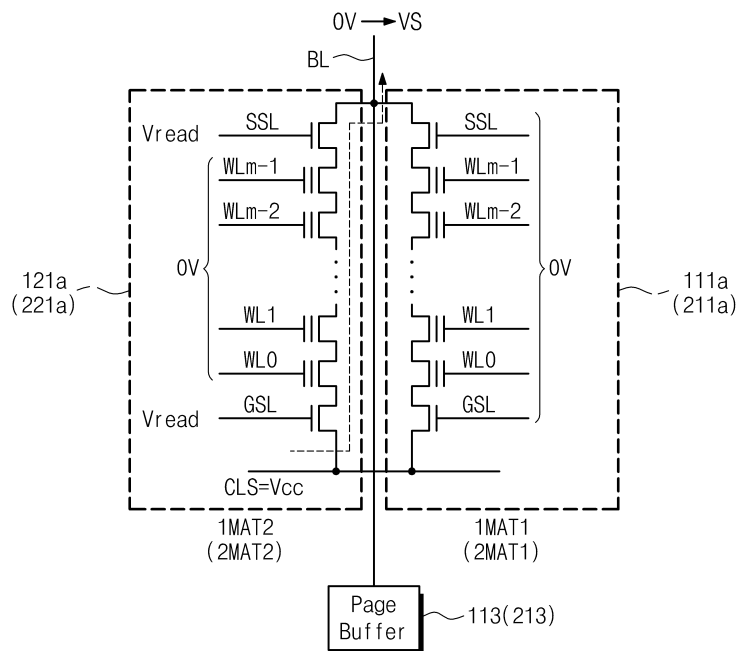
도면10



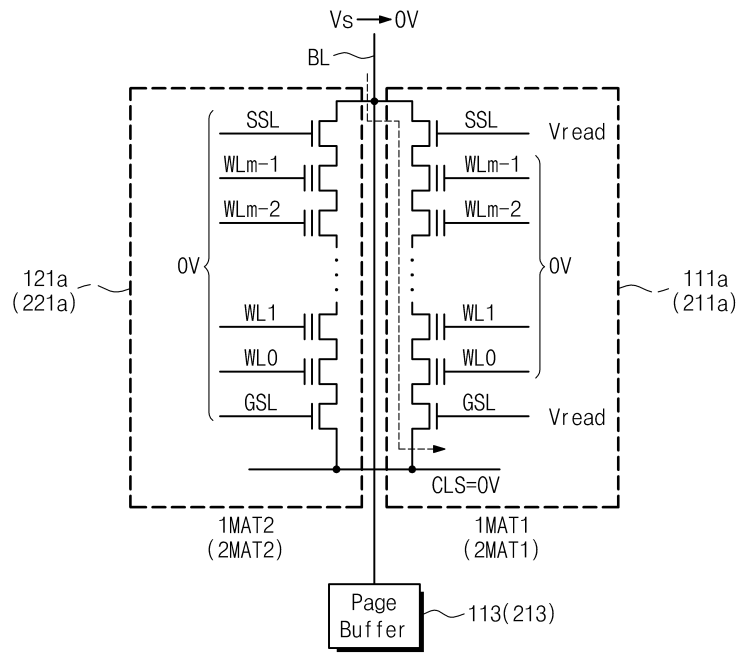
도면11



도면12a



도면12b



도면13

