



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월18일
(11) 등록번호 10-0927119
(24) 등록일자 2009년11월10일

(51) Int. Cl.

G11C 16/10 (2006.01) G11C 16/02 (2006.01)

(21) 출원번호 10-2007-0045566
(22) 출원일자 2007년05월10일
심사청구일자 2007년05월10일
(65) 공개번호 10-2008-0099691
(43) 공개일자 2008년11월13일
(56) 선행기술조사문헌
JP2007102942 A*
US2006285396 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박진성

경기 수원시 영통구 망포동 동수원엘지빌리지1차 109동 903호

곽동훈

경기 화성시 병점동 늘벗마을신창1차아파트 120동 1007호

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 15 항

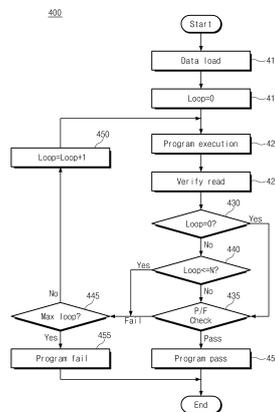
심사관 : 윤난영

(54) 불 휘발성 반도체 메모리 장치 및 그것의 프로그램 방법

(57) 요약

여기에는 플래시 메모리 장치 및 그것의 프로그램 방법이 제공된다. 플래시 메모리 장치의 프로그램 방법은 프로그램 루프들의 반복을 통해 메모리 셀들을 프로그램하되, 상기 프로그램 루프들 중 일부의 프로그램 루프들 각각은 프로그램 실행 구간 및 검증 읽기 구간으로 구성되고, 상기 프로그램 루프들 중 나머지 프로그램 루프들 각각은 프로그램 실행 구간, 검증 읽기 구간 그리고 판별 구간으로 구성된다.

대표도 - 도7



특허청구의 범위

청구항 1

프로그램 루프들의 반복을 통해 메모리 셀들을 프로그램하되, 상기 프로그램 루프들 중 일부의 프로그램 루프들 각각은 프로그램 실행 구간 및 검증 읽기 구간으로 구성되고, 상기 프로그램 루프들 중 나머지 프로그램 루프들 각각은 프로그램 실행 구간, 검증 읽기 구간 그리고 판별 구간으로 구성되는 플래시 메모리 장치의 프로그램 방법.

청구항 2

제 1 항에 있어서,

상기 일부의 프로그램 루프들 중 첫 번째 프로그램 루프는 선택적으로 판별 구간을 포함하는 플래시 메모리 장치의 프로그램 방법.

청구항 3

삭제

청구항 4

각각이 프로그램 실행 구간, 검증 읽기 구간 그리고 판별 구간으로 구성되는 프로그램 루프들을 통해 프로그램 동작을 수행하되, 프로그램 루프 횟수가 기준 프로그램 루프 횟수보다 큰지의 여부에 따라 상기 프로그램 루프들 각각이 상기 판별 구간을 포함할지 여부가 결정되는 플래시 메모리 장치의 프로그램 방법.

청구항 5

제 4 항에 있어서,

상기 프로그램 루프 횟수가 상기 기준 프로그램 루프 횟수보다 작고 첫 번째 프로그램 루프를 나타낼 때, 상기 첫 번째 프로그램 루프는 상기 판별 구간을 포함하는 플래시 메모리 장치의 프로그램 방법.

청구항 6

제 4 항에 있어서,

상기 프로그램 루프 횟수가 상기 기준 프로그램 루프 횟수와 같거나 작을 때, 상기 프로그램 루프들 각각은 상기 프로그램 실행 구간 및 상기 검증 읽기 구간으로 구성되는 플래시 메모리 장치의 프로그램 방법.

청구항 7

제 4 항에 있어서,

상기 프로그램 루프 횟수가 상기 기준 프로그램 루프 횟수보다 클 때, 상기 프로그램 루프들 각각은 상기 프로그램 실행 구간, 상기 검증 읽기 구간 그리고 상기 판별 구간으로 구성되는 플래시 메모리 장치의 프로그램 방법.

청구항 8

제 4 항에 있어서,

상기 기준 프로그램 루프 횟수는 상황에 따라 변경될 수 있는 것을 특징으로 하는 플래시 메모리 장치의 프로그램 방법.

청구항 9

행들과 열들로 배열된 메모리 셀들을 갖는 메모리 셀 어레이와;

상기 메모리 셀 어레이에 대한 프로그램 및 읽기 동작을 수행하도록 구성된 읽기/프로그램 회로와; 그리고

프로그램 루프 횟수가 기준 프로그램 루프 횟수보다 큰지의 여부에 따라 판별 동작을 수행하도록 상기 읽기/프

로그램 회로를 제어하도록 구성된 제어 로직 회로를 포함하고,

상기 판별 동작은 상기 메모리 셀에 대한 프로그램이 정상적으로 되었는지 여부를 판별하는 것을 특징으로 하는 플래시 메모리 장치.

청구항 10

제 9 항에 있어서,

상기 프로그램 루프 횟수가 첫 번째 프로그램 루프를 나타낼 때, 상기 제어 로직 회로는 상기 판별 동작을 수행하도록 상기 읽기/프로그램 회로를 제어하는 플래시 메모리 장치.

청구항 11

제 10 항에 있어서,

상기 프로그램 루프 횟수가 기준 프로그램 루프 횟수보다 클 때, 상기 제어 로직 회로는 상기 판별 동작을 수행하도록 상기 읽기/프로그램 회로를 제어하는 플래시 메모리 장치.

청구항 12

제 11 항에 있어서,

상기 프로그램 루프 횟수가 상기 기준 프로그램 루프 횟수와 같거나 작을 때 그리고 상기 프로그램 루프 횟수가 상기 첫 번째 프로그램 루프를 나타내지 않을 때, 상기 제어 로직 회로는 상기 판별 동작을 수행하지 않도록 상기 읽기/프로그램 회로를 제어하는 플래시 메모리 장치.

청구항 13

제 9 항에 있어서,

상기 읽기/프로그램 회로는

상기 메모리 셀 어레이의 행들을 선택하도록 구성된 행 선택 회로와;

상기 열들을 통해 상기 메모리 셀 어레이에 연결된 페이지 버퍼 회로와; 그리고

상기 판별 동작 동안 상기 페이지 버퍼 회로로부터 데이터에 의거하여 프로그램 패스/페일을 나타내는 패스/페일 신호를 발생하도록 구성된 패스/페일 판별 회로를 포함하는 플래시 메모리 장치.

청구항 14

제 13 항에 있어서,

상기 패스/페일 판정 회로는 상기 페이지 버퍼 회로로부터 출력되는 상기 데이터를 와이어드 오어(Wired-OR) 방식으로 입력받고, 프로그램 패스/페일을 나타내는 상기 패스/페일 신호를 발생하도록 구성된 플래시 메모리 장치.

청구항 15

플래시 메모리 장치와; 그리고

상기 플래시 메모리 장치를 제어하도록 구성된 메모리 컨트롤러를 포함하며,

상기 플래시 메모리 장치는 청구항 1에 기재된 프로그램 방법에 따라 프로그램되는 메모리 카드.

청구항 16

플래시 메모리 장치와; 그리고

상기 플래시 메모리 장치를 제어하도록 구성된 메모리 컨트롤러를 포함하며,

상기 플래시 메모리 장치는 청구항 4에 기재된 프로그램 방법에 따라 프로그램되는 메모리 카드.

청구항 17

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 반도체 메모리 장치에 관한 것으로서, 구체적으로는 불 휘발성 반도체 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.
- <19> 데이터의 유지를 위한 리프레시(Refresh)를 요하지 않고 전기적으로 소거 및 프로그램 가능한 반도체 메모리 장치들에 대한 요구가 점차 증대되고 있다. 또한, 반도체 메모리 장치의 저장 용량 및 집적도를 높이는 것이 요구된다.
- <20> 낸드 플래시(NAND Flash) 메모리 장치는 데이터의 유지를 위한 리프레시 없이 대용량 및 높은 집적도를 제공한다. 전원이 차단되는 경우에도 데이터가 유지되기 때문에, 낸드 플래시 메모리 장치는 전원이 갑자기 차단될 수 있는 전자 장치들에 널리 사용된다.
- <21> 도 1은 일반적인 플래시 메모리 셀의 단면도이다.
- <22> 도 1을 참조하면, 플래시 메모리 셀(100)은 P형(P-type) 반도체 기판(110) 위에 채널 영역(Channel Region)을 사이에 두고 형성된 소오스(120) 및 드레인(130)과, 채널 영역 위에 얇은 절연막을 사이에 두고 형성되는 플로팅 게이트(140)와, 플로팅 게이트(140) 상에 절연막을 사이에 두고 형성된 컨트롤 게이트(150)를 포함한다.
- <23> 소오스(120), 드레인(130), 컨트롤 게이트(150) 및 반도체 기판(110)에는 프로그램(Program), 소거(Erase) 및 독출(Read) 동작시에 요구되는 전압들을 인가하기 위한 전원 단자들(Vs, Vd, Vg, Vb)이 각각 연결된다.
- <24> 예를 들어, 프로그램(Program) 동작에서는 선택된 플래시 메모리 셀의 워드라인에 프로그램 전압(15~20V 정도)이 인가되고, 선택되지 않은 플래시 메모리 셀의 워드라인에는 프로그램 전압보다 낮은 패스 전압(10V 정도)이 인가된다.
- <25> 그러나, 일반적인 플래시 메모리 셀(100)은 한 번의 전압 인가만으로는 프로그램되지 않을 수 있다. 플래시 메모리 셀(100)의 프로그램은 플로팅 게이트(Floating Gate)에 전자(Electron)가 주입되어 메모리 셀의 문턱 전압(Threshold Voltage)이 충분히 높아질 때 완료된다.
- <26> 따라서, 플래시 메모리 셀(100)의 문턱 전압을 높이기 위해 충분한 양의 전자가 플로팅 게이트(140)에 축적되었는지 여부를 판단하기 위해서 검증 읽기(Verify Read) 동작이 요구된다.
- <27> 도 2는 일반적인 불 휘발성 메모리 장치의 프로그램(Program) 동작을 보여주는 흐름도이다.
- <28> 프로그램 동작이 개시되면, 먼저, 프로그램될 데이터가 불 휘발성 메모리 장치의 페이지 버퍼(Page Buffer)(도면에는 도시되지 않음)에 로드(Load)된다(210). 그 다음에, 루프 수는 초기화되어 0의 값을 갖는다(215).
- <29> 페이지 버퍼에 로드된 데이터는 선택된 메모리 셀에 프로그램된다(Program Execution)(220). 데이터가 메모리 셀에 프로그램되는 과정은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 잘 알려져 있으므로, 설명의 간결화를 위해 자세한 설명은 생략한다.
- <30> 프로그램이 수행된 후, 선택된 메모리 셀이 요구되는 문턱 전압(Threshold Voltage)을 갖는지의 여부를 판별하기 위해서 검증 읽기(Verify Read) 동작이 수행된다(225). 검증 읽기 동작에 따라 읽혀진 데이터는 페이지 버퍼에 저장된다.
- <31> 페이지 버퍼에 저장된 데이터에 대응하여 패스 또는 페일을 나타내는 제어신호가 생성된다. 일반적으로 페이지 버퍼에 저장된 데이터와 제어신호는 서로 상보적인 값을 갖는다. 예를 들면, 페이지 버퍼에 저장된 데이터가 0인 경우, 제어신호는 1이 되고, 페이지 버퍼에 저장된 데이터가 1인 경우, 제어신호는 0이 된다.

- <32> 또는 페이지 버퍼에 저장된 데이터와 제어신호가 동일한 값을 갖도록 할 수 있다. 이하에서는 페이지 버퍼에 저장된 데이터와 제어신호가 서로 상보적인 값을 갖는 경우를 기준으로 설명한다.
- <33> 제어신호는 와이어드-오어(Wired-OR) 형태로 도면에는 도시되지 않은 패스/페일(Pass-Fail) 판정 회로에 입력된다. 와이어드-오어 방법은 페이지 버퍼로부터 출력된 모든 제어신호를 오어 게이트(OR gate)의 입력으로 하여 출력을 얻는 방법을 의미한다.
- <34> 패스/페일 판정 회로는 페이지 버퍼로부터 출력된 제어신호들이 모두 프로그램 패스 값(예를 들면, '0')을 가질 경우, 프로그램이 정상적으로 수행된 것으로 판정한다(Program Pass)(235). 따라서 프로그램 동작은 종료된다.
- <35> 만약 페이지 버퍼로부터 출력된 제어신호들 중 하나라도 프로그램 페일 값(예를 들면, '1')을 가질 경우, 프로그램이 정상적으로 수행되지 않은 것으로 판정된다(Fail). 이 경우 현재 루프 수(Loop)가 최대 루프 수(Max Loop)에 도달하였는지가 판정된다(240). 현재 루프 수(Loop)가 최대 루프 수(Max Loop)보다 작을 경우, 루프 수를 하나 증가시키고(245), 다시 프로그램이 수행된다(220).
- <36> 현재 루프 수가 최대 루프 수에 도달한 경우(Loop=Max Loop), 프로그램 페일(Program Fail)인 것으로 판정된다(250).
- <37> 도 3은 일반적인 불 휘발성 메모리 장치의 프로그램 동작시 프로그램 패스(Program Pass)되는 경우를 보여주는 도면이다.
- <38> 먼저, 데이터가 데이터 버퍼에 로드된다(Data Load). 그 다음에, 첫 번째 루프(Loop 0)가 수행된다. 하나의 루프에는 프로그램(Program) 동작, 검증 읽기(Verify Read) 동작 그리고 패스/페일 판정(Pass/Fail Check) 동작이 포함된다.
- <39> 프로그램은 프로그램 패스 판정이 내려질 때까지 루프 수를 증가시키며 계속된다. k번 루프(Loop k)의 패스/페일 판정에서 프로그램 패스(Pass)로 판정될 경우, 프로그램이 정상적으로 된 것이며 프로그램은 종료된다.
- <40> 도 4는 일반적인 불 휘발성 메모리 장치의 프로그램 동작시 프로그램 페일(Program Fail)되는 경우를 보여주는 도면이다.
- <41> 먼저 데이터가 데이터 버퍼에 로드된다(Data Load). 그 다음에 첫 번째 루프(Loop 0)가 수행된다. 하나의 루프에는 프로그램(Program) 동작, 검증 읽기(Verify Read) 동작, 패스/페일 판정(Pass/Fail Check) 동작이 포함된다.
- <42> 프로그램은 패스 판정이 내려질 때까지 루프 수를 증가시키며 계속된다. 최대 루프(Max Loop)에서의 패스/페일 판정에서 프로그램 페일(Fail)로 판정될 경우 프로그램이 정상적으로 이루어지지 않은 것이며 프로그램은 종료된다.
- <43> 일반적인 불 휘발성 메모리 장치의 패스/페일 판정 동작에는 일정한 시간이 소요된다. 1회의 패스/페일 판정 동작을 수행하는 데는 수십 마이크로 초(μ s)의 시간이 소요될 수 있다. 일반적인 불 휘발성 메모리 장치는 매 루프마다 패스/페일 체크를 하기 때문에, 프로그램 속도의 저하가 발생한다.

발명이 이루고자 하는 기술적 과제

- <44> 본 발명의 목적은 프로그램 속도가 향상된 불 휘발성 반도체 메모리 장치 및 그것의 프로그램 방법을 제공하는 것이다.
- <45> 본 발명의 다른 목적은 프로그램 루프 수에 따라 선택적으로 패스/페일 판정을 수행하는 불 휘발성 반도체 메모리 장치 및 그것의 프로그램 방법을 제공하는 것이다.

발명의 구성 및 작용

- <46> 본 발명의 예시적인 실시예들은 프로그램 루프들의 반복을 통해 메모리 셀들을 프로그램하되, 상기 프로그램 루프들 중 일부의 프로그램 루프들 각각은 프로그램 실행 구간 및 검증 읽기 구간으로 구성되고, 상기 프로그램 루프들 중 나머지 프로그램 루프들 각각은 프로그램 실행 구간, 검증 읽기 구간 그리고 판별 구간으로 구성되는 플래시 메모리 장치의 프로그램 방법을 제공한다.
- <47> 예시적인 실시예에 있어서, 상기 일부의 프로그램 루프들 중 첫 번째 프로그램 루프는 선택적으로 판별 구간을

포함한다.

- <48> 예시적인 실시예에 있어서, 상기 메모리 셀들은 하나의 페이지를 구성한다.
- <49> 본 발명의 다른 예시적인 실시예들은 각각이 프로그램 실행 구간, 검증 읽기 구간 그리고 판별 구간으로 구성되는 프로그램 루프들을 통해 프로그램 동작을 수행하되, 프로그램 루프 횟수가 기준 프로그램 루프 횟수보다 큰지의 여부에 따라 상기 프로그램 루프들 중 일부의 프로그램 루프들 각각은 상기 판별 구간을 포함하지 않는 플래시 메모리 장치의 프로그램 방법을 제공한다.
- <50> 예시적인 실시예에 있어서, 상기 프로그램 루프 횟수가 상기 기준 프로그램 루프 횟수보다 작고 첫 번째 프로그램 루프를 나타낼 때, 상기 첫 번째 프로그램 루프는 상기 판별 구간을 포함한다.
- <51> 예시적인 실시예에 있어서, 상기 프로그램 루프 횟수가 상기 기준 프로그램 루프 횟수와 같거나 작을 때, 상기 프로그램 루프들 각각은 상기 프로그램 실행 구간 및 상기 검증 읽기 구간으로 구성된다.
- <52> 예시적인 실시예에 있어서, 상기 프로그램 루프 횟수가 상기 기준 프로그램 루프 횟수보다 클 때, 상기 프로그램 루프들 각각은 상기 프로그램 실행 구간, 상기 검증 읽기 구간 그리고 상기 판별 구간으로 구성된다.
- <53> 본 발명의 또 다른 예시적인 실시예들은 행들과 열들로 배열된 메모리 셀들을 갖는 메모리 셀 어레이와; 상기 메모리 셀 어레이에 대한 프로그램 및 읽기 동작을 수행하도록 구성된 읽기/프로그램 회로와; 그리고 프로그램 루프 횟수에 따라 판별 동작을 수행하도록 상기 읽기/프로그램 회로를 제어하도록 구성된 제어 로직 회로를 포함하는 플래시 메모리 장치를 제공한다.
- <54> 예시적인 실시예에 있어서, 상기 프로그램 루프 횟수가 첫 번째 프로그램 루프를 나타낼 때, 상기 제어 로직 회로는 상기 판별 동작을 수행하도록 상기 읽기/프로그램 회로를 제어한다.
- <55> 예시적인 실시예에 있어서, 상기 프로그램 루프 횟수가 기준 프로그램 루프 횟수보다 클 때, 상기 제어 로직 회로는 상기 판별 동작을 수행하도록 상기 읽기/프로그램 회로를 제어한다.
- <56> 예시적인 실시예에 있어서, 상기 프로그램 루프 횟수가 상기 기준 프로그램 루프 횟수와 같거나 작을 때 그리고 상기 프로그램 루프 횟수가 상기 첫 번째 프로그램 루프를 나타내지 않을 때, 상기 제어 로직 회로는 상기 판별 동작을 수행하지 않도록 상기 읽기/프로그램 회로를 제어한다.
- <57> 예시적인 실시예에 있어서, 상기 읽기/프로그램 회로는 상기 메모리 셀 어레이의 행들을 선택하도록 구성된 행 선택 회로와; 상기 열들을 통해 상기 메모리 셀 어레이에 연결된 페이지 버퍼 회로와; 그리고 상기 판별 동작 동안 상기 페이지 버퍼 회로로부터 데이터에 의거하여 프로그램 패스/페일을 나타내는 패스/페일 신호를 발생하도록 구성된 패스/페일 판별 회로를 포함한다.
- <58> 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다.
- <59> 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.
- <60> 아래에서 불 휘발성 반도체 메모리 장치가 본 발명의 특징 및 기능을 설명하기 위한 한 예로서 사용된다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다, 본 발명은 다른 실시예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.
- <61> 도 5는 본 발명에 따른 불 휘발성 메모리 장치를 보여주는 블록도이다.
- <62> 도 5를 참조하면, 본 발명에 따른 불 휘발성 메모리 장치(300)는 메모리 셀 어레이(310)를 포함하며, 비록 도면에는 도시되지 않았지만, 메모리 셀 어레이(310)는 행들(또는 워드 라인들) 및 열들(또는 비트 라인들)의 매트릭스(Matrix) 형태로 배열된 메모리 셀들로 구성된다.
- <63> 메모리 셀들은 낸드(NAND) 구조를 갖도록 또는 노어(NOR) 구조를 갖도록 배열될 것이다. 예시적인 실시예에 있어서, 메모리 셀들은 낸드(NAND) 구조를 갖도록 배열된다.
- <64> 제어 로직 회로(Control Logic)(320)는 불 휘발성 메모리 장치(300)의 전반적인 동작을 제어하도록 구성된다.

본 발명의 예시적인 실시예의 경우, 제어 로직 회로(320)는 프로그램 동작과 관련된 일련의 동작들을 제어한다. 하지만, 제어 로직 회로(320)가 여기에 개시된 내용에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 예를 들면, 제어 로직 회로(320)는 불 휘발성 반도체 메모리 장치(300)의 읽기(Read) 동작, 소거(Erase) 동작, 테스트(Test) 동작 등을 제어하도록 구성된다.

- <65> 계속해서 도 5를 참조하면, 행 선택 회로(330)는 제어 로직 회로(320)에 의해서 제어되며, 도면에는 도시되지 않은 행 어드레스(Row Address)에 응답하여 선택된(Selected) 행 및 비선택된(Unselected) 행들을 대응하는 워드 라인 전압들로 각각 구동한다.
- <66> 예를 들면, 프로그램 동작시, 행 선택 회로(330)는 선택된 행을 프로그램 전압(Vpgm)으로, 그리고 비선택된 행들을 패스 전압(Vpass)으로 각각 구동한다. 읽기 동작시, 행 선택 회로(330)는 선택된 행을 읽기 전압(Vread)으로, 그리고 비선택된 행들을 패스 전압(Vpass)으로 각각 구동한다.
- <67> 페이지 버퍼 회로(340)는 감지 증폭기(Sense Amplifier)로서 또는 기입 드라이버(Write Driver)로서 동작한다. 읽기 동작시, 페이지 버퍼 회로(340)는 메모리 셀 어레이(310)로부터 데이터를 읽어낸다. 프로그램 동작시, 페이지 버퍼 회로(340)는 열 선택 회로(350)를 통해 입력되는 데이터에 따라 비트 라인들을 전원전압 또는 접지전압으로 각각 구동한다.
- <68> 열 선택 회로(350)는 열 어드레스 발생회로(도면에는 도시되지 않음)로부터 인가된 열 어드레스(Column Address)에 응답하여 페이지 버퍼 회로(340)에 저장된 데이터를 읽거나, 페이지 버퍼 회로(340)에 데이터를 전달한다.
- <69> 입출력 버퍼 회로(360)는 외부로부터 입력된 데이터를 열 선택 회로(350)에 전달하거나, 열 선택 회로(350)로부터 데이터를 전달받는다.
- <70> 패스/페일 판정 회로(370)는 페이지 버퍼(340)로부터의 제어신호(nWDO)가 패스 또는 페일(Pass or Fail) 값을 갖는지 여부를 점검한다. 패스/페일 판정 회로(370)의 판별 결과는 제어 로직 회로(320)에 전달된다.
- <71> 루프 카운터 회로(Loop Counter)(380)는 제어 로직 회로(320)에 의해서 제어되며, 진행중인 프로그램 루프 수(Loop)를 카운트한다.
- <72> 프로그램 회로(Program Circuit)(390)는 최대 프로그램 루프 수(Max Loop) 및 지정 프로그램 루프 수(N)를 저장하도록 구성된다. 최대 프로그램 루프 수(Max Loop) 또는 지정 프로그램 루프 수(N)는 상황에 따라 사용자에게 의해 변경될 수 있다. 예시적인 실시예에 있어서, 지정 프로그램 루프 수는 기준 프로그램 루프 수와 같은 의미로 사용된다. 프로그램 회로(390)에 저장된 최대 프로그램(Max Loop) 루프 수 및 지정 프로그램 루프 수(N)는 프로그램 동작시 제어 로직 회로(320)에 의해서 참조된다.
- <73> 도 6은 도 5에 도시된 패스/페일 판정 회로를 자세히 보여주는 도면이다.
- <74> 도 6을 참조하면, 페이지 버퍼 회로(340)는 다수의 페이지 버퍼들(34_1, 34_n)로 구성되며, 각 페이지 버퍼는 제어신호(nWDO)를 출력한다.
- <75> 제어신호(nWDO)는 페이지 버퍼에 연결된 메모리 셀이 성공적으로 프로그램되었는지 여부를 나타낸다. 메모리 셀에 대한 프로그램의 패스 또는 페일 여부에 따라 제어신호(nWDO)는 논리 하이(High) 또는 로우(Low) 값을 갖는다.
- <76> 프로그램이 패스(Pass)된 경우에는 제어신호(nWDO)는 논리 로우(Logic Low) 값을 갖고, 프로그램이 페일(Fail)된 경우에는 제어신호(nWDO)는 논리 하이(Logic High) 값을 갖는다.
- <77> 패스/페일 판정 회로(370)는 페이지 버퍼 회로(340)로부터 출력되는 제어신호(nWDO)들을 입력으로 하여 판정신호(nWDO_OUT)를 출력하는 와이어드 오어 회로(Wired-OR Circuit)이다.
- <78> 패스/페일 판정 회로(370)는 NMOS 트랜지스터와 인버터(Inverter) 및 래치(Latch)로 구성되며, 도 6에 도시된 바와 같이 연결된다. 패스/페일 판정 회로(370)로부터 출력된 판정신호(nWDO_OUT)는 제어 로직 회로(320)에 인가된다.
- <79> 도 7은 도 5에 도시된 불 휘발성 메모리 장치의 프로그램 동작을 보여주는 순서도이다. 본 발명에 따른 불 휘발성 메모리 장치(300)의 프로그램 동작(400)이 참조 도면에 의거하여 이하 상세히 설명될 것이다.
- <80> 프로그램 동작이 개시되면, 먼저, 프로그램될 데이터가 불 휘발성 메모리 장치(300)의 페이지 버퍼(340)에 로드

된다(410). 그 다음에, 루프 수(Loop)는 0으로 초기화된다(415).

- <81> 페이지 버퍼(340)에 로드된 데이터는 선택된 메모리 셀에 프로그램된다(Program Execution)(420).
- <82> 프로그램된 메모리 셀이 원하는 문턱 전압(Threshold Voltage)을 갖는 지의 여부를 판별하기 위해서 검증 읽기(Verify Read) 동작이 수행된다(425). 검증 읽기 동작에 따라 읽혀진 데이터는 페이지 버퍼(340) 내에 저장된다.
- <83> 검증 읽기 동작이 수행된 후에, 현재 루프 수(Loop)가 검사된다(430). 현재 루프가 첫 번째 루프인 경우(Loop=0)에는 패스/페일 검사(W-OR P/F Check)를 수행한다(435). 예시적인 실시예에 있어서, 패스/페일 검사와 판별 구간은 같은 의미로 사용될 수 있다.
- <84> 첫 번째 루프(Loop=0)에서는 패스/페일 판정을 수행한다. 왜냐하면, 데이터가 프로그램을 요하지 않을 때, 예를 들면 프로그램하려는 데이터가 모두 '1'인 경우(소거상태인 경우)에는 별도의 프로그램 동작이 불필요하기 때문이다.
- <85> 현재 루프가 첫 번째 루프가 아닌 경우(Loop≠0)에는 현재 루프 수가 지정 루프 수 이하(Loop≤N)인지를 판단한다(440).
- <86> 현재 루프 수가 지정 루프 수 초과인 경우(Loop>N), 패스/페일 검사를 수행한다(435). 반면에, 현재 루프 수가 지정 루프 수 이하인 경우(Loop≤N), 현재 루프가 최대 루프에 도달하였는지 여부(Loop=Max Loop)를 검사한다(445).
- <87> 패스-페일 판정 결과, 페이지 버퍼(340)로부터 출력된 제어신호(nWDO)가 모두 패스 값(예를 들면, '0')을 가질 경우 프로그램 패스(Program Pass)로 판정된다(450). 이 경우 프로그램이 정상적으로 이루어진 것이기 때문에 프로그램 동작은 종료된다.
- <88> 패스-페일 판정 결과, 페이지 버퍼(340)로부터 출력된 제어신호(nWDO) 중 하나라도 페일 값(예를 들면, '1')을 갖는 경우 프로그램 페일(Fail)로 판정되고 현재 루프가 최대 루프에 도달하였는지 여부(Loop=Max Loop)를 검사한다(445).
- <89> 단계(445)에서 현재 루프 수가 최대 루프 수보다 작을 경우(Loop<Max Loop), 루프 수를 하나 증가시키고(450) 프로그램(Program Execution)을 수행한다(420).
- <90> 따라서, 프로그램 초기에 패스/페일 판정을 생략함으로써 더욱 빠른 프로그램이 가능해진다.
- <91> 현재 루프 수가 최대 루프에 도달한 경우(Loop=Max Loop), 더 이상 프로그램 동작은 수행되지 않고 프로그램 페일(Program Fail)인 것으로 판정한다(455).
- <92> 도 8은 도 5에 도시된 불 휘발성 메모리 장치의 프로그램 동작의 다른 실시예를 보여주는 순서도이다.
- <93> 도 8을 참조하면, 도 8에 도시된 프로그램 동작은 도 7에 도시된 프로그램 동작과 거의 유사하다. 따라서, 간결화를 위해 도 7에 대한 설명에서 이미 언급된 내용은 설명되지 않을 것이다.
- <94> 도 8에 도시된 프로그램 동작은 도 7에 도시된 프로그램 동작과 달리 최초 루프(Loop=0)인 경우에도 패스/페일 판정을 생략한다. 따라서, 프로그램 초기에 패스/페일 판정을 생략함으로써 더욱 빠른 프로그램이 가능해진다.
- <95> 도 9는 본 발명에 따른 불 휘발성 메모리 장치의 프로그램 동작시 프로그램 패스(Program Pass)되는 경우를 보여주는 도면이다.
- <96> 먼저, 데이터가 페이지 버퍼(340)에 로드된다(Data Load). 그 다음에 0번 루프(Loop 0)가 개시된다. 첫 번째 루프에는 프로그램(Program) 동작, 검증 읽기(Verify Read) 동작, 패스/페일 판정(Pass Fail Check) 동작이 포함된다. 0번 루프의 패스/페일 판정에서 페일(Fail) 판정이 내려진 경우 1번 루프(Loop 1)가 수행된다.
- <97> 1번 루프부터 N번 루프까지는 패스/페일 판정 동작이 수행되지 않고 프로그램(Program Execution) 동작과 검증 읽기(Verify Read) 동작만이 수행된다.
- <98> N+1번 루프(Loop N+1)에서는 다시 패스/페일 판정 동작이 수행되고, 프로그램(Program)은 패스/페일 판정 동작에서 패스 판정(Pass)이 내려질 때까지 루프 수를 증가시키며 계속된다.
- <99> k번 루프의 패스/페일 판정 동작에서 프로그램 패스(Program Pass)로 판정될 경우, 프로그램이 정상적으로 된 것으로 판정되고 프로그램은 종료된다.

- <100> 도 10은 본 발명에 따른 불 휘발성 메모리 장치의 프로그램 동작시 프로그램 페일(Program Fail)되는 경우를 보여주는 도면이다.
- <101> 먼저, 데이터가 페이지 버퍼(340)에 로드된다(Data Load). 그 이후에 0번 루프(Loop 0)가 개시된다. 0번 루프에는 프로그램(Program) 동작, 검증 읽기(Verify Read) 동작, 패스/페일 판정(Pass Fail Check) 동작이 포함된다. 0번 루프의 패스/페일 판정에서 페일(Fail) 판정이 내려진 경우 1번 루프(Loop 1)가 수행된다.
- <102> 1번 루프부터 N번 루프까지는 패스/페일 판정 동작이 수행되지 않고 프로그램(Program Execution) 동작과 검증 읽기(Verify Read) 동작만이 수행된다.
- <103> N+1번 루프(Loop N+1)에서는 다시 패스/페일 판정 동작이 수행되고, 프로그램(Program)은 패스/페일 판정 동작에서 패스 판정(Pass)이 내려질 때까지 루프 수를 증가시키며 계속된다.
- <104> 최대 루프(Max Loop)에서의 패스/페일 판정 동작에서 프로그램 페일(Fail)로 판정될 경우, 프로그램이 페일(Program Fail)된 것으로 판정되고 프로그램은 종료된다.
- <105> 따라서, 상술한 것과 같이 첫 번째 루프에서 패스-페일 검사를 수행하고 일정 루프 동안 패스-페일 검사를 생략함으로써 불 휘발성 반도체 메모리 장치의 프로그램 동작에 소요되는 시간을 단축시킬 수 있다.
- <106> 도 11은 본 발명에 따른 플래시 메모리 장치 및 메모리 컨트롤러를 포함한 컴퓨팅 시스템을 보여주는 도면이다.
- <107> 본 발명에 따른 컴퓨팅 시스템(500)은 버스(501)에 전기적으로 연결된 마이크로프로세서(510), 사용자 인터페이스(520), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(530), 메모리 컨트롤러(540), 그리고 플래시 메모리 장치(550)를 포함한다. 메모리 컨트롤러(540)와 플래시 메모리 장치(550)가 메모리 카드를 구성할 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 플래시 메모리 장치(550)는 도 5에 도시된 것과 실질적으로 동일하게 구성될 것이다.
- <108> 플래시 메모리 장치(550)에는 마이크로프로세서(510)에 의해서 처리된/처리될 N-비트 데이터(N은 1 또는 그 보다 큰 정수)가 메모리 컨트롤러(540)를 통해 저장될 것이다.
- <109> 본 발명에 따른 컴퓨팅 시스템이 모바일 장치인 경우, 컴퓨팅 시스템의 동작 전압을 공급하기 위한 배터리(530)가 추가적으로 제공될 것이다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- <110> 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

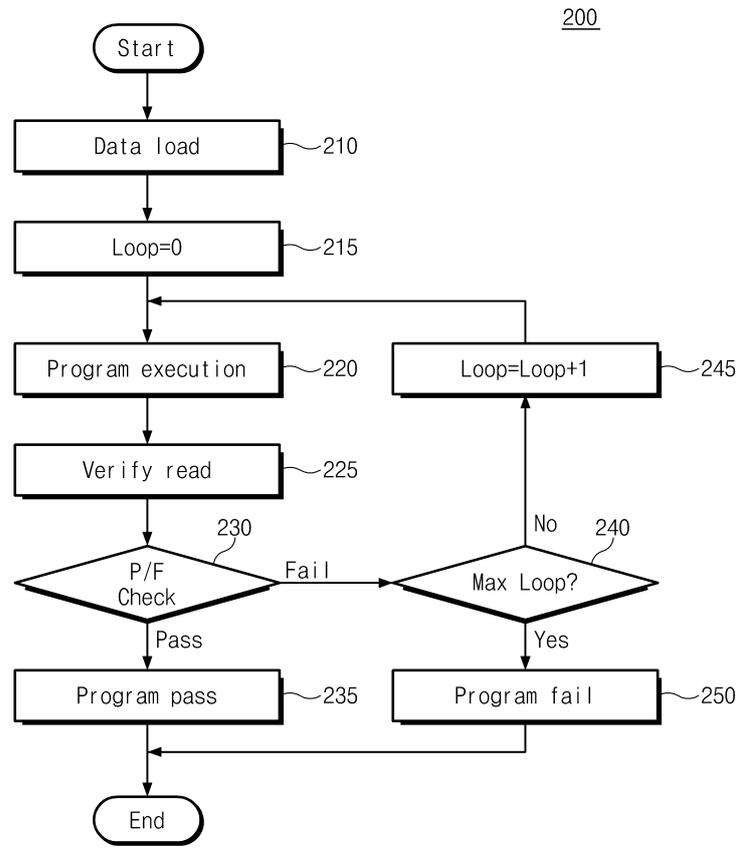
발명의 효과

- <111> 상술한 바와 같이, 일정 프로그램 루프까지 패스/페일 검사를 생략함으로써 프로그램 속도를 향상시키는 것이 가능하다.

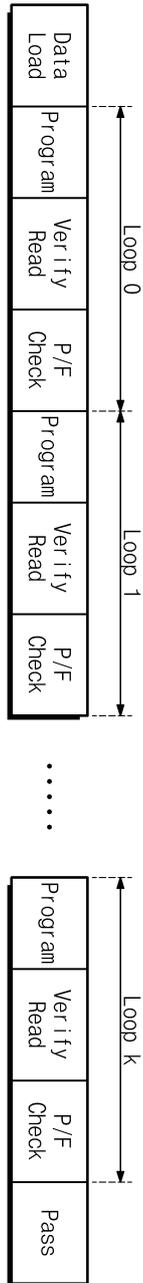
도면의 간단한 설명

- <1> 도 1은 일반적인 플래시 메모리 셀의 단면도이다.
- <2> 도 2는 일반적인 불 휘발성 메모리 장치의 프로그램(Program) 동작을 보여주는 흐름도이다.
- <3> 도 3은 일반적인 불 휘발성 메모리 장치의 프로그램 동작시 프로그램 패스(Program Pass)되는 경우를 보여주는 도면이다.
- <4> 도 4는 일반적인 불 휘발성 메모리 장치의 프로그램 동작시 프로그램 페일(Program Fail)되는 경우를 보여주는 도면이다.
- <5> 도 5는 본 발명에 따른 불 휘발성 메모리 장치를 보여주는 블록도이다.
- <6> 도 6은 도 5에 도시된 패스/페일 판정 회로를 자세히 보여주는 도면이다.

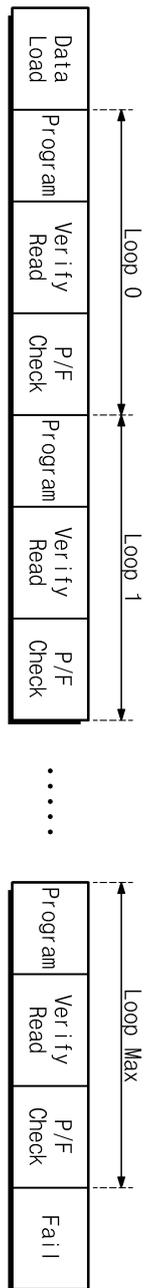
도면2



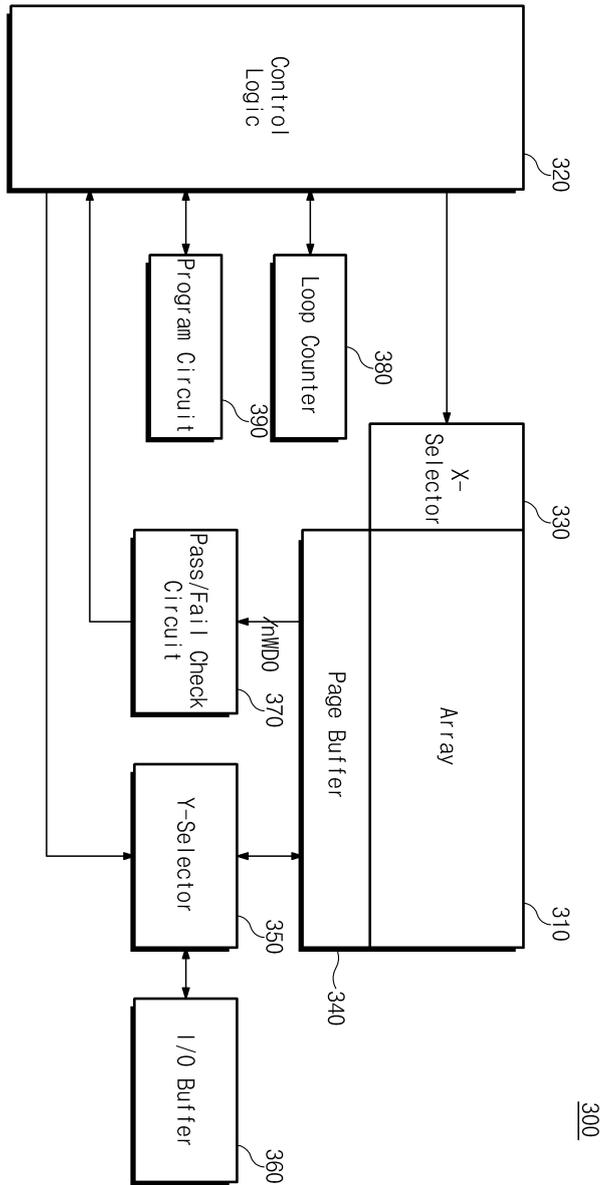
도면3



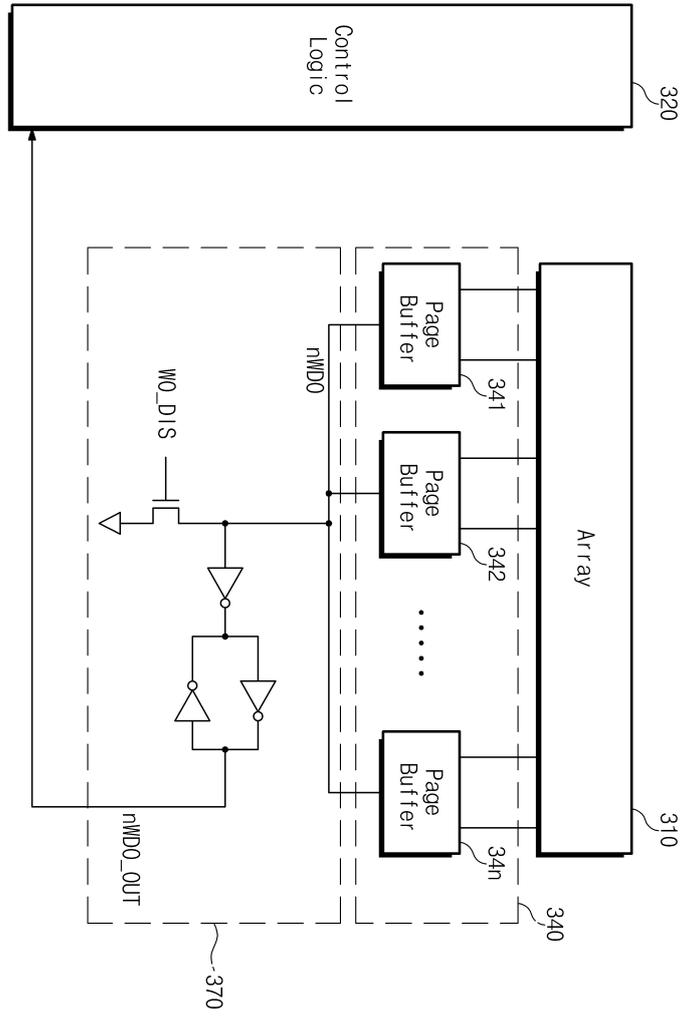
도면4



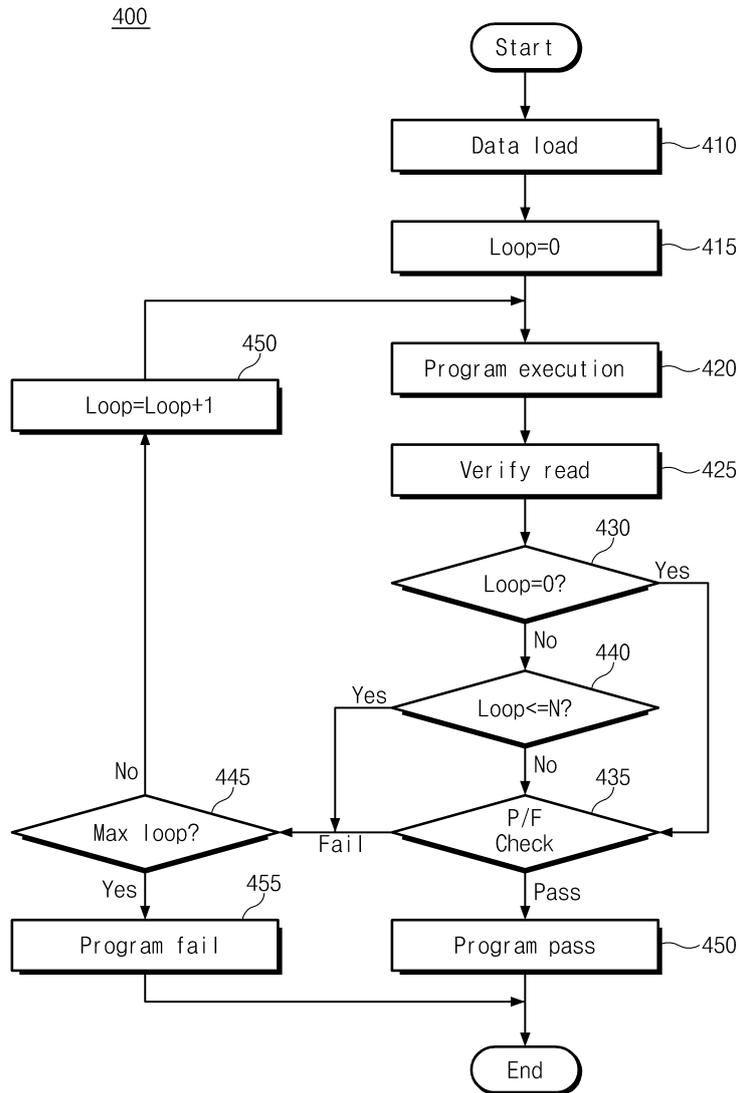
도면5



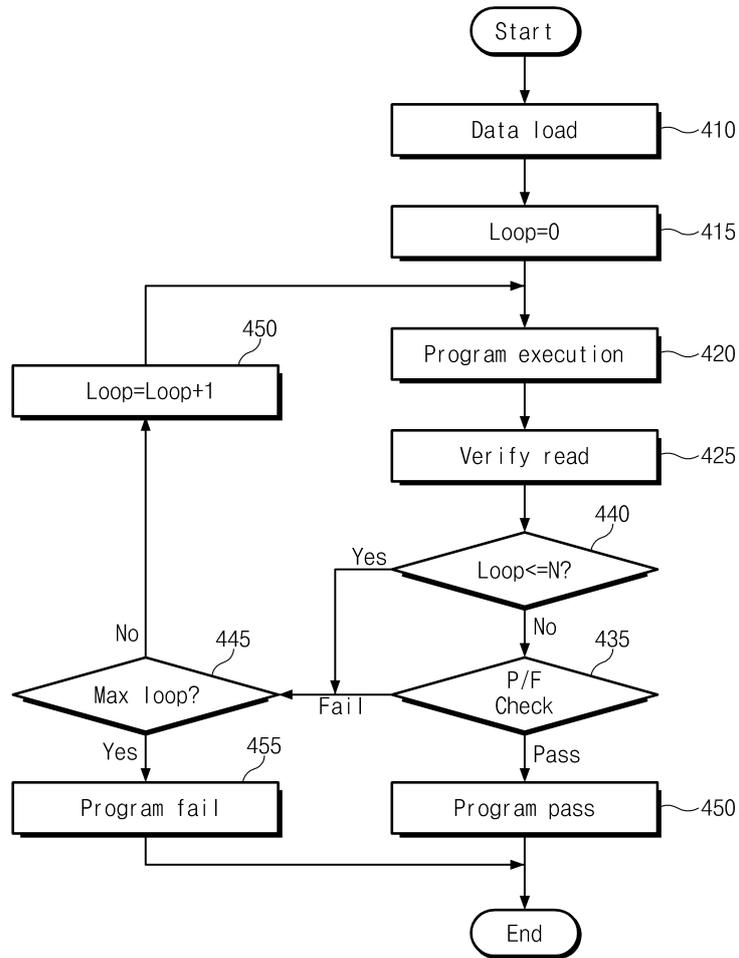
도면6



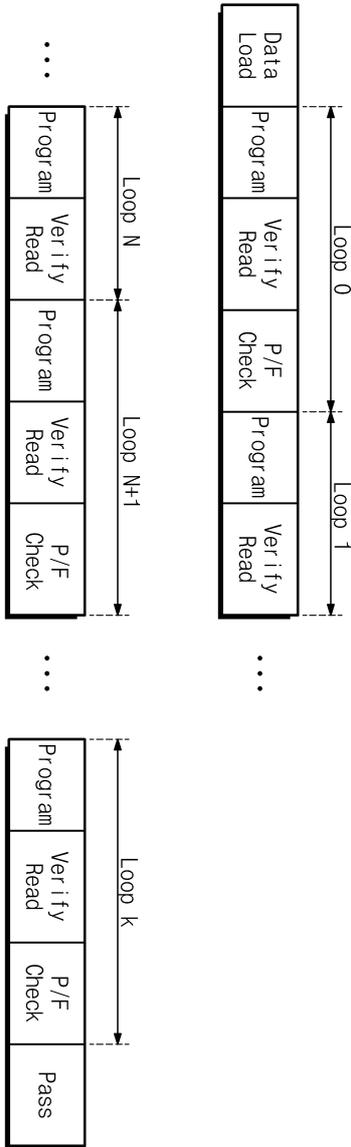
도면7



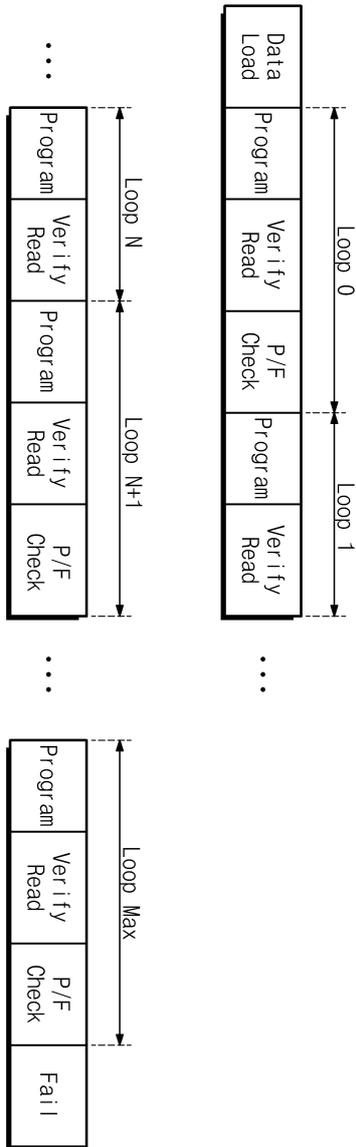
도면8



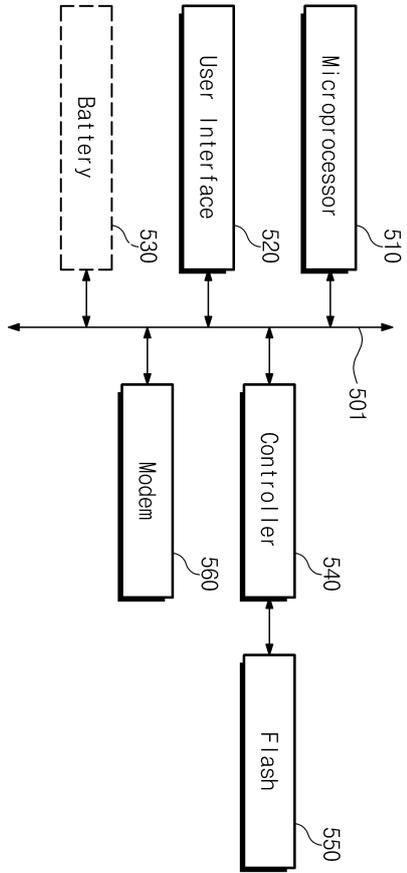
도면9



도면10



도면11



500