

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5389507号
(P5389507)

(45) 発行日 平成26年1月15日(2014.1.15)

(24) 登録日 平成25年10月18日(2013.10.18)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 621L
	G09G 3/20 623G
	G09G 3/20 623F
	G09G 3/20 623R
請求項の数 1 (全 90 頁) 最終頁に続く	

(21) 出願番号	特願2009-92408 (P2009-92408)	(73) 特許権者	513019221
(22) 出願日	平成21年4月6日(2009.4.6)		ゴールドチャームリミテッド
(62) 分割の表示	特願2002-291203 (P2002-291203) の分割		サモア、アピア、P. O. ボックス217 、オフショア・チェンバース
原出願日	平成14年10月3日(2002.10.3)	(74) 代理人	100080816
(65) 公開番号	特開2009-187024 (P2009-187024A)		弁理士 加藤 朝道
(43) 公開日	平成21年8月20日(2009.8.20)	(72) 発明者	芳賀 浩史
審査請求日	平成21年4月6日(2009.4.6)		東京都港区芝五丁目7番1号 日本電気株 式会社内
(31) 優先権主張番号	特願2001-307398 (P2001-307398)	(72) 発明者	高取 憲一
(32) 優先日	平成13年10月3日(2001.10.3)		東京都港区芝五丁目7番1号 日本電気株 式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	浅田 秀樹
(31) 優先権主張番号	特願2002-142536 (P2002-142536)		東京都港区芝五丁目7番1号 日本電気株 式会社内
(32) 優先日	平成14年5月17日(2002.5.17)		
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 表示装置及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

コントローラからパラレルに供給される $\{(N \times B) / (P \times S)\}$ のビット幅のデータを受ける、レベルシフト回路とラッチを備えた $\{(N \times B) / (P \times S)\}$ 個の P 相展開回路を備え、

前記 P 相展開回路の各々は、1 ビットデータを P 回受け P ビットのパラレルビットに相展開し、相展開した $\{(N \times B) / S\}$ 本のパラレルビット信号を、B ビットの信号をアナログ信号に変換する (N / S) 個のデジタル・アナログ変換回路に入力し、

前記デジタル・アナログ変換回路の出力を受ける 1 : S のデマルチプレクサを (N / S) 個備え、N 本のデータ線に印加するデータ線駆動回路を有する表示装置であって、

前記コントローラから $\{(N \times B) / (P \times S)\}$ 個の前記 P 相展開回路に供給される $\{(N \times B) / (P \times S)\}$ ビットデータを伝える $\{(N \times B) / (P \times S)\}$ の配線の各々が、他のビットデータを伝える配線と交差しないことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プロジェクタ、ノートPC、モニタ、携帯電話、PDA等に用いられるディスプレイ装置に関し、特に、液晶表示装置等の電圧駆動型表示装置並びに電流駆動型表示装置に関する。

【0002】

また、本発明は半導体装置に関し、特にアレイ状に形成された被駆動素子を備えた半導体装置、例えばプロジェクタ、ノートPC、モニタ、携帯電話、PDA等に用いられる液晶表示装置等の電圧駆動型表示装置並びに電流駆動型表示装置、メモリ装置、光プリンタヘッド等、に関する。

【背景技術】

【0003】

マルチメディア時代の進展とともに、ディスプレイ装置は、プロジェクタ装置やビデオカメラのビューファインダや携帯電話機(mobile phone)等に用いられている小型のものから、自動車用テレビやナビゲーションシステムの表示パネル、PDA(Personal Digital Assistants)やポケットPC(Personal Computer)等の携帯端末等に用いられている中型のもの、ノートPC、モニタ等に用いられている大型のものまで、急速に普及が進んできている。これらのディスプレイ装置のうち、液晶表示装置は現在最も広い製品群に適用されている。特に、薄膜トランジスタ(Thin Film Transistor(以下、「TFT」と略記する)等)で駆動するアクティブマトリクス型液晶表示装置は、単純マトリクス型液晶表示装置に比べて、高解像度、高画質が得られることから、液晶表示装置の主流となっている。TFTは、使用される半導体材料の違いによってアモルファスシリコンTFTとポリシリコンTFTとに分類される。

10

【0004】

アモルファスシリコンTFTは、高温プロセスを必要としないため、ガラス等の基板を用いてパネルを作製することが可能である。

20

【0005】

ポリシリコンTFTは、従来、高温プロセスのため高価な石英基板が必要であり、小型かつ付加価値の高いパネルに限定されていた。近年、レーザアニール等の技術の進歩により、減圧(LP)CVD、プラズマ(P)CVD、スパッタリング法等により前駆膜を形成し、これをレーザでアニールして多結晶化し、ガラス基板等が使用可能な低温でポリシリコンTFTを形成できる技術が開発されており、中型及びノートPC用の表示パネルも、ポリシリコンTFTで作製されるようになっている。

【0006】

ポリシリコンTFTの移動度は、アモルファスシリコンTFTに比較し、一桁以上高い値であり、電流駆動能力が高い。

30

【0007】

ポリシリコンTFTを用いて液晶表示装置を構成する場合、ポリシリコンTFTの電流駆動能力が高いことにより、周辺回路を、画素と同一の基板上に集積化して形成することができるため、LSI数の削減、小型化が可能とされ、実装コストを低減することができる。

【0008】

このように、周辺回路が同一基板に一体化された液晶表示装置は、「駆動回路一体型液晶表示装置」と呼ばれる。

【0009】

駆動回路一体型液晶表示装置は、周辺回路として、画素TFTのソース端子に接続されたデータ線を駆動するデータドライバと、画素TFTのゲート端子に接続されたゲート線を駆動するゲートドライバと、を備えた形態が、最も普及しており、小型、且つ高精細の液晶表示装置が要求される液晶プロジェクタや、額縁の縮小化が要求される携帯用ノートパソコン等で多く用いられる。

40

【0010】

従来の液晶表示装置のうち駆動回路を一体化しない駆動装置では、ゲートドライバLSI(Large Scale Integrated Circuit)チップ群及びゲートドライバLSIチップ群、コントローラ、DC-DCコンバータ等が、TCP(Tape Carrier Package)及びフレキシブル基板もしくは接続用回路基板上に設けられている。この構造では、高精細化と多階調化と共に、実装の複雑化と、額縁の増大が避けられなくなっている。同時に、周波数の増

50

大のために、E M I (Electro Magnetic Interference : 電波障害) の問題が大きくなる。そのため、使用するプリント基板のアース線の強化、プリント基板の部品材料の配置変更や配線引き回し変更、E M I フィルタの追加や、インタフェース改善等のノイズ対策に多くの努力が支払われる。

【 0 0 1 1 】

これに対し、周辺回路が同一基板に一体化された駆動回路一体型は、実装が容易であり、また、高精細化や多階調化が進んでも額縁のサイズはほとんど変化しない。このため、携帯用途として非常に有効である。

【 0 0 1 2 】

図 3 7 は、従来一般的な駆動回路一体型の液晶表示装置のディスプレイシステムの概要を示す図である。図 3 7 を参照すると、従来駆動回路一体型液晶表示装置では、マトリクス状に配線され M 行 N 列の画素が配置されたアクティブマトリクス表示領域 110 と、行方向の走査回路 (走査線 (ゲート線) 駆動回路) 109 と、列方向の走査回路 (データ線駆動回路) 3504 と、アナログスイッチ 3505 と、並びにレベルシフタ 3503 などが、表示デバイス基板 101 上に、ポリシリコン T F T によって一体化して形成されている。

【 0 0 1 3 】

コントローラ 113、メモリ 111、デジタル・アナログ変換回路 (D A C 回路) 3502、走査回路 / データレジスタ 3501、インタフェース回路 114 などは、単結晶シリコン回路 (L S I) で、表示デバイス基板 101 の外部に形成されている。

【 0 0 1 4 】

アナログスイッチ 3505 は、アクティブマトリクス表示領域 110 の列方向のデータ線の本数 N と同じ出力数を有している。

【 0 0 1 5 】

また、従来駆動回路一体型の液晶表示装置の中には、D A C 回路等のより複雑な回路を内蔵した形式の装置も存在する。図 3 8 は従来 D A C 回路内蔵型の液晶表示装置のディスプレイシステムの概要を示す図である。従来 D A C 回路内蔵型の液晶表示装置では、D A C 回路を内蔵しない図 3 7 の装置と同様の、マトリクス状に配線され M 行 N 列の画素が配列されたアクティブマトリクス表示領域 110 と、行方向の走査回路 109、列方向の走査回路 3506 に加えて次のような回路が表示デバイス基板 101 上に形成されている。すなわち、データレジスタ 3507、ラッチ回路 105、D A C 回路 106、セクタ回路 107、レベルシフタ / タイミングバッファ 108、レベルシフタ等が表示デバイス基板 101 上に形成される。

【 0 0 1 6 】

この構成では、メモリ内蔵コントローラ I C に、D A C 回路を含まず、メモリ 1 1 1、出力バッファ 1 1 2、コントローラ 1 1 3 と全てデジタル回路で構成される。その結果、アナログ回路用のプロセスを併用することなく作製できるため、I C の価格は、前述のメモリ内蔵ドライバ I C よりも、低価格で構成できる。

【 0 0 1 7 】

上記した液晶表示装置は、薄型・軽量であり、また、C R T (Cathode Ray Tube) 管に比較して低消費電力である。このような特徴を生かして、液晶表示装置は携帯型情報処理装置に搭載されている。

【 0 0 1 8 】

近年の携帯電話や P D A またはモバイル P C 等の携帯端末の急速な普及により、携帯 (モバイル) 用途のディスプレイへのニーズが更に高まっている。このような携帯端末におけるディスプレイでは、例えば、次のような要求がある。

【 0 0 1 9 】

(1) 携帯性を高めるために、表示部以外の面積を縮小化する、ことである。

【 0 0 2 0 】

(2) 携帯端末では、バッテリー駆動方式が一般に採用されており、1 回の充電によるバッテリー駆動の持続時間を延ばすために、低消費電力であることが望まれる。

【 0 0 2 1 】

10

20

30

40

50

(3) 携帯端末の普及には、低価格性も要求されるため、携帯用ディスプレイも低コストであることが望まれている。

【0022】

そして、これらの要求は、駆動回路一体型の液晶表示装置や有機EL(electro luminescence; 電界発光)装置等によって実現できるものと期待されている。

【0023】

周辺回路内蔵型液晶ディスプレイの低消費電力化、小型化、高精細化を測る装置として、例えば特開平11-202290号公報には、TFT基板上に液晶を駆動するための信号側周辺回路及び走査側周辺回路と、信号配線に表示データを転送するための中継バスをもつ接続部を形成し、この接続部を介してCPUから書き込まれた表示データを少なくとも1ライン分記憶する画像メモリや読み出し制御回路を形成した画像メモリチップを、液晶表示装置に実装し、画像メモリチップからの表示データは1ライン分毎に低速のクロックで平行に転送される構成の装置が開示されている。

10

【先行技術文献】

【非特許文献】

【0024】

【非特許文献1】T.Nakamura et al., "Low Temperature Poly-Si TFT-LCD with Integrated Analog Circuit," Asia Display '01 Digest, pp1603-1606(2001)

【非特許文献2】Y.Mikami et al., "A 5-in. SVGA TFT-LCD with Integrated Multiple DAC Using Low-Temperature poly-Si TFTs," Asia Display '01 Digest, pp1607-1610(2001)

20

【非特許文献3】H.Kimura et al., "A 2.15 inch QCIF Reflective Color TFT-LCD with Digital Memory on Glass(DMOG)," SID '01 Digest, pp268-271(2001)

【非特許文献4】Y.Nakajima et al., "A 3.8 inch QVGA Reflective Color LCD with Integrated 3b DAC Driver," ISSC2000 Digest, pp188-189(2000)

【非特許文献5】M.Azami et al., "A 2.6-in DTV TFT-LCD with Area-Reduced integrated 8-bit Digital Data Drivers Using 400-Mobility CGS Technology," SID'99 Digest, pp6-9(1999)

【発明の概要】

【発明が解決しようとする課題】

30

【0025】

上記した従来の表示装置の問題点について説明する。

【0026】

第1の問題点は、ディスプレイの高精細化並びに多階調化に伴い、ドライバICの価格及び消費電力が上昇する、ということである。

【0027】

その理由は、液晶モジュールに対して、1フレーム時間ごとに、全ての画素の表示データを、シリアルに高速転送しなければならないためである。高精細度化し、画素数が多くなるほど、この時の転送レートは、増大する。高速転送の結果、ドライバICにも高速性が要求され、回路素子を構成する多数のCMOSに貫通電流等が生じ、動作速度の上昇と共に消費電力が増大する。また、高速動作をするICは、価格も増大する。そして、階調数が増大すると回路構成の複雑化及び転送速度の更なる増大が生じ、消費電力の更なる増大及びコストの増大を招く。また、前述したように、DAC回路等を内蔵したICでは、異種プロセスを併用する必要がある、更なるコストの増加をもたらす。

40

【0028】

第2の問題点は、システム全体の消費電力および価格を抑える必要性から、画素数や階調数が制限される、ということである。

【0029】

その理由は、上述のように画素数や、階調数を増大すると、ドライバICの消費電力が増大するためである。

50

【 0 0 3 0 】

第3の問題点は、高周波数動作のために信頼性に問題がある、ということである。

【 0 0 3 1 】

その理由は、低温ポリシリコン T F T を高周波動作させると、T F T 特性の変化が生じやすいためである。

【 0 0 3 2 】

第4の問題点は、表示パネル基板上の回路ブロック毎に使用する電圧が異なるために、複数の電圧に対応したプロセスを併用する必要性がある、ということである。

【 0 0 3 3 】

更には、入力信号の周波数が高くなった場合に、E M I の問題が大きい、ということである。その理由は、入力周波数そのままソースドライバ I C を駆動するためである。この結果、駆動回路の矩形波から生じるスプリアス (S p u r i o u s : 疑似) 電波が増加し、E M I ノイズも増加する。そのため、前述のように、各種の E M I 対策に多大な努力が支払われていた。

10

【 0 0 3 4 】

一方、E M I のノイズレベルが十分に小さくなると、各種の基準試験を容易に通過することが出来、信頼性が向上するだけでなく、E M I 関連の試験に関わるコストも削減することが出来る。

【 0 0 3 5 】

したがって、本発明は、上記問題点に鑑みて創案されたものであって、その目的は、低コスト、低消費電力で、高精細、多階調の表示を実現する表示装置を提供することにある。

20

【 0 0 3 6 】

本発明の他の目的は、信頼性を向上する表示装置を提供することにある。

【 0 0 3 7 】

本発明のさらに他の目的は、E M I の影響を抑止する表示装置を提供することにある。

【 0 0 3 8 】

本発明のさらに他の目的は、複数の電圧に対するプロセスを併用することなく、一種類の電圧に対するプロセスによって全ての回路を駆動できる駆動回路一体型の表示装置を提供することにある。本発明のさらに他の目的は、シリアル - パラレル変換回路のレイアウト面積を小さくする半導体装置及び表示装置を提供することにある。

30

【課題を解決するための手段】

【 0 0 3 9 】

前記目的を達成する本発明に係る表示装置は、その一つのアスペクト (側面) において、複数のデータ線と複数の走査線の交点に画素群がマトリクス状に配置された表示部を有する表示パネル部と、前記複数の走査線に順次電圧を印加する走査線駆動回路と、上位装置から供給された表示データを受け、前記表示データに対応した信号を前記複数のデータ線に印加するデータ線駆動回路と、を有する表示装置において、表示データを格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル部へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し前記上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を、前記表示パネル部の外部に備え、前記表示パネル部に、前記データ線駆動回路の一部を構成し、前記コントローラ装置から転送されたデジタル信号の表示データをアナログ信号に変換するデジタル・アナログ変換回路 (「 D A C 回路」という) を備え、前記コントローラ装置と、前記表示パネル部との間のデータ転送用のバスの幅が、前記コントローラと前記上位装置の間のバスよりも、一回あたりの転送で多くのビットデータが並列転送される構成とされている。本発明において、データ転送のバス幅を大としたことで、データ線駆動回路の動作周波数が低減され、これにより、データ線駆動回路及び走査線駆動回路を含む周辺回路を構成するトランジスタ素子が、前記表示パネル部に形成される画素スイッチをなす T F T (Thin Film Transistor) と同一プロセスで形成され、前記周辺回路のトランジスタ素子のゲート絶縁膜

40

50

の膜厚は、高電圧駆動される画素スイッチのTFTのゲート絶縁膜の膜厚と同一に設定されている。

言い換えれば、前記データ線駆動回路、前記走査線駆動回路、前記表示部を構成しているそれぞれのトランジスタのゲート絶縁膜は同一構造で、その膜厚はプロセスばらつきの範囲内で等しい。

【0040】

また本発明は、別のアスペクトにおいて、前記表示パネル部に、表示データを格納する表示メモリと、デジタル信号の表示データをアナログ信号に変換するデジタル・アナログ変換回路(「DAC回路」という)を備えている。本発明において、DAC回路と表示メモリは、画素部のTFT(Thin Film Transistor)形成プロセスと同一のプロセスで形成されている。

10

【0041】

言い換えれば、前記DAC回路、前記表示メモリ、前記画素部を構成しているそれぞれのトランジスタのゲート絶縁膜は同一構造で、その膜厚はプロセスばらつきの範囲内で等しい。

【0042】

本発明において、前記表示パネル部に、前記DAC回路の出力を入力とし、データ線群に出力が接続されたセレクト回路を有する。本発明において、前記表示パネル部に、前記コントローラICの電源電圧で規定される信号振幅を、前記表示パネル部側の高電圧にレベルシフトするレベルシフタを有する。本発明において、前記表示パネル部に、シリアルデータのデータをパラレル・データに変換するシリアル・パラレル変換回路を備え、前記DAC回路には、前記シリアル・パラレル変換回路でパラレルに変換されたデータが供給される。以下の実施の形態の記載からも、当業者には、明らかであるように、特許請求の範囲の各請求項の本発明によっても上記目的は達成される。

20

【0043】

また本発明は、別のアスペクトにおいて、前記シリアル・パラレル変換回路機能が、1ビット入力のシリアル・パラレル変換回路を複数個用い、これらを同時に駆動することで達成されている。

【発明の効果】

【0044】

本発明によれば、低コスト、低消費電力で、高精細、多階調の表示を実現する表示装置を提供することができる。

30

【0045】

本発明によれば、信頼性を向上する表示装置を提供することができる。

【0046】

本発明によれば、EMIの影響を抑止する表示装置を提供することができる。

【0047】

本発明によれば、複数の電圧に対するプロセスを併用することなく、一種類の電圧に対するプロセスによって全ての回路を駆動できる駆動回路一体型の表示装置を提供することができる。本発明によれば、シリアル・パラレル変換回路のレイアウト面積を小さくする半導体装置及び表示装置を提供することができる。

40

【図面の簡単な説明】

【0048】

【図1】本発明の第1の実施例の表示装置の構成を示す図である。

【図2】本発明の第1の実施例の表示装置のタイミング動作を説明するための図である。

【図3】メモリ内蔵ドライバIC並びにメモリ内蔵コントローラICに対して、内蔵するメモリ容量とICコストの関係を示す図である。

【図4】読み出し周波数とインタフェース回路消費電力の関係を示す図である。

【図5】本発明の第2の実施例の表示装置の構成を示す図である。

【図6】本発明の第3の実施例の表示装置の構成を示す図である。

50

- 【図 7】本発明の第 4 の実施例の表示装置の構成を示す図である。
- 【図 8】本発明の第 5 の実施例の表示装置の構成を示す図である。
- 【図 9】本発明の第 5 の実施例の表示装置のタイミング動作を説明するための図である。
- 【図 10】本発明の第 6 の実施例の表示装置の構成を示す図である。
- 【図 11】本発明の第 7 の実施例の表示装置の構成を示す図である。
- 【図 12】本発明の第 7 の実施例の表示装置のタイミング動作を説明するための図である。
- 【図 13】本発明の第 8 の実施例の表示装置の構成を示す図である。
- 【図 14】本発明の第 9 の実施例の表示装置の構成を示す図である。
- 【図 15】本発明の第 10 の実施例の表示装置の構成を示す図である。 10
- 【図 16】本発明の第 10 の実施例の表示装置のタイミング動作を説明するための図である。
- 【図 17】本発明の第 11 の実施例の表示装置の構成を示す図である。
- 【図 18】本発明の第 12 の実施例の表示装置の構成を示す図である。
- 【図 19】本発明の第 12 の実施例の表示装置のタイミング動作を説明するための図である。
- 【図 20】本発明の第 13 の実施例の表示装置の構成を示す図である。
- 【図 21】本発明の第 14 の実施例の表示装置の構成を示す図である。
- 【図 22】本発明の第 15 の実施例の表示装置の構成を示す図である。
- 【図 23】本発明の第 16 の実施例の表示装置の構成を示す図である。 20
- 【図 24】本発明の第 16 の実施例の表示装置のタイミング動作を説明するための図である。
- 【図 25】本発明の第 17 の実施例の表示装置の構成を示す図である。
- 【図 26】本発明の第 18 の実施例の表示装置の構成を示す図である。
- 【図 27】本発明の第 18 の実施例の表示装置のタイミング動作を説明するための図である。
- 【図 28】本発明の第 19 の実施例の表示装置の構成を示す図である。
- 【図 29】本発明の第 20 の実施例の表示装置の構成を示す図である。
- 【図 30】本発明の第 21 の実施例の表示装置の構成を示す図である。
- 【図 31】本発明の第 21 の実施例の表示装置のタイミング動作を説明するための図である。 30
- 【図 32】本発明の第 22 の実施例の表示装置の構成を示す図である。
- 【図 33】本発明の第 23 の実施例の表示装置の構成を示す図である。
- 【図 34】本発明の第 24 の実施例の表示装置の構成を示す図である。
- 【図 35】本発明の実施例で用いられる表示パネル基板の作成の主要工程を説明するための断面図である。
- 【図 36】本発明の実施例で用いられる表示パネル基板の作成の主要工程を説明するための断面図である。
- 【図 37】従来の駆動回路一体型の液晶表示装置を用いたディスプレイシステムの概要を示す図である。 40
- 【図 38】従来の D A C 回路内蔵の駆動回路一体型液晶表示装置を用いたディスプレイシステムの概要を示す図である。
- 【図 39】比較例として従来のアーキテクチャを適用した表示装置の構成を示す図である。
- 【図 40】図 39 のシフトレジスタの回路構成を示す図である。
- 【図 41】図 39 の 6 ビットデータレジスタとこれに接続されるデジタルデータバスラインの回路構成を示す図である。
- 【図 42】図 39 の 6 × 66 ロードラッチの回路構成を示す図である。
- 【図 43】図 39 のシフトレジスタ回路およびデジタルデータバスラインに入力される信号のタイミングチャートである。 50

【図44】従来のレベル変換回路の回路構成を示す図である。

【図45】本発明の実施例の表示装置の構成を示すブロック図である。

【図46】図45に示した本発明の実施例におけるレベル変換機能つき1-to-2シリアルパラレル変換回路の回路構成を示す図である。

【図47】図46に示した1-to-2シリアルパラレル変換回路のタイミング波形を示すタイミングチャート図である。

【図48】図46に示した1-to-2シリアルパラレル変換回路の最高動作周波数の測定結果を示したグラフである。

【図49】図46内に含まれるレベル変換部と図44に示した従来のレベル変換回路との消費電力を比較したグラフである。

【図50】図39に示した表示装置と図45に示した表示装置の、表示基板上に集積されたデジタル信号処理部の消費電力を比較したものである。

【図51】1ビット入力2ビット出力シリアル-パラレル変換回路の回路構成を示す図である。

【図52】1ビット入力6ビット出力のシリアル-パラレル変換回路の回路構成を示す図である。

【図53】1ビット入力6ビット出力のシリアル-パラレル変換回路の回路構成を示す図である。

【発明を実施するための形態】

【0049】

発明の実施の形態について説明する。本発明に係る表示装置は、その好ましい一実施の形態において、複数のデータ線と複数の走査線の交点にマトリクス状に配置された画素部を有する表示部（図1の110）と、前記複数の走査線に順次電圧を印加する走査線駆動回路（図1の109）と、上位装置から供給された表示データを受け、前記表示データに対応した信号を前記複数のデータ線に印加するデータ線駆動回路と、を有する表示装置において、表示デバイス基板（図1の101）の外に、前記画素部に対応する表示データを格納する表示メモリ（図1の111）と、表示メモリからデータを読み出し表示デバイス基板（図1の101）へ出力する出力バッファ（図1の112）と、表示メモリ（図1の111）および出力バッファ（図1の112）を制御し上位装置との通信並びに制御を司るコントローラ（図1の113）と、を有するコントローラIC（図1の102）を備え、表示デバイス基板（図1の101）に、データ線駆動回路の一部を構成し、デジタル信号の表示データをアナログ信号に変換するDAC（デジタル・アナログ変換）回路（図1の106）を備え、コントローラIC（図1の102）と、表示デバイス基板（図1の101）上のデータ線駆動回路との間のデータ転送用のバスの幅が、コントローラ（図1の113）と前記上位装置（図1の114）の間のバスよりも、一回あたりの転送で多くのビットデータが並列転送される構成とされている。

【0050】

より詳細には、本発明に係る表示装置は、その好ましい一実施の形態において、表示デバイス基板（図1の101）が複数のデータ線（N本）と複数の走査線（M本）の交点にマトリクス状にM行N列に配置された画素群を有する表示部（図1の110）を備え、Bビットの階調の表示データを（M×N）画素分（すなわち（M×N×B）ビット）格納する表示メモリ（図1の111）と、表示メモリ（図1の111）からデータを読み出し表示パネル基板（図1の101）側へ出力する出力バッファ（図1の112）と、表示メモリ（図1の111）および出力バッファ（図1の112）を制御し、上位装置との通信並びに制御を司るコントローラ（図1の113）と、を有するコントローラIC（図1の102）を、表示デバイス基板（図1の101）とは別に備えている。

【0051】

コントローラIC（図1の102）において、出力バッファ（図1の112）は、メモリの（M×N×B）ビットの内の1行分に相当する（N×B）ビットをブロック分割数Sで分割した{(N×B)/S}個配置されている。

10

20

30

40

50

【0052】

コントローラIC(図1の102)の出力バッファ(図1の112)からは、 $\{(N \times B) / S\}$ ビット幅のデータバスを介して、表示デバイス基板(図1の101)側に、 $\{(N \times B) / S\}$ ビット単位で、1水平期間に、前記ブロック分割数S回に分割して、1ライン分の表示データが転送される。

【0053】

表示デバイス基板(図1の101)には、前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトして出力するレベルシフタ(図1の104)と、このレベルシフタの出力をラッチするラッチ回路(図1の105)と、ラッチ回路のBビットの出力を入力してアナログ信号を出力するDAC回路(図1の106)と、DAC回路の出力を入力とし、前記表示部のN列と同じN出力を有するセクタ(図1の107)と、を含むデータ線駆動回路と、前記複数の走査線(ゲート線)に順次電圧を印加する走査線駆動回路(図1の109)と、を備えている。レベルシフタ(図1の104)とラッチ回路(図1の105)は、いずれも $\{(N \times B) / S\}$ 個配置され、DAC回路(図1の106)は (N / S) 個配置され、セクタ回路(図1の107)は、 (N / S) 個のDAC回路(図1の106)の出力を受け、入力されるセクタ制御信号に基づき、前記各DAC回路の出力ごとに、1水平期間を前記ブロック分割数Sで分割した時間で、順次、S本のデータ線群へデータ信号の供給を行い、コントローラICのコントローラ(図1の113)は、表示デバイス基板上(図1の101)のレベルシフタ・タイミングバッファ(図1の108)にクロック信号を供給し、レベルシフタ・タイミングバッファ(図1の108)で昇圧されて出力されるラッチクロック信号とセクタ制御信号が、前記ラッチ回路(図1の105)とセクタ回路(図1の107)にそれぞれ供給される。

【0054】

本発明の一実施の形態において、表示デバイス基板上に形成されたデータ線駆動回路及び走査線駆動回路を含む周辺回路を構成するトランジスタ素子が、表示部に形成される画素スイッチをなすTFT(Thin Film Transistor)と同一プロセスで形成されており、好ましくは、多結晶シリコンTFTよりなる。

【0055】

すなわち、前記データ線駆動回路、前記走査線駆動回路、前記表示部を構成しているそれぞれのトランジスタのゲート絶縁膜は同一構造で、その膜厚はプロセスばらつきの範囲内で等しく設定されている。

【0056】

本発明の実施の形態において、表示部の両側に、走査線駆動回路(図5の109)と、データ線駆動回路にクロックを供給するレベルシフタ/タイミングバッファ(図5の108)を備えた構成としてもよい。

【0057】

本発明の実施の形態において、表示デバイス基板(101)に作成され、データ線駆動回路を構成するラッチ回路とレベルシフタは、その位置を入れ替えるようにしてもよい(図6参照)。

【0058】

本発明の実施の形態において、コントローラIC(図7の102)の信号の振幅と表示デバイス基板(図7の101)の信号の振幅を同一としてもよい。表示デバイス基板(図7の101)において、レベルシフト回路は省略される。

【0059】

本発明の実施の形態においては、電流駆動型の画素素子を駆動するため、表示データの階調に対応した電流を生成し、データ線に電流を供給する電圧-電流変換回路/電流出力バッファ(図8、図15の801)、デコーダと電流出力バッファ(図10、図17の1001と1002)を備えた構成としてもよい。

【0060】

本発明の別の実施の形態において、コントローラIC(図11、図29の102)の出力

10

20

30

40

50

バッファ（図 1 1、図 1 3 の 112）が $(N \times B)$ 個配置され、コントローラ IC から、 $(N \times B)$ ビット幅のデータバスを介して、表示デバイス基板（図 1 1、図 1 3 の 101）側に、 $(N \times B)$ ビット単位で、1 水平期間に 1 ライン分の表示データが 1 回で転送され、D A C 回路（図 1 1、図 1 3 の 106）をデータ線に対応させて N 個備える構成としてもよい。かかる構成において、コントローラ IC（図 1 4、図 2 9 の 102）の信号の振幅と表示デバイス基板（図 1 4、図 2 9 の 101）の信号の振幅を同一としてもよい。表示デバイス基板（図 1 4 の 101）において、レベルシフト回路は省略される。

【 0 0 6 1 】

本発明の実施の形態において、表示デバイス基板（101）にシリアルデータをパラレル・データに変換するシリアル・パラレル変換回路（図 1 8、図 2 0 ~ 図 2 3、図 2 5、
10 図 2 6、図 2 8 ~ 図 3 0、図 3 2 ~ 図 3 4 の 1801）を備え、D A C 回路には、シリアル・パラレル変換回路でパラレルに変換されたデータが供給される構成としてもよい。シリアル・パラレル変換回路でパラレルビットに変換されたデータ（これをラッチした信号及び / 又はレベルシフトした信号）を D A C 回路の入力に供給することで、D A C 回路の動作周波数を下げることができる。

【 0 0 6 2 】

この多ビット入力多ビット出力シリアル - パラレル変換回路は、1 ビット入力のシリアル - パラレル変換回路複数個によって構成され、これら複数の 1 ビット入力のシリアル - パラレル変換回路は同時に駆動される。

【 0 0 6 3 】

本発明に係る表示装置は、別の実施の形態において、表示パネル部（図 3 3、図 3 4 の 101）に、デジタル信号の表示データをアナログ信号に変換する D A C 回路（図 3 3 の 106）と、表示データを格納する表示メモリ（図 3 3、図 3 4 の 111）を備え、前記 D A C 回路及び表示メモリは、画素部の T F T（Thin Film Transistor）形成プロセスと同一のプロセスで形成されている。

【 0 0 6 4 】

言い換えれば、前記 D A C 回路、前記表示メモリ、前記画素部を構成しているそれぞれのトランジスタのゲート絶縁膜は同一構造で、その膜厚はプロセスばらつきの範囲内で等しい。

【 0 0 6 5 】

より詳細には、本発明に係る表示装置は、別の実施の形態において、表示デバイス基板（図 3 3 の 101）が、複数のデータ線（ N 本）と複数の走査線（ M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部（図 3 3 の 110）と、 B ビットの階調の表示データを $(M \times N)$ 画素分（すなわち $(M \times N \times B)$ ビット）格納するメモリ（図 3 3 の 111）と、表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファ（図 3 3 の 112）と、表示メモリ（図 3 3 の 111）および出力バッファ（図 3 3 の 112）を制御し上位装置との通信並びに制御を司るコントローラ（図 3 3 の 113）と、を同一基板に有している。出力バッファ（図 3 3 の 112）は、前記メモリ（図 3 3 の 111）の $(M \times N \times B)$ ビットの内の 1 行分に相当する $(N \times B)$ ビットを、ブロック分割数 S の数と P 相で分割した $\{(N \times B) / (P \times S)\}$ 個配置されている。
40

【 0 0 6 6 】

表示デバイス基板（図 3 3 の 101）は、出力バッファ（図 3 3 の 112）の出力をシリアルに入力し P 相に展開して出力するシリアル・パラレル変換回路（図 3 3 の 1801）と、シリアル・パラレル変換回路（図 3 3 の 1801）の出力をラッチするラッチ回路（図 3 3 の 105）と、前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力する D A C 回路（図 3 3 の 106）と、D A C 回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセクタ（図 3 3 の 107）と、を含むデータ線駆動回路と、前記複数の走査線に順次電圧を印加する走査線駆動回路（図 3 3 の 109）と、を備えている。シリアル / パラレル変換回路（図 3 3 の 1801）は、 $\{(N \times B) / (P \times S)\}$ 個配置され、ラッチ回路（図 3 3 の 105）は $\{(N \times B) / S\}$ 個配置され、D A C 回路（図 3 3 の 106）は (N / S) 個
50

配置され、セレクト回路（図33の107）は、 (N/S) 個のDAC回路（図33の106）の出力を受け、セレクト制御信号に基づき、各DAC回路の出力ごとに、前記ブロック分割数 S に分割された時間で、順次 S 本のデータ線群へデータ信号の供給を行う。コントローラ（図33の113）から、ラッチ回路（図33の105）へラッチクロック信号が供給され、セレクト回路（図33の107）にセレクト制御信号が供給され、シリアル/パラレル変換回路（図33の1801）にシリアル・パラレル変換制御信号が供給される。

【0067】

この実施の形態において、データ線駆動回路、走査線駆動回路を含む周辺回路を構成するTFTは、表示部の画素スイッチのTFTと同一のプロセスで形成される。

【0068】

言い換えれば、前記データ線駆動回路、前記走査線駆動回路、前記表示部を構成しているそれぞれのトランジスタのゲート絶縁膜は同一構造で、その膜厚はプロセスばらつきの範囲内で等しく設定されている。

【実施例】

【0069】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0070】

[実施例1]

図1は、本発明の第1の実施例の構成を示す図である。図1を参照して、本発明の第1の実施例を詳細に説明する。図1を参照すると、本発明の第1の実施例は、システム側回路基板103と、コントローラIC102、及び、表示デバイス基板101を備えて構成される。システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム側回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフタ/タイミングバッファ（コントローラ）108、走査回路（走査線駆動回路）109、レベルシフタ104、ラッチ回路105、DAC回路106、セレクト回路107並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフタ回路104、ラッチ回路105、DAC回路106、セレクト回路107はこの順に配置され、セレクト回路107が表示部110の列側に接続されており、レベルシフタ回路104の出力をラッチ回路105でラッチし、ラッチ回路105の出力はDAC回路106でアナログ信号に変換され、セレクト回路107を介して表示部110のデータ線に出力される。

【0071】

本実施例では、表示部110において、階調ビット数 B で、 M 行 N 列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。セレクト回路107は、表示部110の列側入力数と同じ N 出力を有する。

【0072】

出力バッファ112は、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットを、ブロック分割数 S の数だけ分割した $\{(N \times B) / S\}$ ビット数の回路から構成される。

【0073】

レベルシフタ104及びラッチ回路105は、出力バッファ112と同じ $\{(N \times B) / S\}$ ビット数の回路から構成される。

【0074】

DAC回路106は、 (N/S) 回路からなり、階調ビット数 B を入力して各階調のデジタル値に応じたアナログ信号を出力する。

【0075】

図2は、本発明の第1の実施例のタイミング動作を説明するための図である。図2を参照すると、1水平期間中に、コントローラIC102の出力バッファ112から、表示デバイス基板101へ、 $\{(N \times B) / S\}$ ビットのデータバスを介して、入力データ信号を入力す

10

20

30

40

50

ると、ラッチ回路105に供給されるラッチクロック信号の立ち下がりエッジで、ラッチされる。その結果、ラッチ回路105の出力信号は、次のD A C回路106への入力信号となる。ラッチクロック信号は、レベルシフタ/タイミングバッファ108からラッチ回路105に供給される。

【 0 0 7 6 】

D A C回路106で各データ信号は、D A変換（デジタル・アナログ変換）され、各階調のデジタル値に応じたアナログ信号となる。

【 0 0 7 7 】

セクタ回路107に供給されるセクタ制御信号として、ブロック分割数 S （図2では、 $S = 4$ ）分の配線に対し、制御用パルスが、図2のように、順次走査される。セクタ制御信号は、レベルシフタ/タイミングバッファ108からセクタ回路107に供給される。

【 0 0 7 8 】

このセクタ制御信号をセクタ回路107に入力すると、D A C回路106の出力信号から順次に信号をセレクトし、ブロック分割数 S の数（ S 本）の信号に分離し、本数がブロック分割数 S である信号線群の各信号線（データ線）に送られる。

【 0 0 7 9 】

このような信号線群が (N/S) 個並び全てに並列に信号が供給されることによって、1水平期間中での N 本の信号線への信号供給が実現される。

【 0 0 8 0 】

表示部110の M 行の画素スイッチの各ゲート線を駆動するゲート信号は、走査回路109（ M 個）から供給され、1水平期間の間、高レベルに保たれ、それ以外の期間は低レベルである。このようなゲート信号が順次走査され、 M 本の各ゲート線にゲート信号が供給される。

【 0 0 8 1 】

本実施例では、図1及び図2の構成により、 M 行 N 列の表示部110に対し表示を行うことが可能である。

【 0 0 8 2 】

M 行 N 列の表示部110に対するデータ信号は、デジタル信号で用意され、デジタル階調のビット数 B に応じ、 $(M \times N \times B)$ ビットのデータがメモリ111に記憶される。

【 0 0 8 3 】

出力バッファ112では、 M 本のゲート走査線毎にブロック分割数 S に分割して出力するため、 $\{(N \times B) / S\}$ ビットでデータが転送される。コントローラI C 102の出力バッファ112から、表示デバイス基板101へ、 $\{(N \times B) / S\}$ ビットのデータバスを介して、1水平期間にブロック分割数 S （ $= 4$ ）回に分割して、1ライン分の表示データが転送される。この結果、従来のシリアル転送方法に比べて、遅い転送速度で、データが転送可能である。

【 0 0 8 4 】

転送されたデータ信号は、レベルシフト回路104で低い電圧振幅の入力データから高い電圧値（電圧振幅）への昇圧を行う。

【 0 0 8 5 】

このレベルシフト回路104により、高い電圧でのデータ転送が不要となるため、消費電力が大きく低下する。

【 0 0 8 6 】

ラッチ回路105では、図2に示すように、データ信号を、ラッチ回路105に供給されるラッチクロック信号の立ち下がりエッジでラッチする。ラッチ回路105には、コントローラ13からの信号をレベルシフタ/タイミングバッファ108で高い電圧振幅へ昇圧した信号が供給されるラッチクロック信号として供給される。このレベルシフト回路104及びラッチ回路105は、出力バッファ112から転送されるビット数と同じ $\{(N \times B) / S\}$ ビットで処理が行われる。

【 0 0 8 7 】

D A C回路106は(N / S)回路からなり、入力される{ (N × B) / S }ビットの内の階調ビット数Bずつのデータ群からデジタル・アナログ変換し、1本のアナログ信号を得ることにより、全回路で(N / S)本(ビット)のアナログ信号データを出力する。すなわち、{ (N × B) / S }個のラッチ回路105のB個出力が、対応する一つのD A C106に入力され、D A C106から階調データに対応するアナログ電圧信号が出力される。

【 0 0 8 8 】

D A C106の(N / S)本(ビット)のアナログデータ信号は、セクタ回路107で、セクタ制御信号に基づき、1出力毎に、ブロック分割数Sに分割された時間で、順次選択され、S本(図2ではS = 4)のデータ線群へのデータ信号供給を行う。

【 0 0 8 9 】

この結果、N本のデータ線へのデータ信号の供給が行われる。

【 0 0 9 0 】

M本の各ゲート線が走査される毎に、メモリ111より、順次、対応するデータの読み出しが行われ、表示部110への書込みが行われて表示が行われる。

【 0 0 9 1 】

[実施例 2]

本発明の第2の実施例について説明する。図5は、本発明の第2の実施例の構成を示す図である。図5を参照すると、本発明の第2の実施例は、システム側回路基板103と、コントローラI C102及び表示デバイス基板101から構成される。システム側回路基板103は、インタフェース回路114を含み、コントローラI C102と接続される。コントローラI C102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフタ/タイミングバッファ108、走査回路109、レベルシフタ104、ラッチ回路105、D A C回路106、セクタ回路107並びに表示部110を内蔵しており、コントローラI C102に接続される。レベルシフタ回路104、ラッチ回路105、D A C回路106、セクタ回路107は、この順に並び、セクタ回路107が表示部110の列側に接続されている。

【 0 0 9 2 】

本実施例では、前記第1の実施例と相違して、レベルシフタ/タイミングバッファ108及び走査回路109が、表示部110を間に挟んで相対する両側に配置されている。走査回路109のゲートドライバの駆動能力の低減と、ゲート線の両端間での遅延が解消される。

【 0 0 9 3 】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、(M × N × B)ビットの容量を有する。また、セクタ回路107は表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の(M × N × B)ビットの内の1行分に相当する(N × B)ビットをブロック分割数Sの数だけ分割した{ (N × B) / S }ビット数の回路がある。レベルシフタ104及びラッチ回路105は、出力バッファ112と同じ{ (N × B) / S }ビット数の回路がある。D A C回路106は、(N / S)回路からなる。

【 0 0 9 4 】

[実施例 3]

本発明の第3の実施例について説明する。図6は、本発明の第3の実施例の構成を示す図である。図6を参照すると、本発明の第3の実施例は、システム側回路基板103とコントローラI C102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラI C102と接続される。コントローラI C102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフタ/タイミングバッファ108、走査回路109、レベルシフタ104、ラッチ回路105、D A C回路106、セクタ回路107並びに表示部110を内蔵しており、コントローラI C102に接続される。ラッチ回路105、レベルシフタ回路104、D A C回路106、セクタ回路107はこの順に並び、セクタ回路107が表示部110の列側に接続されている。

10

20

30

40

50

【 0 0 9 5 】

すなわち、本実施例では、ラッチ回路105とレベルシフタ104の配置が、第1の実施例と相違している。

【 0 0 9 6 】

本実施例では、表示部110において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。

【 0 0 9 7 】

メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。

【 0 0 9 8 】

また、セレクト回路107は表示部110の列側入力数と同じ N 出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数 S の数だけ分割した $\{(N \times B) / S\}$ ビット数の回路がある。

【 0 0 9 9 】

レベルシフタ104及びラッチ回路105は、出力バッファ112と同じ $\{(N \times B) / S\}$ ビット数の回路がある。DAC回路106は、 (N / S) 回路からなる。

【 0 1 0 0 】

なお、本実施例でも、第2の実施例と同様にレベルシフタ/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【 0 1 0 1 】

[実施例 4]

次に本発明の第4の実施例について説明する。図7は、本発明の第4の実施例の構成を示す図である。図7を参照すると、本発明の第4の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。システム回路側基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、タイミングバッファ701、走査回路109、ラッチ回路105、DAC回路106、セレクト回路107並びに表示部110を内蔵しており、コントローラIC102に接続される。ラッチ回路105、DAC回路106、セレクト回路107はこの順に並び、セレクト回路107が表示部110の列側に接続されている。

【 0 1 0 2 】

すなわち、本実施例では、レベルシフタ回路104が存在せず、レベルシフタ/タイミングバッファ108の代わりに、タイミングバッファ701が配置される点で、第1及び第3の実施例と相違している。

【 0 1 0 3 】

本実施例では、表示部110において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、セレクト回路107は表示部110の列側入力数と同じ N 出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数 S の数だけ分割した $\{(N \times B) / S\}$ ビット数の回路がある。ラッチ回路105は、出力バッファ112と同じ $\{(N \times B) / S\}$ ビット数の回路がある。DAC回路106は、 (N / S) 回路からなる。なお、本実施例でも、第2の実施例と同様に、タイミングバッファ701及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【 0 1 0 4 】

[実施例 5]

次に本発明の第5の実施例について説明する。図8は、本発明の第5の実施例の構成を示す図である。図8を参照すると、本発明の第5の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム回路側基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路

10

20

30

40

50

基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフタ / タイミングバッファ108、走査回路109、レベルシフタ104、ラッチ回路105、D A C回路106、セレクト回路107、電圧 - 電流変換回路 / 電流出力バッファ801並びに表示部110を内蔵しており、コントローラ I C 102に接続される。レベルシフタ回路104、ラッチ回路105、D A C回路106、電圧 - 電流変換回路 / 電流出力バッファ801、セレクト回路107はこの順に並び、セレクト回路107が表示部110の列側に接続されている。

【 0 1 0 5 】

すなわち、本実施例では、電圧 - 電流変換回路 / 電流出力バッファ801が存在する点で、第 1 乃至第 4 の実施例と相違している。

【 0 1 0 6 】

本実施例では、表示部110において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、セレクト回路107は表示部110の列側入力数と同じ N 出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の 1 行分に相当する $(N \times B)$ ビットをブロック分割数 S の数だけ分割した $\{(N \times B) / S\}$ ビット数の回路がある。レベルシフタ104及びラッチ回路105は、出力バッファ112と同じ $\{(N \times B) / S\}$ ビット数の回路がある。

【 0 1 0 7 】

D A C 回路106及び電圧 - 電流変換回路 / 電流出力バッファ801は、 (N / S) 回路からなる。なお、本実施例でも、第 2 の実施例と同様にレベルシフタ / タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【 0 1 0 8 】

本実施例では、第 1 乃至第 4 の実施例と異なり、電圧 - 電流変換回路 / 電流出力バッファ801を備えたことにより、電圧駆動で無く、電流駆動の表示素子へデータ信号を供給することが可能である。

【 0 1 0 9 】

図 9 は、本発明の第 5 の実施例のタイミング動作を説明するための図である。図 9 を参照すると、1 水平期間中に表示デバイス基板101へ入力データ信号を入力すると、ラッチ回路105に供給されるラッチクロック信号の立ち上がりエッジでラッチされる。その結果、ラッチ回路105の出力信号は、図 9 の通りとなる。この信号は、次の D A C 回路106への入力信号となる。

【 0 1 1 0 】

D A C 回路106で各データ信号は D A 変換 (デジタル・アナログ変換) され、各階調のデジタル値に応じたアナログ信号となる。この D A C 出力信号は、電圧 - 電流変換回路 / 電流出力バッファ801で電圧信号から電流信号へ変換される。

【 0 1 1 1 】

セレクト制御信号として、ブロック分割数 S (図 9 では $S = 4$) 分の配線に対し、制御用パルスが、図 9 のように順次走査される。

【 0 1 1 2 】

このセレクト制御信号をセレクト回路107に入力すると、電圧 - 電流変換回路 / 電流出力バッファ801の出力信号から順次に信号をセレクトし、ブロック分割数 S の数の信号に分離し、本数がブロック分割数 S である信号線群の各信号線に送られる。

【 0 1 1 3 】

このような信号線群が (N / S) 個並び全てに並列に信号が供給されることによって、1 水平期間中での N 本の信号線への信号供給が実現される。

【 0 1 1 4 】

ゲート信号は、1 水平期間の間、高レベルに保たれ、それ以外の期間は低レベルである。このようなゲート信号が順次走査され、M 本の各ゲート線にゲート信号が供給される。

【 0 1 1 5 】

本実施例では、図 8 及び図 9 の構成により、M 行 N 列の電流信号による表示部110に対

10

20

30

40

50

し表示を行うことが可能である。M行N列の表示部に対するデータ信号はデジタル信号で用意され、デジタル階調のビット数Bに応じ、 $(M \times N \times B)$ ビットのデータがメモリ111に記憶される。出力バッファ112では、M本のゲート走査線毎にブロック分割数Sに分割して出力するため、 $\{(N \times B) / S\}$ ビットでデータが転送される。この結果、従来の転送方法に比べ、遅い転送速度でデータが転送可能である。

【0116】

転送されたデータ信号は、レベルシフト回路104で低い電圧値の入力データから高い電圧値への昇圧を行う。このレベルシフト回路104により、高い電圧でのデータ転送が不要となるため、消費電力が大きく低下する。ラッチ回路105では、図9に示すようにデータ信号をラッチする。このレベルシフト回路104及びラッチ回路105は、出力バッファ112から転送されるビット数と同じ $\{(N \times B) / S\}$ ビットで処理が行われる。DAC回路106は (N / S) 回路からなり、入力される $\{(N \times B) / S\}$ ビットの内の階調ビット数Bずつのデータ群からデジタル・アナログ変換し1ビットのアナログ信号を得ることにより、全回路で (N / S) ビットのアナログ信号データを出力する。

10

【0117】

この (N / S) ビットのアナログデータ信号は、次の電圧 - 電流変換回路 / 出力バッファ801で電圧値から電流値へと変換される。この信号は、次のセクタ回路107で、1ビット毎にブロック分割数Sに分割された時間で順次選択されS本のデータ線群へのデータ信号供給を行う。

【0118】

この結果、N本のデータ線へのデータ信号(1ライン分)の供給がなされる。M本の各ゲート線が走査される毎に、メモリ111より順次データの読み出しが行われ表示部110への書込みがなされる。

20

【0119】

[実施例6]

次に本発明の第6の実施例について説明する。図10は、本発明の第6の実施例の構成を示す図である。図10を参照すると、本発明の第6の実施例は、システム側回路基板3とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム回路側基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフタ / タイミングバッファ108、走査回路109、レベルシフタ104、ラッチ回路105、セクタ回路107、デコーダ回路1001、電流出力バッファ1002並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフタ回路104、ラッチ回路105、デコーダ回路1001、電流出力バッファ1002、セクタ回路107はこの順に並び、セクタ回路107が表示部110の列側に接続されている。

30

【0120】

すなわち、本実施例では、DAC回路106が存在せず、デコーダ回路1001、電流出力バッファ1002が存在する点で、第1乃至第5の実施例と相違している。電流出力バッファ1002は、出力電流可変型とされ、デコーダ回路1001のデコード結果に応じた電流を出力する。

40

【0121】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、セクタ回路107は表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数Sの数だけ分割した $\{(N \times B) / S\}$ ビット数の回路がある。レベルシフタ104及びラッチ回路105は、出力バッファ112と同じ $\{(N \times B) / S\}$ ビット数の回路がある。デコーダ回路1001及び電流出力バッファ1002は、 (N / S) 回路からなる。なお、本実施例でも、第2の実施例と同様にレベルシフタ / タイミングバッファ108及び走査回路109が表示部

50

110の左右両側に配置される構成としてもよいことは勿論である。

【0122】

[実施例7]

次に本発明の第7の実施例について説明する。図11は、本発明の第7の実施例の構成を示す図である。図11を参照すると、本発明の第7の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム回路側基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。

【0123】

表示デバイス基板101は、レベルシフト/タイミングバッファ108、走査回路109、レベルシフト104、ラッチ回路105、DAC回路106並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフト回路104、ラッチ回路105、DAC回路106はこの順に並び、DAC回路106が表示部110の列側に接続されている。本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、DAC回路106は表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビット数の回路がある。レベルシフト104及びラッチ回路105は、出力バッファ112と同じ $(N \times B)$ ビット数の回路がある。

【0124】

すなわち、本実施例では、セレクト回路107が存在しない点と、ブロック分割がされない点で、第1乃至第6の実施例と相違している。なお、本実施例でも、第2の実施例と同様にレベルシフト/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0125】

図12は、本発明の第7の実施例のタイミング動作を説明するための図である。図12を参照すると、1水平期間中に表示デバイス基板101へ入力データ信号を入力すると、ラッチ回路105に供給されるラッチクロック信号の立ち上がりエッジでラッチされる。

【0126】

その結果、ラッチ回路105の出力信号は、図12の通りとなる。この信号は、次のDAC回路106への入力信号となる。DAC回路106で各データ信号はDA変換(デジタル・アナログ変換)され、各階調のデジタル値に応じたアナログ信号となる。DAC出力信号はそのまま各データ信号線に送られる。

【0127】

ゲート信号は、1水平期間の間、高レベルに保たれ、それ以外の期間は低レベルである。このようなゲート信号が順次走査され、M本の各ゲート線にゲート信号が供給される。

【0128】

本実施例では、図11及び図12の構成により、M行N列の表示部110に対し表示を行うことが可能である。M行N列の表示部に対するデータ信号はデジタル信号で用意され、デジタル階調のビット数Bに応じ、 $(M \times N \times B)$ ビットのデータがメモリ111に記憶される。出力バッファ112では、M本のゲート走査線毎に出力するため、 $(N \times B)$ ビットでデータが転送される。この結果、従来の転送方法に比べ、遅い転送速度でデータが転送可能である。転送されたデータ信号は、レベルシフト回路104で低い電圧値の入力データから高い電圧値への昇圧を行う。このレベルシフト回路104により、高い電圧でのデータ転送が不要となるため、消費電力が大きく低下する。

【0129】

ラッチ回路105では、図12に示すようにデータ信号をラッチする。このレベルシフト回路104及びラッチ回路105は、出力バッファ112から転送されるビット数と同じ $(N \times B)$ ビットで処理が行われる。DAC回路106はN回路からなり、入力される $(N \times B)$ ビットの内の階調ビット数Bずつのデータ群からデジタル・アナログ変換し1ビットのアナ

10

20

30

40

50

ログ信号を得ることにより、全回路でNビットのアナログ信号データを出力する。このNビットのアナログデータ信号は、N本のデータ線へ直接供給され、データ信号の供給がなされる。M本の各ゲート線が走査される毎に、メモリ111より順次データの読み出しが行われ表示部110への書込みがなされる。

【0130】

[実施例8]

次に本発明の第8の実施例について説明する。図13は、本発明の第8の実施例の構成を示す図である。図13を参照すると、本発明の第8の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム回路側基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフタ/タイミングバッファ108、走査回路109、レベルシフタ104、ラッチ回路105、DAC回路106並びに表示部110を内蔵しており、コントローラIC102に接続される。ラッチ回路105、レベルシフタ回路104、DAC回路106はこの順に並び、DAC回路106が表示部110の列側に接続されている。

10

【0131】

すなわち、本実施例では、ラッチ回路105とレベルシフタ104の配置が、第7の実施例と相違している。

【0132】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、DAC回路106は表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビット数の回路がある。レベルシフタ104及びラッチ回路105は、出力バッファ112と同じ $(N \times B)$ ビット数の回路がある。

20

【0133】

すなわち、本実施例では、セクタ回路107が存在しない点とブロック分割がされない点で、第7の実施例と同様に第1乃至第6の実施例と相違している。なお、本実施例でも、第2の実施例と同様にレベルシフタ/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

30

【0134】

[実施例9]

次に本発明の第9の実施例について説明する。図14は、本発明の第9の実施例の構成を示す図である。図14を参照すると、本発明の第9の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム回路側基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、タイミングバッファ401、走査回路109、ラッチ回路105、DAC回路106並びに表示部110を内蔵しており、コントローラIC102に接続される。

40

【0135】

ラッチ回路105、DAC回路106は、この順に並び、N個のDAC回路106が、表示部110の列側に接続されている。すなわち、本実施例では、レベルシフタ回路104が存在せず、レベルシフタ/タイミングバッファ108の代わりに、タイミングバッファ401が配置される点で、第7及び第8の実施例と相違している。

【0136】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、DAC回路106は表示部110の列側入力数と同じN出力を有する。

50

【 0 1 3 7 】

出力バッファ112には、メモリ111の ($M \times N \times B$) ビットの内の1行分に相当する ($N \times B$) ビット数の回路が設けられている。ラッチ回路105には、出力バッファ112と同じ ($N \times B$) ビット数の回路が設けられている。

【 0 1 3 8 】

すなわち、本実施例では、セクタ回路107が存在しない点とブロック分割がされない点で、第7の実施例と同様に第1乃至第6の実施例と相違している。なお、本実施例でも、第2の実施例と同様にレベルシフト/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【 0 1 3 9 】

[実施例 1 0]

次に本発明の第10の実施例について説明する。図15は、本発明の第10の実施例の構成を示す図である。図15を参照すると、本発明の第10の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフト/タイミングバッファ108、走査回路109、レベルシフト104、ラッチ回路105、DAC回路106、電圧 - 電流変換回路/電流出力バッファ801並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフト回路104、ラッチ回路105、DAC回路106、電圧 - 電流変換回路/電流出力バッファ801はこの順に並び、電圧 - 電流変換回路/電流出力バッファ801が表示部110の列側に接続されている。

【 0 1 4 0 】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、($M \times N \times B$) ビットの容量を有する。また、電圧 - 電流変換回路/電流出力バッファ801は表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の ($M \times N \times B$) ビットの内の1行分に相当する ($N \times B$) ビット数の回路がある。レベルシフト104及びラッチ回路105は、出力バッファ112と同じ ($N \times B$) ビット数の回路がある。DAC回路106は、N回路からなる。

【 0 1 4 1 】

すなわち、本実施例では、セクタ回路107が存在しない点とブロック分割がされない点で、第5の実施例と相違している。なお、本実施例でも、第2の実施例と同様にレベルシフト/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【 0 1 4 2 】

図16は、本発明の第10の実施例のタイミング動作を説明するための図である。図16を参照すると、1水平期間中に表示デバイス基板101へ入力データ信号を入力すると、ラッチ回路105に供給されるラッチクロック信号の立ち下がりエッジでラッチされる。その結果、ラッチ回路105の出力信号は、図16に示す通りとなる。この信号は、次のDAC回路106への入力信号となる。DAC回路で各データ信号はDA変換(デジタル・アナログ変換)され、各階調のデジタル値に応じたアナログ信号となる。このDAC出力信号は電圧信号であるが、電圧 - 電流変換回路・電流出力バッファ801によって電流出力信号に変換される。この電流出力信号はそのまま各データ信号線に送られる。ゲート信号は、1水平期間の間、高レベルに保たれ、それ以外の期間は低レベルである。このようなゲート信号が順次走査され、M本の各ゲート線にゲート信号が供給される。

【 0 1 4 3 】

本実施例では、図15及び図16の構成により、M行N列の表示部110に対し表示を行うことが可能である。M行N列の表示部に対するデータ信号はデジタル信号で用意され、デジタル階調のビット数Bに応じ、($M \times N \times B$) ビットのデータがメモリ111に記憶される。出力バッファ112では、M本のゲート走査線毎に出力するため、($N \times B$) ビット

10

20

30

40

50

でデータが転送される。この結果、従来の転送方法に比べ、遅い転送速度でデータが転送可能である。転送されたデータ信号は、レベルシフト回路104で低い電圧値の入力データから高い電圧値への昇圧を行う。このレベルシフト回路により、高い電圧でのデータ転送が不要となるため、消費電力が大きく低下する。

【0144】

ラッチ回路105では、図16に示すようにデータ信号をラッチする。このレベルシフト回路104及びラッチ回路105は、出力バッファ112から転送されるビット数と同じ($N \times B$)ビットで処理が行われる。

【0145】

DAC回路106はN回路からなり、入力される($N \times B$)ビットの内の階調ビット数Bずつのデータ群からデジタル・アナログ変換し、1ビットのアナログ信号を得ることにより、全回路でNビットのアナログ信号電圧データを出力する。このNビットのアナログデータ信号は、電圧 - 電流変換回路 / 電流出力バッファ801で、電圧信号から電流信号に変換される。このNビットのアナログ電流信号はN本のデータ線へ直接供給され、データ信号の供給がなされる。M本の各ゲート線が走査される毎に、メモリ111より順次データの読み出しが行われ表示部110への書込みがなされる。

【0146】

[実施例11]

次に本発明の第11の実施例について説明する。図17は、本発明の第11の実施例の構成を示す図である。図17を参照すると、本発明の第11の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム側回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフト / タイミングバッファ108、走査回路109、レベルシフト104、ラッチ回路105、デコーダ回路1001、電流出力バッファ1002並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフト回路104、ラッチ回路105、B個のラッチ回路105の出力を入力するデコーダ回路1001、デコーダ回路1001の出力を入力しデコード結果に応じた電流値を出力する電流出力バッファ1002はこの順に並び、電流出力バッファ1002が表示部110の列側に接続されている。本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、($M \times N \times B$)ビットの容量を有する。また、電流出力バッファ1002は、表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の($M \times N \times B$)ビットの内の1行分に相当する($N \times B$)ビット数の回路がある。レベルシフト104及びラッチ回路105は、出力バッファ112と同じ($N \times B$)ビット数の回路がある。デコーダ回路1001は、N回路からなる。

【0147】

すなわち、本実施例では、セクタ回路107が存在しない点とブロック分割がされない点で、第6の実施例と相違している。なお、本実施例でも、第2の実施例と同様に、レベルシフト / タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0148】

[実施例12]

次に本発明の第12の実施例について説明する。図18は、本発明の第12の実施例の構成を示す図である。図18を参照すると、本発明の第12の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム側回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフト / タイミングバッファ108、走査回路109、レベルシフト104、ラッチ回路105、DAC回路106、セクタ回路107、シリアル / パラレル変換回路1801並びに表示部110を

内蔵しており、コントローラ IC 102に接続される。レベルシフト回路104、シリアル/パラレル変換回路1801、ラッチ回路105、DAC回路106、セクタ回路107はこの順に並び、セクタ回路107が表示部110の列側に接続されている。

【0149】

本実施例では、表示部110において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、セクタ回路107は表示部110の列側入力数と同じ N 出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数 S の数及びシリアル/パラレル相展開数 P だけ分割した $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。レベルシフト回路104は、出力バッファ112と同じ $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。ラッチ回路105は、 $\{(N \times B) / S\}$ ビット数の回路がある。DAC回路106は、 (N / S) 回路からなる。

10

【0150】

本実施例では、シリアル/パラレル変換回路1801が設けられており、各回路のビット数が異なる点でその他の実施例と異なる。

【0151】

図19は、本発明の第12の実施例のタイミング動作を説明するための図である。図19を参照すると、1水平期間中に表示デバイス基板101へ入力データ信号を入力すると、シリアル/パラレル変換回路1801によりシリアル/パラレル展開数 P （ここでは、 $P = 2$ ）に展開された信号となる。

20

【0152】

この P 相展開は、シリアル/パラレル変換回路（以下、「 S/P 変換回路」と略記される）1801で、 S/P 変換回路制御信号によって制御される。 S/P 変換回路制御信号は、レベルシフト/タイミングバッファ108から S/P 変換回路1801に供給される。

【0153】

図19の例では、 S/P 変換回路制御信号の奇数（偶数）パルスの立ち上がりエッジで、入力データ信号の奇数データがラッチされ、 S/P 変換回路出力 A が生成される。一方、 S/P 変換回路制御信号の偶数（奇数）パルスの立ち上がりエッジで、入力データ信号の偶数データがラッチされ、 S/P 変換回路出力 B が生成される。展開数 P が3以上の場合は、データ信号を P の倍数毎に展開する。次にラッチ回路105に供給されるラッチクロック信号の立ち上がりエッジでラッチされる。その結果、ラッチ回路105の出力信号は図の通りとなる。この信号は、次のDAC回路106への入力信号となる。DAC回路で各データ信号はDA変換（デジタル・アナログ変換）され、各階調のデジタル値に応じたアナログ信号となる。

30

【0154】

セクタ制御信号として、ブロック分割数 S （図19では $S = 4$ ）分の配線に対し、制御用パルスが図19のように順次走査される。このセクタ制御信号をセクタ回路107に入力すると、DAC出力信号から順次に信号をセレクトし、ブロック分割数 S の数の信号に分離し、本数がブロック分割数 S である信号線群の各信号線に送られる。

【0155】

このような信号線群が (N / S) 個並び全てに並列に信号が供給される事によって、1水平期間中での N 本の信号線への信号供給が実現される。ゲート信号は、1水平期間の間、高レベルに保たれ、それ以外の期間は低レベルである。このようなゲート信号が順次走査され、 M 本の各ゲート線にゲート信号が供給される。

40

【0156】

本実施例では、図18及び図19の構成により、 M 行 N 列の表示部110に対し表示を行うことが可能である。 M 行 N 列の表示部に対するデータ信号はデジタル信号で用意され、デジタル階調のビット数 B に応じ、 $(M \times N \times B)$ ビットのデータがメモリ111に記憶される。出力バッファ112では、 M 本の各ゲート走査線毎にブロック分割数 S に分割し、且つ、シリアル/パラレル相展開数 P に分離して出力するため、 $\{(N \times B) / (P \times S)\}$

50

}ビットでデータが転送される。

【0157】

この結果、従来の転送方法に比べ、遅い転送速度でデータが転送可能である。転送されたデータ信号は、レベルシフト回路104で低い電圧値の入力データから高い電圧値への昇圧を行う。このレベルシフト回路により、高い電圧でのデータ転送が不要となるため、消費電力が大きく低下する。シリアル/パラレル変換回路1801では、図19に示すようにシリアル/パラレル相展開数 P （ここでは $P = 2$ ）の出力信号に展開する。このレベルシフト回路104及びシリアル/パラレル変換回路1801は、出力バッファ112から転送されるビット数と同じ $\{(N \times B) / (P \times S)\}$ ビットで処理が行われる。

【0158】

ラッチ回路105では、図19に示すようにデータ信号をラッチする。このラッチ回路105は、シリアル/パラレル変換により P 倍のビット数となり、 $\{(N \times B) / S\}$ ビットで処理が行われる。DAC回路106は (N / S) 回路からなり、入力される $\{(N \times B) / S\}$ ビットの内の階調ビット数 B ずつのデータ群からデジタル・アナログ変換し1ビットのアナログ信号を得ることにより、全回路で (N / S) ビットのアナログ信号データを出力する。この (N / S) ビットのアナログデータ信号は、次のセクタ回路107で、1ビット毎にブロック分割数 S に分割された時間で順次選択され S 本のデータ線群へのデータ信号供給を行う。この結果、 N 本のデータ線へのデータ信号の供給がなされる。 M 本の各ゲート線が走査される毎に、メモリ111より順次データの読み出しが行われ表示部110への書込みがなされる。

【0159】

なお、本実施例では、 S / P 変換回路制御信号の立ち下がりエッジでラッチする構成としたが、立ち上がりエッジでラッチしても良い。また、出力 A を立ち下がり(立ち上がり)エッジでラッチし、出力 B を立ち上がり(立ち下がり)エッジでラッチする構成としても良い。この構成の場合、 S / P 変換回路制御信号は、図19の S / P 変換回路制御信号の2倍の周期の波形が利用できる。

【0160】

[実施例13]

次に本発明の第13の実施例について説明する。図20は、本発明の第13の実施例の構成を示す図である。図20を参照すると、本発明の第13の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフタ/タイミングバッファ108、走査回路109、レベルシフタ104、ラッチ回路105、DAC回路106、セクタ回路107、シリアル/パラレル変換回路1801並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフタ回路104、シリアル/パラレル変換回路1801、ラッチ回路105、DAC回路106、セクタ回路107はこの順に並び、セクタ回路107が表示部110の列側に接続されている。

【0161】

本実施例では、第12の実施例と異なり、レベルシフタ/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置されている。本実施例では、表示部110において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、セクタ回路107は表示部110の列側入力数と同じ N 出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数 S の数及びシリアル/パラレル相展開数 P だけ分割した $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。レベルシフタ104は、出力バッファ112と同じ $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。ラッチ回路105は、 $\{(N \times B) / S\}$ ビット数の回路がある。DAC回路106は、 (N / S) 回路からなる。

10

20

30

40

50

【 0 1 6 2 】

[実施例 1 4]

次に本発明の第 1 4 の実施例について説明する。図 2 1 は、本発明の第 1 4 の実施例の構成を示す図である。図 2 1 を参照すると、本発明の第 1 4 の実施例は、システム側回路基板 103 とコントローラ IC 102 及び表示デバイス基板 101 から構成される。ここで、システム側回路基板 103 は、インタフェース回路 114 を含み、コントローラ IC 102 と接続される。コントローラ IC 102 は、コントローラ 113、メモリ 111、出力バッファ 112 を含み、システム側回路基板 103 及び表示デバイス基板 101 と接続される。表示デバイス基板 101 は、レベルシフト/タイミングバッファ 108、走査回路 109、レベルシフト 104、ラッチ回路 105、DAC 回路 106、セクタ回路 107、シリアル/パラレル変換回路 1801 並びに表示部 110 を内蔵しており、コントローラ IC 102 に接続される。シリアル/パラレル変換回路 1801、ラッチ回路 105、レベルシフト回路 104、DAC 回路 106、セクタ回路 107 はこの順に並び、セクタ回路 107 が表示部 110 の列側に接続されている。

10

【 0 1 6 3 】

本実施例では、表示部 110 において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。メモリ 111 は、 $(M \times N \times B)$ ビットの容量を有する。また、セクタ回路 107 は表示部 110 の列側入力数と同じ N 出力を有する。出力バッファ 112 には、メモリ 111 の $(M \times N \times B)$ ビットの内の 1 行分に相当する $(N \times B)$ ビットをブロック分割数 S の数及びシリアル/パラレル相展開数 P だけ分割した $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。

20

【 0 1 6 4 】

レベルシフト 104 及びラッチ回路 105 は、シリアル/パラレル変換後に配置されるために出力バッファの個数よりも P 倍多い $\{(N \times B) / S\}$ ビット数分の回路がある。

【 0 1 6 5 】

DAC 回路 106 は、 (N / S) 回路からなる。

【 0 1 6 6 】

本実施例では、シリアル/パラレル変換回路 1801、レベルシフト 104 及びラッチ回路 105 の配置順及び回路数が第 1 2 及び第 1 3 の実施例と異なる。なお、本実施例でも、第 1 3 の実施例と同様にレベルシフト/タイミングバッファ 108 及び走査回路 109 が表示部 110 の左右両側に配置される構成としてもよいことは勿論である。

30

【 0 1 6 7 】

[実施例 1 5]

次に本発明の第 1 5 の実施例について説明する。図 2 2 は、本発明の第 1 5 の実施例の構成を示す図である。図 2 2 を参照すると、本発明の第 1 5 の実施例は、システム側回路基板 103 とコントローラ IC 102 及び表示デバイス基板 101 から構成される。ここで、システム側回路基板 103 は、インタフェース回路 114 を含み、コントローラ IC 102 と接続される。コントローラ IC 102 は、コントローラ 113、メモリ 111、出力バッファ 112 を含み、システム側回路基板 103 及び表示デバイス基板 101 と接続される。表示デバイス基板 101 は、タイミングバッファ 401、走査回路 109、ラッチ回路 105、DAC 回路 106、セクタ回路 107、シリアル/パラレル変換回路 1801 並びに表示部 110 を内蔵しており、コントローラ IC 102 に接続される。シリアル/パラレル変換回路 1801、ラッチ回路 105、DAC 回路 106、セクタ回路 107 はこの順に並び、セクタ回路 107 が表示部 110 の列側に接続されている。

40

【 0 1 6 8 】

本実施例では、表示部 110 において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。メモリ 111 は、 $(M \times N \times B)$ ビットの容量を有する。また、セクタ回路 107 は表示部 110 の列側入力数と同じ N 出力を有する。出力バッファ 112 には、メモリ 111 の $(M \times N \times B)$ ビットの内の 1 行分に相当する $(N \times B)$ ビットをブロック分割数 S の数及びシリアル/パラレル相展開数 P だけ分割した $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。ラッチ回路 105 はシリアル/パラレル変換後に配置されるために出力バッファより P 倍多い、 $\{(N \times B) / S\}$ ビット数の回路がある。DAC 回路 106 は、 $($

50

N / S) 回路からなる。

【 0 1 6 9 】

本実施例では、レベルシフト回路104が存在せず、レベルシフト/タイミングバッファ108の代わりにタイミングバッファ401が配置される点で、第12及び第14の実施例と相違している。なお、本実施例でも、第2の実施例と同様にタイミングバッファ401及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【 0 1 7 0 】

[実施例 1 6]

次に本発明の第16の実施例について説明する。図23は、本発明の第16の実施例の構成を示す図である。図23を参照すると、本発明の第16の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム側回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフト/タイミングバッファ108、走査回路109、レベルシフト回路104、ラッチ回路105、DAC回路106、セクタ回路107、シリアル/パラレル変換回路1801、電圧 - 電流変換回路 / 電流出力バッファ801並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフト回路104、シリアル/パラレル変換回路1801、ラッチ回路105、DAC回路106、電圧 - 電流変換回路 / 電流出力バッファ801、セクタ回路107はこの順に並び、セクタ回路107が表示部110の列側に接続されている。

【 0 1 7 1 】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、セクタ回路107は表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数Sの数及びシリアル/パラレル相展開数Pだけ分割した $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。

【 0 1 7 2 】

レベルシフト回路104は、出力バッファ112と同じ $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。

【 0 1 7 3 】

ラッチ回路105は、 $\{(N \times B) / S\}$ ビット数の回路がある。DAC回路106並びに電圧 - 電流変換回路 / 電流出力バッファ801は、 (N / S) 回路からなる。

【 0 1 7 4 】

本実施例では、電圧 - 電流変換回路 / 電流出力バッファ801が存在する点で他の実施例と異なる。なお、本実施例でも、第13の実施例と同様にレベルシフト/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【 0 1 7 5 】

図24は、本発明の第16の実施例のタイミング動作を説明するための図である。図24を参照すると、1水平期間中に表示デバイス基板101へ入力データ信号を入力すると、シリアル/パラレル変換回路1801によりシリアル/パラレル展開数P(ここでは、 $P = 2$)に展開された信号となる。この展開は、シリアル/パラレル変換回路(以下、「S/P変換回路」と略記する)1801でS/P変換回路制御信号によって制御される。

【 0 1 7 6 】

図24の例では、S/P変換回路制御信号の奇数(偶数)パルスの立ち下がりエッジで入力データ信号の奇数データがラッチされ、S/P変換回路出力Aが生成される。一方、S/P変換回路制御信号の偶数(奇数)パルスの立ち下がりエッジで入力データ信号の偶数データがラッチされ、S/P変換回路1801の出力Bが生成される。

【 0 1 7 7 】

10

20

30

40

50

展開数 P が 3 以上の場合は、データ信号を P の倍数毎に展開する。

【 0 1 7 8 】

次にラッチ回路105に供給されるラッチクロック信号の立ち下がりエッジでラッチされる。

【 0 1 7 9 】

その結果、ラッチ回路105の出力信号は図 2 4 の通りとなる。この信号は、次の D A C 回路106への入力信号となる。

【 0 1 8 0 】

D A C 回路106で各データ信号は D A 変換 (デジタル・アナログ変換) され、各階調のデジタル値に応じたアナログ信号となる。この D A C 出力信号は、電圧 - 電流変換回路 / 電流出力バッファ801で電圧信号から電流信号へ変換される。セクタ制御信号として、ブロック分割数 S (図 2 4 では $S = 4$) 分の配線に対し、制御用パルスが図 2 4 のように順次走査される。

10

【 0 1 8 1 】

このセクタ制御信号をセクタ回路107に入力すると、D A C 出力信号から順次に信号をセレクトし、ブロック分割数 S の数の信号に分離し、本数がブロック分割数 S である信号線群の各信号線に送られる。このような信号線群が (N / S) 個並び全てに並列に信号が供給される事によって、1 水平期間中での N 本の信号線への信号供給が実現される。ゲート信号は、1 水平期間の間、高レベルに保たれ、それ以外の期間は低レベルである。このようなゲート信号が順次走査され、 M 本の各ゲート線にゲート信号が供給される。

20

【 0 1 8 2 】

本実施例では、図 2 3 及び図 2 4 の構成により、 M 行 N 列の表示部110に対し表示を行うことが可能である。 M 行 N 列の表示部110に対するデータ信号はデジタル信号で用意され、デジタル階調のビット数 B に応じ、 $(M \times N \times B)$ ビットのデータがメモリ111に記憶される。

【 0 1 8 3 】

出力バッファ112では、 M 本のゲート走査線毎にブロック分割数 S に分割し、且つ、シリアル / パラレル相展開数 P に分離して出力するため、 $\{ (N \times B) / (P \times S) \}$ ビットでデータが転送される。この結果、従来の転送方法に比べ、遅い転送速度でデータが転送可能である。

30

【 0 1 8 4 】

転送されたデータ信号は、レベルシフト回路104で低い電圧値の入力データから高い電圧値への昇圧を行う。このレベルシフト回路104により、高い電圧でのデータ転送が不要となるため、消費電力が大きく低下する。

【 0 1 8 5 】

シリアル / パラレル変換回路1801では、図 2 4 に示すようにシリアル / パラレル相展開数 P (ここでは $P = 2$) の出力信号に展開する。このレベルシフト回路104及びシリアル / パラレル変換回路1801は、出力バッファ112から転送されるビット数と同じ $\{ (N \times B) / (P \times S) \}$ ビットで処理が行われる。

【 0 1 8 6 】

ラッチ回路105では、図 2 4 に示すようにデータ信号をラッチする。このラッチ回路105は、シリアル / パラレル変換により、 P 倍のビット数となり、 $\{ (N \times B) / S \}$ ビットで処理が行われる。

40

【 0 1 8 7 】

D A C 回路106は (N / S) 回路からなり、入力される $\{ (N \times B) / S \}$ ビットの内の階調ビット数 B ずつのデータ群からデジタル・アナログ変換し 1 ビットのアナログ信号を得ることにより、全回路で (N / S) ビットのアナログ信号データを出力する。

【 0 1 8 8 】

この (N / S) ビットのアナログデータ信号は、電圧 - 電流変換回路 / 電流出力バッファ801で、電圧信号から電流信号に変換される。この (N / S) ビットのアナログ電流信

50

号は、次のセレクト回路107で、1ビット毎にブロック分割数Sに分割された時間で順次選択されS本のデータ線群へのデータ信号供給を行う。この結果、N本のデータ線へのデータ信号の供給がなされる。

【0189】

M本の各ゲート線が走査される毎に、メモリ111より順次データの読み出しが行われ表示部110への書込みがなされる。

【0190】

なお、本実施例では、S/P変換回路制御信号の立ち下がりエッジでラッチする構成としたが、立ち上がりエッジでラッチしても良い。また、出力Aを立ち下がり(立ち上がり)エッジでラッチし、出力Bを立ち上がり(立ち下がり)エッジでラッチする構成としても良い。この構成の場合、S/P変換回路制御信号は、図24のS/P変換回路制御信号の2倍の周期の波形が利用できる。

【0191】

[実施例17]

次に本発明の第17の実施例について説明する。図25は、本発明の第17の実施例の構成を示す図である。図25を参照すると、本発明の第17の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム側回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフト/タイミングバッファ108、走査回路109、レベルシフト104、ラッチ回路105、デコーダ回路1001、セレクト回路107、シリアル/パラレル変換回路1801、電流出力バッファ1002並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフト回路104、シリアル/パラレル変換回路1801、ラッチ回路105、デコーダ回路1001、電流出力バッファ1002、セレクト回路107はこの順に並び、セレクト回路107が表示部110の列側に接続されている。

【0192】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、セレクト回路107は表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数Sの数及びシリアル/パラレル相展開数Pだけ分割した $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。レベルシフト104は、出力バッファ112と同じ $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。ラッチ回路105は、 $\{(N \times B) / S\}$ ビット数の回路がある。デコーダ回路1001並びに電流出力バッファ1002は、 (N / S) 回路からなる。

【0193】

本実施例では、デコーダ回路1001並びに電流出力バッファ1002が存在する点で、前記した実施例と異なる。なお、本実施例でも、第13の実施例と同様にレベルシフト/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0194】

[実施例18]

次に本発明の第18の実施例について説明する。図26は、本発明の第18の実施例の構成を示す図である。図26を参照すると、本発明の第18の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム側回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフト/タイミングバッファ108、走査回路109、レベルシフト104、ラッチ回路105、DAC回路106、シリアル/パラレル変換回路1801並びに表示部110を内蔵しており、コン

10

20

30

40

50

トローラIC102に接続される。レベルシフト回路104、シリアル/パラレル変換回路1801、ラッチ回路105、DAC回路106はこの順に並び、DAC回路106が表示部110の列側に接続されている。

【0195】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。

【0196】

また、DAC回路106は表示部110の列側入力数と同じN出力を有する。出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをシリアル/パラレル相展開数Pだけ分割した $\{(N \times B) / P\}$ ビット数の回路がある。レベルシフト回路104は、出力バッファ112と同じ $\{(N \times B) / P\}$ ビット数の回路がある。ラッチ回路105は、 $(N \times B)$ ビット数の回路がある。DAC回路106は、N回路からなる。

10

【0197】

本実施例では、セクタ回路107が存在せず、各回路のビット数が異なる点がその他の実施例と異なる。なお、本実施例でも、第13の実施例と同様にレベルシフト/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0198】

図27は、本発明の第18の実施例のタイミング動作を説明するための図である。図27を参照すると、1水平期間中に表示デバイス基板101へ入力データ信号を入力すると、シリアル/パラレル変換回路1801によりシリアル/パラレル展開数P(ここでは、 $P = 2$)に展開された信号となる。この展開は、シリアル/パラレル変換回路(以下、「S/P変換回路」と略記する)1801で、S/P変換回路制御信号によって制御される。

20

【0199】

図27の例では、S/P変換回路制御信号の奇数(偶数)パルスの立ち下がりエッジで入力データ信号の奇数データがラッチされ、S/P変換回路出力Aが生成される。一方、S/P変換回路制御信号の偶数(奇数)パルスの立ち下がりエッジで入力データ信号の偶数データがラッチされ、S/P変換回路出力Bが生成される。展開数Pが3以上の場合は、データ信号をPの倍数毎に展開する。次にラッチ回路105に供給されるラッチクロック信号の立ち下がりエッジでラッチされる。その結果、ラッチ回路105の出力信号は図の通りとなる。この信号は、次のDAC回路106への入力信号となる。DAC回路で各データ信号はDA変換(デジタル・アナログ変換)され、各階調のデジタル値に応じたアナログ信号となる。DAC出力信号はそのまま各データ信号線に送られる。ゲート信号は、1水平期間の間、高レベルに保たれ、それ以外の期間は低レベルである。このようなゲート信号が順次走査され、M本の各ゲート線にゲート信号が供給される。

30

【0200】

本実施例では、図26及び図27の構成により、M行N列の表示部110に対し表示を行うことが可能である。M行N列の表示部に対するデータ信号はデジタル信号で用意され、デジタル階調のビット数Bに応じ、 $(M \times N \times B)$ ビットのデータがメモリ111に記憶される。出力バッファ112では、M本のゲート走査線毎にシリアル/パラレル相展開数Pに分離して出力するため、 $\{(N \times B) / P\}$ ビットでデータが転送される。この結果、従来の転送方法に比べ、遅い転送速度でデータが転送可能である。転送されたデータ信号は、レベルシフト回路104で低い電圧値の入力データから高い電圧値への昇圧を行う。このレベルシフト回路により、高い電圧でのデータ転送が不要となるため、消費電力が大きく低下する。

40

【0201】

シリアル/パラレル変換回路1801では、図27に示すようにシリアル/パラレル相展開数P(ここでは $P = 2$)の出力信号に展開する。このレベルシフト回路104及びシリアル/パラレル変換回路1801は、出力バッファ112から転送されるビット数と同じ $\{(N \times B) / P\}$ ビットで処理が行われる。ラッチ回路105では、図27に示すようにデータ信号

50

をラッチする。このラッチ回路105は、シリアル/パラレル変換によりP倍のビット数となり、 $(N \times B)$ ビットで処理が行われる。DAC回路106はN回路からなり、入力される $(N \times B)$ ビットの内の階調ビット数Bずつのデータ群からデジタル・アナログ変換し1ビットのアナログ信号を得ることにより、全回路でNビットのアナログ信号データを出力する。このNビットのアナログデータ信号は、そのままN本のデータ線へ供給される。M本の各ゲート線が走査される毎に、メモリ111より順次データの読み出しが行われ表示部110への書込みがなされる。

【0202】

なお、本実施例では、S/P変換回路制御信号の立ち下がりエッジでラッチする構成としたが、立ち上がりエッジでラッチしても良い。また、出力Aを立ち下がり(立ち上がり)エッジでラッチし、出力Bを立ち上がり(立ち下がり)エッジでラッチする構成としても良い。この構成の場合、S/P変換回路制御信号は、図27のS/P変換回路制御信号の2倍の周期の波形が利用できる。

【0203】

[実施例19]

次に本発明の第19の実施例について説明する。図28は、本発明の第19の実施例の構成を示す図である。図28を参照すると、本発明の第19の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。

【0204】

ここで、システム回路側基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフタ/タイミングバッファ108、走査回路109、シリアル/パラレル変換回路1801、レベルシフタ104、ラッチ回路105、DAC回路106並びに表示部110を内蔵しており、コントローラIC102に接続される。シリアル/パラレル変換回路1801、レベルシフタ回路104、ラッチ回路105、DAC回路106はこの順に並び、DAC回路106が表示部110の列側に接続されている。本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、DAC回路106は表示部110の列側入力数と同じN出力を有する。

【0205】

出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $\{(N \times B) / P\}$ ビット数の回路がある。ラッチ回路105は、 $(N \times B)$ ビット数の回路がある。DAC回路106は、N回路からなる。

【0206】

本実施例では、レベルシフタ104の並び方及びビット数が第18の実施例と異なる。なお、本実施例でも、第13の実施例と同様にレベルシフタ/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0207】

[実施例20]

次に本発明の第20の実施例について説明する。図29は、本発明の第20の実施例の構成を示す図である。図29を参照すると、本発明の第20の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム回路側基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、タイミングバッファ401、走査回路109、シリアル/パラレル変換回路1801、ラッチ回路105、DAC回路106、表示部110を内蔵しており、コントローラIC102に接続される。シリアル/パラレル変換回路1801、ラッチ回路105、DAC回路106はこの順に並び、DAC回路106が表示部110の列側に接続されている。

【0208】

本実施例では、表示部110において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、DAC回路106は表示部110の列側入力数と同じ N 出力を有する。

【0209】

出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $\{(N \times B) / P\}$ ビット数の回路がある。シリアル/パラレル変換回路1801は、出力バッファ112からのシリアル出力を P 回受けて P 相に展開し(P ビットパラレル出力し)、シリアル/パラレル変換回路1801からは $(N \times B)$ ビットが並列出力される。ラッチ回路105は、 $(N \times B)$ ビット数の回路がある。DAC回路106は、 N 回路からなる。

【0210】

本実施例では、レベルシフト回路104が存在せず、レベルシフト/タイミングバッファ108の代わりにタイミングバッファ401が配置される点で、第18及び第19の実施例と相違している。なお、本実施例でも、第13の実施例と同様にタイミングバッファ401及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0211】

[実施例21]

次に本発明の第21の実施例について説明する。図30は、本発明の第21の実施例の構成を示す図である。図30を参照すると、本発明の第21の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続される。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム側回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフト/タイミングバッファ108、走査回路109、シリアル/パラレル変換回路1801、レベルシフト回路104、ラッチ回路105、DAC回路106、電圧-電流変換回路/電流出力バッファ801並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフト回路104、シリアル/パラレル変換回路1801、ラッチ回路105、DAC回路106、電圧-電流変換回路/電流出力バッファ801はこの順に並び、電圧-電流変換回路/電流出力バッファ801が表示部110の列側に接続されている。

【0212】

本実施例では、表示部110において階調ビット数 B で M 行 N 列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、電圧-電流変換回路/電流出力バッファ801は表示部110の列側入力数と同じ N 出力を有する。

【0213】

出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットを P で分割した $\{(N \times B) / P\}$ ビット数の回路がある。レベルシフト回路104は、出力バッファ112と同じ $\{(N \times B) / P\}$ ビット数の回路がある。シリアル/パラレル変換回路1801のパラレル出力(P)を受けるラッチ回路105は、 $(N \times B)$ 個の回路がある。DAC回路106並びに電圧-電流変換回路/電流出力バッファ801は、 N 回路からなる。

【0214】

本実施例では、電圧-電流変換回路/電流出力バッファ801が存在する点で、その他の実施例と異なる。なお、本実施例でも、第13の実施例と同様にレベルシフト/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0215】

図31は、本発明の第21の実施例のタイミング動作を説明するための図である。図31を参照すると、1水平期間中に表示デバイス基板101へ入力データ信号を入力すると、シリアル/パラレル変換回路1801によりシリアル/パラレル展開数 P (ここでは、 $P = 2$)に展開された信号となる。

【0216】

10

20

30

40

50

この展開は、シリアル/パラレル変換回路(以下、「S/P変換回路」と略記する)1801でS/P変換回路制御信号によって制御される。図31の例では、S/P変換回路制御信号の奇数(偶数)パルスの立ち下がりエッジで入力データ信号の奇数データがラッチされ、S/P変換回路出力Aが生成される。一方、S/P変換回路制御信号の偶数(奇数)パルスの立ち下がりエッジで入力データ信号の偶数データがラッチされ、S/P変換回路出力Bが生成される。展開数Pが3以上の場合は、データ信号をPの倍数毎に展開する。

【0217】

次にラッチ回路105に供給されるラッチクロック信号の立ち下がりエッジでラッチされる。その結果、ラッチ回路105の出力信号は図の通りとなる。この信号は、次のDAC回路106への入力信号となる。DAC回路で各データ信号はDA変換(デジタル・アナログ変換)され、各階調のデジタル値に応じたアナログ信号となる。このDAC出力信号は電圧信号であるが、電圧-電流変換回路/電流出力バッファ801によって電流出力信号に変換される。この電流出力信号はそのまま各データ信号線に送られる。ゲート信号は、1水平期間の間、高レベルに保たれ、それ以外の期間は低レベルである。このようなゲート信号が順次走査され、M本の各ゲート線にゲート信号が供給される。

【0218】

本実施例では、図30及び図31の構成により、M行N列の表示部110に対し表示を行うことが可能である。M行N列の表示部に対するデータ信号はデジタル信号で用意され、デジタル階調のビット数Bに応じ、 $(M \times N \times B)$ ビットのデータがメモリ111に記憶される。出力バッファ112では、M本のゲート走査線毎にシリアル/パラレル相展開数Pに分離して出力するため、 $\{(N \times B) / P\}$ ビットでデータが転送される。この結果、従来の転送方法に比べ、遅い転送速度でデータが転送可能である。転送されたデータ信号は、レベルシフト回路104で低い電圧値の入力データから高い電圧値への昇圧を行う。レベルシフト回路104により、高い電圧でのデータ転送が不要となるため、消費電力が大きく低下する。シリアル/パラレル変換回路1801では、図31に示すようにシリアル/パラレル相展開数P(ここでは $P = 2$)の出力信号に展開する。このレベルシフト回路104及びシリアル/パラレル変換回路1801は、出力バッファ112から転送されるビット数と同じ $\{(N \times B) / P\}$ ビットで処理が行われる。

【0219】

ラッチ回路105では、図31に示すようにデータ信号をラッチする。このラッチ回路105は、シリアル/パラレル変換によりP倍のビット数となり、 $(N \times B)$ ビットで処理が行われる。DAC回路106はN回路からなり、入力される $(N \times B)$ ビットの内の階調ビット数Bずつのデータ群からデジタル・アナログ変換し1ビットのアナログ信号を得ることにより、全回路でNビットのアナログ信号データを出力する。このNビットのアナログデータ信号は、Nビットからなる電圧-電流変換回路/電流出力バッファ801で電圧信号から電流信号に変換される。このNビットのアナログ電流データ信号は、そのままN本のデータ線へ供給される。M本の各ゲート線が走査される毎に、メモリ111より順次データの読み出しが行われ表示部110への書込みがなされる。

【0220】

なお、本実施例では、S/P変換回路制御信号の立ち下がりエッジでラッチする構成としたが、立ち上がりエッジでラッチしても良い。また、出力Aを立ち下がり(立ち上がり)エッジでラッチし、出力Bを立ち上がり(立ち下がり)エッジでラッチする構成としても良い。この構成の場合、S/P変換回路制御信号は、図31のS/P変換回路制御信号の2倍の周期の波形が利用できる。

【0221】

[実施例22]

次に本発明の第22の実施例について説明する。図32は、本発明の第22の実施例の構成を示す図である。図32を参照すると、本発明の第22の実施例は、システム側回路基板103とコントローラIC102及び表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、コントローラIC102と接続され

10

20

30

40

50

る。コントローラIC102は、コントローラ113、メモリ111、出力バッファ112を含み、システム回路基板103及び表示デバイス基板101と接続される。表示デバイス基板101は、レベルシフト/タイミングバッファ108、走査回路109、レベルシフト104、ラッチ回路105、シリアル/パラレル変換回路1801、デコーダ回路1001、電流出力バッファ1002並びに表示部110を内蔵しており、コントローラIC102に接続される。レベルシフト回路104、シリアル/パラレル変換回路1801、ラッチ回路105、デコーダ回路1001、電流出力バッファ1002はこの順に並び、電流出力バッファ1002が表示部110の列側に接続されている。

【0222】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。電流出力バッファ1002は表示部110の列側入力数と同じN出力を有する。

10

【0223】

出力バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをシリアル/パラレル相展開数Pだけ分割した $\{(N \times B) / P\}$ ビット数の回路がある。

【0224】

レベルシフト104は、出力バッファ112と同じ $\{(N \times B) / P\}$ ビット数の回路がある。ラッチ回路105は、 $(N \times B)$ ビット数の回路がある。

【0225】

デコーダ回路1001と電流出力バッファ1002は、N回路からなる。

20

【0226】

本実施例では、電流出力バッファ1002が存在する点でその他の実施例と異なる。なお、本実施例でも、第13の実施例と同様にレベルシフト/タイミングバッファ108及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0227】

[実施例23]

次に本発明の第23の実施例について説明する。図33は、本発明の第23の実施例の構成を示す図である。図33を参照すると、本発明の第23の実施例は、システム側回路基板103と表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、表示デバイス基板101と接続される。表示デバイス基板101は、コントローラ113、メモリ111、バッファ112、走査回路109、ラッチ回路105、シリアル/パラレル変換回路1801、DAC回路106、セクタ回路107並びに表示部110を内蔵しており、システム側回路基板103に接続される。シリアル/パラレル変換回路1801、ラッチ回路105、DAC回路106、セクタ回路107はこの順に並び、セクタ回路107が表示部110の列側に接続されている。

30

【0228】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。また、セクタ回路107は表示部110の列側入力数と同じN出力を有する。バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数Sの数及びシリアル/パラレル相展開数Pだけ分割した $\{(N \times B) / (P \times S)\}$ ビット数の回路がある。ラッチ回路105はシリアル/パラレル変換後に配置されるために出力バッファよりP倍多い、 $\{(N \times B) / S\}$ ビット数の回路がある。

40

【0229】

DAC回路106は、 (N / S) 回路からなる。本実施例では、コントローラIC102が存在せず、メモリ111やバッファ112が表示デバイス基板101上に配置される点で、他の実施例と相違している。なお、本実施例でも、第2の実施例と同様にコントローラ113及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論である。

【0230】

[実施例24]

50

次に本発明の第24の実施例について説明する。図34は、本発明の第24の実施例の構成を示す図である。図34を参照すると、本発明の第24の実施例は、システム側回路基板103と表示デバイス基板101から構成される。ここで、システム側回路基板103は、インタフェース回路114を含み、表示デバイス基板101と接続される。表示デバイス基板101は、コントローラ113、メモリ111、バッファ112、走査回路109、ラッチ回路105、シリアル/パラレル変換回路1801、D A C回路106並びに表示部110を内蔵しており、システム側回路基板103に接続される。シリアル/パラレル変換回路1801、ラッチ回路105、D A C回路106はこの順に並び、D A C回路106が表示部110の列側に接続されている。

【0231】

本実施例では、表示部110において階調ビット数BでM行N列のアクティブマトリクス表示が行われる。メモリ111は、 $(M \times N \times B)$ ビットの容量を有する。

10

【0232】

また、D A C回路106は、N回路を有し、表示部110の列側入力数と同じN出力を有する。バッファ112には、メモリ111の $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをシリアル/パラレル相展開数Pだけ分割した $\{(N \times B) / P\}$ ビット数の回路が設けられている。ラッチ回路105はシリアル/パラレル変換後に配置されるために出力バッファよりP倍多い、 $(N \times B)$ ビット数の回路がある。本実施例では、コントローラIC102が存在せず、メモリ111やバッファ112が表示デバイス基板101上に配置される点で、他の実施例と相違している。なお、本実施例でも、第2の実施例と同様にコントローラ113及び走査回路109が表示部110の左右両側に配置される構成としてもよいことは勿論

20

【0233】

次に、前記各実施例で用いられた表示パネル基板の製造方法について説明する。

【0234】

[実施例25]

この実施例では、ポリシリコン(多結晶シリコン、poly-Si)のTFTアレイを作製した。図35乃至図36は、多結晶シリコンの表面層にチャンネルを形成するポリシリコンTFT(プレーナ構造)のアレイの製造構成を示す工程断面図である。

【0235】

具体的には、ガラス基板10上に、酸化シリコン膜11を形成した後、アモルファスシリコン12を成長させた。次に、エキシマレーザを用いアニールし、アモルファスシリコンをポリシリコン化させた(図35(a))。

30

【0236】

更に、膜厚10nmの酸化シリコン膜13を成長させ、パターニングした後(図35(b))、フォトレジスト14を塗布してパターニングし(pチャンネル領域をマスクする)、リン(P)イオンをドーピングすることにより、nチャンネルのソースとドレイン領域を形成した(図35(c))。

【0237】

更に、ゲート絶縁膜となる膜厚90nmの酸化シリコン膜15を成長させた後、ゲート電極を構成するための、マイクロクリスタルシリコン(μ -c-Si)16とタングステンシリサイド(WSi)17を成長させ、ゲート形状にパターニングした(図35(d))

40

【0238】

フォトレジスト18を塗布してパターニングし(nチャンネル領域をマスクする)、ボロン(B)をドーピングし、nチャンネルのソースとドレイン領域を形成した(図36(e))。

【0239】

酸化シリコン膜と窒化シリコン膜19を連続成長させた後、コンタクト用の穴をあけ(図36(f))、アルミニウムとチタン20をスパッタリング法で形成し、パターニングを行った(図36(g))。このパターニングで周辺回路のCMOSのソース・ドレイン

50

の電極と、画素スイッチTFTのドレインに接続するデータ線配線、画素電極へのコンタクトが形成される。

【0240】

つづいて絶縁膜の窒化シリコン膜21を形成し、コンタクト用の穴をあけ、画素電極用に透明電極であるITO(indium tin oxide)22を形成し、パターンングした(図36(h))。

【0241】

このようにしてプレーナ構造のTFT画素スイッチを作成し、TFTアレイを形成した。

【0242】

周辺回路部は、画素スイッチと同様のnチャンネルTFTと共に、nチャンネルTFTとほぼ同様の工程であるが、ボロンのドーピングによって、pチャンネルとしたTFTとを作りこんだ。図36(h)において、図の左側から、周辺回路のnチャンネルTFT、周辺回路のpチャンネルTFT、画素スイッチ(nチャンネルTFT)、保持容量、画素電極が示されている。

【0243】

回路の構成は、図1に示した第1の実施例の構造とした。表示デバイス基板上の回路を構成するTFTは、同一のプロセスのTFTで作成した。最も高電圧を必要とする、画素スイッチおよびセクタ回路107が動作可能なプロセスとした。

【0244】

更に、このTFT基板上に4 μ mのパターンングされた柱を作製し(図示されない)、セルギャップを保つためのスペーサとして使用すると同時に耐衝撃力を有するようにした。

【0245】

また、対向基板(図示されない)の画素領域外部に、紫外線硬化用のシール材を塗布した。

【0246】

TFT基板と対向基板を接着した後、液晶を注入した。液晶材料はネマチック液晶とし、カイラル材を加えラビング方向をマッチさせることによって、ツイストネマチック(TN)型とした。

【0247】

本実施例では、従来の構成に比べ高精細、多階調、低コスト、低消費電力を同時に満たす透過型液晶表示装置を実現できた。

【0248】

本実施例では、ポリシリコン膜の形成に、エキシマレーザを用いたが、他のレーザ、例えば、連続発振するCWレーザ等を使用してもよい。

【0249】

前記第1の実施例等では、コントローラIC102から表示デバイス基板101のデータ線駆動回路には、1ライン単位、あるいは1ラインをブロック分割数S(=4)等で分割したビットデータ単位に転送され、データ線駆動回路の動作周波数は、低減される。一般にトランジスタのゲート絶縁膜の膜厚が厚いほど、閾値は高くなり、動作速度は遅くなる。周辺回路の動作周波数を低減させた上記実施例では、動作速度の遅いTFTを用いても、動作させることができる。すなわち動作周波数が高くなると、トランジスタの閾値の最適化等が必要とされるが、動作周波数を下げることで、この実施例では、トランジスタの閾値を最適化を要しない。本実施例では、高電圧を必要とする、画素スイッチ、セクタ回路107が動作可能なプロセスと、同一プロセスで作成される多結晶シリコンTFT(ゲート絶縁膜の膜厚は90nm)のCMOS回路を用いて周辺回路を構成することができる。

【0250】

[実施例26]

本発明の第26の実施例として、ポリシリコン(多結晶シリコン、poly-Si)のTFT

10

20

30

40

50

アレイを作製し、反射型表示装置を構成した。図35、図36を参照すると、ガラス基板10上に酸化シリコン膜11を形成した後、アモルファスシリコン12を成長させ、次にエキシマレーザを用いアニールし、アモルファスシリコンをポリシリコン化させ(図35(a))、更に10nmの酸化シリコン膜を成長させた(図35(b))。

【0251】

パターニングした後、フォトレジストをパターニングしリンイオン(P)をドーピングすることにより、nチャンネルTFTのソースとドレイン領域を形成した(図35(c))。

【0252】

更に、90nmの酸化シリコン膜15を成長させた後、マイクロクリスタルシリコン(μ -c-Si)16とタングステンシリサイド(WSi)17を成長させ、ゲート形状にパターニングした(図35(d))。

【0253】

酸化シリコン膜と窒化シリコン膜を連続成長させた後、コンタクト用の穴をあけ(図36(f))、アルミニウムとチタンをスパッタリングで形成し、パターニングした(図36(g))。

【0254】

つづいて、有機膜を塗布し、ほぼランダムな凹凸構造を実現するマスクを用いパターニングした。再度、コンタクト用の穴をあけ、アルミニウムとチタンをスパッタで形成しパターニングし、反射画素電極(反射板)とした。

【0255】

TFT基板上に3.5 μ mのシリカスペーサを散布した。また、対向基板の画素領域外部に紫外線硬化用のシール材を塗布した。TFT基板と対向基板を接着した後、液晶を注入した。液晶材料はネマチック液晶とし、カイラル材を加えラビング方向をマッチさせることによって、ツイスト角が67度のツイストネマチック(TN)型とした。

【0256】

また、対向基板上のカラーフィルタは、反射型構成に適した濃度・色調のものを採用した。更に、補償板および、最適化した偏光板を用いることで、コントラスト比が高く、反射率の高い、反射型液晶表示装置を実現した。

【0257】

本実施例で使用した回路構成は、第12の実施例である図18の構成とした。この構成で、対向基板の共通電力電位(Vcom)を1走査線毎に反転する駆動方式とした。これにより、液晶への印加電圧は、最大で5Vの振幅とした(データ線を駆動するトランジスタは5V駆動となる)。

【0258】

本実施例は、反射型液晶であるため、バックライトを必要とせず、前記第25の実施例よりも更に低消費電力の液晶表示装置を実現できた。

【0259】

[実施例27]

有機ELを表示素子として使用している。TFTアレイを、前記第26の実施例と同様に作成した後、素子分離膜を形成し、パターニングした。次に、ホール注入層、発光層を順次、インクジェット・パターニングで形成した。この工程では、任意の位置にインクを吐出できる制御機構を有したインクジェット・パターニング装置を使用し、ホール注入層、並びに発光層をパターニングした。陰極を形成した後、封止した。

【0260】

本実施例で使用した回路構成は、第16の実施例である図23の構成とした。本実施例では、有機ELを駆動し、良好な表示を得ることができた。

【0261】

上記実施例では、表示素子を順次走査する構成を示した。これに対して、画素部に二つのメモリを設けることによって、二つのメモリに2フィールド分のデータを記憶し、パネ

10

20

30

40

50

ル全面を、一括で走査する、パネル順次走査を用いてもよい。

【0262】

上記した本実施例の作用効果について説明する。

【0263】

(1) DAC回路を内蔵した駆動回路一体型表示装置と共にメモリ内蔵コントローラICを備えたことにより、ICコストの大幅な低減を可能としている。

【0264】

DAC回路を内蔵しない駆動回路一体型表示装置では、コントローラICではなくメモリ内蔵のドライバICが必要である。図3に、内蔵するメモリ容量とICコストの関係を、メモリ内蔵ドライバIC並びにメモリ内蔵コントローラICについて示した。ICコストは、メモリ容量の増大に伴って、増大している。メモリ内蔵ドライバICとメモリ内蔵コントローラICを比較すると、メモリ内蔵コントローラICは約半分のコストであることがわかる。このように、本発明によればコストの低下が容易である。

10

【0265】

(2) インタフェース回路の消費電力を低減する。

【0266】

図4に、読み出し周波数(MHz)とインタフェース回路消費電力の関係を示す。図4からも分かるように、読み出し周波数が一桁低下すると、消費電力もほぼ一桁低下する。

【0267】

本発明では、メモリ内蔵コントローラICからのバス幅を太くすることによって、読み出し周波数を低下している。この周波数の低下によって、消費電力が大幅に低下可能である。

20

【0268】

[実施例28]

本発明の第28の実施例について説明する。以下では、特に、消費電力に注目し、比較例として従来の表示装置の回路構成を比較しながら、なぜ、本発明で、消費電力を下げるができるのかに関して詳細に説明する。まず、比較例として、従来の公知のポリシリコンTFT-LCDの構成の一典型例における、電力消費について考察する。

【0269】

図39は、比較例として、従来の構成原理を適用した場合における、表示装置のアーキテクチャの一例を示す図である。図39で用いられているシフトレジスタ(66-bit Shift-Register)、データレジスタ(DATA REGISTER)、ロードラッチ(LOAD-LATCH)、レベルシフト(Level-Shifter)の1エレメントの回路構成の一例が、図40、図41、図42、図44にそれぞれ示されている。図43は、図39のシステムのタイミング動作を示すタイミングチャートである。図39に示した具体的な数値は、説明及び比較のため、以降で説明する本発明の第28の実施例の表示装置(図45参照)の仕様に合致するように設定している。

30

【0270】

図39を参照すると、デジタル映像データDB0~DB5(例えば0-3.0V)は、レベルシフト回路(Level Shifter)で例えば0-10Vにレベルシフトされ、バッファ(Buffer)から出力される。また66ビットのシフトレジスタ(66-bit Shift-Register)に供給されるクロックCLKもレベルシフト回路(Level Shifter)でレベルシフトされる。バッファ(Buffer)からはCLK、XCLK、D1、D2の4ビット幅の信号がシフトレジスタ(6-bit Shift-Register)に供給される。66個のデータレジスタ(DATA REGISTER)は、66ビットのシフトレジスタ(66-bit Shift-Register)からのラッチタイミング信号Rn(n=1~66)で、6ビットのデータバスDB0~DB5のデータ信号をとり込み、その相補信号XRnにより記憶保持するラッチ回路を並列に備えている。

40

【0271】

図40のシフトレジスタ(66-bit Shift-Register)において、第1のクロックインバータと、第1のクロックインバータの出力に入力が接続されるインバータと、インバ

50

ータの出力に入力が入力が接続され出力が第1のクロックインバータの出力に接続される第2のクロックインバータが単位ラッチ回路を構成し、図40のシフトレジスタは、データレジスタ(6b-DATA REGISTER)の個数である66段縦続形態に接続されたラッチを備えている。2段のラッチは、対応するクロックインバータに入力されるクロック信号が相補であり(CLKとXCLK)、2段のラッチごとにマスタースレーブ型ラッチを構成している。シフトレジスタの66個の出力からは、データラッチのラッチタイミング信号R1~R66が出力される。このラッチタイミング信号R1~R66は、シフトレジスタに供給される制御信号DST、D1、D2で制御される(図43に示すように、DSTがhighレベルで、D1がhighレベルで、R1はhighレベルとなる)。またロードラッチ(LOAD-LATCH)は、図42に示すように、クロックDCLでオン・オフされる第1のクロックインバータと、第1のクロックインバータの出力に入力が入力が接続されるインバータと、インバータの出力に入力が入力が接続され出力が第1のクロックインバータの出力に接続され、クロックDCLの相補クロックXDCLでオン・オフされる第2のクロックインバータが単位ラッチ回路で構成される。

10

【0272】

レベルシフト回路(Level Shifter)は、図44に示すように、10V側にソースが接続された1対のP型MOSトランジスタのゲートとドレインを互いに交差接続し、1対のP型MOSトランジスタのドレインとグランド間に接続された1対のN型MOSトランジスタを備え、1対のN型MOSトランジスタのゲートには、データ(0-3V)とその相補信号が差動で入力され、振幅0-10Vの出力信号が取り出される構成とされている。

20

【0273】

図39に示した構成では、66個の6b-DAC(6ビットデジタルアナログ変換器)に、所望のタイミングで同時にデジタル映像データを入力し、一定期間保持するために、6×66bitのロードラッチ(LOAD-LATCH)が配置される。このロードラッチにデジタル映像データを書き込むために、シフトレジスタ(66b-Shift-Register)でアドレスされる6bitのデータレジスタ(6b-DATA-REGISTER)が66回路、バス方式で接続される。これらのロジック回路、すなわちデジタル信号処理回路は、10Vあるいはそれ以上の電源電圧で駆動される。そのため、6bitデータレジスタ(6b-DATA-REGISTER)が接続される6本のデジタルデータバスラインのデジタル信号もレベル変換回路(Level-Shifter)を用いて10Vあるいはそれ以上の振幅で駆動される。

30

【0274】

このように、図39に示す従来の構成では、6ビットDAC66個を同時に駆動するために、6ビット幅で入力されたデジタルデータを、396ビット幅のデジタルデータに変換している。すなわち、この表示装置は、6本のデータバスラインと、このバスラインにバス接続された66個の6ビットデータレジスタと、各データレジスタの取り込み口を開けたり、データを保持したりするための制御信号を与えるシフトレジスタと、396ビット幅のデータを一定期間保持するためのロードラッチによって、6ビット入力396ビット出力のシリアル-パラレル変換回路が構成されている。

【0275】

そして、このデジタルデータバスライン、およびシフトレジスタを駆動するためのクロックラインは表示装置基板上で最も高速に駆動される。図43は、この制御装置を駆動するための制御線のタイミングチャートを示している。

40

【0276】

この従来のアーキテクチャで、表示装置を設計した場合、上記回路で構成されるデジタル信号処理回路は、後述するが、ガラス基板上で消費される全電力の約半分を消費する(残りの大部分は、DACで消費される)。従って、このデジタル信号処理回路の電力を低減させるための工夫は有用である。

【0277】

上記デジタル信号処理回路の電力について考察すると、次の(a)~(c)が消費の要因となっている。

50

(a) デジタルデータバスラインは大きな寄生容量をもつ。その第一の理由は、多くのデータレジスタがこれに接続されているからである。第二の理由は、バスラインからデータレジスタに接続する支線が、レイアウト上、バスラインをクロスするため多くのインタラインカップリングが生じるためである。

【 0 2 7 8 】

図 4 1 には、図 3 9 の 6 ビットデータレジスタ (6b-DATA-REGISTER) の 1 エLEMENTの回路とバスライン D0 ~ D5 が示されている。

(b) 上記デジタルデータバスラインは、ガラス基板上で、最も高い周波数で駆動される。また、シフトレジスタ (66b-Shift-Register) を駆動するためのクロックライン (図 3 9 の CLK、XCLK) も同様に最も高い周波数で駆動される。

10

(c) レベル変換回路 (Level-Shifter) (例えば図 4 4 参照) は、多くの電力を消費する。

【 0 2 7 9 】

従って、これらの要因を減らすことで、消費電力を低減できるものと、本発明者らは知見した。すなわち、上記に示した電力消費の要因に鑑み、新たな表示装置のアーキテクチャを創案した。

【 0 2 8 0 】

図 4 5 に、本発明の第 2 8 の実施例をなす表示装置の構成を示す。図 4 5 には、本発明に係るパラレルアーキテクチャの表示装置が示されている。また、表 1 に示す設計仕様にもとづき、画素数 $176 \times \text{RGB} \times 234$ 、6 bit 階調 (2 6 万色) の DAC をガラス基板上に集積し、3V デジタルインターフェイス (3.0V Interface) の LCD をフレーム周波数 3 0 Hz で駆動する。

20

【 0 2 8 1 】

表 1 本発明の表示装置の仕様

項目	値
画素数	$176 \times \text{RGB} \times 234$
フレーム周波数	3 0 f p s
階調数	6 ビット (2 6 万色表示)

30

【 0 2 8 2 】

図 4 5 に示した本発明の実施例に係る表示装置は、表示デバイス基板 (図 4 5 ではガラス基板 (Glass Substrate)) が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部表示領域 (Display Area) を備え、B ビット (図 4 5 では 6 ビット) の階調の表示データを (M × N) 画素分 (すなわち (M × N × B) ビット) 格納する表示メモリ (Frame Memory) と、表示メモリからデータ (Digital Image Data) を読み出し前記表示パネル基板 (Glass Substrate) 側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置 (Controller Frame Memory) を備えており、コントローラ装置において前記出力バッファは、前記メモリ (M × N × B) ビットの内の 1 行分に相当する (N × B) ビットを、ブロック分割数 S の数と P 相で分割した $\{ (N \times B) / (P \times S) \}$ 個配置されている。

40

【 0 2 8 3 】

図 4 5 に示す例では、 $N = 176 \times 3$ (RGB 分) = 5 2 8、 $M = 234$ 、 $S = 8$ 、 $P = 2$ である。表示領域 (Display Area) のデータ線 (信号線) の本数は $S 0 0 1 \sim S 5 2 8$ の計 5 2 8 本であり、データバスのデータ線の本数 (コントローラ装置の出力バッファの個数) は、 $\{ (N \times B) / (P \times S) \} = 5 2 8 \times 6 / (8 \times 2) = 6 6 \times 3 = 1 9 8$ であり、コントローラ IC (Controller Frame Memory) と、ガラス基板 (Glass Substrate) との間にはデジタル映像データ (Digital Image Data) 転送用のデータバスが D 0 0 1 ~ D 1 9 8 の 1 9 8 ビット設けられ、1 2 5 K H z の転送レートで駆動される。

50

【0284】

ガラス基板(Glass Substrate)上の表示領域のデータ線を駆動するデータ線駆動回路(Data Driver)には、 $\{(N \times B) / (P \times S)\}$ ビット幅のデータバスを介して、表示データ(デジタル映像データ)が転送される。1水平期間には、 $\{(N \times B) / (P \times S)\}$ ビットのデジタル映像データが、 $(P \times S)$ 回に分割されて、1ライン分の表示データが転送される。図45に示す例では、198ビット幅のデータ(D001~D198)が、 2×8 回に分割されて1ライン分の表示データが転送される。

【0285】

ガラス基板(Glass Substrate)上のデータ線駆動回路(Data Driver)は、データバスのうちの1本のデータ線に対して共通に接続されるP個のレベルシフト回路(LS)であって、コントローラ装置側の出力バッファより出力され、データ線を介して順次受け取ったP相の信号の振幅をそれぞれより高い振幅の信号にレベルシフトするレベルシフト回路と、P個の前記レベルシフト回路の出力を駆動クロックにしたがってそれぞれラッチし、P相のシリアルビットデータを、P個の平行ビットに展開してPビット平行データとしてラッチ出力するラッチ回路(LATS)を備えたP相展開回路(SPC)を備え、 $\{(N \times B) / (P \times S)\}$ 本のデータ線のデータバスに対して、このP相展開回路(SPC)を $\{(N \times B) / (P \times S)\}$ 個備えている。 $\{(N \times B) / (P \times S)\}$ 個のP相展開回路(SPC)からは、 $\{(N \times B) / S\}$ ビットのデータが平行に出力される、このうちのBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)を (N/S) 個備え、 (N/S) 個の前記DAC回路の出力を入力を受け、表示部のN本のデータ線に出力するセクタとを含む。

【0286】

図45に示した構成においては、レベルシフト回路(LS)を2つと複数のラッチ回路(LATS)よりなる2相展開回路(SPC)が、 $\{(N \times B) / (P \times S)\}$ 個、すなわち、 $\{(528 \times 6) / (2 \times 8)\} = 66 \times 3 = 198$ 個、並設されている。当然のことながら、この数は、データ信号線D001~D198の本数と等しい。198個の2相展開回路(SPC)からは、 $\{(528 \times 6) / 8\} = 66 \times 6 = 396$ ビット(G001~G396)のデータが出力される。さらに、6ビットのDAC回路(6b-DAC)を、 $(N/S) = 528 / 8 = 66$ 個備えており、66個のDAC回路(6b-DAC)の出力(66のアナログ電圧出力)を入力に受け、表示部(Display Area)のN本(528本)のデータ線(S001~S528)に出力するセクタは、1対8のデマルチプレクサとして構成される。1対8のデマルチプレクサは、1本の信号を8本の出力に分割する。このデマルチプレクサ(1-to-8 DEMUX)を $(N/S) = 66$ 個備えている。セクタ回路(1-to-8 DEMUX \times 66)は、66個のDAC回路(6b-DAC)の出力を受け、セクタ制御信号に基づき、66個の各DAC回路の出力(66個のアナログ電圧出力)を、ブロック分割数8に分割された時間で、順次、66本のデータ線群へデータ信号の供給を行う。さらに、表示部(Display Area)の複数の走査線に順次電圧を印加する走査線駆動回路(Scan Line Driver)を備えている。

【0287】

コントローラ装置は、ガラス基板上のレベルシフト回路(Level Shifter (2))に、クロック(CLK)(周波数62.5kHz)、水平同期信号(Hsync)、垂直同期信号(Vsync)等の制御信号を供給する。データバスとともにこれらのクロック、制御信号は3.0Vインタフェースに従う。レベルシフト回路(Level Shifter (2))では、クロック、制御信号を10V系にレベル変換し、タイミング回路(Timing Circuit)に出力する。タイミング回路(Timing Circuit)は、10V振幅のクロック(CLK)と、クロック(CLK)の相補クロックであるXCLKを、SPC等に供給する。また電源回路(Power)は、ガラス基板に電源電圧10V、-5V等を供給する。

【0288】

このように、ガラス基板上に集積されたデータドライバ(DATA Driver)は、3Vインターフェイス用サンプリングレベル変換と2相展開回路(SPC)、6bit DAC、1対8デマル

10

20

30

40

50

チプレクサ(1 to 8 DEMUX)で構成される。

【0289】

図46は、図45の2相展開回路(SPC)の1つのエレメントの回路(1つのデータ信号D(n)に接続されるSPC)の一例を示す図である。この2相展開回路(SPC)(1ビットシリアルデータを2ビットパラレルデータに変換する回路)は、データバッファの出力D(n)(0-3V)に共通に接続される2つのサンプリングレベルシフト回路(LS)と、2つのサンプリングレベル変換回路(LS)の各出力に接続される複数のラッチ回路(LAT)を含み、各ラッチ回路は、サンプリングクロックCLKとその相補のクロックXCLKで入力データをラッチする。

【0290】

図46のSPC内の上側の第1のサンプリングレベルシフト回路(LS)は、高位側電源(この例では10V)と低位側電源(GND)間に直列形態に接続され、第1乃至第3のスイッチ素子をなす第1乃至第3のMOSトランジスタ(P1、N3、N2)と、第1、第2のMOSトランジスタ(P1、N3)の接続点に接続されている容量(C2)と、D(n)に接続される入力端子と第3のMOSトランジスタ(N2)のゲート端子との間に接続され、第4のスイッチ素子をなす第4のMOSトランジスタ(N1)と、第3のMOSトランジスタ(N2)のゲートに接続されている容量(C1)と、を備え、第1、第2のMOSトランジスタ(P1、N3)のゲートには第1のサンプリングクロック(CLK)(0-10V)が共通入力され、第4のMOSトランジスタ(N1)のゲートには、第1のサンプリングクロック(CLK)に相補の第2のサンプリングクロック(XCLK)が入力される。

【0291】

このサンプリングレベルシフト回路(LS)の動作を説明すると、第1のサンプリングクロック(CLK)がlowレベルのとき(セットアップ期間)、第1のスイッチ素子をなすMOSトランジスタ(P1)がオンし、第2のスイッチ素子をなすMOSトランジスタ(N3)はオフし、容量(C2)が高位側電源の電源電圧に充電される。第2のサンプリングクロック(XCLK)がhighレベルのとき第4のスイッチ素子をなす第4のMOSトランジスタ(N1)がオンし、容量(C1)は入力信号電圧で充電される。

【0292】

第1のサンプリングクロック(CLK)がhighレベルのとき(出力期間)、第1のスイッチ素子をなすMOSトランジスタ(P1)はオフし、第2のスイッチ素子をなすMOSトランジスタ(N3)がオンし、このときの容量(C2)の端子電圧が、直接に、又は、間接的に、出力信号として取り出される。サンプリングレベルシフト回路(LS)は、ガラス基板上に搭載されており、第1のMOSトランジスタP1は、P型TFTよりなり、第2乃至第4のMOSトランジスタN3、N2、N1は、N型TFT(Thin Film Transistor)よりなる。

【0293】

図46のSPCの下側の第2のサンプリングレベルシフト回路(LS)も、構成は同様とされており、サンプリングクロックの接続が、第1のサンプリングレベルシフト回路(LS)と相違している。第1、第2のMOSトランジスタ(P1、N3)のゲートには第2のサンプリングクロック(XCLK)が共通入力され、第4のMOSトランジスタ(N1)のゲートには、第1のサンプリングクロック(CLK)が入力される。この第2のサンプリングレベルシフト回路(LS)は、第2のサンプリングクロック(XCLK)がlowレベルのとき(セットアップ期間)、第2のサンプリングクロック(XCLK)がhighレベルのとき(出力期間)となり、第1のサンプリングレベルシフト回路(LS)と相補の動作を行う。

【0294】

図46に示した、本発明のサンプリングレベルシフト回路(LS)によれば、以下の作用効果を奏する。

【0295】

10

20

30

40

50

(a) 定常電流が流れないため、低消費電力である。

【 0 2 9 6 】

(b) 単相入力 (= 反転データ不要) のため、端子数が少なくすむ (一般的なレベル変換回路はデータと反転データの 2 入力を必要とする) 。

【 0 2 9 7 】

(c) 入力端子に、高電圧側の電位が発生することがなく、低電圧側の回路を破壊する可能性が低い。図 4 4 に示したラッチ型センスアンプをレベルシフトに用いた場合、入力端子に高電圧側の電位が生じる場合がある。

【 0 2 9 8 】

ポリシリコン TFT LCD の場合、例えば、200 個ほどのデータ入力端子を備える構成とされており、本発明は、このように多数のデータのサンプリングとレベルシフトが必要とされる用途に用いた場合、特に有効である。

【 0 2 9 9 】

図 4 6 に示すように、2 相展開回路 (S P C) においては、第 1、第 2 のサンプリングレベルシフト回路 (L S) を備え、第 1 及び第 2 のサンプリングレベルシフト回路には入力信号 $D(n)$ が共通に入力され、第 2 のサンプリングレベルシフト回路には、第 1 のサンプリングレベルシフト回路の第 1、第 2 のサンプリングクロック信号 (C L K、X C L K) の値が反転された値の信号 (すなわち X C L K、C L K) が第 1、第 2 のサンプリングクロックとして、それぞれ対応するスイッチ素子に入力され、第 1 のサンプリングレベルシフト回路の出力を前第 1 のサンプリングクロック信号 (C L K) に基づき取り込む第 1 のラッチ (L A T)、第 1 のラッチ (L A T) の出力を第 2 のサンプリングクロック信号 (X C L K) に基づきラッチ出力する第 2 のラッチ (L A T) と、第 2 のラッチ (L A T) のラッチの出力を第 1 のサンプリングクロック信号 (C L K) に基づき出力する第 3 のラッチ (L A T) と、第 2 のサンプリングレベルシフト回路の出力を第 2 のサンプリングクロック信号 (X C L K) に基づき取り込む第 4 のラッチ (L A T) と、第 4 のラッチの出力を第 1 のサンプリングクロック信号 (C L K) に基づき出力する第 5 のラッチ (L A T) と、を備えている。第 1、第 2 のラッチは、第 1 のマスタースレーブ型のラッチを構成しており、第 4、第 5 のラッチは、第 2 のマスタースレーブ型のラッチを構成している。各ラッチ (L A T) は、入力されるクロック信号で活性化が制御され、入力と出力がラッチの入力端子と出力端子に接続された第 1 のクロックインバータと、第 1 のクロックインバータの出力に inputs が接続されたインバータと、インバータの出力に inputs が接続され、出力がインバータの入力に接続された第 2 のクロックインバータとを備え、第 1、第 2 のクロックインバータは、それぞれクロック C L K と相補のクロック X C L K で活性化 / 非活性化が制御される。

【 0 3 0 0 】

図 4 7 は、図 4 6 の回路のこの動作波形を示す図である。3 段縦続接続されたラッチ出力から、奇数番目の信号 ($G(2n - 1)$) が、2 段縦続接続されたラッチ出力から、偶数番目の信号 ($G(2n)$) がパラレルに、第 1 のサンプリングクロック信号 (C L K) に同期して出力される。

【 0 3 0 1 】

図 4 5 に示す表示装置において、デジタル映像データ (Digital Image Data) は、3 V 振幅、198 ビット幅で外部コントローラ IC より入力され、デジタル信号処理回路 (S P C のアレイ) により、信号レベルを 10 V 振幅に変換し、又所望のタイミングで、DAC に供給される。1 つの DAC の出力はデマルチプレクサ (DEMUX) を用いて画素アレイ (Display Area) に接続された 8 本のデータ線を時分割で駆動する。

【 0 3 0 2 】

この構成の特徴は、太いバス幅 (198 bit 幅) をもつインターフェイスを経由して低速でデータが供給され、このデータは、ガラス基板上で、パラレルに駆動されたレベル変換機能を持つ 2 相展開回路 (S P C) で処理される点である。このように、多数の相展開回路を、パラレルに駆動することによって、デジタル信号処理を行うので、この構成を「

10

20

30

40

50

「パラレル・デジタルデータドライバ・アーキテクチャ」と呼ぶ。

【0303】

表2に、このパラレル・デジタルデータドライバ・アーキテクチャと、従来のアーキテクチャとを比較し、このパラレルアーキテクチャがなぜ低消費電力なのか考察する。

【0304】

表2 アーキテクチャの比較

	従来のアーキテクチャ	パラレル・ドライバ・アーキテクチャ
デジタル映像データインタフェースバス幅	6bit (1)	198bit (33)
クロック周波数	2.1MHz (1)	62.5kHz (1/33)
クロックラインに接続されるトランジスタ数	396 (1)	5148 (13)
デジタルデータバスラインとその支線とのクロスの数	975	0

10

【0305】

()内は比を示す

20

【0306】

本発明のパラレル・ドライバ・アーキテクチャでは、デジタル映像データのインターフェースのバス幅を広くし、198個の2相展開回路（SPC）を、パラレルに駆動することで、スループットを維持したまま、クロック周波数を、2.1MHzから62.5kHzに低減している。

【0307】

DACより手前（DACの入力側）に配置されるデジタル信号処理回路について注目すると、本発明のパラレル・ドライバ・アーキテクチャでは、62.5kHzで駆動されるクロックラインに、5148個のトランジスタが接続され、一方、従来のアーキテクチャでは、2.1MHzで駆動されるシフトレジスタのクロックラインに396個のトランジスタが接続される。

30

【0308】

それぞれのアーキテクチャでクロックラインに接続されるトランジスタ数とクロック周波数との積を計算すると、パラレルアーキテクチャの方が小さい。つまり、クロックラインの充放電に伴う消費電力は、パラレルアーキテクチャの方が小さくなる。

【0309】

また、パラレルアーキテクチャでは、デジタルデータバスラインとその支線とのインタラインカップリングが存在しないため、その充放電に関する電力は0である。

【0310】

インタラインカップリング、つまり、デジタルデータを伝達するある配線が、他のデジタルデータを伝達するある配線とクロスする場所に生じる容量について説明する。

40

【0311】

図39に示した例の場合、入力されるデータのバス幅が6ビットで、シフトレジスタ（66-bit Shift-Register）とデータラッチ（DATA-REGISTER）とロードラッチ（LOAD-LATCH）で構成される相展開回路によって展開された、相展開後のデータのバス幅は、6×66bitである。

【0312】

このとき、バスラインとその支線との交差点の数は、975個である。一般に、入力されるデータのバス幅がnビット、相展開回路によって出力されるバス幅がk×nビットの場合、インタラインカップリングの個数Cは

$$C=n(n-1)(k-1)/2$$

50

で示される。すなわち、

インタラインカップリング（図39内で C_i と記述されている）の数は、975個であり、一般にこのような構成の場合、入力されるデータのバス幅が n ビット、相展開回路によって出力されるバス幅が $k \times n$ ビットの場合、インタラインカップリングの個数 C は、すくなくとも

$$C=n(n-1)(k-1)/2$$

で示される個数存在する。

【0313】

上記の例では、 $n=6$ 、 $k=6$ となる。従来の構成である、バスラインとそれに接続されたデータラッチで構成される相展開回路の場合、このインタラインカップリングの個数を減らすことはできない。

10

【0314】

これに対して、本発明では、このインタラインカップリングの個数が0であるため、バスラインの充放電に伴う電力が無くなり、低消費電力化が図れる。

【0315】

一般に、パラレルアーキテクチャは回路規模の増大を伴うが（クロック周波数を $1/n$ にした場合、同一のスループットを得るためには回路規模は n 倍必要）、この例で示すデジタルインターフェイス回路の場合、従来のアーキテクチャ（図39）でトランジスタ数は、約8600個、パラレル・ドライバ・アーキテクチャ（図45）で9900個とそれほど増大を伴わない。

20

【0316】

図50に、本発明のパラレル・デジタルデータドライバ・アーキテクチャと従来のアーキテクチャにおけるデジタル信号処理回路の消費電力を比較して示す。

【0317】

レベル変換回路を除いたロジック部においては、寄生容量の充放電を含めて、5.8mWから、0.82mWに低減した。

【0318】

結局、デジタル信号処理回路の消費電力は、本発明のパラレル・デジタルデータドライバ・アーキテクチャを採用することにより、1パネル当り、12.5mWから1.08mWに低減できた。

30

【0319】

なお、図46に示した新規のレベル変換回路（LS）1エレメントあたり（図49内の破線内のレベルシフト回路（New Level Shifter））の電力は、図49のようになった。新規のレベル変換回路では、データレート200KHzで数 μ W程である。図46に比較して示すように、図44に示した従来のレベル変換回路では、データレート100KHzで25 μ W、150KHzで35 μ W、200KHzで47 μ W程度となる。

【0320】

また、本発明のアーキテクチャの場合、表示基板（Glass Substrate）上の最高動作クロックは62.5kHzであり、従来の2MHzと比較して大幅に低減されている。これにより、回路の動作マージンが広がる。

40

【0321】

図48は、レベル変換機能を持つ2相展開回路（SPC）の最高動作周波数（maximum clock frequency）を測定したものである。図48から、入力信号電圧（Input Data Voltage）が3Vのとき3MHz以上で動作していることがわかる。また電源電圧VDDも、10Vからさらに下げることが可能であることがわかり、このように、電源電圧を下げることで、低消費電力化を図ることができる。

【0322】

図45に示した実施例のTF-T-LCDの構成について参照してさらに具体的に説明しておく、基板外部のコントローラ（Controller Frame Memory）の3.0Vインタフェースから並列に供給される198ビット（125kHz）のデジタル映像データ（3V振

50

幅)は、ガラス基板(Glass Substrate)上のデータドライバ(Data Driver)の端子D001からD198に入力される。D001は1ビット入力2ビット出力のシリアル-パラレル変換回路(SPC)の入力端子である。シリアル-パラレル変換回路(SPC)は、図46を参照して説明したように、2つのレベルシフタ(L/S)と、ラッチ(LAT)から構成される。端子D002からD198についても同様であり、それぞれは1ビット入力2ビット出力のシリアル-パラレル変換回路の入力端子である。1ビット入力2ビット出力のシリアル-パラレル変換回路198個で、198ビット入力396ビット出力のシリアル-パラレル変換回路は構成され、396ビットの出力ノードは、図のG001からG396で示されている。これらG001からG396で示されたノードは、6ビット階調のDAコンバータ66個の入力ノードに接続される。これら66個のDAコンバータの出力はデ

マルチプレクサアレイ(1 to 8 DEMUX x 66)に入力されてマルチプレクサアレイの出力S001からS528は、表示エリアのアナログデータラインに接続され、表示エリア部(Display Area)に配線されたデータバスラインを駆動する。なお、図45の表示部(Display Area)は、一例として2.4-インチ、41K(176 x 234)ピクセルTFT-LCDで作製されている。

10

【0323】

図45において、シリアル-パラレル変換回路(SPC)の入力ノードに入力されたデータ(例えばD001)をシリアル-パラレル変換して得られた信号を出力する出力ノード群(例えばG001、G002)と、該入力ノード(D001)に隣接する入力ノード(例えばD002)に入力されたデータをシリアル-パラレル変換して得られた信号を出力する出力ノード群(G003、G004)とは、隣接している。また、図45に示すように、シリアル-パラレル変換回路(SPC)を有する回路ユニットはおよそ長方形にレイアウトされており、長方形の長辺のうち一辺に入力ノード群が設けられ、長辺のもう一辺に出力ノード群が設けられている。

20

【0324】

図45に示す表示装置は、198ビット幅で入力されたデジタルデータを、396ビット幅のデジタルデータに変換し、データ線駆動回路であるDACアレイに入力している。この198ビット入力396ビット出力のシリアル-パラレル変換回路は、1ビット入力2ビット出力のシリアル-パラレル変換回路(SPC)を198回路用いて構成されている。また、これら198個の1ビット入力2ビット出力のシリアル-パラレル変換回路(SPC)は共通に接続されたCLK、XCLK配線によって同時に駆動されている。このように多数のシリアル-パラレル変換回路を、パラレルに駆動することによって、デジタル信号処理を行うので、この構成を「パラレル・デジタルデータドライバ・アーキテクチャ」と呼ぶ。

30

【0325】

本発明のアーキテクチャの場合、表示基板(Glass Substrate)上の最高動作周波数は62.5kHzであり、従来の2MHzと比較して大幅に低減されている。これにより、回路の動作マージンが広がる。さらに、動作周波数が下がっているためEMIノイズが軽減される。さらに加えて、従来例である図39では、データバスラインが、表示装置の辺の端から端まで配線されているのに対し、本発明である図45においては、入力端子(パッド)からそれぞれのSPCに配線されるだけである。つまりデータ配線長が極めて短くなっているためEMIノイズは相乗的に低減される。

40

【0326】

従来例の回路の場合(図39)、6個のデジタルデータバスライン、1つのシフトレジスタ、66 x 6のデータレジスタ、1つのロードラッチ、8個の従来型のレベルシフタを備えている。

【0327】

図47は、2相展開回路(SPC)の電圧波形の測定結果を示す図であり、3V振幅の(D(n))の入力はクロック信号CLKの立ち上がり立ち下がりタイミングに同期してサンプルされ、クロック信号CLKの次の立ち上がりタイミングに同期して10Vのデ

50

デジタルデータ $G(2n-1)$ 、 $G(2n)$ が生成される。クロック信号の周波数は、 62.5kHz であり、LCD の実際の駆動周波数である。

【0328】

また、前述した図49を参照すると、本発明では、ソースが共通接続された n - チャネル TFT 対に接続され、交差接続された1対の p - チャネル TFT ラッチ (図49参照) を用い (CVSL (Cascode-Voltage Switch Logic) という) ている。

【0329】

図49は、新しいレベルシフト (L/S) 回路と、従来のレベルシフトの電力を対比して示している。 125kHz で本発明の回路は、 $1.4\mu\text{W}$ であり、従来例の回路は $30\mu\text{W}$ である。従来例の回路では、おおかたの電力消費は、過渡期間に貫通電流として生じる。 p - チャネル TFT、 n - チャネル TFT が、LOW から HIGH、HIGH から LOW への遷移時に、 $+10\text{V}$ の電源から、 0V グランドに p - チャネル TFT、 n - チャネル TFT を介して流れる。

【0330】

これに対して、本発明に係る新たなレベルシフト (L/S) では、電源からグランドへはほとんど電流は流れない。

【0331】

デジタル映像データのインターフェイスのバス幅を広くし、 198 ビット入力を実現することは、従来構成である図39を参考にして、実現することも可能である。しかしながら、従来構成にある 6 ビット入力を 198 ビット入力に変更した場合、 198 本のデータバスラインを表示装置の辺の端から端まで配線することとなり、例えば、 $5\mu\text{m}$ 幅の配線を $10\mu\text{m}$ ピッチで配線した場合、配線領域の幅だけで約 2mm のレイアウト面積を必要としてしまう。

【0332】

一方、本発明は、図45に示すように、1ビット入力2ビット出力のシリアル - パラレル変換回路の入力部にパッドから1対1に配線することで、図45の水平方向に多数のデータ配線をレイアウトする必要がなく、レイアウト面積の低減が可能となる。図45の場合、レベルシフト機能を含んだ1ビット入力2ビット出力のシリアル - パラレル変換回路 (SPC) の図の縦方向の高さは、約 0.4mm で済んだ。

【0333】

図48では、回路には電源電圧 (VDD) 10V が供給され、 3.0V の入力振幅で 3MHz を超えたクロック周波数範囲で動作している。また、 1.5V またはそれ以下の入力データ電圧でも動作している。これは、コントローラなどの外部のシリコン IC に要求される電力を低く抑えている。

【0334】

また図50は、従来型の設計と本発明のアーキテクチャの電力を対比させたものであり、図50から、従来のアーキテクチャのレベルシフトが 6.7mW であるのに対して、本発明のレベル変換回路では、 96% 減少させた 0.26mW とされる。これらの電力は、図50の結果に基づき計、レベルシフトの個数、各アーキテクチャで要求されるデータレートを考慮して計算された。

【0335】

インターラインカップリングにおける寄生容量を変化 (反転) させるために必要な電力を含む論理における電力は、本発明では、 0.82mW であるのに対して、従来型アーキテクチャでは、 5.8mW であった。図45の本発明の回路により全体の電力は、 12.5mW から 1.08mW に減少された。

【0336】

低消費デジタルデータドライバ (パラレルデジタルデータドライバ) と、 2.4 インチ、ポリシリコン TFT LCD 上の 3V インタフェース・レベルシフト (L/S) を集積して作成し、LCD の消費電力を測定した。 30Hz のフレーム周波数で、全体の消費電

10

20

30

40

50

力は12mWであった。従来の回路では、23mWであった。

【0337】

デジタルデータ転送回路もよって約1.1mが消費され、残りの大半がDACで消費される。

【0338】

反射型の表示装置の仕様の一例を示しておく。

表示タイプ： 2.4 - インチ、低温ポリシリコンTFT 反射型LCD

ピクセルピッチ： 176 × RGB × 234

カラーの数： 6ビット(262k)

データドライバ周波数： 62.5kHz

消費電力： 12mW(23mW： 従来型の技術)

入力データ電圧： HIGHレベル3V、LOWレベル： 0V

電源電圧： 10V、0V、-5V

10

【0339】

このように、ポリシリコンTFT LCDにおいて、低消費電力化を図るパラレルデジタルデータアーキテクチャが開発され、3Vインタフェースのレベルシフタ、62.5kHzの低速クロック信号で駆動される198個のシリアル・パラレル変換回路を特徴とし、6b DACを集積した2.4 - インチ、41K(176 × 234)ピクセル TFT LCDの消費電力は30 - Hz フレーム周波数で12mWであった。この特徴は、本発明のアーキテクチャがモバイルアプリケーション表示システムに好適とされる。以下の文献が参照される(非特許文献1乃至5)。

20

【0340】

図45から図47の実施例では、レベル変換機能を含んだ1ビット入力2ビット出力のシリアル - パラレル変換回路(SPC)について述べているが、レベル変換機能は必要に応じて持たせればよく、レベル変換機能が不要な場合には、例えば、図51に示す1ビット入力2ビット出力のシリアル - パラレル変換回路を用いればよい。

【0341】

図51に示す基本構成は、図46のシリアル - パラレル変換回路(SPC)におけるレベル変換機能(LS)を削除したものであり、論理振幅0 - 3VのデータD(n)をサンプリッククロックCLKと、その反転信号XCLKでラッチするラッチ回路511、512を備え、ラッチ回路511の出力段に縦続形態に接続され、クロックXCLKとCLKで前段のラッチ回路の出力をラッチするラッチ回路513、515を備え、ラッチ回路512の出力段に縦続形態に接続され、クロックCLKでラッチ回路512の出力をラッチするラッチ回路514を備えている。

30

【0342】

また上記実施例では、1ビット入力2ビット出力のシリアル - パラレル変換回路(SPC)を多数用いた例を示しているが、例えば1ビット入力6ビット出力のシリアル - パラレル変換回路を用いる場合には、図52及び図53に示すような回路を適用してもよい。図52は、レベルシフト機能を具備しない、2相展開回路であり、論理振幅0 - 2.5VのデータD(n)を共通に入力とするCMOSインバータ(電源電圧=4.0V)を2つ備え、一方のCMOSインバータの出力をインバータで反転した信号を、クロックドインバータとフリップフロップ(インバータとクロックドインバータ)よりなるラッチを2段階備えたマスタースレーブラッチとラッチ(クロックドインバータとフリップフロップ)でサンプルして(サンプリングクロックSMPとXSMPは相補のクロック信号)、DATAODDを出力し、他方のCMOSインバータの出力をインバータで反転した信号を、クロックドインバータとフリップフロップ(インバータとクロックドインバータ)よりなるマスタースレーブラッチでサンプルしてDATAEVENを出力する。

40

【0343】

図53を参照すると、図52の2相展開回路において、DATAODDが伝達されるノード(A)をインバータ82、83で遅延させ、入力データ(DATA)の周波数を6分

50

周した信号 D C L の立ち上がりで出力するラッチ（クロックインバータ 5 2、インバータ 5 3、クロックインバータ 5 4）と、ラッチの出力を反転した信号を D 1 として出力するインバータ 5 5 を備えている。

【 0 3 4 4 】

ノード A の電位を、信号 X S M P の立ち下がりを取り込み、信号 S M P の立ち上がりで出力する第 1 のマスタースレーブ型のラッチ（クロックインバータ 3 0、インバータ 3 1、クロックインバータ 3 2、クロックインバータ 3 3、インバータ 3 4、クロックインバータ 3 5）と、クロックインバータ 3 3 の出力（ノード C）を信号 X S M P の立ち下がりを取り込み、信号 S M P の立ち上がりで出力する第 2 のマスタースレーブ型のラッチ（クロックインバータ 3 6、インバータ 3 7、クロックインバータ 3 8、クロックインバータ 3 9（出力はノード E）、インバータ 4 0、クロックインバータ 4 1）を備え、第 1 のマスタースレーブ型のラッチのインバータ 3 4 の出力をインバータ 4 2 で反転した信号を、信号 D C L の立ち上がりで出力するラッチ（クロックインバータ 4 8、インバータ 4 9、クロックインバータ 5 0）と、このラッチの出力を反転した信号を D 2 として出力するインバータ 5 1 を備えている。第 2 のマスタースレーブ型のラッチのインバータ 4 0 の出力をインバータ 4 3 で反転した信号を、信号 D C L の立ち上がりで出力するラッチ（クロックインバータ 4 4、インバータ 4 5、クロックインバータ 4 6）と、このラッチの出力を反転した信号を D 3 として出力するインバータ 4 7 を備えている。

10

【 0 3 4 5 】

D A T A E V E N 系は、2 相展開回路において、D A T A E V E N 信号が伝達されるノード（F）をインバータ 8 4、8 5 で遅延させ、入力データを 6 分周した信号 D C L の立ち上がりで出力するラッチ（クロックインバータ 7 8、インバータ 7 9、クロックインバータ 8 0）と、ラッチの出力を反転した信号を D 0 として出力するインバータ 8 1 を備えている。

20

【 0 3 4 6 】

ノード F の電位を、信号 X S M P の立ち下がりを取り込み、信号 S M P の立ち上がりで出力する第 3 のマスタースレーブ型のラッチ（クロックインバータ 5 6、インバータ 5 7、クロックインバータ 5 8、クロックインバータ 5 9、インバータ 6 0、クロックインバータ 6 1）と、クロックインバータ 5 9 の出力（ノード H）を信号 X S M P の立ち下がりを取り込み、信号 S M P の立ち上がりで出力する第 4 のマスタースレーブ型のラッチ（クロックインバータ 6 2、インバータ 6 3、クロックインバータ 6 4、クロックインバータ 6 5（出力はノード J）、インバータ 6 6、クロックインバータ 6 7）を備え、第 3 のマスタースレーブ型のラッチのインバータ 6 0 の出力をインバータ 6 8 で反転した信号を、信号 D C L の立ち上がりで出力するラッチ（クロックインバータ 7 4、インバータ 7 5、クロックインバータ 7 6）と、このラッチの出力を反転した信号を D 2 として出力するインバータ 7 7 を備えている。第 4 のマスタースレーブ型のラッチのインバータ 6 6 の出力をインバータ 6 9 で反転した信号を、信号 D C L の立ち上がりで出力するラッチ（クロックインバータ 7 0、インバータ 7 1、クロックインバータ 7 2）と、このラッチの出力を反転した信号を D 4 として出力するインバータ 7 3 を備えている。

30

40

【 0 3 4 7 】

6 相展開回路の動作の概略を説明すると、入力データ D A T A から D A T A O D D（ノード A）、D A T A E V E N（F）が生成され、D A T A O D D のパスのノード C、E で、ノード F の信号がサンプリングパルス信号 S M P の 1 サイクル、2 サイクル分遅延され、入力データ D A T A の 6 分周クロックである D C L の立ち上がり（入力データ D A T A の 7 が入力されるタイミング）で、ノード A、C、E のデータが D 1、D 3、D 5 としてパラレル出力される。D A T A E V E N のパスのノード H、J で、ノード F の信号がサンプリングパルス信号 S M P の 1 サイクル、2 サイクル分遅延され、入力データ D A T A の 6 分周クロックである D C L の立ち上がり（入力データ D A T A の 7 が入力されるタイミ

50

ング)で、ノードF、H、JのデータがD0、D2、D4としてパラレル出力される。

【0348】

以上、本発明を上記各実施例に即して説明したが、本発明は上記実施例の構成にのみ限定されるものでなく、特許請求の範囲の請求項の発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。例えば、本発明は、プリンタヘッド、液晶ドライバIC、メモリ等、入力されたデータをシリアル-パラレル変換する半導体装置に適用した例を含むことは勿論である。

【0349】

以上、説明したように、本実施例によれば下記記載の効果を奏する。

【0350】

第1の効果は、DAC回路を内蔵した駆動回路一体型表示装置と共にメモリ内蔵コントローラICを備えたことにより、ICコストの大幅な低減を可能としている、ということである。

【0351】

第2の効果は、メモリ内蔵コントローラICからのバス幅を太くすることによって、読み出し周波数を低下し、インタフェース回路の消費電力が低下することである。また、配線同士の交差点の数を減らすことによって、インタフェース回路の消費電力が低下することである。

【0352】

第3の効果は、EMIの影響が無視できることである。その理由は、太いバスの利用によって、データ処理の周波数が低下しているためである。処理周波数が低下すると、EMIノイズは激減するためEMIの影響は無視できる。さらに、データ配線長が短くなるためEMIノイズは相乗的に小さくなる。

【0353】

第4の効果は、基板内を、同一のプロセスで作成できる、ということである。従来、各種回路素子を形成した場合、各回路群で使用する電圧に合わせて各種プロセスが使用されていた。本発明では、処理する周波数が低いために、最も高電圧を必要とする回路群に合わせた単一のプロセスですべての回路群を作成しても問題なく動作する。基板内を、同一のプロセスで作成できるということは、言い換えれば、基板上に形成されたトランジスタのゲート絶縁膜はすべて同一構造で、その膜厚はプロセスばらつきの範囲内で等しくすることができる。すなわち、トランジスタの閾値電圧が高電圧用に高く設定されていても、周波数が低いため低電圧駆動が可能である。

【0354】

第5の効果は、表示装置の信頼性を向上する、ということである。その理由は、本発明においては、回路の動作周波数を低く抑えることができるためである。動作周波数が低いと各素子にかかるストレスが小さくなるため、信頼性が向上する。単純な見積もりでは、周波数の低下割合と連続使用可能時間の上昇割合は比例関係にある。すなわち、周波数が低下すると信頼性が向上する。また、前述のEMIの影響がない点も信頼性の向上に大きな役割を果たす。

【0355】

第6の効果は、電圧 電流変換回路を備え、電流駆動素子を駆動することができる、ということである。これらの効果により、高精細・多階調・低コスト・低消費電力ディスプレイ装置を実現できる。

【0356】

第7の効果は、シリアル-パラレル変換回路のレイアウト面積が小さくなることである。これは、1ビット入力のシリアル-パラレル変換回路複数個配置することで多ビット入力多ビット出力のシリアル-パラレル変換回路を実現するため、パッドから個々の1ビット入力のシリアル-パラレル変換回路に1対1に配線を設けるだけで済み、従来のように多ビット入力多ビット出力のシリアル-パラレル変換回路レイアウト領域全体に渡って多数本のデータバス配線を引き回す必要が無いからである。

10

20

30

40

50

【 0 3 5 7 】

本発明の実施形態によれば、次の構成が得られる。

(付記 1)

複数のデータ線と複数の走査線の交点に画素群がマトリクス状に配置された表示部を有する表示パネル部と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

上位装置から供給された表示データを受け、前記表示データに対応した信号を前記複数のデータ線に印加するデータ線駆動回路と、

を有する表示装置において、

表示データを格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル部へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し前記上位装置との通信並びに制御を司るコントローラと、を有するコントローラ IC を、前記表示パネル部の外部に備え、

10

前記表示パネル部に、前記データ線駆動回路の一部を構成し、前記コントローラ装置から転送されたデジタル信号の表示データをアナログ信号に変換するデジタル・アナログ変換回路(「DAC回路」という)を備え、

前記コントローラ IC と、前記表示パネル部との間のデータ転送用のバスの幅が、前記コントローラと前記上位装置の間のバスよりも、一回あたりの転送で多くのビットデータが並列転送される構成とされている、ことを特徴とする表示装置。

(付記 2)

20

複数のデータ線と複数の走査線の交点に画素群がマトリクス状に配置された表示部を有する表示パネル部と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

上位装置から供給された表示データを受け、前記表示データに対応した信号を前記複数のデータ線に印加するデータ線駆動回路と、

を有する表示装置において、

前記表示パネル部に、表示データを格納する表示メモリと、

前記表示メモリから読み出されて転送されたデジタル信号の表示データをアナログ信号に変換するデジタル・アナログ変換回路(「DAC回路」という)と、

を備え、

30

前記 DAC 回路及び前記表示メモリは、前記表示部の画素スイッチの TFT (Thin Film Transistor) の形成プロセスと同一プロセスで形成されている、ことを特徴とする表示装置。

(付記 3)

前記表示パネル部に、前記 DAC 回路の出力を入力とし、データ線群に出力が接続されたセクタ回路を有する、ことを特徴とする付記 1 又は 2 に記載の表示装置。

(付記 4)

前記表示パネル部に、前記コントローラ IC の電源電圧で規定される信号振幅を、前記表示パネル部側の高電圧にレベルシフトするレベルシフタを有する、ことを特徴とする付記 1 に記載の表示装置。

40

(付記 5)

前記表示パネル部に、シリアルデータをパラレルデータに変換するシリアル・パラレル変換回路を備え、

前記 DAC 回路には、前記シリアル・パラレル変換回路でパラレルに変換されたデータが供給される、ことを特徴とする付記 1 又は 2 に記載の表示装置。

(付記 6)

前記表示部の両側に前記走査線駆動回路を備えるとともに、前記データ線駆動回路にクロックを供給するタイミングバッファを前記表示部の両側に備えている、ことを特徴とする付記 1 又は 2 に記載の表示装置。

(付記 7)

50

前記表示パネル部に、前記データ線駆動回路の一部を構成する回路として、電圧から電流へ変換する回路を備え、前記データ線を電流駆動する、ことを特徴とする付記 1 又は 2 記載の表示装置。

(付記 8)

前記表示部が、液晶からなることを特徴とする付記 1 又は 2 記載の表示装置。

(付記 9)

前記表示部が、有機 EL (エレクトロルミネセンス) からなることを特徴とする付記 1 又は 2 記載の表示装置。

(付記 10)

前記表示パネル部に形成され、前記データ線駆動回路及び前記走査線駆動回路を含む周辺回路を構成するトランジスタが、前記表示パネル部上に形成される前記表示部の画素スイッチをなすトランジスタと同一プロセスで形成されており、

前記データ線駆動回路及び前記走査線駆動回路を含む周辺回路のトランジスタのゲート絶縁膜の膜厚は、高電圧駆動されるトランジスタのゲート絶縁膜の膜厚に合わせて同一に設定されている、ことを特徴とする付記 1 乃至 7 のいずれか一に記載の表示装置。

(付記 11)

表示デバイス基板が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを (M × N) 画素分 (すなわち (M × N × B) ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し、上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの (M × N × B) ビットの内の 1 行分に相当する (N × B) ビットをブロック分割数 S で分割した { (N × B) / S } 個配置され、

前記コントローラ装置の前記出力バッファからは、{ (N × B) / S } ビット幅のデータバスを介して、前記表示デバイス基板側に、{ (N × B) / S } ビット単位で、1 水平期間に、前記ブロック分割数 S 回に分割して、1 ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトして出力するレベルシフタと、

前記レベルシフタの出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路 (「DAC 回路」という) と、

前記 DAC 回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセレクトと

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタと前記ラッチ回路は、いずれも { (N × B) / S } 個配置され、

前記 DAC 回路は、(N / S) 個配置され、

前記セレクト回路は、(N / S) 個の前記 DAC 回路の出力を受け、セレクト制御信号に基づき、前記各 DAC 回路の出力ごとに、1 水平期間を前記ブロック分割数 S で分割した時間で、順次、S 本のデータ線群へデータ信号の供給を行い、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフタ・タイミングバッファにクロック信号を供給し、

前記レベルシフタ・タイミングバッファで昇圧されて出力されるラッチクロック信号と前記セレクト制御信号が、前記ラッチ回路と前記セレクト回路にそれぞれ供給される、

ことを特徴とする表示装置。

(付記 12)

10

20

30

40

50

表示デバイス基板が、複数のデータ線（ N 本）と複数の走査線（ M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを（ $M \times N$ ）画素分（すなわち（ $M \times N \times B$ ）ビット）格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し、上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの（ $M \times N \times B$ ）ビットの内の1行分に相当する（ $N \times B$ ）ビットをブロック分割数 S で分割した $\{(N \times B) / S\}$ 個配置され、

前記コントローラ装置の前記出力バッファからは、 $\{(N \times B) / S\}$ ビット幅のデータバスを介して、前記表示デバイス基板に、 $\{(N \times B) / S\}$ ビット単位で、1水平期間に、前記ブロック分割数 S 回に分割して、1ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号をラッチするラッチ回路と、

前記ラッチ回路の出力振幅をより高い振幅の信号にレベルシフトして出力するレベルシフタと、

前記レベルシフタの B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC回路」という）と、

前記DAC回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセクタと

、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタと前記ラッチ回路は、いずれも $\{(N \times B) / S\}$ 個配置され、

前記DAC回路は、 (N / S) 個配置され、

前記セクタ回路は、 (N / S) 個の前記DAC回路の出力を受け、セクタ制御信号に基づき、前記各DAC回路の出力ごとに、1水平期間を前記ブロック分割数 S で分割した時間で、順次、 S 本のデータ線群へデータ信号の供給を行い、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフタ・タイミングバッファにクロック信号を供給し、

前記レベルシフタ・タイミングバッファで昇圧されて出力されるラッチクロック信号と前記セクタ制御信号が、前記ラッチ回路と前記セクタ回路にそれぞれ供給される、

ことを特徴とする表示装置。

（付記13）

表示デバイス基板が、複数のデータ線（ N 本）と複数の走査線（ M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを（ $M \times N$ ）画素分（すなわち（ $M \times N \times B$ ）ビット）格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの（ $M \times N \times B$ ）ビットの内の1行分に相当する（ $N \times B$ ）ビットをブロック分割数 S で分割した $\{(N \times B) / S\}$ 個配置され、

前記コントローラ装置の前記出力バッファからは、 $\{(N \times B) / S\}$ ビット幅のデータバスを介して、前記表示デバイス基板側に、 $\{(N \times B) / S\}$ ビット単位で、1水平期間に、前記ブロック分割数 S 回に分割して、1ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC回路」という）と、

10

20

30

40

50

前記 D A C 回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセレクタと、
 を含むデータ線駆動回路と、
 前記複数の走査線に順次電圧を印加する走査線駆動回路と、
 を備え、
 前記ラッチ回路は、前記出力バッファと同じ数の $\{ (N \times B) / S \}$ 個配置され、
 前記 D A C 回路は、 (N / S) 個配置され、
 前記セレクタ回路は、 (N / S) 個の前記 D A C 回路の出力を受け、セレクタ制御信号に基づき、前記各 D A C 回路の出力ごとに、1 水平期間を前記ブロック分割数 S で分割した時間で、順次、S 本のデータ線群へデータ信号の供給を行い、
 前記コントローラ装置の前記コントローラは、前記表示デバイス基板のタイミングバッファにクロック信号を供給し、前記タイミングバッファからのラッチクロック信号と前記セレクタ制御信号が、前記ラッチ回路と前記セレクタ回路にそれぞれ供給される、
 ことを特徴とする表示装置。

(付記 1 4)

前記 D A C 回路と前記セレクタ回路との間に、前記 D A C 回路の出力電圧を電流に変換する電圧 - 電流変換回路と、前記電圧 - 電流変換回路で変換された電流を、前記セレクタ回路に出力する電流出力バッファを備え、前記セレクタ回路の N 出力から N 本のデータ線に電流が供給される、ことを特徴とする付記 1 1 記載の表示装置。

(付記 1 5)

表示デバイス基板が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを $(M \times N)$ 画素分 (すなわち $(M \times N \times B)$ ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の 1 行分に相当する $(N \times B)$ ビットを、ブロック分割数 S の数だけ分割した $\{ (N \times B) / S \}$ 個配置され、

前記コントローラ装置の前記出力バッファからは、 $\{ (N \times B) / S \}$ ビット幅のデータバスを介して、前記表示デバイス基板に、 $\{ (N \times B) / S \}$ ビット単位で、1 水平期間に、前記ブロック分割数 S 回に分割して、1 ライン分の表示データが転送され、

前記表示デバイス基板は、
 前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフタと、

前記レベルシフタの出力をラッチするラッチ回路と、
 前記ラッチ回路の B ビットの出力を入力するデコード回路と、
 前記デコード回路の出力を入力としデコード結果に応じた電流を出力する電流出力バッファと、

前記電流出力バッファの出力電流を入力とし、前記表示部の N 列と同じ N 出力を有するセレクタと、

を含むデータ線駆動回路と、
 前記複数の走査線に順次電圧を印加する走査線駆動回路と、
 を備え、

前記レベルシフタと前記ラッチ回路は、いずれも前記出力バッファと同じ数の $\{ (N \times B) / S \}$ 個配置され、

前記デコード回路は、 (N / S) 個配置され、

前記セレクタ回路は、 (N / S) 個の前記電流出力バッファ回路の電流出力を受け、セレクタ制御信号に基づき、1 出力ごとに、前記ブロック分割数に分割された時間で、順次 S 本のデータ線群へ電流の供給を行い、

10

20

30

40

50

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフト・タイミングバッファにクロック信号を供給し、

前記レベルシフト・タイミングバッファで昇圧されたラッチクロック信号と前記セクタ制御信号が、前記ラッチ回路と前記セクタ回路にそれぞれ供給される、

ことを特徴とする表示装置。

(付記 16)

表示デバイス基板が、複数のデータ線 (N本) と複数の走査線 (M本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを (M × N) 画素分 (すなわち (M × N × B) ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの (M × N × B) ビットの内の 1 行分に相当する (N × B) 個が配置され、

前記コントローラ装置の前記出力バッファからは、(N × B) ビット幅のデータバスを介して、前記表示デバイス基板側に、一回の転送、1 ライン分の表示データが並列転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフトと、

前記レベルシフトの出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路 (「DAC 回路」という) と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフトと前記ラッチ回路は、いずれも前記出力バッファと同じ数の (N × B) 個が配置され、

前記 DAC 回路は、N 個配置され、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフト・タイミングバッファにクロック信号を供給し、

前記レベルシフト・タイミングバッファで昇圧されたラッチクロック信号が前記ラッチ回路に供給される、

ことを特徴とする表示装置。

(付記 17)

表示デバイス基板が、複数のデータ線 (N本) と複数の走査線 (M本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを (M × N) 画素分 (すなわち (M × N × B) ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの (M × N × B) ビットの内の 1 行分に相当する (N × B) 個が配置され、

前記コントローラ装置の前記出力バッファからは、(N × B) ビット幅のデータバスを介して、前記表示デバイス基板側に、一回の転送で 1 ライン分の表示データが並列転送され、

前記表示デバイス基板は、

前記データバスから受け取った低振幅の信号をラッチするラッチ回路と、

前記ラッチ回路の出力の振幅をより高い振幅の信号にレベルシフトするレベルシフトと

、

10

20

30

40

50

前記レベルシフタの B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC回路」という）と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタと前記ラッチ回路は、いずれも前記出力バッファと同じ数の（ $N \times B$ ）個配置され、

前記 DAC 回路は、 N 個配置され、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフタ・タイミングバッファにクロック信号を供給し、

前記レベルシフタ・タイミングバッファで昇圧されたラッチクロック信号が前記ラッチ回路に供給される、

ことを特徴とする表示装置。

（付記 18）

表示デバイス基板が、複数のデータ線（ N 本）と複数の走査線（ M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを（ $M \times N$ ）画素分（すなわち（ $M \times N \times B$ ）ビット）格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの（ $M \times N \times B$ ）ビットの内の 1 行分に相当する（ $N \times B$ ）個配置され、

前記コントローラ装置の前記出力バッファからは、（ $N \times B$ ）ビット幅のデータバスを介して、前記表示デバイス基板側に、1 水平期間に 1 ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスに転送された信号をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC回路」という）と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記ラッチ回路は、前記出力バッファと同じ数の（ $N \times B$ ）個配置され、

前記 DAC 回路は N 個配置され、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のタイミングバッファにクロック信号を供給し、

前記タイミングバッファからのラッチクロック信号が前記ラッチ回路に供給される、

ことを特徴とする表示装置。

（付記 19）

表示デバイス基板が、複数のデータ線（ N 本）と複数の走査線（ M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを（ $M \times N$ ）画素分（すなわち（ $M \times N \times B$ ）ビット）格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの（ $M \times N \times B$ ）ビットの内の 1 行分に相当する（ $N \times B$ ）個配置され、

前記コントローラ装置の前記出力バッファからは、（ $N \times B$ ）ビット幅のデータバスを介して、前記表示デバイス基板側に、1 回の転送で 1 ライン分の表示データが並列転送され、

前記表示デバイス基板は、

10

20

30

40

50

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフタと、

前記レベルシフタの出力をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

前記DAC回路の出力を入力して電圧電流変換し、対応するデータ線に電流出力する電圧-電流変換回路・電流出力バッファ回路と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタと前記ラッチ回路は、いずれも前記出力バッファと同じ数の($N \times B$)個が配置され、

前記DAC回路と前記電圧-電流変換回路・電流出力バッファ回路は、 N 個配置され、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフト・タイミングバッファにクロック信号を供給し、

前記レベルシフト・タイミングバッファからのラッチクロック信号が前記ラッチ回路に供給される、

ことを特徴とする表示装置。

(付記20)

前記DAC回路と前記電圧-電流変換回路・電流出力バッファ回路に換えて、

前記ラッチ回路のBビットの出力を入力してデコードするデコーダ回路を備え、

前記デコーダ回路の出力を入力して対応するデータ線に電流出力する電流出力バッファ回路を備えている、ことを特徴とする付記19記載の表示装置。

(付記21)

表示デバイス基板が、複数のデータ線(N 本)と複数の走査線(M 本)の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを($M \times N$)画素分(すなわち($M \times N \times B$)ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの($M \times N \times B$)ビットの内の1行分に相当する($N \times B$)ビットを、ブロック分割数 S の数と P 相で分割した $\{(N \times B) / (P \times S)\}$ 個配置され、

前記コントローラ装置の前記出力バッファからは、 $\{(N \times B) / (P \times S)\}$ ビット幅のデータバスを介して前記表示デバイス基板側に表示データが転送され、1水平期間には、 $\{(N \times B) / (P \times S)\}$ ビットのデータが($P \times S$)回に分割されて、1ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフタと、

前記レベルシフタの出力をシリアル入力し P 相の平行ビットに展開して出力するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

前記DAC回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセレクトと

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

10

20

30

40

50

前記レベルシフタは、前記出力バッファと同じ数の $\{ (N \times B) / (P \times S) \}$ 個配置され、

前記ラッチ回路は、 $\{ (N \times B) / S \}$ 個配置され、

前記DAC回路は、 (N / S) 個配置され、

前記セクタ回路は、 (N / S) 個の前記DAC回路の出力を受け、セクタ制御信号に基づき、前記各DAC回路の出力ごとに、前記ブロック分割数 S に分割された時間で、順次 S 本のデータ線群へデータ信号の供給を行い、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフタ・タイミングバッファにクロック信号を供給し、

前記レベルシフタ・タイミングバッファで昇圧されたラッチクロック信号と前記セクタ制御信号とシリアル・パラレル変換制御信号が、前記ラッチ回路と前記セクタ回路と前記シリアル・パラレル変換回路にそれぞれ供給される、

ことを特徴とする表示装置。

(付記22)

表示デバイス基板が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを $(M \times N)$ 画素分 (すなわち $(M \times N \times B)$ ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットを、ブロック分割数 S の数と P 相で分割した $\{ (N \times B) / (P \times S) \}$ 個配置され、

前記コントローラ装置の前記出力バッファからは $\{ (N \times B) / (P \times S) \}$ ビット幅のデータバスを介して、前記表示デバイス基板側に表示データが転送され、1水平期間には、 $\{ (N \times B) / (P \times S) \}$ ビットのデータが $(P \times S)$ 回に分割されて、1ライン分の表示データが転送され、

前記表示デバイス基板上には、前記データバスに転送される $\{ (N \times B) / (P \times S) \}$ ビットの各ビットデータをシリアル入力し P 相のパラレルビットに展開するシリアル・パラレル変換回路と、

前記シリアル・パラレル変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路の出力をレベルシフトするレベルシフタと、

前記レベルシフタの B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路 (「DAC回路」という) と、

前記DAC回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセクタと

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記ラッチ回路は、前記出力バッファと同じ数の $\{ (N \times B) / (P \times S) \}$ 個配置され、

前記レベルシフタは、 $\{ (N \times B) / S \}$ 個配置され、

前記DAC回路は、 (N / S) 個配置され、

前記セクタ回路は、 (N / S) 個の前記DAC回路の出力を受け、セクタ制御信号に基づき、前記DAC回路の1出力ごとに、前記ブロック分割数 S に分割された時間で、順次 S 本のデータ線群へデータ信号の供給を行い、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフタ・タイミングバッファにクロック信号を供給し、

前記レベルシフタ・タイミングバッファで昇圧されたラッチクロック信号と前記セクタ制御信号とシリアル・パラレル変換制御信号が、前記ラッチ回路と前記セクタ回路と

前記シリアル・パラレル変換回路にそれぞれ供給される、
ことを特徴とする表示装置。

(付記 2 3)

表示デバイス基板が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを (M × N) 画素分 (すなわち (M × N × B) ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの (M × N × B) ビットの内の 1 行分に相当する (N × B) ビットを、ブロック分割数 S の数と P 相で分割した { (N × B) / (P × S) } 個配置され、

前記コントローラ装置の前記出力バッファからは、{ (N × B) / (P × S) } ビット幅のデータバスを介して、前記表示デバイス基板側に表示データが転送され、1 水平期間には、{ (N × B) / (P × S) } ビットのデータが (P × S) 回に分割されて 1 ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスからの各ビットデータをシリアル入力し P 相のパラレルビットに展開するシリアル・パラレル変換回路と、

前記シリアル・パラレル変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路 (「DAC 回路」という) と、

前記 DAC 回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセレクトと

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記ラッチ回路は、前記出力バッファと同じ数の { (N × B) / S } 個配置され、

前記 DAC 回路は (N / S) 個配置され、

前記セレクト回路は、(N / S) 個の前記 DAC 回路の出力を受け、セレクト制御信号に基づき、前記各 DAC 回路の 1 出力ごとに、前記ブロック分割数 S に分割された時間で、順次 S 本のデータ線群へデータ信号の供給を行い、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のタイミングバッファにクロック信号を供給し、

前記タイミングバッファからのラッチクロック信号と前記セレクト制御信号とシリアル・パラレル変換制御信号が、前記ラッチ回路と前記セレクト回路と前記シリアル・パラレル変換回路にそれぞれ供給される、

ことを特徴とする表示装置。

(付記 2 4)

前記 DAC 回路と前記セレクトの間に、前記 DAC 回路の出力を電圧電流変換して、電流出力する電圧 - 電流変換回路・電流出力バッファ回路を備えている、ことを特徴とする付記 2 3 記載の表示装置。

(付記 2 5)

前記 DAC 回路に換えて、それぞれが B 個の前記ラッチ回路の出力を入力してデコードするデコーダ回路と、前記デコーダ回路のデコード結果出力に対応する電流を出力する電流出力バッファとが、前記ラッチ回路と前記セレクトの間に、それぞれ (N / S) 回路配置される、ことを特徴とする付記 2 1 記載の表示装置。

(付記 2 6)

表示デバイス基板が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

10

20

30

40

50

Bビットの階調の表示データを $(M \times N)$ 画素分(すなわち $(M \times N \times B)$ ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、 $\{(N \times B) / P\}$ 個配置され、

前記コントローラ装置の前記出力バッファからは、 $\{(N \times B) / P\}$ ビット幅のデータバスを介して、前記表示デバイス基板側に、1水平期間あたり、P回に分割されて、1ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフタと、

前記レベルシフタの出力をシリアル入力しP相の平行ビットに展開するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタは、前記出力バッファと同じ数の $\{(N \times B) / P\}$ 個配置され、

前記ラッチ回路は、 $(N \times B)$ 個配置され、

前記DAC回路は、N個配置され、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のレベルシフタ・タイミングバッファにクロック信号を供給し、

前記レベルシフタ・タイミングバッファで昇圧されたラッチクロック信号とシリアル・平行変換制御信号が、前記ラッチ回路と前記シリアル・平行変換回路にそれぞれ供給される、

ことを特徴とする表示装置。

(付記27)

前記表示デバイス基板において、

前記レベルシフタと前記シリアル・平行変換回路の位置を入れ替え、

前記シリアル・平行変換回路が、前記データバスの各ビット信号をシリアル入力してP相の平行ビットに展開し、

前記レベルシフタは、前記シリアル・平行変換回路の出力信号の振幅をより高振幅の信号にレベルシフトし、

前記DAC回路が前記レベルシフタの出力を入力する、

ことを特徴とする付記26記載の表示装置。

(付記28)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを $(M \times N)$ 画素分(すなわち $(M \times N \times B)$ ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の1行分をP相で分割した数に相当する $\{(N \times B) / P\}$ 個配置され、

前記コントローラ装置の前記出力バッファからは $\{(N \times B) / P\}$ ビット幅のデータバスを介して、前記表示デバイス基板側に、1水平期間あたり、P回分割して、1ライン分の表示データが転送され、

前記表示デバイス基板は、

10

20

30

40

50

前記データバスからの各ビットデータをシリアルに入力し P 個の平行ビットに展開して出力するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC 回路」という）と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記ラッチ回路は、 $(N \times B)$ 個配置され、

前記 DAC 回路は、N 個配置され、

前記コントローラ装置の前記コントローラは、前記表示デバイス基板のタイミングバッファにクロック信号を供給し、前記タイミングバッファからラッチクロック信号とシリアル・平行変換制御信号が、前記ラッチ回路と前記シリアル・平行変換回路にそれぞれ供給される、

ことを特徴とする表示装置。

（付記 29）

前記 DAC 回路の出力電圧を入力して電圧 - 電流変換して、電流出力する電圧 - 電流変換回路・電流出力バッファを N 個備えている、ことを特徴とする付記 28 記載の表示装置

。

（付記 30）

前記 DAC 回路に換えて、それぞれが B 個の前記ラッチ回路の出力を入力してデコードする N 個のデコーダ回路と、前記デコーダ回路のデコード結果に応じた電流を出力する N 個の電流出力バッファ回路を備えている、ことを特徴とする付記 28 記載の表示装置。

（付記 31）

表示デバイス基板が、複数のデータ線（N 本）と複数の走査線（M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部と、

B ビットの階調の表示データを $(M \times N)$ 画素分（すなわち $(M \times N \times B)$ ビット）格納する表示メモリと、

前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、

前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、

を同一基板上に有し、

前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の 1 行分に相当する $(N \times B)$ ビットを、ブロック分割数 S の数と P 相で分割した $\{(N \times B) / (P \times S)\}$ 個配置されており、

前記表示デバイス基板上に、さらに、

前記出力バッファの出力をシリアルに入力し P 相の平行ビットに展開して出力するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC 回路」という）と、

前記 DAC 回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセクタと、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記シリアル / 平行変換回路は、 $\{(N \times B) / (P \times S)\}$ 個配置され、

前記ラッチ回路は、 $\{(N \times B) / S\}$ 個配置され、

前記 DAC 回路は、 (N / S) 個配置され、

10

20

30

40

50

前記セレクト回路は、 (N/S) 個の前記DAC回路の出力を受け、セレクト制御信号に基づき、前記各DAC回路の出力ごとに、前記ブロック分割数 S に分割された時間で、順次 S 本のデータ線群へデータ信号の供給を行い、

前記コントローラから、前記ラッチ回路にラッチクロック信号が供給され、前記セレクト回路に前記セレクト制御信号が供給され、前記シリアル・パラレル変換回路にシリアル・パラレル変換制御信号が供給される、

ことを特徴とする表示装置。

(付記32)

表示デバイス基板が、複数のデータ線(N 本)と複数の走査線(M 本)の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部と、

B ビットの階調の表示データを $(M \times N)$ 画素分(すなわち $(M \times N \times B)$ ビット)格納する表示メモリと、

前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、

前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、

を同一基板上に有し、

前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットを、 P 相で分割した $\{(N \times B) / P\}$ 個配置されており、

前記表示デバイス基板上に、さらに、

前記出力バッファの出力をシリアルに投入し P 相の平行ビットに展開して出力するシリアル・パラレル変換回路と、

前記シリアル・パラレル変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記シリアル/パラレル変換回路は、 $\{(N \times B) / P\}$ 個配置され、

前記ラッチ回路は、 $(N \times B)$ 個配置され、

前記DAC回路は、 N 個配置され、

前記コントローラから、前記ラッチ回路にラッチクロック信号が供給され、前記シリアル・パラレル変換回路にシリアル・パラレル変換制御信号が供給される、ことを特徴とする表示装置。

(付記33)

前記表示デバイス基板上に形成される回路を構成するトランジスタが、前記表示部の画素スイッチと同一の製造プロセスで作成されている、ことを特徴とする付記11乃至32のいずれかーに記載の表示装置。

(付記34)

前記表示デバイス基板上に形成される、前記データ線駆動回路及び前記走査線駆動回路を含む周辺回路を構成するトランジスタが、前記表示デバイス基板上に形成される前記表示部の画素スイッチをなすトランジスタと同一プロセスで形成されており、

前記データ線駆動回路及び前記走査線駆動回路を含む周辺回路を構成するトランジスタのゲート絶縁膜の膜厚が、前記画素スイッチをなすトランジスタのゲート絶縁膜の膜厚と同一とされている、ことを特徴とする付記11乃至32のいずれかーに記載の表示装置。

(付記35)

表示データを格納する表示メモリ回路から読み出された1ライン分、又は1ライン分を複数に分割して、平行に転送されるデジタル信号を、アナログ信号に変換するデジタル・アナログ変換回路を少なくとも備え、前記表示部の複数のデータ線にアナログのデータ信号を印加するデータ線駆動回路を含む表示装置において、

前記デジタル・アナログ変換回路、又は、前記デジタル・アナログ変換回路と前記表示メモリ回路は、前記表示部と同一の基板上に形成されており、

前記表示部と同一の基板上に形成される回路を構成するトランジスタは、前記表示部の画素スイッチをなすトランジスタと同一のプロセスで形成されるとともに、そのゲート絶縁膜の膜厚は、前記画素スイッチをなすトランジスタのゲート絶縁膜の膜厚と同一とされている、ことを特徴とする表示装置。

(付記36)

前記トランジスタが、多結晶シリコンTFT(Thin Film Transistor)よりなる、ことを特徴とする付記10、34、35のいずれかに記載の表示装置。

10

(付記37)

上位装置から供給される表示データを受け、表示データに対応した信号をデータ線に印加するデータ線駆動回路を有する表示装置であって、少なくとも表示データを相展開する回路において、表示信号を伝える配線が、他の表示信号を伝える配線と交差しなことを特徴とする表示装置。

(付記38)

上位装置から供給される表示データを受けて、この表示データを相展開する回路を有する表示装置であって、

相展開前の信号を伝える、ある信号線が他の信号線と交差する交差点の数Cが

$$C = n(n-1)(k-1)/2$$

20

(ただし、nは供給される表示データの並列度、k×nは、相展開後の表示データの並列度を示す)

よりも少ない、ことを特徴とする表示装置。

(付記39)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを(M×N)画素分(すなわち(M×N×B)ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

30

前記コントローラ装置の出力バッファから、前記表示メモリの(M×N×B)ビットの内の1行分に相当する(N×B)ビットを、ブロック分割数Sの数とP相で分割した{(N×B)/(P×S)}ビット幅のデータバスを介して、前記表示デバイス基板側に、デジタル表示データが転送され、

前記表示デバイス基板が、

前記表示部のデータ線を駆動するデータ線駆動回路であって、

前記データバスのうちの1本のデータ線に対して共通に接続されるP個のレベルシフト回路であって、前記出力バッファより出力され前記データ線を介して順次受け取ったP相の信号の振幅をそれぞれより高い振幅の信号にレベルシフトするレベルシフト回路と、P個の前記レベルシフト回路の出力を駆動クロックにしたがってそれぞれラッチし、P相のシリアルビットデータをレベルシフトされたPビットの平行データに展開してラッチ出力するラッチ回路を備えたP相展開回路を備え、

40

{(N×B)/(P×S)}ビット幅の前記データバスに対応して設けられた{(N×B)/(P×S)}個の前記P相展開回路からは、{(N×B)/S}ビットのデータが平行に出力され、

{(N×B)/(P×S)}個の前記P相展開回路に対して、(N/S)個設けられ、前記P相展開回路のからのBビットデータを入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

(N/S)個の前記DAC回路の出力を入力として受け、前記表示部のN本のデータ線に接続されるN本の出力を有し、(N/S)個の前記DAC回路の出力を、前記ブロック

50

分割数 S に分割された時間で、順次、前記表示部のデータ線群へ供給するセレクタと、を含むデータ線駆動回路を備えている、ことを特徴とする表示装置。

(付記 40)

前記コントローラ装置から前記データバスを介して、1 水平期間には、 $\{(N \times B) / (P \times S)\}$ ビットのデジタル映像データが、 $(P \times S)$ 回に分割されて 1 ライン分の表示データが、前記表示デバイス基板のデータ線駆動回路に転送される、ことを特徴とする付記 39 記載の表示装置。

(付記 41)

前記 P 相展開回路が、前記レベルシフト回路として、高位側電源と低位側電源間に直列形態に接続されている第 1 乃至第 3 のスイッチ素子を備え、

10

前記第 1 のスイッチ素子と前記第 2 のスイッチ素子の接続点には第 1 の容量が接続され、

入力信号が入力される入力端子と前記第 3 のスイッチ素子の制御端子との間に接続された第 4 のスイッチ素子を備え、

前記第 3 のスイッチ素子の制御端子と前記第 4 のスイッチ素子との接続点には第 2 の容量が接続され、

前記第 1 のスイッチ素子と前記第 2 のスイッチ素子は、それぞれの制御端子に第 1 のサンプリング制御信号が共通に入力され、一方がオンのとき、他方はオフとされ、

前記第 4 のスイッチ素子の制御端子には、第 2 のサンプリング制御信号が入力され、

前記第 1 の容量の端子電圧が、直接に、又は、間接的に、出力信号として取り出されるレベルシフト回路を備えている、ことを特徴とする付記 39 記載の表示回路。

20

(付記 42)

前記 P 相展開回路が、前記レベルシフト回路として、高位側電源と低位側電源間に直列形態に接続されている第 1 乃至第 3 のスイッチ素子を備え、

前記第 1 のスイッチ素子と前記第 2 のスイッチ素子の接続点には第 1 の容量が接続され、

入力信号が入力される入力端子と前記第 3 のスイッチ素子の制御端子との間に接続された第 4 のスイッチ素子を備え、

前記第 3 のスイッチ素子の制御端子と前記第 4 のスイッチ素子との接続点に第 2 の容量が接続されており、

30

前記第 1 のスイッチ素子の制御端子と前記第 2 のスイッチ素子の制御端子には第 1 のサンプリング制御信号が共通に入力され、

前記第 1 のサンプリング制御信号が第 2 の論理値のとき、前記第 1 のスイッチ素子がオンし、前記第 2 のスイッチ素子はオフし、前記第 1 の容量が前記高位側電源の電源電圧に充電され、

前記第 4 のスイッチ素子の制御端子には、第 2 のサンプリング制御信号が入力され、前記第 2 のサンプリング制御信号が第 1 の論理値のとき前記第 4 のスイッチ素子はオンし、前記第 2 の容量は前記入力信号電圧で充電され、

前記第 1 のサンプリング制御信号が第 1 の論理値のとき、前記第 1 のスイッチ素子はオフし、前記第 2 のスイッチ素子がオンし、このときの前記第 1 の容量の端子電圧が、直接に、又は、間接的に、出力信号として取り出されるレベルシフト回路を備えている、ことを特徴とする付記 39 記載の表示回路。

40

(付記 43)

前記 P 相展開回路が 2 相展開回路よりなり、

前記 2 相展開回路は、データ線に入力端が共通に接続される第 1、第 2 のレベルシフト回路を備え、

前記第 1 のレベルシフト回路は、高位側電源と低位側電源間に直列形態に接続されている第 1 乃至第 3 のスイッチ素子を備え、

前記第 1 のスイッチ素子と前記第 2 のスイッチ素子の接続点には第 1 の容量が接続され、

50

入力信号が入力される入力端子と前記第 3 のスイッチ素子の制御端子との間に接続された第 4 のスイッチ素子を備え、

前記第 3 のスイッチ素子の制御端子と前記第 4 のスイッチ素子との接続点に第 2 の容量が接続されており、

前記第 1 のスイッチ素子の制御端子と前記第 2 のスイッチ素子の制御端子には第 1 のサンプリング制御信号が共通に入力され、

前記第 1 のサンプリング制御信号が第 2 の論理値のとき、前記第 1 のスイッチ素子がオンし、前記第 2 のスイッチ素子はオフし、前記第 1 の容量が前記高位側電源の電源電圧に充電され、

前記第 4 のスイッチ素子の制御端子には、前記第 1 のサンプリング制御信号と相補の第 2 のサンプリング制御信号が入力され、前記第 2 のサンプリング制御信号が第 1 の論理値のとき前記第 4 のスイッチ素子はオンし、前記第 2 の容量は前記入力信号電圧で充電され、

前記第 1 のサンプリング制御信号が第 1 の論理値のとき、前記第 1 のスイッチ素子はオフし、前記第 2 のスイッチ素子がオンし、このときの前記第 1 の容量の端子電圧が、直接に、又は、間接的に、出力信号として取り出され、

前記第 2 のレベルシフト回路は、前記第 1 のレベルシフト回路と同一の回路構成とされ、

前記第 1 及び第 2 のレベルシフト回路には、入力信号が共通に入力され、

前記第 2 のレベルシフト回路の前記第 1 のスイッチ素子の制御端子と前記第 2 のスイッチ素子の制御端子には前記第 2 のサンプリング制御信号が共通に入力され、前記第 2 のレベルシフト回路の前記第 4 のスイッチ素子の制御端子には、前記第 1 のサンプリング制御信号が入力され、

前記第 1 のレベルシフト回路の出力を、前記第 1 のサンプリング制御信号に基づき取り込み、前記第 2 のサンプリング制御信号に基づき出力する第 1 のマスタースレーブ型のラッチと、

前記第 1 のマスタースレーブ型のラッチの出力を前記第 1 のサンプリング制御信号に基づき出力するラッチと、

前記第 2 のレベルシフト回路の出力を、前記第 2 のサンプリング制御信号に基づき取り込み、前記第 1 のサンプリング制御信号に基づき出力する第 2 のマスタースレーブ型のラッチと、

を備えている、ことを特徴とする付記 39 記載の表示回路。

(付記 44)

複数のデータ線と複数の走査線の交点に画素群がマトリクス状に配置された表示部を有する表示パネル部と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

上位装置から供給された表示データを受け、前記表示データに対応した信号を前記複数のデータ線に印加するデータ線駆動回路と、

を有する表示装置において、

表示データを格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル部へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し前記上位装置との通信並びに制御を司るコントローラと、を有するコントローラ IC を、前記表示パネル部の外部に備え、

前記表示パネル部に、前記データ線駆動回路の一部を構成し、前記コントローラ装置から転送されたデジタル信号の表示データをアナログ電流信号に変換する電圧・電流変換回路と、を備え、

前記コントローラ IC と、前記表示パネル部との間のデータ転送用のバスの幅が、前記コントローラと前記上位装置の間のバスよりも、一回あたりの転送で多くのビットデータが並列転送される構成とされている、ことを特徴とする表示装置。

(付記 45)

複数のデータ線と複数の走査線の交点に画素群がマトリクス状に配置された表示部を有する表示パネル部と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

上位装置から供給された表示データを受け、前記表示データに対応した信号を前記複数のデータ線に印加するデータ線駆動回路と、

を有する表示装置において、

前記表示パネル部に、少なくとも、表示データを格納する表示メモリと、

前記表示メモリから読み出されて転送されたデジタル信号の表示データをアナログ信号に変換するデジタル・アナログ変換回路(「DAC回路」という)と、

を備えることを特徴とする表示装置。

10

(付記46)

複数のデータ線と複数の走査線の交点に画素群がマトリクス状に配置された表示部を有する表示パネル部と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

上位装置から供給された表示データを受け、前記表示データに対応した信号を前記複数のデータ線に印加するデータ線駆動回路と、

を有する表示装置において、

前記表示パネル部に、少なくとも、表示データを格納する表示メモリと、

前記表示メモリから読み出されて転送されたデジタル信号の表示データをアナログ電流信号に変換する電圧・電流変換回路と、

を備えることを特徴とする表示装置。

20

(付記47)

前記表示パネル部に、前記DAC回路の出力を入力とし、データ線群に出力が接続されたセレクト回路を有する、ことを特徴とする付記45に記載の表示装置。

(付記48)

前記表示パネル部に、前記コントローラICの電源電圧で規定される信号振幅を、前記表示パネル部側の高電圧にレベルシフトするレベルシフタを有する、ことを特徴とする付記44に記載の表示装置。

(付記49)

前記表示パネル部に、シリアルなデータをパラレル・データに変換するシリアル・パラレル変換回路を備え、

前記DAC回路には、前記シリアル・パラレル変換回路でパラレルに変換されたデータが供給される、ことを特徴とする付記45に記載の表示装置。

(付記50)

前記表示部の両側に前記走査線駆動回路を備えるとともに、前記データ線駆動回路にクロックを供給するタイミングバッファを前記表示部の両側に備えている、ことを特徴とする付記44乃至46のいずれかーに記載の表示装置。

(付記51)

前記表示パネル部に、前記データ線駆動回路の一部を構成する回路として、電圧から電流へ変換する回路を備え、前記データ線を電流駆動する、ことを特徴とする付記44乃至46のいずれかーに記載の表示装置。

(付記52)

前記表示部が、液晶からなることを特徴とする付記44乃至46のいずれかーに記載の表示装置。

(付記53)

前記表示部が、有機EL(エレクトロルミネセンス)からなることを特徴とする付記44乃至46のいずれかーに記載の表示装置。

(付記54)

前記表示パネル部に形成された、前記表示部、前記データ線駆動回路部、前記走査線駆動回路部を構成しているそれぞれのトランジスタのゲート絶縁膜は同一構造で、その膜厚

50

はプロセスばらつきの範囲内で等しい、ことを特徴とする付記 1 乃至 4、4 4 乃至 4 6 のいずれかーに記載の表示装置。

(付記 5 5)

表示デバイス基板が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを (M × N) 画素分 (すなわち (M × N × B) ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し、上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの (M × N × B) ビットの内の 1 行分に相当する (N × B) ビットをブロック分割数 S で分割した { (N × B) / S } 個配置され、

10

前記コントローラ装置の前記出力バッファからは、{ (N × B) / S } ビット幅のデータバスを介して、前記表示デバイス基板側に、{ (N × B) / S } ビット単位で、1 水平期間に、前記ブロック分割数 S 回に分割して、1 ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトして出力するレベルシフタと、

前記レベルシフタの出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路 (「DAC 回路」という) と、

20

前記 DAC 回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセクタと

、を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタと前記ラッチ回路は、いずれも { (N × B) / S } 個配置され、

前記 DAC 回路は、(N / S) 個配置され、

前記セクタ回路は、(N / S) 個の前記 DAC 回路の出力を受け、セクタ制御信号に基づき、前記各 DAC 回路の出力ごとに、1 水平期間を前記ブロック分割数 S で分割した時間で、順次、S 本のデータ線群へデータ信号の供給を行う、

30

ことを特徴とする表示装置。

(付記 5 6)

表示デバイス基板が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを (M × N) 画素分 (すなわち (M × N × B) ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し、上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの (M × N × B) ビットの内の 1 行分に相当する (N × B) ビットをブロック分割数 S で分割した { (N × B) / S } 個配置され、

40

前記コントローラ装置の前記出力バッファからは、{ (N × B) / S } ビット幅のデータバスを介して、前記表示デバイス基板に、{ (N × B) / S } ビット単位で、1 水平期間に、前記ブロック分割数 S 回に分割して、1 ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号をラッチするラッチ回路と、

前記ラッチ回路の出力振幅をより高い振幅の信号にレベルシフトして出力するレベルシフタと、

前記レベルシフタの B ビットの出力を入力してアナログ信号を出力するデジタル・アナ

50

ログ変換回路（「DAC回路」という）と、

前記DAC回路の出力を入力とし、前記表示部のN列と同じN出力を有するセレクトと

、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフトと前記ラッチ回路は、いずれも $\{(N \times B) / S\}$ 個配置され、

前記DAC回路は、 (N / S) 個配置され、

前記セレクト回路は、 (N / S) 個の前記DAC回路の出力を受け、セレクト制御信号に基づき、前記各DAC回路の出力ごとに、1水平期間を前記ブロック分割数Sで分割した時間で、順次、S本のデータ線群へデータ信号の供給を行う、

ことを特徴とする表示装置。

（付記57）

表示デバイス基板が、複数のデータ線（N本）と複数の走査線（M本）の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを $(M \times N)$ 画素分（すなわち $(M \times N \times B)$ ビット）格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットをブロック分割数Sで分割した $\{(N \times B) / S\}$ 個配置され、

前記コントローラ装置の前記出力バッファからは、 $\{(N \times B) / S\}$ ビット幅のデータバスを介して、前記表示デバイス基板側に、 $\{(N \times B) / S\}$ ビット単位で、1水平期間に、前記ブロック分割数S回に分割して、1ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC回路」という）と、

前記DAC回路の出力を入力とし、前記表示部のN列と同じN出力を有するセレクトと

、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記ラッチ回路は、前記出力バッファと同じ数の $\{(N \times B) / S\}$ 個配置され、

前記DAC回路は、 (N / S) 個配置され、

前記セレクト回路は、 (N / S) 個の前記DAC回路の出力を受け、セレクト制御信号に基づき、前記各DAC回路の出力ごとに、1水平期間を前記ブロック分割数Sで分割した時間で、順次、S本のデータ線群へデータ信号の供給を行う、

ことを特徴とする表示装置。

（付記58）

前記DAC回路と前記セレクト回路との間に、前記DAC回路の出力電圧を電流に変換する電圧-電流変換回路と、前記電圧-電流変換回路で変換された電流を、前記セレクト回路に出力する電流出力バッファを備え、前記セレクト回路のN出力からN本のデータ線に電流が供給される、ことを特徴とする付記55乃至57のいずれかーに記載の表示装置。

（付記59）

前記DAC回路に換えて、デジタル電圧信号の表示データからアナログ電流信号に変換する電圧・電流変換回路を備え、前記セレクト回路のN出力からN本のデータ線に電流が供給される、ことを特徴とする付記11乃至13、55乃至57のいずれかーに記載の表

10

20

30

40

50

示装置。

(付記60)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを(M×N)画素分(すなわち(M×N×B)ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの(M×N×B)ビットの内の1行分に相当する(N×B)ビットを、ブロック分割数Sの数だけ分割した{(N×B)/S}個配置され、

10

前記コントローラ装置の前記出力バッファからは、{(N×B)/S}ビット幅のデータバスを介して、前記表示デバイス基板に、{(N×B)/S}ビット単位で、1水平期間に、前記ブロック分割数S回に分割して、1ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフタと、

前記レベルシフタの出力をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力するデコーダ回路と、

前記デコーダ回路の出力を入力としデコード結果に応じた電流を出力する電流出力バッファと、

20

前記電流出力バッファの出力電流を入力とし、前記表示部のN列と同じN出力を有するセレクトと、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタと前記ラッチ回路は、いずれも前記出力バッファと同じ数の{(N×B)/S}個配置され、

前記デコーダ回路は、(N/S)個配置され、

前記セレクト回路は、(N/S)個の前記電流出力バッファ回路の電流出力を受け、セレクト制御信号に基づき、1出力ごとに、前記ブロック分割数に分割された時間で、順次S本のデータ線群へ電流の供給を行う、

30

ことを特徴とする表示装置。

(付記61)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを(M×N)画素分(すなわち(M×N×B)ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

40

前記コントローラ装置において前記出力バッファは、前記メモリの(M×N×B)ビットの内の1行分に相当する(N×B)個が配置され、

前記コントローラ装置の前記出力バッファからは、(N×B)ビット幅のデータバスを介して、前記表示デバイス基板側に、1回の転送で1ライン分の表示データが並列転送され、

前記表示デバイス基板は、

前記データバスから受け取った低振幅の信号をラッチするラッチ回路と、

前記ラッチ回路の出力の振幅をより高い振幅の信号にレベルシフトするレベルシフタと、

前記レベルシフタのBビットの出力を入力してアナログ信号を出力するデジタル・アナ

50

ログ変換回路（「DAC回路」という）と、
 を含むデータ線駆動回路と、
 前記複数の走査線に順次電圧を印加する走査線駆動回路と、
 を備え、
 前記レベルシフタと前記ラッチ回路は、いずれも前記出力バッファと同じ数の（ $N \times B$ ）
 ）個配置され、
 前記DAC回路は、 N 個配置されている、
 ことを特徴とする表示装置。

（付記62）

表示デバイス基板が、複数のデータ線（ N 本）と複数の走査線（ M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを（ $M \times N$ ）画素分（すなわち（ $M \times N \times B$ ）ビット）格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの（ $M \times N \times B$ ）ビットの内の1行分に相当する（ $N \times B$ ）個配置され、

前記コントローラ装置の前記出力バッファからは、（ $N \times B$ ）ビット幅のデータバスを介して、前記表示デバイス基板側に、1水平期間に1ライン分の表示データが転送され、
 前記表示デバイス基板は、

前記データバスに転送された信号をラッチするラッチ回路と、
 前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC回路」という）と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、
 を備え、

前記ラッチ回路は、前記出力バッファと同じ数の（ $N \times B$ ）個配置され、

前記DAC回路は N 個配置されている、

ことを特徴とする表示装置。

（付記63）

表示デバイス基板が、複数のデータ線（ N 本）と複数の走査線（ M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを（ $M \times N$ ）画素分（すなわち（ $M \times N \times B$ ）ビット）格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの（ $M \times N \times B$ ）ビットの内の1行分に相当する（ $N \times B$ ）個配置され、

前記コントローラ装置の前記出力バッファからは、（ $N \times B$ ）ビット幅のデータバスを介して、前記表示デバイス基板側に、1水平期間に1ライン分の表示データが転送され、
 前記表示デバイス基板は、

前記データバスに転送された信号をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC回路」という）と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、
 を備え、

前記ラッチ回路は、前記出力バッファと同じ数の（ $N \times B$ ）個配置され、

前記DAC回路は N 個配置されている、

ことを特徴とする表示装置。

10

20

30

40

50

(付記64)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを(M×N)画素分(すなわち(M×N×B)ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの(M×N×B)ビットの内の1行分に相当する(N×B)個配置され、

前記コントローラ装置の前記出力バッファからは、(N×B)ビット幅のデータバスを介して、前記表示デバイス基板側に、1回の転送で1ライン分の表示データが並列転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフタと、

前記レベルシフタの出力をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

前記DAC回路の出力を入力して電圧電流変換し、対応するデータ線に電流出力する電圧-電流変換回路・電流出力バッファ回路と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタと前記ラッチ回路は、いずれも前記出力バッファと同じ数の(N×B)個が配置され、

前記DAC回路と前記電圧-電流変換回路・電流出力バッファ回路は、N個配置されている、

ことを特徴とする表示装置。

(付記65)

前記DAC回路と前記電圧-電流変換回路・電流出力バッファ回路に換えて、前記ラッチ回路のBビットの出力を入力してアナログ電流信号に変換する電圧・電流変換回路を備えている、ことを特徴とする付記64記載の表示装置。

(付記66)

前記DAC回路と前記電圧-電流変換回路・電流出力バッファ回路に換えて、前記ラッチ回路のBビットの出力を入力してデコードするデコーダ回路を備え、前記デコーダ回路の出力を入力して対応するデータ線に電流出力する電流出力バッファ回路を備えている、ことを特徴とする付記64記載の表示装置。

(付記67)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを(M×N)画素分(すなわち(M×N×B)ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの(M×N×B)ビットの内の1行分に相当する(N×B)ビットを、ブロック分割数Sの数とP相で分割した{(N×B)/(P×S)}個配置され、

前記コントローラ装置の前記出力バッファからは、{(N×B)/(P×S)}ビット幅のデータバスを介して前記表示デバイス基板側に表示データが転送され、1水平期間には、{(N×B)/(P×S)}ビットのデータが(P×S)回に分割されて、1ライン

10

20

30

40

50

分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフタと、

前記レベルシフタの出力をシリアル入力しP相の平行ビットに展開して出力するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

前記DAC回路の出力を入力とし、前記表示部のN列と同じN出力を有するセクタと

10

、を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフタは、前記出力バッファと同じ数の $\{(N \times B) / (P \times S)\}$ 個配置され、

前記ラッチ回路は、 $\{(N \times B) / S\}$ 個配置され、

前記DAC回路は、 (N / S) 個配置され、

前記セクタ回路は、 (N / S) 個の前記DAC回路の出力を受け、セクタ制御信号に基づき、前記各DAC回路の出力ごとに、前記ブロック分割数Sに分割された時間で、順次S本のデータ線群へデータ信号の供給を行う、

20

ことを特徴とする表示装置。

(付記68)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを $(M \times N)$ 画素分(すなわち $(M \times N \times B)$ ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットを、ブロック分割数Sの数とP相で分割した $\{(N \times B) / (P \times S)\}$ 個配置され、

30

前記コントローラ装置の前記出力バッファからは $\{(N \times B) / (P \times S)\}$ ビット幅のデータバスを介して、前記表示デバイス基板側に表示データが転送され、1水平期間には、 $\{(N \times B) / (P \times S)\}$ ビットのデータが $(P \times S)$ 回に分割されて、1ライン分の表示データが転送され、

前記表示デバイス基板上には、前記データバスに転送される $\{(N \times B) / (P \times S)\}$ ビットの各ビットデータをシリアル入力しP相の平行ビットに展開するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

40

前記ラッチ回路の出力をレベルシフトするレベルシフタと、

前記レベルシフタのBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

前記DAC回路の出力を入力とし、前記表示部のN列と同じN出力を有するセクタと

、を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記ラッチ回路は、前記出力バッファと同じ数の $\{(N \times B) / (P \times S)\}$ 個配置され、

50

前記レベルシフタは、 $\{(N \times B) / S\}$ 個配置され、
 前記DAC回路は、 (N / S) 個配置され、
 前記セクタ回路は、 (N / S) 個の前記DAC回路の出力を受け、セクタ制御信号に基づき、前記DAC回路の1出力ごとに、前記ブロック分割数Sに分割された時間で、順次S本のデータ線群へデータ信号の供給を行う、
 ことを特徴とする表示装置。

(付記69)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを $(M \times N)$ 画素分(すなわち $(M \times N \times B)$ ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の1行分に相当する $(N \times B)$ ビットを、ブロック分割数Sの数とP相で分割した $\{(N \times B) / (P \times S)\}$ 個配置され、

前記コントローラ装置の前記出力バッファからは、 $\{(N \times B) / (P \times S)\}$ ビット幅のデータバスを介して、前記表示デバイス基板側に表示データが転送され、1水平期間には、 $\{(N \times B) / (P \times S)\}$ ビットのデータが $(P \times S)$ 回に分割されて1ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスからの各ビットデータをシリアル入力しP相の平行ビットに展開するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

前記DAC回路の出力を入力とし、前記表示部のN列と同じN出力を有するセクタと

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記ラッチ回路は、 $\{(N \times B) / S\}$ 個配置され、

前記DAC回路は (N / S) 個配置され、

前記セクタ回路は、 (N / S) 個の前記DAC回路の出力を受け、セクタ制御信号に基づき、前記各DAC回路の1出力ごとに、前記ブロック分割数Sに分割された時間で、順次S本のデータ線群へデータ信号の供給を行う、

ことを特徴とする表示装置。

(付記70)

前記DAC回路と前記セクタの間に、前記DAC回路の出力を電圧電流変換して、電流出力する電圧-電流変換回路・電流出力バッファ回路を備えている、ことを特徴とする付記67乃至69のいずれか一に記載の表示装置。

(付記71)

前記DAC回路に換えて、前記ラッチ回路の出力を入力してアナログ電流信号に変換する電圧・電流変換回路を備えている、ことを特徴とする付記67乃至69のいずれか一に記載の表示装置。

(付記72)

前記DAC回路に換えて、それぞれがB個の前記ラッチ回路の出力を入力してデコードするデコーダ回路と、前記デコーダ回路のデコード結果出力に対応する電流を出力する電流出力バッファとが、前記ラッチ回路と前記セクタの間に、それぞれ (N / S) 回路配置される、ことを特徴とする付記67乃至69のいずれか一に記載の表示装置。

(付記73)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを(M×N)画素分(すなわち(M×N×B)ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、{(N×B)/P}個配置され、

前記コントローラ装置の前記出力バッファからは、{(N×B)/P}ビット幅のデータバスを介して、前記表示デバイス基板側に、1水平期間あたり、P回に分割されて、1
10
ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスから受け取った信号の振幅をより高い振幅の信号にレベルシフトするレベルシフトと、

前記レベルシフトの出力をシリアル入力しP相の平行ビットに展開するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路のBビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路(「DAC回路」という)と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記レベルシフトは、前記出力バッファと同じ数の{(N×B)/P}個配置され、

前記ラッチ回路は、(N×B)個配置され、

前記DAC回路は、N個配置されている、

ことを特徴とする表示装置。

(付記74)

前記表示デバイス基板において、

前記レベルシフトと前記シリアル・平行変換回路の位置を入れ替え、

前記シリアル・平行変換回路が、前記データバスの各ビット信号をシリアル入力し
30
てP相の平行ビットに展開し、

前記レベルシフトは、前記シリアル・平行変換回路の出力信号の振幅をより高振幅の信号にレベルシフトし、

前記DAC回路が前記レベルシフトの出力を入力する、

ことを特徴とする付記73記載の表示装置。

(付記75)

表示デバイス基板が、複数のデータ線(N本)と複数の走査線(M本)の交点にマトリクス状にM行N列に配置された画素群を有する表示部を備え、

Bビットの階調の表示データを(M×N)画素分(すなわち(M×N×B)ビット)格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力
40
する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置において前記出力バッファは、前記メモリの(M×N×B)ビットの内の1行分をP相で分割した数に相当する{(N×B)/P}個配置され、

前記コントローラ装置の前記出力バッファからは{(N×B)/P}ビット幅のデータバスを介して、前記表示デバイス基板側に、1水平期間あたり、P回分割して、1ライン分の表示データが転送され、

前記表示デバイス基板は、

前記データバスからの各ビットデータをシリアルに入力しP個の平行ビットに展開して出力するシリアル・平行変換回路と、

10

20

30

40

50

前記シリアル・パラレル変換回路の出力をラッチするラッチ回路と、
 前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC 回路」という）と、
 を含むデータ線駆動回路と、
 前記複数の走査線に順次電圧を印加する走査線駆動回路と、
 を備え、
 前記ラッチ回路は、 $(N \times B)$ 個配置され、
 前記 DAC 回路は、 N 個配置されている、
 ことを特徴とする表示装置。

（付記 76）

前記 DAC 回路の出力電圧を入力して電圧 - 電流変換して、電流出力する電圧 - 電流変換回路・電流出力バッファを N 個備えている、ことを特徴とする付記 75 記載の表示装置

（付記 77）

前記 DAC 回路に換えて、前記ラッチ回路の出力を入力してアナログ電流信号に変換する電圧・電流変換回路を備えている、ことを特徴とする付記 75 記載の表示装置。

（付記 78）

前記 DAC 回路に換えて、それぞれが B 個の前記ラッチ回路の出力を入力してデコードする N 個のデコーダ回路と、前記デコーダ回路のデコード結果に応じた電流を出力する N 個の電流出力バッファ回路を備えている、ことを特徴とする付記 75 記載の表示装置。

（付記 79）

表示デバイス基板が、複数のデータ線（ N 本）と複数の走査線（ M 本）の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部と、

B ビットの階調の表示データを $(M \times N)$ 画素分（すなわち $(M \times N \times B)$ ビット）格納する表示メモリと、

前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと

、
 前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、

を同一基板上に有し、

前記出力バッファは、前記メモリの $(M \times N \times B)$ ビットの内の 1 行分に相当する $(N \times B)$ ビットを、ブロック分割数 S の数と P 相で分割した $\{(N \times B) / (P \times S)\}$ 個配置されており、

前記表示デバイス基板上に、さらに、

前記出力バッファの出力をシリアルに入力し P 相のパラレルビットに展開して出力するシリアル・パラレル変換回路と、

前記シリアル・パラレル変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路（「DAC 回路」という）と、

前記 DAC 回路の出力を入力とし、前記表示部の N 列と同じ N 出力を有するセレクトと

、
 を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記シリアル/パラレル変換回路は、 $\{(N \times B) / (P \times S)\}$ 個配置され、

前記ラッチ回路は、 $\{(N \times B) / S\}$ 個配置され、

前記 DAC 回路は、 (N / S) 個配置され、

前記セクタ回路は、 (N / S) 個の前記 DAC 回路の出力を受け、セクタ制御信号に基づき、前記各 DAC 回路の出力ごとに、前記ブロック分割数 S に分割された時間で、順次 S 本のデータ線群へデータ信号の供給を行う、

10

20

30

40

50

ことを特徴とする表示装置。

(付記 80)

表示デバイス基板が、複数のデータ線 (N本) と複数の走査線 (M本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部と、

B ビットの階調の表示データを (M × N) 画素分 (すなわち (M × N × B) ビット) 格納する表示メモリと、

前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、
前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、

を同一基板上に有し、

前記出力バッファは、前記メモリの (M × N × B) ビットの内の 1 行分に相当する (N × B) ビットを、P 相で分割した { (N × B) / P } 個配置されており、

前記表示デバイス基板上に、さらに、

前記出力バッファの出力をシリアルに投入し P 相の平行ビットに展開して出力するシリアル・平行変換回路と、

前記シリアル・平行変換回路の出力をラッチするラッチ回路と、

前記ラッチ回路の B ビットの出力を入力してアナログ信号を出力するデジタル・アナログ変換回路 (「DAC 回路」という) と、

を含むデータ線駆動回路と、

前記複数の走査線に順次電圧を印加する走査線駆動回路と、

を備え、

前記シリアル/平行変換回路は、{ (N × B) / P } 個配置され、

前記ラッチ回路は、(N × B) 個配置され、

前記 DAC 回路は、N 個配置されている、

ことを特徴とする表示装置。

(付記 81)

前記表示デバイス基板上に形成される回路を構成するトランジスタが、前記表示部の画素スイッチと同一の製造プロセスで作成されている、ことを特徴とする付記 55 乃至 80 のいずれかに記載の表示装置。

(付記 82)

前記表示デバイス基板上に形成される、前記データ線駆動回路及び前記走査線駆動回路を含む周辺回路を構成するトランジスタが、前記表示デバイス基板上に形成される前記表示部の画素スイッチをなすトランジスタと同一プロセスで形成されており、

前記データ線駆動回路及び前記走査線駆動回路を含む周辺回路を構成するトランジスタのゲート絶縁膜の膜厚が、前記画素スイッチをなすトランジスタのゲート絶縁膜の膜厚と同一とされている、ことを特徴とする付記 55 乃至 80 のいずれかに記載の表示装置。

(付記 83)

前記表示デバイス基板上に形成された、前記表示部、前記データ線駆動回路部、前記走査線駆動回路部を構成しているそれぞれのトランジスタのゲート絶縁膜は同一構造で、その膜厚はプロセスばらつきの範囲内で等しい、ことを特徴とする付記 11 乃至 32、55 乃至 80 のいずれかに記載の表示装置。

(付記 84)

表示データを格納する表示メモリ回路から読み出された 1 ライン分、又は 1 ライン分を複数に分割して、平行に転送されるデジタル信号を、アナログ信号に変換するデジタル・アナログ変換回路を少なくとも備え、前記表示部の複数のデータ線にアナログのデータ信号を印加するデータ線駆動回路を含む表示装置において、

前記デジタル・アナログ変換回路、又は、前記デジタル・アナログ変換回路と前記表示メモリ回路は、前記表示部と同一の基板上に形成されており、

前記表示部と同一の基板上に形成される回路を構成するトランジスタと、前記表示部の

10

20

30

40

50

画素スイッチをなすトランジスタのゲート絶縁膜は、同一構造で、その膜厚はプロセスばらつきの範囲内で等しい、ことを特徴とする表示装置。

(付記 85)

前記トランジスタが、多結晶シリコンTFT (Thin Film Transistor) よりなる、ことを特徴とする付記 54、82、84 のいずれかーに記載の表示装置。

(付記 86)

上位装置から供給されるデータを受け、該データに対応した信号をデータ線に印加するデータ線駆動回路を有する半導体装置であって、少なくともデータを相展開する回路において、データ信号を伝える配線が、他のデータ信号を伝える配線と交差しないことを特徴とする半導体装置。

10

(付記 87)

上位装置から供給されるデータを受けて、このデータを相展開する回路を有する半導体装置であって、

相展開前の信号を伝える、ある信号線が他の信号線と交差する交差点の数 C が

$$C = n(n-1)(k-1)/2$$

(ただし、 n は供給されるデータの並列度、 $k \times n$ は、相展開後のデータの並列度を示す)

よりも少ない、ことを特徴とする半導体装置。

(付記 88)

20

表示デバイス基板が、複数のデータ線 (N 本) と複数の走査線 (M 本) の交点にマトリクス状に M 行 N 列に配置された画素群を有する表示部を備え、

B ビットの階調の表示データを ($M \times N$) 画素分 (すなわち ($M \times N \times B$) ビット) 格納する表示メモリと、前記表示メモリからデータを読み出し前記表示パネル基板側へ出力する出力バッファと、前記表示メモリおよび前記出力バッファを制御し上位装置との通信並びに制御を司るコントローラと、を有するコントローラ装置を備え、

前記コントローラ装置の出力バッファから、前記表示メモリの ($M \times N \times B$) ビットの内の 1 行分に相当する ($N \times B$) ビットを、ブロック分割数 S の数と P 相で分割した $\{(N \times B) / (P \times S)\}$ ビット幅のデータバスを介して、前記表示デバイス基板側に、デジタル表示データが転送され、

30

前記表示デバイス基板が、

前記表示部のデータ線を駆動するデータ線駆動回路であって、

前記データバスのうちの 1 本のデータ線に対して共通に接続される P 個のレベルシフト回路であって、前記出力バッファより出力され前記データ線を介して順次受け取った信号の振幅をそれぞれより高い振幅の信号にレベルシフトするレベルシフト回路と、 P 個の前記レベルシフト回路の出力を駆動クロックにしたがってそれぞれラッチし、レベルシフトされた P ビットのパラレルデータに展開してラッチ出力するラッチ回路を備えた P 相展開回路を備え、

$\{(N \times B) / (P \times S)\}$ ビット幅の前記データバスに対応して設けられた $\{(N \times B) / (P \times S)\}$ 個の前記 P 相展開回路からは、 $\{(N \times B) / S\}$ ビットのデータが

40

パラレルに出力され、
 $\{(N \times B) / (P \times S)\}$ 個の前記 P 相展開回路に対して、 (N / S) 個設けられ、前記 P 相展開回路のからの B ビットデータを入力してアナログ信号を出力するデジタル・アナログ変換回路 (「DAC 回路」という) と、

(N / S) 個の前記 DAC 回路の出力を入力として受け、前記表示部の N 本のデータ線に接続される N 本の出力を有し、 (N / S) 個の前記 DAC 回路の出力を、前記ブロック分割数 S に分割された時間で、順次、前記表示部のデータ線群へ供給するセレクタと、を含むデータ線駆動回路を備えている、ことを特徴とする表示装置。

(付記 89)

前記コントローラ装置から前記データバスを介して、1 水平期間には、 $\{(N \times B) /$

50

(P × S) } ビットのデジタル映像データが、(P × S) 回に分割されて1ライン分の表示データが、前記表示デバイス基板のデータ線駆動回路に転送される、ことを特徴とする付記 8 8 記載の表示装置。

(付記 9 0)

前記 P 相展開回路が、前記レベルシフト回路として、高位側電源と低位側電源間に直列形態に接続されている第 1 乃至第 3 のスイッチ素子を備え、

前記第 1 のスイッチ素子と前記第 2 のスイッチ素子の接続点には第 1 の容量が接続され、
 入力信号が入力される入力端子と前記第 3 のスイッチ素子の制御端子との間に接続された第 4 のスイッチ素子を備え、

前記第 3 のスイッチ素子の制御端子と前記第 4 のスイッチ素子との接続点には第 2 の容量が接続され、

前記第 1 のスイッチ素子と前記第 2 のスイッチ素子は、それぞれの制御端子に第 1 のサンプリング制御信号が共通に入力され、一方がオンのとき、他方はオフとされ、

前記第 4 のスイッチ素子の制御端子には、第 2 のサンプリング制御信号が入力され、前記第 1 の容量の端子電圧が、直接に、又は、間接的に、出力信号として取り出されるレベルシフト回路を備えている、ことを特徴とする付記 8 8 記載の表示回路。

(付記 9 1)

前記 P 相展開回路が、前記レベルシフト回路として、高位側電源と低位側電源間に直列形態に接続されている第 1 乃至第 3 のスイッチ素子を備え、

前記第 1 のスイッチ素子と前記第 2 のスイッチ素子の接続点には第 1 の容量が接続され、
 入力信号が入力される入力端子と前記第 3 のスイッチ素子の制御端子との間に接続された第 4 のスイッチ素子を備え、

前記第 3 のスイッチ素子の制御端子と前記第 4 のスイッチ素子との接続点に第 2 の容量が接続されており、

前記第 1 のスイッチ素子の制御端子と前記第 2 のスイッチ素子の制御端子には第 1 のサンプリング制御信号が共通に入力され、

前記第 1 のサンプリング制御信号が第 2 の論理値のとき、前記第 1 のスイッチ素子がオンし、前記第 2 のスイッチ素子はオフし、前記第 1 の容量が前記高位側電源の電源電圧に充電され、

前記第 4 のスイッチ素子の制御端子には、第 2 のサンプリング制御信号が入力され、前記第 2 のサンプリング制御信号が第 1 の論理値のとき前記第 4 のスイッチ素子はオンし、前記第 2 の容量は前記入力信号電圧で充電され、

前記第 1 のサンプリング制御信号が第 1 の論理値のとき、前記第 1 のスイッチ素子はオフし、前記第 2 のスイッチ素子がオンし、このときの前記第 1 の容量の端子電圧が、直接に、又は、間接的に、出力信号として取り出されるレベルシフト回路を備えている、ことを特徴とする付記 8 8 記載の表示回路。

(付記 9 2)

前記 P 相展開回路が 2 相展開回路よりなり、
 前記 2 相展開回路は、データ線に入力端が共通に接続される第 1、第 2 のレベルシフト回路を備え、

前記第 1 のレベルシフト回路は、高位側電源と低位側電源間に直列形態に接続されている第 1 乃至第 3 のスイッチ素子を備え、

前記第 1 のスイッチ素子と前記第 2 のスイッチ素子の接続点には第 1 の容量が接続され、
 入力信号が入力される入力端子と前記第 3 のスイッチ素子の制御端子との間に接続された第 4 のスイッチ素子を備え、

前記第 3 のスイッチ素子の制御端子と前記第 4 のスイッチ素子との接続点に第 2 の容量が接続されており、

10

20

30

40

50

前記第 1 のスイッチ素子の制御端子と前記第 2 のスイッチ素子の制御端子には第 1 のサンプリング制御信号が共通に入力され、

前記第 1 のサンプリング制御信号が第 2 の論理値のとき、前記第 1 のスイッチ素子がオンし、前記第 2 のスイッチ素子はオフし、前記第 1 の容量が前記高位側電源の電源電圧に充電され、

前記第 4 のスイッチ素子の制御端子には、前記第 1 のサンプリング制御信号と相補の第 2 のサンプリング制御信号が入力され、前記第 2 のサンプリング制御信号が第 1 の論理値のとき前記第 4 のスイッチ素子はオンし、前記第 2 の容量は前記入力信号電圧で充電され、

前記第 1 のサンプリング制御信号が第 1 の論理値のとき、前記第 1 のスイッチ素子はオフし、前記第 2 のスイッチ素子がオンし、このときの前記第 1 の容量の端子電圧が、直接に、又は、間接的に、出力信号として取り出され、

前記第 2 のレベルシフト回路は、前記第 1 のレベルシフト回路と同一の回路構成とされ、

前記第 1 及び第 2 のレベルシフト回路には、入力信号が共通に入力され、

前記第 2 のレベルシフト回路の前記第 1 のスイッチ素子の制御端子と前記第 2 のスイッチ素子の制御端子には前記第 2 のサンプリング制御信号が共通に入力され、前記第 2 のレベルシフト回路の前記第 4 のスイッチ素子の制御端子には、前記第 1 のサンプリング制御信号が入力され、

前記第 1 のレベルシフト回路の出力を、前記第 1 のサンプリング制御信号に基づき取り込み、前記第 2 のサンプリング制御信号に基づき出力する第 1 のマスタースレーブ型のラッチと、

前記第 1 のマスタースレーブ型のラッチの出力を前記第 1 のサンプリング制御信号に基づき出力するラッチと、

前記第 2 のレベルシフト回路の出力を、前記第 2 のサンプリング制御信号に基づき取り込み、前記第 1 のサンプリング制御信号に基づき出力する第 2 のマスタースレーブ型のラッチと、

を備えている、ことを特徴とする付記 8 8 記載の表示回路。

(付記 9 3)

被駆動素子がアレイ状に形成された被駆動素子アレイ部と、

前記被駆動素子を駆動するためのデータを並列処理化するために、2 ビット以上の入力数をもつシリアル - パラレル変換回路機能と、

を有する半導体装置であって、

前記 2 ビット以上の入力数をもつシリアル - パラレル変換回路機能は、1 ビット入力のシリアル - パラレル変換回路複数個で構成される、ことを特徴とする半導体装置。

(付記 9 4)

前記複数個の 1 ビット入力のシリアル - パラレル変換回路のうち少なくとも 2 個が、共通に接続された制御線によって、同時に駆動されることを特徴とする付記 9 3 記載の半導体装置。

(付記 9 5)

被駆動素子がアレイ状に形成された被駆動素子アレイ部と、

前記被駆動素子に電気信号を書き込むための駆動回路と、

データを並列処理化するために、2 ビット以上の入力数をもつシリアル - パラレル変換回路機能と、

を備える半導体装置であって、

前記シリアル - パラレル変換回路の入力ノードに入力されたデータをシリアル - パラレル変換して得られた信号を出力する出力ノード群と、

前記入力ノードに隣接する入力ノードに入力されたデータをシリアル - パラレル変換して得られた信号を出力する出力ノード群とが、隣接していることを特徴とする半導体装置

。

10

20

30

40

50

(付記 96)

被駆動素子がアレイ状に形成された被駆動素子アレイ部と、
前記被駆動素子に電気信号を書き込むための駆動回路と、
データを並列処理化するために、2ビット以上の入力数をもつシリアル - パラレル変換回路機能と、

を備える半導体装置であって、

前記シリアル - パラレル変換回路機能を有する回路は長形状にレイアウトされており、

前記長方形の長辺のうち一辺に入力ノード群が設けられ、

長辺のもう一辺に出力ノード群が設けられている、ことを特徴とする半導体装置。

10

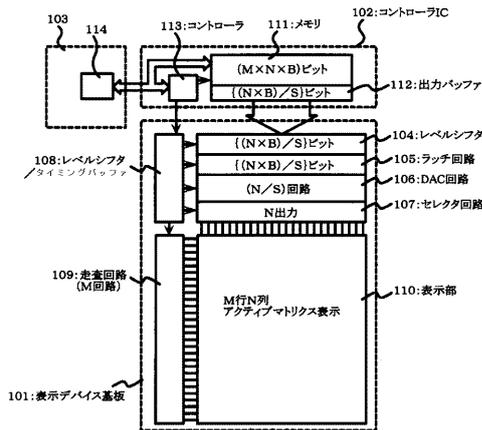
【符号の説明】

【0358】

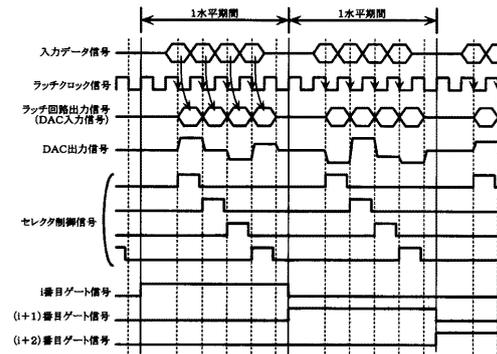
- | | | |
|---|------------------------------|----|
| 10 | ガラス基板 | |
| 11 | 酸化シリコン膜 | |
| 12 | アモルファスシリコン | |
| 13 | 酸化シリコン膜 | |
| 14 | フォトレジスト | |
| 15 | 酸化シリコン膜 | |
| 16 | マイクロクリスタルシリコン (μ -c-Si) | |
| 17 | タングステンシリサイド (WSi) 17 | 20 |
| 18 | フォトレジスト | |
| 19 | 酸化シリコン膜 / 窒化シリコン膜 | |
| 20 | 金属 (アルミニウムとチタン) | |
| 21 | 窒化シリコン膜 | |
| 22 | 画素電極 (ITO) | |
| 30、32、33、35、36、38、39、41、48、50、52、54、56、 | | |
| 58 | クロックインバータ | |
| 31、34、37、40、42、43、49、51、53、55、57 | インバータ | |
| 61、62、63、65、67、70、72、74、76、78、80 | クロックインバータ | 30 |
| 57、60、63、66、68、69、71、73、75、77、79、81、82、 | | |
| 83、84、85 | インバータ | |
| 101 | 表示デバイス基板 | |
| 102 | コントローラIC | |
| 103 | システム側回路基板 | |
| 104 | レベルシフタ | |
| 105 | ラッチ回路 | |
| 106 | DAC回路 | |
| 107 | セレクタ回路 | |
| 108 | レベルシフタ / タイミングバッファ | 40 |
| 109 | 走査回路 | |
| 110 | 表示部 | |
| 111 | メモリ | |
| 112 | 出力バッファ | |
| 113 | コントローラ | |
| 114 | インタフェース回路 | |
| 401 | タイミングバッファ | |
| 511 ~ 515 | ラッチ | |
| 701 | タイミングバッファ | |
| 801 | 電圧 - 電流変換回路 / 電流出力バッファ | 50 |

- 1 0 0 1 デコーダ
- 1 0 0 2 電流出力バッファ
- 1 8 0 1 シリアル/パラレル変換回路
- 3 5 0 1 走査回路/データレジスタ
- 3 5 0 2 D A C
- 3 5 0 3 レベルシフタ
- 3 5 0 4 走査回路
- 3 5 0 5 アナログスイッチ
- 3 5 0 6 走査回路
- 3 5 0 7 データレジスタ

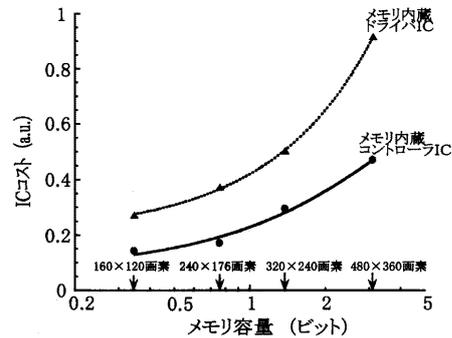
【図1】



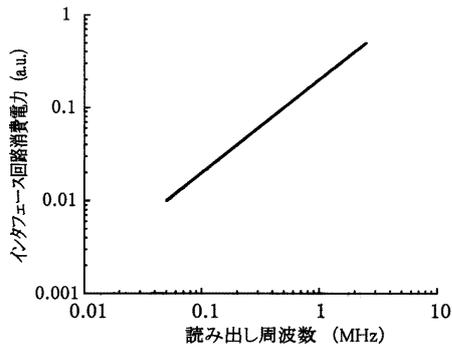
【図2】



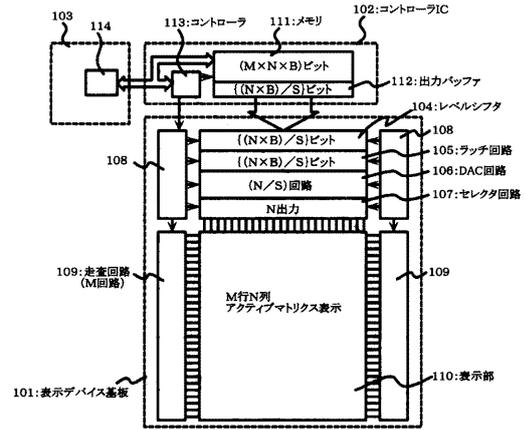
【図3】



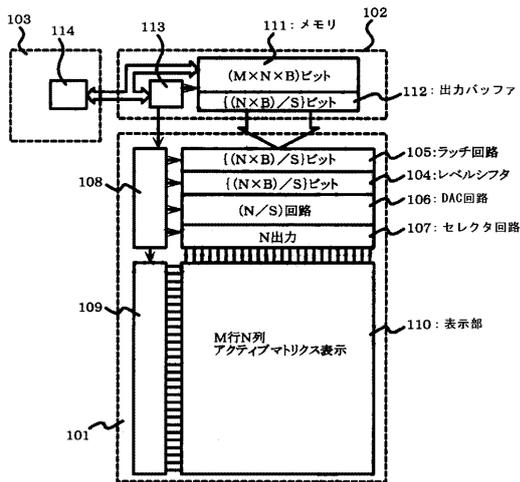
【図4】



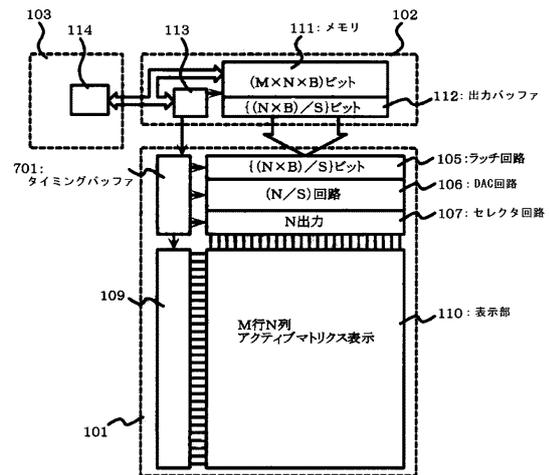
【図5】



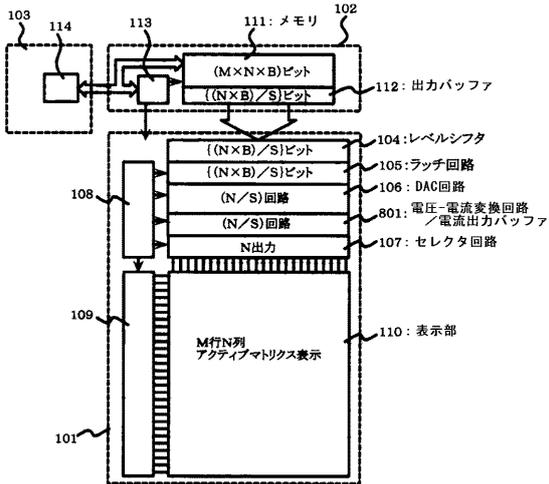
【図6】



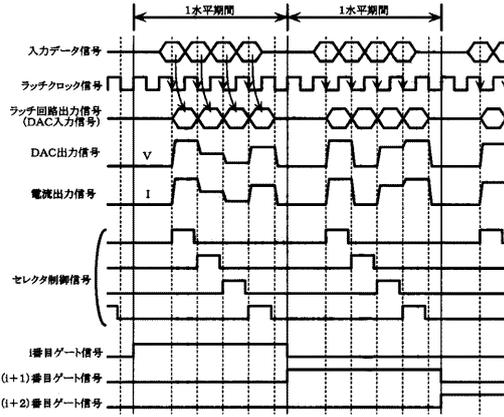
【図7】



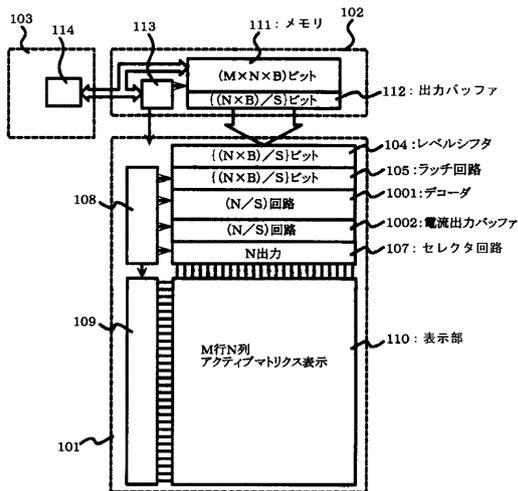
【図8】



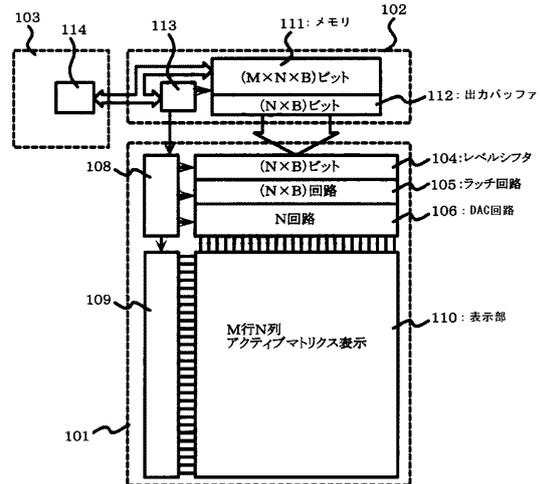
【図9】



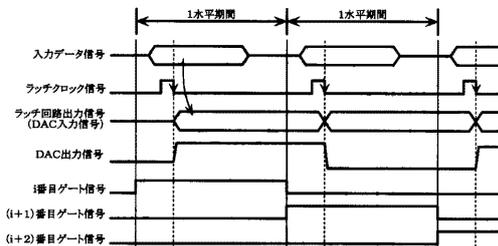
【図10】



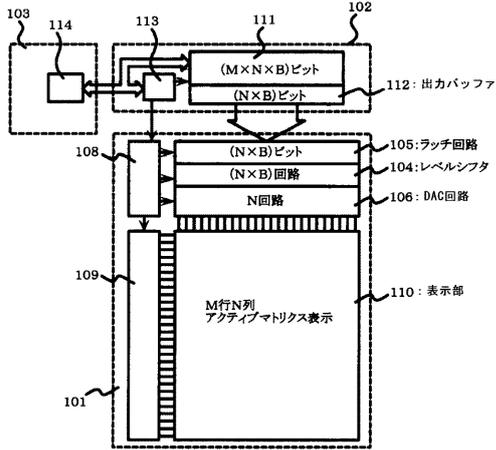
【図11】



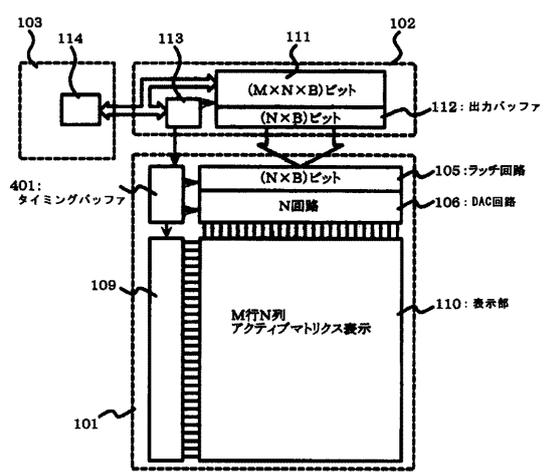
【図12】



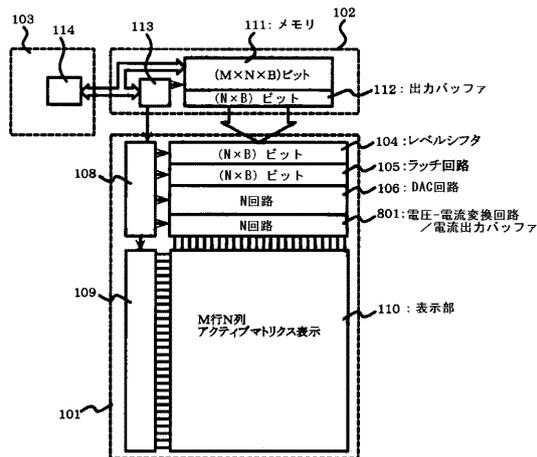
【図13】



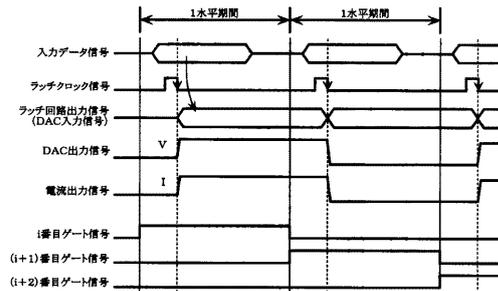
【図14】



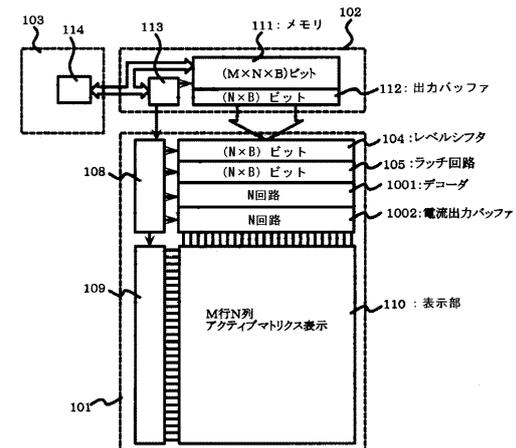
【図15】



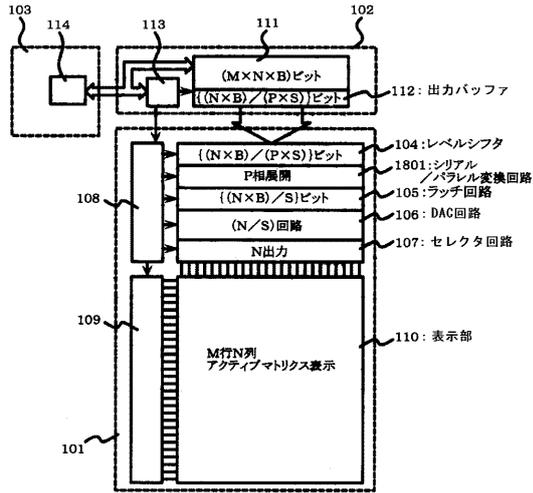
【図16】



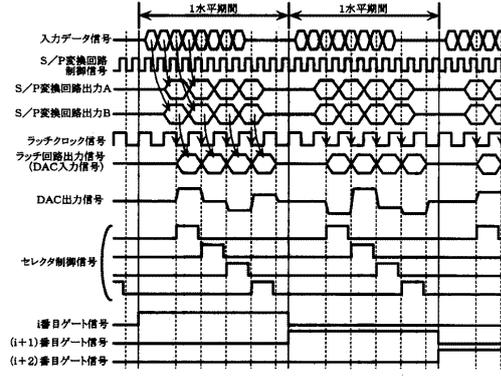
【図17】



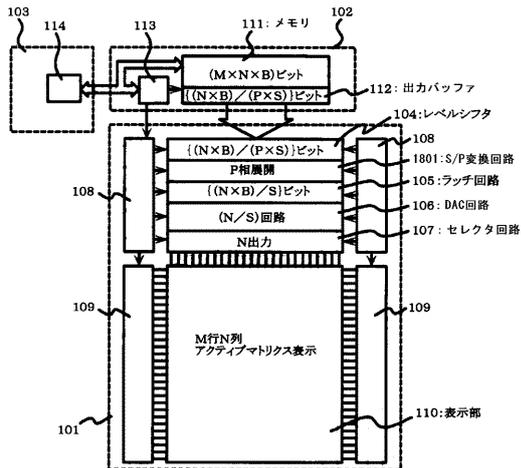
【図18】



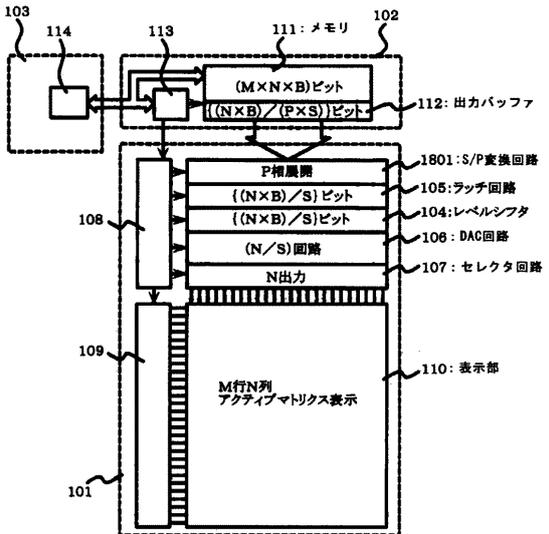
【図19】



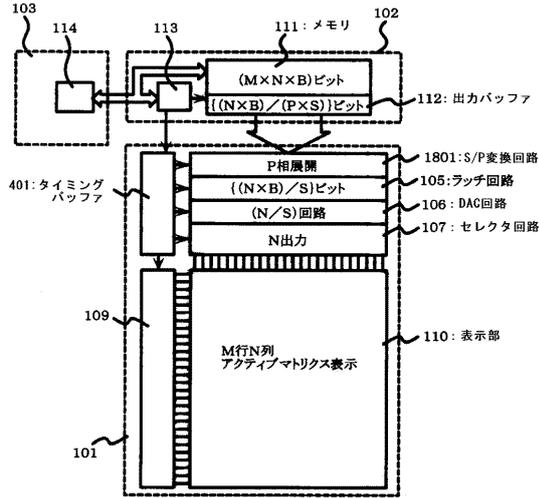
【図20】



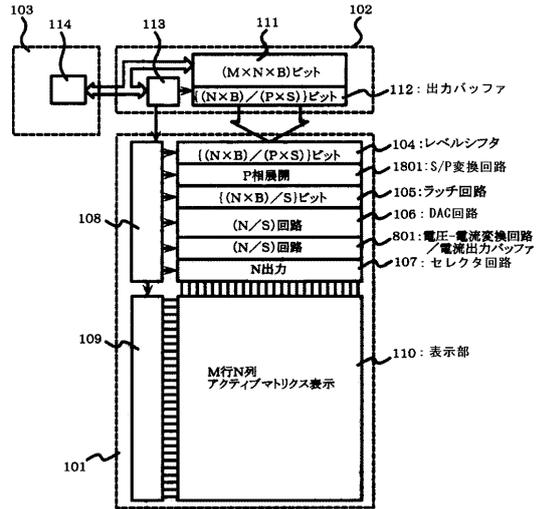
【図21】



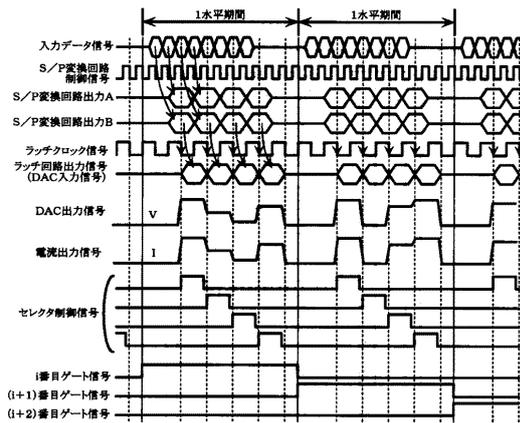
【図22】



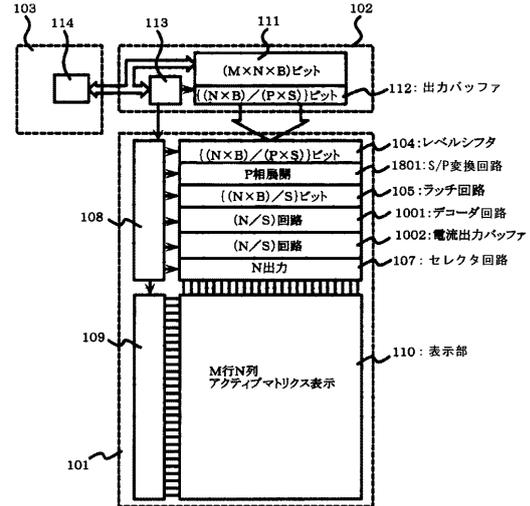
【図23】



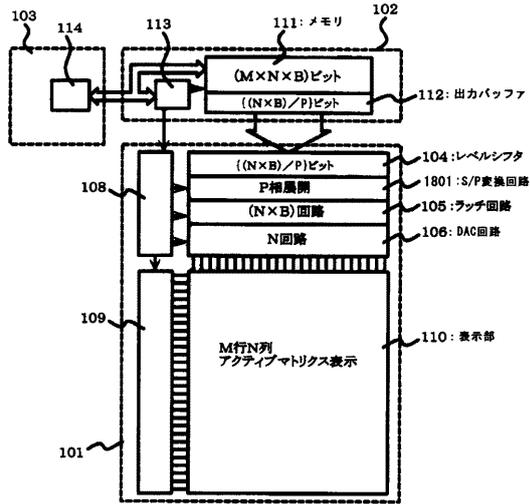
【図24】



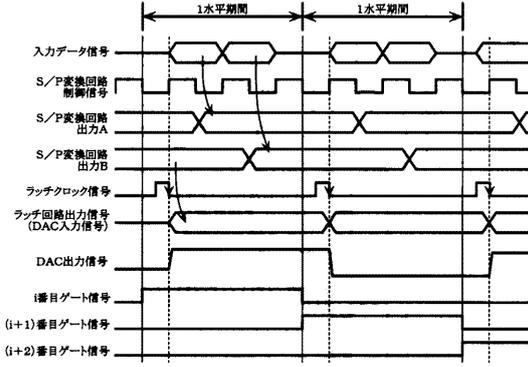
【図25】



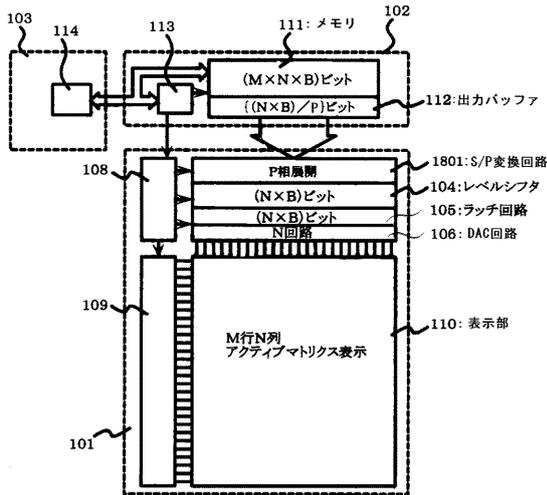
【図26】



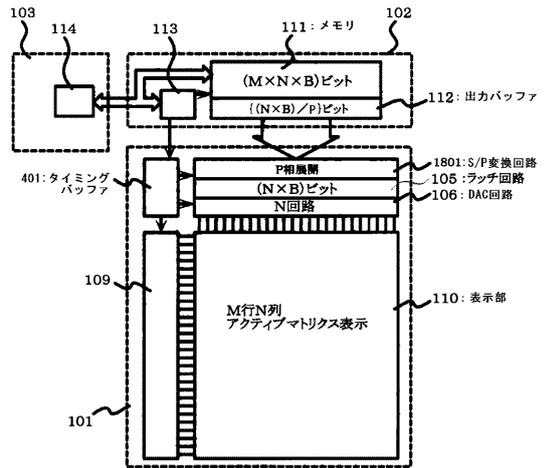
【図27】



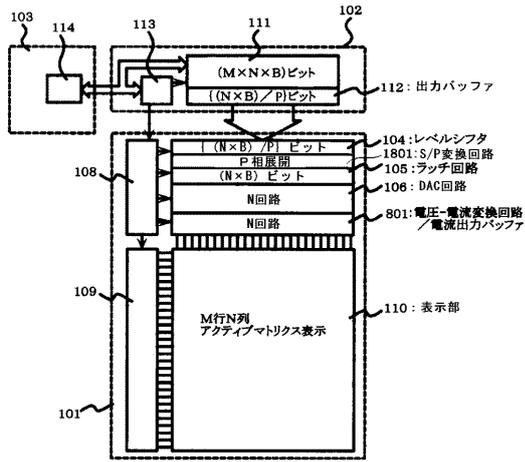
【図28】



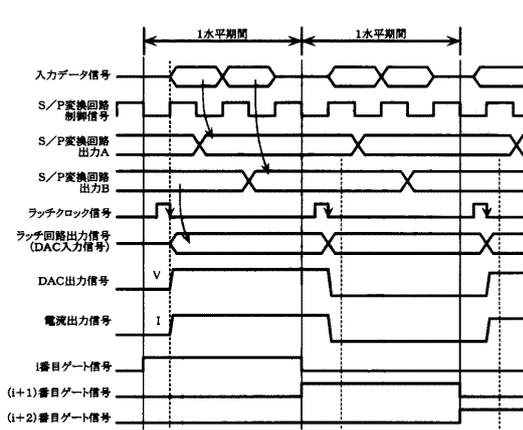
【図29】



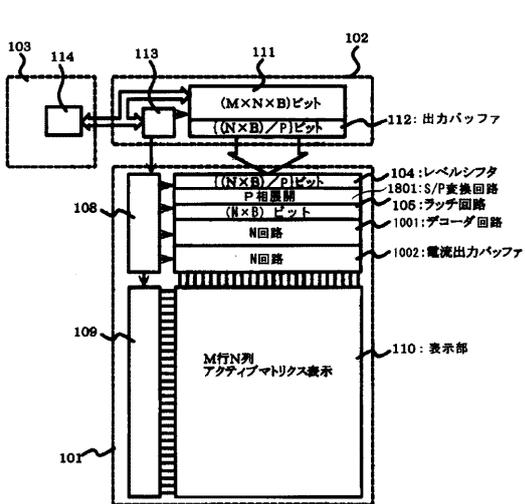
【図30】



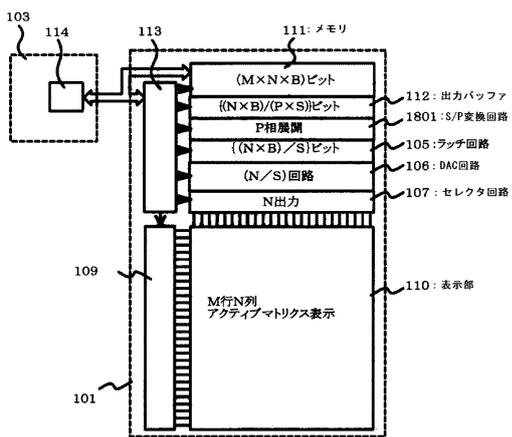
【図31】



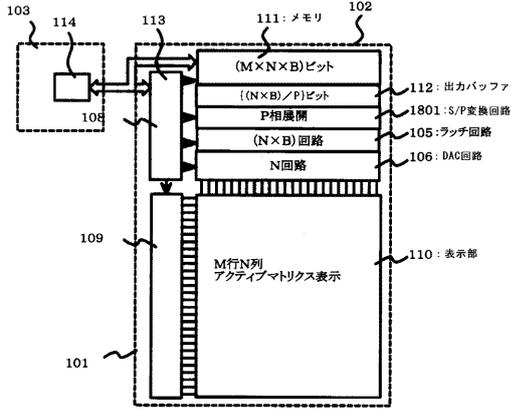
【図32】



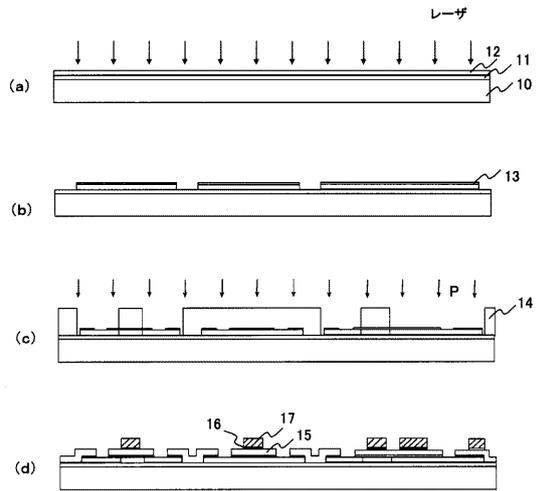
【図33】



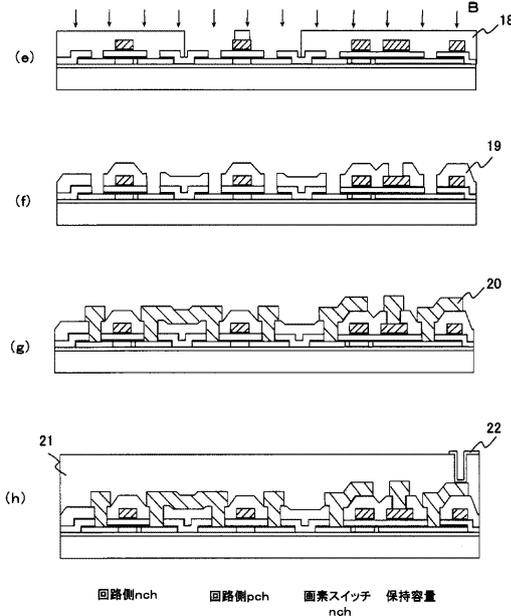
【図34】



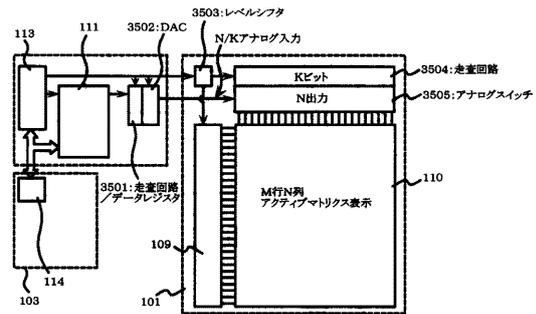
【図35】



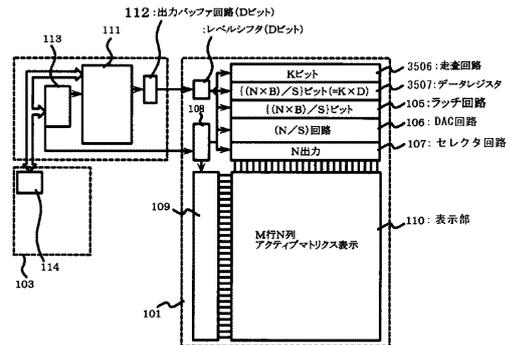
【図36】



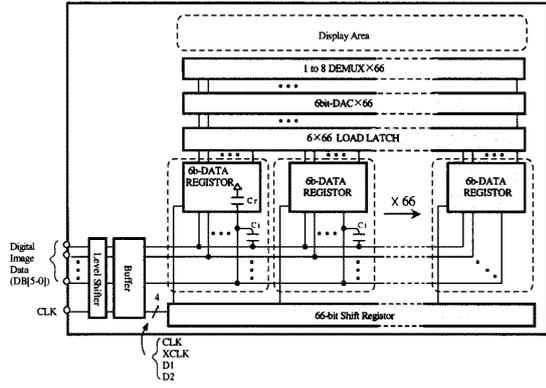
【図37】



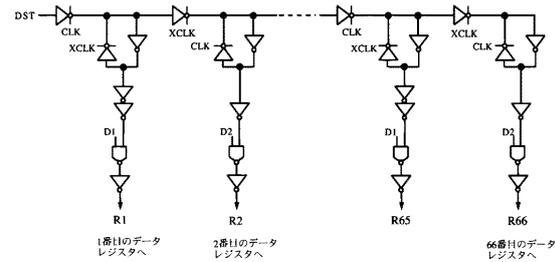
【図38】



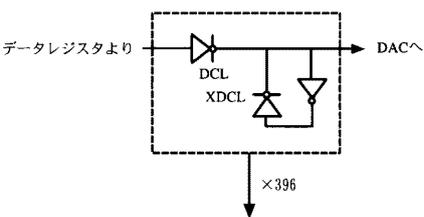
【 図 3 9 】



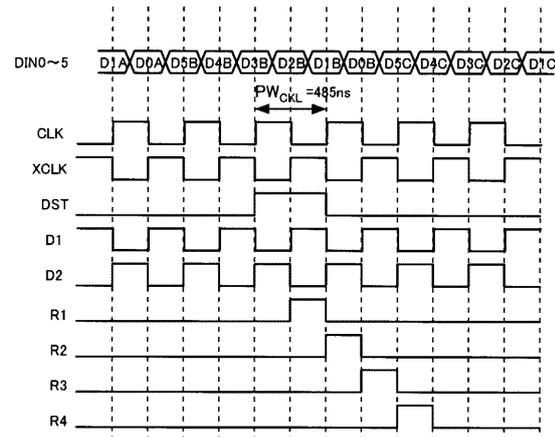
【 図 4 0 】



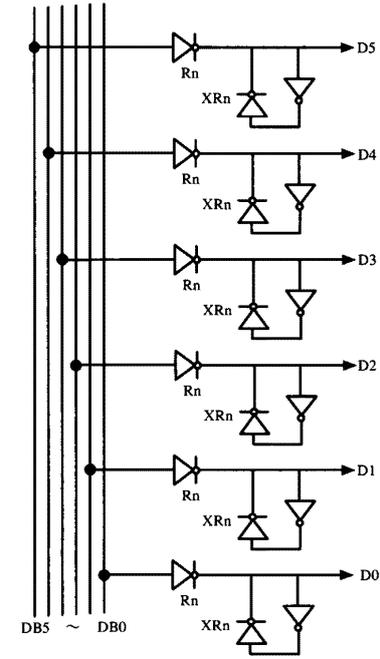
【 図 4 2 】



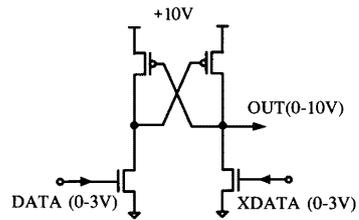
【 図 4 3 】



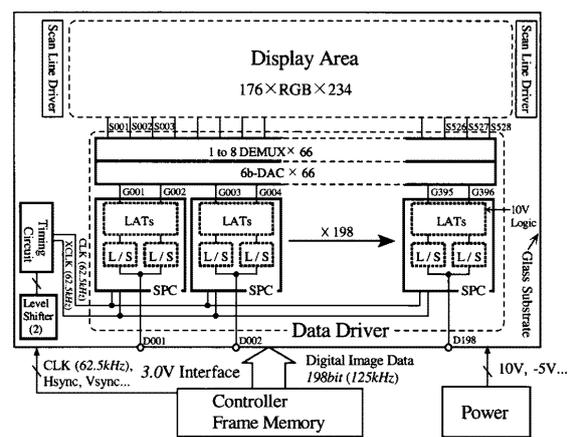
【 図 4 1 】



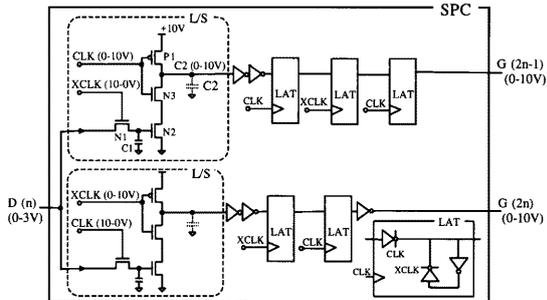
【 図 4 4 】



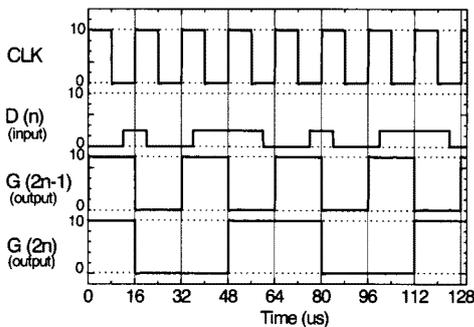
【 図 4 5 】



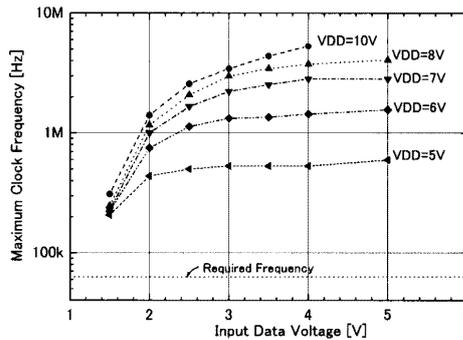
【 4 6 】



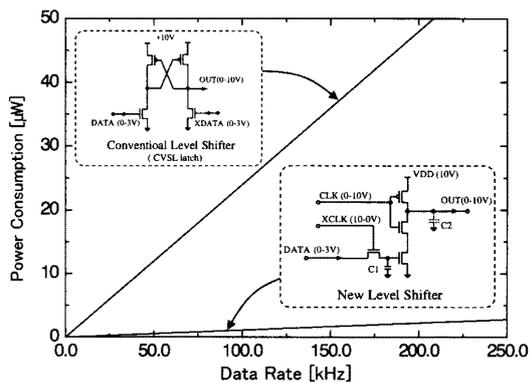
【 4 7 】



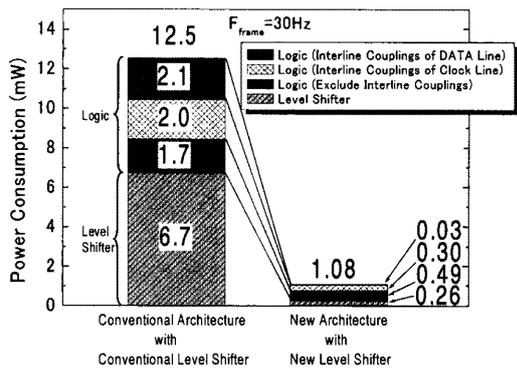
【 4 8 】



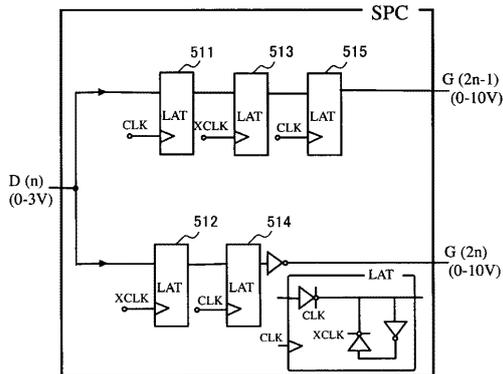
【 4 9 】



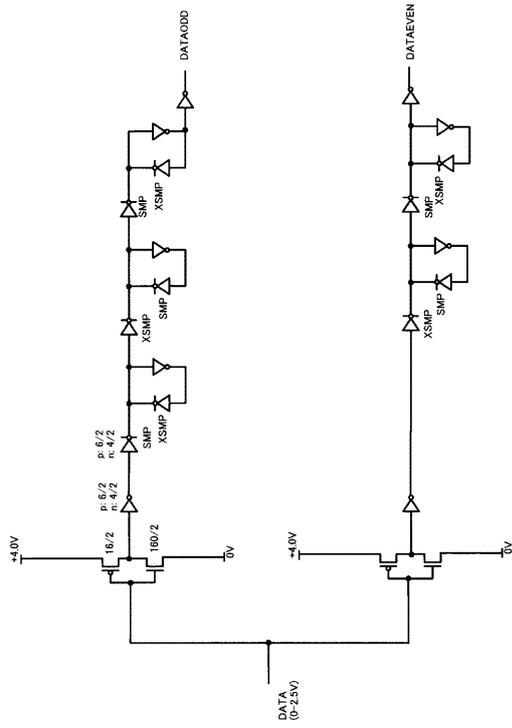
【 5 0 】



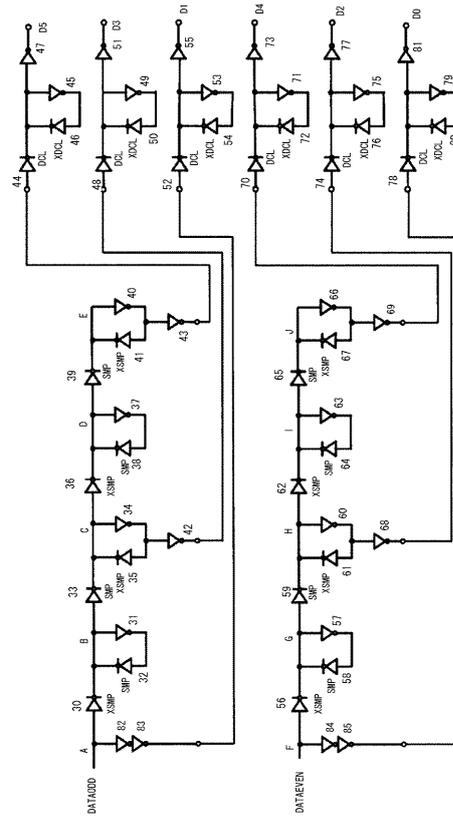
【 5 1 】



【 5 2 】



【 5 3 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3 / 2 0 6 2 1 M

特許法第30条第1項適用 平成14年5月19日 Society for Information Display発行の「2002 SID INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS Volume 33, Number 2」に発表

前置審査

審査官 小川 浩史

(56)参考文献 特開平11-202290(JP,A)
米国特許出願公開第2001/0022581(US,A1)
特開平9-329806(JP,A)
特開2002-196732(JP,A)
特開平2-264296(JP,A)
特開平11-231798(JP,A)
特開平11-338438(JP,A)
特開平11-338439(JP,A)
特開2000-221927(JP,A)
国際公開第01/09672(WO,A1)
国際公開第01/29814(WO,A1)
特許第5259904(JP,B2)
特開2011-8264(JP,A)
M. Osame et al, " 40.1: A 2.6-in. Poly-Si TFT-LCD HDTV Display with Monolithic Integrated 8-bit Digital Data Driver, SID Symposium Digest of Technical Papers, 1998年5月, Volume 29, Issue 1, pp. 1059-1062
Hiroyuki Kimura et al, " 18.2: A 2.15 inch QCIF Reflective Color TFT-LCD with Digital memory on Glass (DMOG) ", SID Symposium Digest of Technical Papers, 2001年6月, Volume 32, Issue 1, pp. 268-271

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 - 3 / 3 8