



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I573198 B

(45) 公告日：中華民國 106 (2017) 年 03 月 01 日

(21) 申請案號：101127515

(22) 申請日：中華民國 101 (2012) 年 07 月 30 日

(51) Int. Cl. : H01L21/50 (2006.01)

H01L21/265 (2006.01)

(30) 優先權：2011/10/17 法國

1159358

2011/09/27 美國

13/246580

(71) 申請人：索泰克公司 (法國) SOITEC (FR)

法國

(72) 發明人：沙達卡 瑪麗姆 SADAKA, MARIAM (US) ; 茨拉杜 約努 RADU, IONUT (FR)

(74) 代理人：陳慧玲

(56) 參考文獻：

US 6020252

US 2005/0221583A1

US 2007/0037363A1

US 2008/0286941A1

WO 2006/039684A1

審查人員：趙慶冷

申請專利範圍項數：26 項 圖式數：8 共 52 頁

(54) 名稱

在三度空間集積製程中轉移材料層之方法及其相關結構與元件

METHODS OF TRANSFERRING LAYERS OF MATERIAL IN 3D INTEGRATION PROCESSES AND RELATED STRUCTURES AND DEVICES

(57) 摘要

將一半導體材料層從一第一施體結構轉移至一第二結構之方法包含，在該第一施體結構內形成由植入其中之離子所定義出之大致平面弱化區。就整個大致平面弱化區而言，該些植入離子之濃度及該些植入離子之元素組成至少其中一者在橫向上有所不同。該第一施體結構可鍵結至一第二結構，且該第一施體結構可沿該大致平面弱化區斷裂，留下該半導體材料層鍵結至該第二結構。經由在該轉移半導體材料層上形成主動元件結構，可製作半導體元件。利用本發明所述方法而製作之半導體結構。

Methods of transferring a layer of semiconductor material from a first donor structure to a second structure include forming a generally planar weakened zone within the first donor structure defined by implanted ions therein. At least one of a concentration of the implanted ions and an elemental composition of the implanted ions may be formed to vary laterally across the generally planar weakened zone. The first donor structure may be bonded to a second structure, and the first donor structure may be fractured along the generally planar weakened zone, leaving the layer of semiconductor material bonded to the second structure. Semiconductor devices may be fabricated by forming active device structures on the transferred layer of semiconductor material. Semiconductor structures are fabricated using the described methods.

指定代表圖：

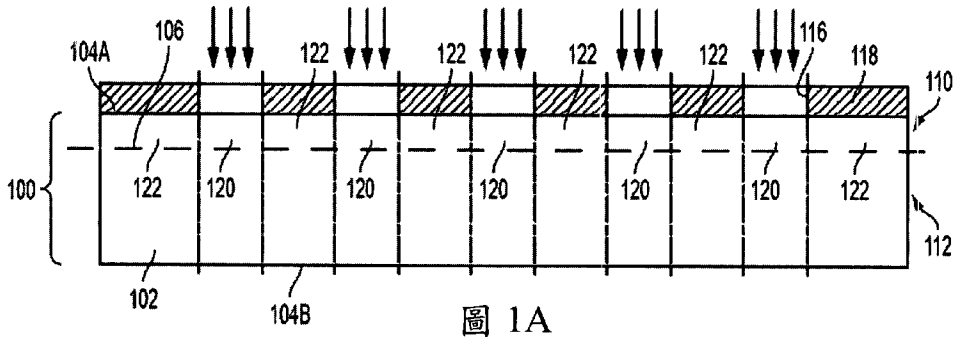
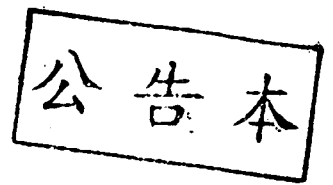


圖 1A

符號簡單說明：

- 100 . . . 施體結構
- 102 . . . 主體材料
- 104A . . . 第一主要表面
- 104B . . . 第二主要表面
- 106 . . . 離子植入平面
- 110 . . . 材料層
- 116 . . . 孔隙
- 118 . . . 光罩
- 120 . . . 第一區域
- 122 . . . 第二區域



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101127515

※申請日：101年1月30日

※IPC 分類：H01L21/50 (2006.01)

一、發明名稱：(中文/英文)

H01L21/765 (2006.01)

在三度空間集積製程中轉移材料層之方法及其相關結構與元件/
METHODS OF TRANSFERRING LAYERS OF MATERIAL IN 3D
INTEGRATION PROCESSES AND RELATED STRUCTURES AND
DEVICES

二、中文發明摘要：

將一半導體材料層從一第一施體結構轉移至一第二結構之方法包含，在該第一施體結構內形成由植入其中之離子所定義出之大致平面弱化區。就整個大致平面弱化區而言，該些植入離子之濃度及該些植入離子之元素組成至少其中一者在橫向上有所不同。該第一施體結構可鍵結至一第二結構，且該第一施體結構可沿該大致平面弱化區斷裂，留下該半導體材料層鍵結至該第二結構。經由在該轉移半導體材料層上形成主動元件結構，可製作半導體元件。利用本發明所述方法而製作之半導體結構。

三、英文發明摘要：

Methods of transferring a layer of semiconductor material from a first donor structure to a second structure include forming a generally planar weakened zone within the first donor structure defined by implanted ions therein. At least one of a concentration of the implanted ions and an elemental composition of the implanted ions may be formed to vary laterally across the generally planar weakened zone. The first donor structure may be bonded to a second structure, and the first donor structure may be fractured along the generally planar weakened zone, leaving the layer of semiconductor material bonded to the second

structure. Semiconductor devices may be fabricated by forming active device structures on the transferred layer of semiconductor material. Semiconductor structures are fabricated using the described methods.

四、指定代表圖：

(一)本案指定代表圖為：第(圖 1A)圖。

(二)本代表圖之元件符號簡單說明：

100 施體結構	102 主體材料
104A 第一主要表面	104B 第二主要表面
106 離子植入平面	110 材料層
116 孔隙	118 光罩
120 第一區域	122 第二區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明與在半導體元件製作所採用之三度空間集積製程中，將材料從一施體結構轉移至一受體結構有關。

【先前技術】

兩個或更多個半導體結構之三度空間集積 (3D integration) 可替微電子應用帶來許多好處。舉例而言，微電子組件之三度空間集積可以改進電性能及功率消耗，同時減少元件所佔面積。相關資料可參考諸如 P. Garrou 等人所編之《The Handbook of 3D Integration》(Wiley-VCH 出版，2008 年)。半導體結構之三度空間集積可以透過以下方式或該些方式之組合而達到：將一半導體晶粒附著至其他的一個或多個半導體晶粒 (亦即晶粒對晶粒 (D2D))，將一半導體晶粒附著至一個或多個半導體晶圓 (亦即晶粒對晶圓 (D2W))，以及將一半導體晶圓附著至其他的一個或多個半導體晶圓 (亦即晶圓對晶圓 (W2W))。

本發明所屬技術領域中已知之 SMART-CUT® 製程可用於單石 (monolithic) 之三度空間集積製程。該 SMART-CUT® 製程詳述於，舉例而言，美國專利 RE 39,484 號 (2007 年 2 月 6 日核發予 Bruel)、美國專利 6,303,468 號 (2001 年 10 月 16 日核發予 Aspar 等人)、美國專利 6,335,258 號 (2002 年 1 月 1 日核發予 Aspar 等人)、美國專利 6,756,286 號 (2004 年 6 月 29 日核發予 Moriceau 等人)、美國專利 6,809,044 號 (2004 年 10 月 26 日核發予 Aspar 等人)，及美國專利 6,946,365 號 (2005 年 9 月 20 日核發予

Aspar 等人)。

簡言之，該 SMART-CUT®製程包含將多個離子（例如氫離子、氦離子或惰性氣體離子其中一種或多種）沿著一離子植入平面植入一施體結構。沿著該離子植入平面而植入之離子在該施體結構內定義出一弱化平面，該施體結構之後可沿著該弱化平面劈裂或以其他方式斷裂。如在本發明所屬技術領域中已知，該些離子植入該施體結構之深度，至少有部分為該些離子植入該施體結構時所具能量之一函數。一般而言，以較低能量植入之離子，其植入深度相對較淺，以較高能量植入之離子，其植入深度相對較深。

使該施體結構鍵結至另一受體結構，之後，使該施體結構沿著該離子植入平面劈裂或以其他方式斷裂。舉例而言，可對鍵結在一起之施體及受體結構加熱，以造成該施體結構沿該離子植入平面劈裂或以其他方式斷裂。作為一個選項，可對該施體結構施加機械力，以協助其沿著該離子植入平面劈裂。使該施體結構沿該離子植入平面劈裂或以其他方式斷裂後，該施體結構之一部分會保持鍵結至該受體結構。該施體結構之其餘部分可在進一步之 SMART-CUT®製程中重複使用，以將該施體結構之其他部分轉移至受體結構。

在斷裂製程後，該施體結構之斷裂表面可能包含離子雜質及該施體結構之晶格瑕疵，在某些應用中，該施體結構之晶格可包含半導體材料之單晶。該施體結構中被轉移至受體結構之部分可加以處理，以期降低雜質含量並改進晶格品質（亦即降低斷裂表面鄰近晶格之缺陷數目）。此等處理通常包含在高溫下（例如大約 1,000°C）進行之熱回火。

【發明內容】

本概要旨在以簡要形式介紹一系列概念。該些概念將在本發明之示範性實施例中進一步詳述。本概要之用意並非指出所主張專利標的之主要特點或基本特點，亦非用於限制所主張專利標的之範圍。

在一些實施例中，本發明包含將一半導體材料層從一第一施體結構轉移至一第二結構之方法。依照此等方法，可使離子植入該第一施體結構，以在該第一施體結構內形成一大致平面弱化區，其係由該些植入離子所定義。該大致平面弱化區可將該第一施體結構之半導體材料層與該第一施體結構之其餘部分分開。就整個大致平面弱化區而言，所形成之該些植入離子濃度及該些植入離子元素組成至少其中一者，可在平行於該大致平面弱化區之至少一個方向上有所不同。該第一施體結構可被鍵結至一第二結構，且該第一施體結構可沿著該大致平面弱化區斷裂，留下該半導體材料層鍵結至該第二結構。

在額外實施例中，本發明包含製作半導體元件之方法。依照此等方法，一半導體材料層可從一第一施體結構轉移至一第二結構。轉移該半導體材料層可包含：將離子植入該第一施體結構，以在該第一施體結構內形成由該些植入離子所定義之大致平面弱化區、將該第一施體結構鍵結至該第二結構，以及使該第一施體結構沿著該大致平面弱化區斷裂，留下該半導體材料層鍵結至該第二結構。在該第一施體結構內形成之大致平面弱化區可將該第一施體結構之半導體材料層與該第一施體結構之其餘部分分開。此外，形成該大致平面弱化區之方式，係以就整個大致平面弱化區而言，使該些植入離子之濃度及該些植入離子之元素組成至少其中一者，在平行於

該大致平面弱化區之至少一個方向上有所不同。多個主動元件結構可製作在被轉移之該半導體材料層上。

在更進一步之實施例中，本發明包含以本說明書所揭露方法而製作之半導體結構。舉例而言，半導體結構可包含一第一施體結構，該第一施體結構中具有一大致平面弱化區。該大致平面弱化區可由沿著該大致平面弱化區被植入該第一施體結構內之該些離子所定義。該大致平面弱化區可將該第一施體結構之半導體材料層與該第一施體結構之其餘部分分開。此外，就整個大致平面弱化區而言，該些植入離子之濃度及該些植入離子之元素組成至少其中一者，可在平行於該大致平面弱化區之至少一個方向上有所不同。該些半導體結構可更包含一第二結構，其被鍵結至該第一施體結構之半導體材料層。

【實施方式】

本說明書所提出之說明並非對任何特定半導體結構、元件、系統或方法之實際意見，而僅是用於描述本發明實施例之理想化陳述。

本說明書所用任何標題不應認定為限制本發明實施例之範圍，該範圍係由以下申請專利範圍及其法律同等效力所界定。在任何特定標題下所敘述之概念，通常亦適用於整份說明書之其他部分。

相對於本發明所主張之專利標的，所引用之參考資料不論本說明書如何描述其特點，均不予承認為習知技術。

依照一些實施例，一種將一材料層，譬如一半導體材料層，從一第一施體結構轉移至一第二受體結構之方法包含將離子植入該第一施體結構，以在該第一施體結構內形成由該些植入離子定義出之一大致平面弱化區。

該大致平面弱化區將要從該第一施體結構轉移之材料層與該第一施體結構之其餘部分分開。就整個大致平面弱化區而言，該大致平面弱化區在平行於該大致平面弱化區之至少一個方向上為非均勻。譬如，就整個大致平面弱化區而言，該些植入離子之濃度及該些植入離子之元素組成至少其中一者，可在平行於該大致平面弱化區之至少一個方向上有所不同。該第一施體結構可被鍵結至該第二第二受體結構，之後，可使該第一施體結構沿該大致平面弱化區斷裂，並留下該材料層鍵結至該第二受體結構。茲將此等方法詳述如下。

圖 1 為一施體結構 100 之簡要截面圖。該施體結構 100 包含一體積之主體材料 102，該主體材料 102 可包含，舉例而言，一種半導體材料（例如矽、鍺）、一種 III-V 族半導體材料（例如 GaN、GaAs、InN、AlN、InGaN 等等），或此等半導體材料之複合物。該材料 102 可為多晶或包含材料之一單晶。該施體結構 100 可為大致平面，且可具有一第一主要表面 104A 及相反之一第二主要表面 104B，該第二主要表面 104B 被定向成平行於該第一主要表面 104A。

如圖 1A 所示，將離子（在圖 1A 中以方向箭頭表示）植入該施體結構 100 並使之僅穿過該施體結構 100 之選定區域。該些離子可包括，舉例而言，氫離子、氮離子、惰性氣體離子當中的一種或多種。該些離子可沿著一離子植入平面 106 植入該施體結構 100。如圖 1A 所示，該些離子可在實質上垂直於該第一主要表面 104A 之一方向上穿透該第一主要表面 104A 而植入該施體結構 100。

該些離子植入該施體結構 100 之深度，至少有部分為該些離子植入該

施體結構 100 時所具能量之一函數。一般而言，以較低能量植入之離子，其植入深度相對較淺，以較高能量植入之離子，其植入深度相對較深。離子可以以一預定能量植入該施體結構 100，該預定能量之選定，旨在使該些離子於該施體結構 100 內被植入距該第一主要表面 104A 有一理想深度之處。至少會有一些離子所植入之深度，可能並非所需之植入深度，且離子濃度作為該些離子從該第一主要表面 104A 至該施體結構 100 內某一深度之函數，其圖表可能會呈現大致為鐘形（對稱或不對稱）之一曲線，該曲線在所需植入深度具有一最大值，從而定義出該離子植入平面 106。換言之，該離子植入平面 106 可包含該施體結構 100 內之一層或一區域，其與該施體結構 100 內具有最高離子濃度之平面對準（例如以其為中心圍繞）。該離子植入平面 106 在該施體結構 100 內定義出一弱化區域，在一後續製程中，該施體結構 100 可沿著該弱化區域劈裂或以其他方式斷裂，如下文所詳述。舉例而言，參照圖 1B，存在於該施體結構內之該些離子可在該施體結構 100 之晶格內造成缺陷 108。

圖 1B 所呈現之離子植入平面 106 可包含一單一植入平面，在該平面中，絕大多數離子係沿著該施體結構 100 內之單一平面而分佈。換言之，該些植入離子之絕大多數會集中在該施體結構 100 內單一深度之處。此與離子植入可在其中產生多重植入平面之結構截然不同。舉例而言，一施體結構內之多重植入平面可經由在不同植入能量下實施之多重植入製程而獲致，或經由植入非均勻之一施體結構（亦即非一致之植入表面形貌及/或非一致之植入材料組成）而獲致。

從該施體結構 100 待移轉至另一受體結構之一材料層 110 被定義在該離

子植入平面 106 之一側，該施體結構 100 之其餘部分 112 則配置在該離子植入平面 106 相反於該材料層 110 之一側。

再參照圖 1A，如前所述，就整個弱化區而言，沿著該離子植入平面 106 之大致平面弱化區在平行於該離子植入平面 106 之至少一個方向上為非均勻。例如，就整個大致平面弱化區而言，該些植入離子之濃度及該些植入離子之元素組成至少其中一者可有所不同。為形成此種非均勻之弱化區，在一些實施例中，可使離子僅穿過該施體結構 100 之選定區域而植入。舉例而言，可使離子穿過一有圖案光罩 118 之孔隙 116 而植入該施體結構 100。該有圖案光罩 118 可形成於該施體結構 100 之主要表面 104A 上，如圖 1A 所示，或者，該有圖案光罩 118 可獨立於該施體結構 100 而形成，並配置在該施體結構 100 之主要表面 104A 之上（直接在該主要表面 104A 上，或在縱向上位於該主要表面 104A 上方而與該主要表面 104A 有間隔）。

經由使該些離子穿過該有圖案光罩 118 中該些孔隙 116 而植入該施體結構 100，離子只會穿過該材料層 110 中第一多個區域 120 而植入，不會穿過該材料層 110 中第二多個區域 122。該第一多個區域 120 及該第二多個區域 122 在圖 1A 及 1B 中以縱向斷續線為界。穿過該第二多個區域 122 而進入該施體結構 100 之離子植入會因該光罩 118 之材料而受阻（無法進行）。如前所述，該材料層 110 可包含一種半導體材料，該材料最終會在該材料層 110 所要轉移過去之一受體結構上用於製作主動半導體元件結構（例如電晶體、電容、導電路徑等等）。依照本發明一些實施例，該些孔隙 116 可選擇性地形成於該有圖案光罩 118 中，以使該些孔隙配置在將會成為該材料層 110 之非主動區域上方且與該些區域對準，並使該材料層 110 之主動區域因

該光罩 118 之材料而將離子阻隔在外。換言之，該材料層 110 之該第一多個區域 120 可包含該材料層 110 之非主動區域，而該第二多個區域 122 可包含該材料層 110 之主動區域。

在本說明書中，「非主動區域」一詞用在與一材料層從一施體結構轉移至一受體結構有關之情況時，係指並包括，在不內含任何主動元件結構之完全製作元件中，其材料層內最終會包含一被動區域之一區域。在本說明書中，「主動區域」一詞用在與一材料層從一施體結構轉移至一受體結構有關之情況時，係指並包括，在內含一個或多個主動元件結構（例如電晶體、電容、導電路徑當中的一個或多個）之完全製作元件中，其材料層 110 內最終會包含一主動區域之一區域。

如前所述，使離子可穿過該材料層 110 之非主動區域（該第一多個區域 120）以植入，但不使任何實質數量之離子穿過該材料層 110 之主動區域（該第二多個區域 122）。如此，由該離子植入平面 106 定義出之整個大致平面弱化區，便可在平行於該大致平面弱化區之至少一個方向上為非均勻，因為與該第一多個區域 120 鄰接之大致平面弱化區內存在相對較高之離子濃度，此係相對於與該第二多個區域 122 鄰接之大致平面弱化區內存在之離子濃度（其至少實質上可為零）而言。因此，本發明之實施例可用於減少該離子植入製程可能對該些主動區域（亦即該第二多個區域 122）造成之損壞。

參照圖 1C，該施體結構 100 之第一主要表面 104A（其包括待轉移之材料層 110 之一表面）可鍵結至一受體結構 130。在一些實施例中，可於離子如上所述植入該施體結構 100 後，再將該施體結構 100 鍵結至該受體結構

130。在其他實施例中，則可先將該施體結構 100 之第一主要表面 104A 鍵結至該受體結構 130，再使離子穿過該施體結構 100 之相反主要表面 104B 而植入該施體結構 100。將該施體結構 100 之第一主要表面 104A 鍵結至該受體結構 130 後再實施植入製程相對較困難，因為可能需要較高能量才能將離子植入所需之深度。

在一些實施例中，可利用一直接鍵結製程將該施體結構 100 直接鍵結至該受體結構 130。所謂「直接鍵結方法」乃是在兩個結構間建立直接的固體對固體化學鍵，以將其鍵結在一起而無需在這兩者間使用中間鍵結材料之方法。目前已發展出金屬對金屬及氧化物對氧化物之直接鍵結方法，以將一第一結構中一表面上之金屬或氧化物材料，鍵結至一第二結構中一表面上之金屬或氧化物材料。此等方法在諸如 P. Garrou 等人所編之《The Handbook of 3D Integration》(Wiley-VCH 出版，2008 年)第一冊第 11 章中有所討論。

因此，若該施體結構 100 之主體材料 102 及/或該受體結構 130 之材料在其鍵結表面並未包含適合此種直接鍵結製程之材料，可在該施體結構 100 及/或該受體結構 130 之鍵結表面提供適當之一種鍵結材料。舉例而言，圖 1C 呈現該施體結構 100 之鍵結表面(該第一主要表面 104A)上之一種鍵結材料 124，以及該受體結構 130 之鍵結表面上之一種鍵結材料 132。

該鍵結材料 124 及該鍵結材料 132 可具有相似之組成，且可包含，舉例而言，一種金屬材料(例如銅、鋁、鈦、鎢、鎳等等，或此等金屬之合金)、一種氧化物材料(例如氧化矽)，或一種半導體材料(例如矽、鍺、化合物半導體材料等等)。

該鍵結材料 124 及該鍵結材料 132 之該些鍵結表面可加以清潔，以移除表面雜質及表面化合物（例如原生氧化物）。此外，可將該些鍵結表面之表面粗度降低，以增加該些鍵結表面間在原子級尺度上緊密接觸之面積。該些鍵結表面間緊密接觸之面積通常經由以下方式達成：研磨該些鍵結表面以降低其表面粗度至接近原子級尺度之數值、於該些鍵結表面間施加壓力以造成塑性形變，或是既研磨該些鍵結表面又對其施加壓力以達到此種塑性形變。

將該些鍵結表面準備好後，便可使其彼此緊密接觸。該些鍵結表面間之吸引力此時會大到足以引起分子黏附（兩個要鍵結表面之原子或分子間因電子交互作用產生之總吸引力（凡得瓦力）所引致之鍵結）。接著，可將諸如探針之一工具按壓在該施體結構 100 之曝露主要表面 104B（及/或該受體結構 130 之一曝露主要表面）上，以啟始鍵結波並使之傳遞至該施體結構 100 及該受體結構 130 之該些鍵結表面間之整個界面。施加該工具之點可位於，舉例而言，該施體結構 100 及/或該受體結構 130 之中心點或其外圍邊緣鄰近。此等方法揭示於，舉例而言，2011 年 2 月 24 日以 Castex 等人之名公開之美國專利申請公開案號 US 2011/0045611 A1。

作為一個選項，在鍵結製程期間可對該施體結構 100 及/或該受體結構 130 加熱，以協助該鍵結製程進行。

該受體結構 130 可包含一晶粒或晶圓，而且，在一些實施例中，該受體結構 130 可包含先前製作之主動元件結構 134。圖 1C 所概要呈現之主動元件結構 134 為電晶體，但該些主動元件結構 134 可包含其他類型之主動元件結構，像是電容、導電線、導電跡線，及/或導電通孔等等。該些主動

元件結構 134 可包含受到過多熱能時可能會遭受不利影響之材料或結構。因此，在一些實施例中，該鍵結製程可在大約 400°C 或更低、200°C 或更低，或甚至在大約室溫之溫度下實施。

將該施體結構 100 鍵結至該受體結構 130 後，便可使該施體結構 100 沿著該離子植入平面 106 劈裂或以其他方式斷裂，以形成圖 1D 所示之結構，其包含該受體結構 130、鍵結至該受體結構 130 之材料層 110，及介於兩者間之鍵結材料 124 及鍵結材料 132。舉例而言，可對該施體結構 100（或，以及該受體結構 130）加熱，以造成該施體結構 100 沿著該離子植入平面 106 劈裂或以其他方式斷裂。在一些實施例中，該施體結構 100 及該受體結構 130 在斷裂製程期間之溫度可維持在大約 500°C 或更低、大約 400°C 或更低，或甚至大約 350°C 或更低。限制斷裂製程期間之溫度是較為理想的，其目的在於，舉例而言，防止先前形成於該受體結構 130 上之主動元件結構受損。但在其他實施例中，該劈裂製程可在較高溫度下實施。作為一個選項，可對該施體結構 100 施加機械力，以造成或協助該施體結構 100 沿著該離子植入平面 106 劈裂或以其他方式斷裂。

在該斷裂製程後，該材料層 110 會保持鍵結至該受體結構 130，而該施體結構 100 之其餘部分可視需要重複使用，以將其他材料層轉移至受體結構。

在該斷裂製程後，該材料層 110 之曝露斷裂表面 111 可包含該轉移材料層 110 之晶格中缺陷，以及雜質。此外，如前所述，該些植入離子所造成之缺陷 108 可存在於與該材料層 110 中該第一多個區域 120（圖 1B）鄰接之斷裂表面 111，該些離子係穿過該些區域而植入。因此，該材料層 110 之

斷裂表面 111 可加以處理，以移除雜質（例如植入之離子）並改進與該斷裂表面 111 鄰近之材料層 110 內結晶晶格之品質。舉例而言，可使該斷裂表面 111 接受一化學蝕刻製程、一機械研磨製程、一化學機械研磨（CMP）製程當中的一項或多項，以形成圖 1E 所示之結構。圖 1E 之結構實質上類似於圖 1D 之結構，但圖 1E 所呈現之表面 111 沒有該些缺陷 108，這代表相對於圖 1D 中該表面 111 之品質，圖 1E 中該表面 111 之品質已有所改善。

為改進鄰近該表面 111 之該材料層 110 品質所採用之處理製程，可能無法使該材料層 110 完全沒有雜質或獲致完美之結晶品質。但該第二多個區域 122 之品質（其可包含主動區域）可相對優於該第一多個區域 120（其可包含非主動區域）之品質，因為植入之離子係穿過該第一多個區域 120 而植入，但並未穿過該第二多個區域 122。

參照圖 1F，主動元件結構 140 可製作在該轉移材料層 110 之中及/或上面。圖 1F 所概要呈現之主動元件結構 140 為電晶體，但該些主動元件結構 140 可包含其他類型之主動元件結構，像是電容、導電線、導電跡線，及/或導電通孔等等。再者，該些主動元件結構 140 可包含任何 CMOS 類型之電晶體、垂直式電晶體、一個二極體（例如一 PN 接面）、一交叉點記憶元件（cross-point memory device，譬如，相變化記憶體或另一類型之電阻式記憶元件）之一構件等等。作為一個選項，可將該些主動元件結構 140 製作在主動之該第二多個區域 122 之中或上面，而不將顯著數量之該些主動元件結構 140 製作在非主動之該第一多個區域 120 上面，如圖 1F 所示。由於該些主動元件結構 140 係製作在該材料層 110 之品質已獲改進之表面 111 上或當中，因此該些主動元件結構 140 之性能可靠度亦可獲得改進。

後續製程可按已知方法進行，以完成一個或多個半導體元件之製作。此等半導體元件可包括，舉例而言，電子信號處理器元件、記憶元件、感光元件（例如輻射發射元件（像是雷射、發光二極體等等）或輻射接收元件（像是光檢測器、太陽能電池等等）、微機械元件等等。

該些主動元件結構 140 當中的一個或多個可在操作上與該受體結構 130 中該些主動元件結構 134 耦合，耦合方式為利用縱向延伸導電通孔、導電墊、橫向延伸導電線當中的一種或多種，在兩者間建立電氣接觸。

圖 2A 至 2G 呈現本發明之方法之額外實施例。圖 2A 與圖 1A 類似，其呈現經由使離子穿過一有圖案光罩 168 之孔隙 166，將離子選擇性地植入一施體結構 150 並使之穿過待轉移之一材料層 160 中第一多個區域 170，但不使離子穿過該材料層 160 中第二多個區域 172。但在沿著一離子植入平面 156 植入該些離子以形成該非均勻大致平面弱化區前，可先穿過該施體結構 150 之第一主要表面 154A，在該第一多個區域 170 內形成多個凹槽 164，如圖 2A 所示。

該些凹槽 164 可利用諸如光罩蝕刻製程形成於該施體結構 150 中。在一些實施例中，於該離子植入製程期間所用之同一光罩 168，可先作為蝕刻光罩使用以形成該些凹槽 164。舉例而言，有圖案之該光罩 168 可經由在該施體結構 150 之表面 154A 上方沉積一種氧化物材料、一種氮化物材料，或一種氮氧化物材料而形成。接著可利用一微影製程形成穿透該光罩 168 之孔隙 166。譬如，可將一有圖案光罩沉積在形成該光罩 168 所用材料上方，並在一蝕刻製程中利用該有圖案光罩，在該光罩 168 中蝕刻出該些孔隙 166，之後，該有圖案光罩可予以移除。接著，可利用被賦予圖案之該光罩

168，在該施體結構 150 中形成該些凹槽 164，之後，可利用該光罩 168 將離子阻隔在該材料層 160 之該第二多個區域 172 外，使該些離子穿過該材料層 160 之該些凹槽 164 及該第一多個區域 170 而植入。

使離子穿過該些凹槽 164 而植入，可增加該施體結構 150 內離子植入平面 156 與該主要表面 154A 相距之深度。舉例而言，在一些實施例中，該離子植入平面 156 與該些離子所植入之施體結構 150 之主要表面 154A 相距大約 $1.5\mu\text{m}$ 或更遠。使植入該施體結構 150 之離子與該主要表面 154A 相距較遠，可讓相對較厚之一材料層 160 得以轉移至一受體結構。

圖 2B 呈現該光罩 168 移除後之結構，並呈現離子植入製程在鄰接該第一多個區域 170 之施體結構 150 中所造成之缺陷 158。如前文所指出，圖 2A 所呈現之離子植入平面 156 可包含一單一植入平面，其中絕大多數離子係沿著該施體結構 150 內之單一平面分佈。換言之，所植入離子之絕大多數會集中在該施體結構 150 內單一深度之處。

參照圖 2C，該些凹槽 164 可以一種介電材料 165 填充。舉例而言，介電材料可以地毯式沉積在圖 2B 之結構上方，然後可利用一化學機械研磨 (CMP) 製程移除該些凹槽 164 外面，該施體結構 150 之主要表面 154A 上方之過量介電材料。

如圖 2D 所示，該施體結構 150 可以前文參照圖 1C 所述之方式，鍵結至一受體結構 180。在一些實施例中，該受體結構 180 可包含主動元件結構 184。此外，如前所述，在該施體結構 150 之鍵結表面(該第一主要表面 154A) 可提供一鍵結材料 174，並可在該受體結構 180 之鍵結表面提供一鍵結材料 182。該鍵結材料 174 及該鍵結材料 182 可具有相似之組成，且可包含，舉

例而言，一種金屬材料（例如銅或銅合金）或一種氧化物材料（例如氧化矽）。如前文參照圖 1C 所述，直接之金屬對金屬或氧化物對氧化物鍵結可在該鍵結材料 174 及該鍵結材料 182 之緊靠表面間建立。

將該施體結構 150 鍵結至該受體結構 180 後，便可使該施體結構 150 沿著該離子植入平面 156 劈裂或以其他方式斷裂，以形成圖 2E 所示之結構，其包含該受體結構 180 及鍵結至該受體結構 180 之材料層 160。該施體結構 150 可如前文參照圖 1D 之敘述，沿該離子植入平面 156 劈裂或以其他方式斷裂。在該斷裂製程後，該材料層 160 之曝露斷裂表面 161 可包含該轉移材料層 160 之晶格中缺陷，以及雜質。此外，如前所述，因該些植入離子而造成之缺陷 158 可存在於與該材料層 160 中該第一多個區域 170（圖 2B）鄰接之斷裂表面 161，而該些離子係穿過該些區域而植入。因此，可對該材料層 160 之斷裂表面 161 進行處理，以移除雜質（例如植入之離子）並改進該斷裂表面 161 鄰近之材料層 160 內結晶晶格之品質。舉例而言，該斷裂表面 161 可接受化學蝕刻製程、機械研磨製程、化學機械研磨（CMP）製程當中的一項或多項，以形成圖 2F 所示之結構。作為一個選項，該介電材料 156 可作為蝕刻阻擋材料使用。換言之，可利用化學蝕刻製程、機械研磨製程、化學機械研磨（CMP）製程當中的一項或多項，將材料從該斷裂表面 161 移除，直到該介電材料 156 曝露出來。因此，在一些實施例中，該轉移材料層 160 中非主動之該第一多個區域 170（圖 2B）可至少實質上予以移除。在其他實施例中，該轉移材料層 160 中非主動之該第一多個區域 170（圖 2B）之部分則可加以保留。圖 2F 之結構與圖 2E 之結構類似，但在圖 2F 之表面 161 中，先前含有該些缺陷 158（圖 2E）之區域已被移除。

參照圖 2G，主動元件結構 190 可製作在該轉移材料層 160 之中及/或上面。圖 2G 所概要呈現之主動元件結構 190 為電晶體，但該些主動元件結構 190 可包含其他類型之主動元件結構，像是電容、導電線、導電跡線，及/或導電通孔等等。再者，該些主動元件結構 190 可包含任何 CMOS 類型之電晶體、垂直式電晶體、一個二極體（例如一 PN 接面）、一交叉點記憶元件（譬如相變化記憶體或另一類型之電阻式記憶元件）之一構件等等。作為一個選項，可將該些主動元件結構 190 製作在主動之該第二多個區域 172 之中或上面，而不將顯著數量之該些主動元件結構 190 製作在非主動之該第一多個區域 170 上面，如圖 2G 所示。由於該些主動元件結構 190 係製作在該材料層 160 之品質已獲改進之表面 161 上或當中，因此該些主動元件結構 190 之性能可靠度亦可獲得改進。

如前所述，後續製程可按已知方法進行，以完成一個或多個半導體元件之製作。

在額外實施例中，可以實施類似上文參照圖 2A 至 2G 所述之方法，但在額外實施例中，離子植入製程係在該施體結構中形成凹槽並以介電材料填充該些凹槽後實施。舉例而言，圖 3A 呈現一施體結構 200，其如同圖 2A 所示之施體結構 150。該施體結構 200 包含一主體材料 202，並具有一第一主要表面 204A 及相反之一第二主要表面 204B。如前文關於施體結構 150 之敘述，多個凹槽 212 可穿透該第一主要表面 204A 而形成於該施體結構 200 中。

該些凹槽 212 可利用諸如光罩蝕刻製程形成於該施體結構 200 中。舉例而言，經由在該施體結構 200 之表面 204A 上方沉積一種氧化物材料、一

種氮化物材料，或一種氮氧化物材料，可形成一有圖案光罩 216。接著可利用一微影製程形成穿透該光罩 216 之孔隙 218。譬如，可將一有圖案光罩沉積在形成該光罩 216 所用材料上方，並在一蝕刻製程中利用該有圖案光罩在該光罩 216 中蝕刻出該些孔隙 218，之後，該有圖案光罩可予以移除。接著，可利用被賦予圖案之該光罩 216，在該施體結構 200 中形成該些凹槽 212。

參照圖 3B，一種介電材料 214 可如前文關於圖 2C 之介電材料 165 所述，提供於該些凹槽 212 中。該介電材料 214 可在離子植入該施體結構 200 前提供於該些凹槽 212 中。使離子穿過該些凹槽 212 及該些凹槽 212 中之介電材料 214，大致沿著一離子植入平面 206 植入該施體結構 200，以在該施體結構 200 內定義出一大致平面弱化區。如前文所指出，圖 3B 所呈現之離子植入平面 206 可包含一單一植入平面，其中絕大多數離子係沿著該施體結構 200 內之單一平面而分佈。換言之，所植入離子之絕大多數會集中在該施體結構 200 內單一深度之處。而在該離子植入平面 206 及該第一主要表面 204A 之間，可定義出有待從該施體結構 200 轉移之一材料層 210。

如前所述，可使離子植入該施體結構 200 中第一多個區域 220，但不植入該施體結構 200 中第二多個區域 222。在該第一多個區域 220 中，沿著該離子植入平面 206 呈現出多個缺陷 208。在一些實施例中，該第一多個區域 220 可包含該施體結構 200 之非主動區域，該第二多個區域 222 可包含該施體結構 200 之主動區域。雖然圖 3B 並未呈現該光罩 216，但在一些實施例中，形成該些凹槽 212 時所用之同一光罩 216，亦可在離子植入製程期間使用，以形成沿著該離子植入平面 206 之非均勻弱化區。在其他實施例中，

則可使用不同之光罩。

如上所述將離子植入後，便可利用前文參照圖 2D 至 2G 所述之方法，將該材料層 210 轉移至一受體結構。

在前述該些實施例中，施體結構內沿著離子植入平面之大致平面弱化區，係經由使植入離子穿過待轉移材料層中第一多個區域，但不使其穿過待轉移材料層中第二多個區域而成為非均勻。其他方法亦可用於形成與本發明實施例相符之非均勻弱化區。在額外實施例中，可使離子既穿過待轉移材料層中第一多個區域也穿過待轉移材料層中第二多個區域而植入，但在待轉移材料層之該第一多個區域及該第二多個區域間，可使該些區域內之離子濃度及離子之元素組成當中的一者或兩者有所不同。在這些額外實施例中，既穿過第一多個區域也穿過第二多個區域而植入之離子可形成一單一植入平面，其中，絕大多數之植入離子係位於所植入之施體結構內。

舉例而言，圖 4A 呈現在一第一離子植入製程中，多個離子沿一離子植入平面 256 被植入一施體結構 250。如前所述，該施體結構 250 可包含一主體材料 252，並具有一第一主要表面 254A 及相反之一第二主要表面 254B。該些離子可均勻地植入該施體結構 250，這樣，就整個離子植入平面 256 而言，第一多個缺陷 258 便會以大致均勻之方式既形成於第一多個區域 270 也形成於第二多個區域 272 中。

參照圖 4B，在該第一離子植入製程後，可利用一第二離子植入製程，使額外之離子穿過該第一多個區域 270 但不穿過該第二多個區域 272 而植入。該些離子可如前所述，穿過一有圖案光罩 266 之孔隙 268 而植入該施體結構 250。相對於該第一離子植入製程之離子，該第二離子植入製程之離

子之元素組成可與其相同或不同。因此，額外之缺陷 259 會沿該離子植入平面 256 形成於該第一多個區域 270 中，該些額外缺陷 259 不會形成於該第二多個區域 272 中。

如圖 4B 所示，作為一個選項，可利用諸如前述之光罩蝕刻製程，在該施體結構 250 之第一主要表面 254A 中形成多個凹槽 264。該些離子可以如前文參照圖 2A 所述之方式穿過該些凹槽 264 而植入該第一多個區域 270(如圖 4B 所示)。在其他實施例中，於進行該第二離子植入製程前，可將一種介電材料提供於該些凹槽 264 內，且該些離子可以如前文參照圖 3B 所述之方式穿過該些凹槽 264 內之介電材料而植入。

在該第二離子植入製程後，可實施進一步之處理，以利用如前文參照圖 2C 至 2G 所述之方法，將該材料層 260 轉移至一受體結構。

在更進一步之實施例中，該第一離子植入製程可包含一選擇性、非均勻之離子植入製程，其如同該第二離子植入製程。舉例而言，圖 5A 呈現在一第一離子植入製程中，多個離子沿一離子植入平面 306 被植入一施體結構 300。如前所述，該施體結構 300 可包含一主體材料 302，並具有一第一主要表面 304A 及相反之一第二主要表面 304B。該些離子可以非均勻方式植入該施體結構 300，以使第一多個缺陷 308 形成於第二多個區域 322 (其可包含主動區域) 中，而不使該些離子植入第一多個區域 320 (其可包含非主動區域) 中。雖然未呈現於圖 5A，但該些離子可如前所述，穿過一有圖案光罩之孔隙而植入該施體結構 300 內該第二多個區域 322。

參照圖 5B，在該第一選擇性非均勻離子植入製程後，可利用一選擇性非均勻第二離子植入製程，使額外之離子穿過該第一多個區域 320 但不穿

過該第二多個區域 322 而植入。該些離子可如前所述，穿過一有圖案光罩 316 之孔隙 318 而植入該施體結構 300。相對於該第一離子植入製程之離子，該第二離子植入製程之離子之元素組成可與其相同或不同。因此，額外之缺陷 309 會沿該離子植入平面 306 形成於該第一多個區域 320 中，此等額外缺陷不會形成於該第二多個區域 322 中。相對於該第一多個缺陷 308，該第二多個缺陷 309 可更為廣泛及/或顯著，以使沿著該離子植入平面 306 所定義出之弱化區，在該第一多個區域 320 中比在該第二多個區域 322 中更為弱化（更易斷裂）。

如圖 5B 所示，作為一個選項，可利用諸如前述之光罩蝕刻製程，在該施體結構 300 之第一主要表面 304A 中形成多個凹槽 312。該些離子可以如前文參照圖 2A 所述之方式穿過該些凹槽 312 而植入該第一多個區域 320（如圖 5B 所示）。在其他實施例中，於該第二離子植入製程前，可將一種介電材料提供於該些凹槽 312 內，且該些離子可以如前文參照圖 3B 所述之方式穿過該些凹槽 312 內之介電材料而植入。如圖 5B 所示，該第一選擇性非均勻離子植入及該第二選擇性非均勻離子植入可造成離子在該施體結構 300 內集中於單一植入平面 306。換言之，該第一選擇性非均勻離子植入及該第二選擇性非均勻離子植入可在該施體結構 300 內植入實質上相同之深度。

在該第二離子植入製程後，可實施進一步之處理，以利用如前文參照圖 2C 至 2G 所述之方法，將該材料層 310 轉移至一受體結構。

在任何前述該些方法中，作為一個選項，該些施體結構可包含絕緣體上半導體（SeOI）類型之一底材（例如絕緣體上矽（SOI）類型之底材）。舉例而言，圖 6A 及 6B 呈現一種方法，其類似於前文參照圖 5A 及 5B 所述

之方法，但在圖 6A 及 6B 之方法中，該施體結構包含絕緣體上半導體(SeOI) 類型之一底材。當然，前述其他任何方法亦可利用絕緣體上半導體 (SeOI) 類型之底材而實施，如下文參照圖 6A 及 6B 所述。

參照圖 6A，其呈現一施體結構 350，該施體結構 350 包含一基底底材 390、一半導體材料層 392，及介於兩者間之一介電材料層 394。換言之，該半導體材料層 392 係配置在該介電材料層 394 相反於該基底底材 390 之一側。該介電材料層 394 可包含本發明所屬技術領域中所稱之「埋置氧化層 (BOL)」，且可包含，舉例而言，一種陶瓷材料，像是一種氮化物 (氮化矽 (譬如 Si_3N_4)) 或一種氧化物 (譬如氧化矽 (SiO_2) 或氧化鋁 (Al_2O_3))。在一些實施例中，該介電材料層 394 所具有之平均總厚度可以為大約 1 微米 ($1\ \mu\text{m}$) 或更薄、大約 500 奈米 ($500\ \text{nm}$) 或更薄，或甚至大約 300 奈米 ($300\ \text{nm}$) 或更薄。該半導體材料層 392 可包含，舉例而言，矽、鍺、一種 III-V 族半導體材料 (例如 GaN、GaAs、InN、AlN、InGaN 等等)，或此等半導體材料之複合物。該半導體材料層 392 可為多晶或包含材料之一單晶。該基底底材 390 可包含，舉例而言，一種陶瓷材料或一種半導體材料。在一些實施例中，該基底底材 390 所具有之組成可至少實質上類似於該半導體材料層 392 之組成。如同前述該些施體結構，該施體結構 350 具有一第一主要表面 354A 及相反之一第二主要表面 354B。

圖 6A 呈現在一第一離子植入製程中，多個離子沿一離子植入平面 356 被植入一施體結構 350。該些離子可以非均勻方式植入該施體結構 350，以使第一多個缺陷 358 形成於第二多個區域 372 (其可包含主動區域) 中，而不使該些離子植入第一多個區域 370 (其可包含非主動區域) 中。雖然未呈

現於圖 6A，但該些離子可如前所述，穿過一有圖案光罩之孔隙而植入該施體結構 350 內該第二多個區域 372。

參照圖 6B，在該第一選擇性非均勻離子植入製程後，可利用一選擇性非均勻第二離子植入製程，使額外之離子穿過該第一多個區域 370 但不穿過該第二多個區域 372 而植入。該些離子可如前所述，穿過一有圖案光罩 366 之孔隙 368 而植入該施體結構 350。相對於該第一離子植入製程之離子，該第二離子植入製程之離子之元素組成可與其相同或不同。因此，額外之缺陷 359 會沿該離子植入平面 356 形成於該第一多個區域 320 中，此等額外缺陷不會形成於該第二多個區域 322 中。相對於該第一多個缺陷 358，該第二多個缺陷 359 可更為廣泛及/或顯著，以使沿著該離子植入平面 356 所定義出之弱化區，在該第一多個區域 370 中比在該第二多個區域 372 中更為弱化（更易斷裂）。

如圖 6B 所示，作為一個選項，可利用諸如前述之光罩蝕刻製程，在該施體結構 350 之第一主要表面 354A 中形成多個凹槽 362。該些離子可以如前文參照圖 2A 所述之方式穿過該些凹槽 362 而植入該第一多個區域 370（如圖 6B 所示）。在其他實施例中，於該第二離子植入製程前，可將一種介電材料提供於該些凹槽 362 內，且該些離子可以如前文參照圖 3B 所述之方式穿過該些凹槽 362 內之介電材料而植入。如在前述實施例中所指出，該第一選擇性非均勻離子植入製程及該第二選擇性非均勻離子植入製程可造成離子在該施體結構 350 內集中於單一植入平面 356。換言之，該第一選擇性非均勻離子植入及該第二選擇性非均勻離子植入可在該施體結構 350 內植入實質上相同之深度。

在該第二離子植入製程後，可實施進一步之處理，以利用如前文參照圖 2C 至 2G 所述之方法，將該材料層 360 轉移至一受體結構。

在任何前述該些方法中，作為一個選項，該些施體結構內可包含至少一離子侷限層，以協助將離子侷限在該預定離子植入平面鄰近。舉例而言，圖 7A 及 7B 呈現一種方法，其類似於前文參照圖 6A 及 6B 所述之方法，但在圖 7A 及 7B 之方法中，該施體結構更包含一離子侷限層。當然，前述其他任何方法亦可利用含有一離子侷限層之施體結構而實施，如下文參照圖 7A 及 7B 所述。

參照圖 7A，其呈現一施體結構 400，該施體結構 400 包含絕緣體上半導體 (SeOI) 類型之一底材，該底材實質上類似於圖 6A 之底材，且包含一基底底材 440、一半導體材料層 442，及介於該基底底材 440 及該半導體材料層 442 間之一介電材料層 444。該施體結構 400 亦包含一離子侷限層 446，其係配置在上有該半導體材料層 442 那一側之介電材料層 444 上方。換言之，該離子侷限層 446 可埋置在該半導體材料層 442 內，或者，該離子侷限層 446 可配置在介於該半導體材料層 442 及該介電材料層 444 之間。

該離子侷限層 446 可包含，舉例而言，該半導體材料層 442 之一部分，在實施離子植入製程以沿著該離子植入平面 406 形成大致弱化區前，該半導體材料層 442 已摻雜了諸如硼、碳，或其他元素。該些摻雜元素之存在，可使該離子侷限層 446 在離子植入製程期間相對較難被離子穿透。在其他實施例中，該離子侷限層 446 可包含一種材料 (有摻雜或無摻雜)，該材料與該半導體材料層 442 之材料不同，且相較於該半導體材料層 442，相對較難被待植入之離子穿透。

圖 7A 呈現在一第一離子植入製程中，多個離子沿一離子植入平面 406 被植入該施體結構 400。該些離子可以非均勻方式植入該施體結構 400，以使第一多個缺陷 408 形成於第二多個區域 422（其可包含主動區域）中，而不使該些離子植入第一多個區域 420（其可包含非主動區域）中。雖然未呈現於圖 7A，但該些離子可如前所述，穿過一有圖案光罩之孔隙而植入該施體結構 400 內該第二多個區域 422。

參照圖 7B，在該第一選擇性非均勻離子植入製程後，可利用一選擇性非均勻第二離子植入製程，使額外之離子穿過該第一多個區域 420 但不穿過該第二多個區域 422 而植入。該些離子可如前所述，穿過一有圖案光罩 416 之孔隙 418 而植入該施體結構 400。相對於該第一離子植入製程之離子，該第二離子植入製程之離子之元素組成可與其相同或不同。因此，額外之缺陷 409 會沿該離子植入平面 406 形成於該第一多個區域 420 中，此等額外缺陷不會形成於該第二多個區域 422 中。相對於該第一多個缺陷 408，該第二多個缺陷 409 可更為廣泛及/或顯著，以使沿著該離子植入平面 406 所定義出之弱化區，在該第一多個區域 420 中比在該第二多個區域 422 中更為弱化（更易斷裂）。

如圖 7B 所示，作為一個選項，可利用諸如前述之光罩蝕刻製程，在該施體結構 400 之第一主要表面 404A 中形成多個凹槽 412。該些離子可以如前文參照圖 2A 所述之方式穿過該些凹槽 412 而植入該第一多個區域 420（如圖 7B 所示）。在其他實施例中，於該第二離子植入製程前，可將一種介電材料提供於該些凹槽 412 內，且該些離子可以如前文參照圖 3B 所述之方式穿過該些凹槽 412 內之介電材料而植入。如在前述實施例中所指出，該第

一選擇性非均勻離子植入製程及該第二選擇性非均勻離子植入製程可造成離子在該施體結構 400 內集中於單一植入平面 406。換言之，該第一選擇性非均勻離子植入及該第二選擇性非均勻離子植入可在該施體結構 400 內植入實質上相同之深度。

在該第二離子植入製程後，可實施進一步之處理，以利用如前文參照圖 2C 至 2G 所述之方法，將該材料層 410 轉移至一受體結構。

在任何前述該些方法中，當離子係穿過凹槽而植入一施體結構時，為防止游離離子進入該施體結構中在側向上與該些凹槽鄰接之區域，作為一個選項，可在離子穿過該些凹槽植入該施體結構前，於該施體結構之凹槽內提供側壁介電間隔物。茲參照圖 8A 至 8E，將此種方法之一示範性實施例敘述如下。

參照圖 8A，其呈現一施體結構 500。該施體結構 500 類似於圖 2A 之施體結構 150，且包含多個凹槽 564，該些凹槽 564 已透過一有圖案光罩 568 之孔隙 566 而形成於該施體結構 500 之主體材料 552 中。該有圖案光罩 568 可包含，舉例而言，一氮化物材料層，譬如氮化矽 (Si_3N_4)。該主體材料 552 可具有一第一主要表面 554A 及相反之一第二主要表面 554B。該些凹槽 564 可形成並穿過該第一主要表面 554A，如圖 8A 所示。

參照圖 8B，形成該些凹槽 564 之後，便可將一個或多個保形(conformal)材料層沉積在該光罩 568 及該主體材料 552 之第一主要表面 554A 上方，包括該些凹槽 564 內曝露之側壁表面上及底部表面上。該一個或多個保形材料層可包含，舉例而言，一層或多層介電材料。例如，一第一保形層 569A 可沉積在該光罩 568 上面，以及該些凹槽 564 內主體材料 552 之曝露表面

上，一第二保形層 569B 可沉積在該第一保形層 569A 上面，如圖 8B 所示。該第二保形層 569B 所具有之材料組成可不同於該第一保形層 569A 之材料組成，以使該第二保形層 569B 得以被選擇性地蝕刻，但不會蝕刻到該第一保形層 569A，如下文所討論。作為非限制性之一範例，該第一保形層 569A 可包含，舉例而言，一種氧化物材料，譬如氧化矽 (SiO_2)，該第二保形層 569B 則可包含，舉例而言，一種氮化物材料，譬如氮化矽 (Si_3N_4)。

如圖 8C 所示，一種非等向性蝕刻 (anisotropic etching) 製程可用於蝕刻包含氮化物之該第二保形層 569B，以使該第二保形層 569B 中該些橫向延伸區域被移除，而不會實質上移除該第二保形層 569B 中該些縱向延伸區域。因此，如圖 8C 所示，只有配置在該些凹槽 564 內側壁上之該第二保形層 569B 區域保留下來，該些凹槽 564 內底部表面上及該施體結構 550 之主要表面 554A 上方之第一保形層 569A 則會曝露出來。作為非限制性質之範例，可利用一乾式電漿蝕刻製程 (例如反應性離子蝕刻 (RIE) 製程) 對該第二保形層 569B 進行非等向性蝕刻。

對該第二保形層 569B 進行非等向性蝕刻後，可利用另一蝕刻製程移除曝露在該些凹槽 564 內底部表面之第一保形層 569A (其可包含一種氧化物) 部分。舉例而言，可利用一濕式化學蝕刻製程蝕刻該第一保形層 569A 之該些曝露區域，以獲致圖 8D 所示之結構。該蝕刻製程亦可移除該施體結構 550 之第一主要表面 554A 上方之第一保形層 569A 區域。如圖 8D 所示，該些凹槽 564 底部之主體材料 552 被曝露出來。使該些凹槽 564 底部之主體材料 552 曝露出來後，間隔物結構 574 仍會如圖 8D 所示，保留在該些凹槽 564 內之側壁上。該些間隔物結構 574 可包含該一個或多個保形層 569A、

569B 之部分。

如此，將該些凹槽 564 底部之主體材料 552 曝露出來後，便可將多個離子沿著一離子植入平面 556 植入該施體結構 550。該些離子可以非均勻方式植入該施體結構 550，以使缺陷在第一多個區域 570（其可包含非主動區域）中形成，但不使該些離子被植入第二多個區域 572（其可包含主動區域）。在該離子植入製程期間，該些間隔物結構 574 可進一步防止離子經由該些凹槽 564 內之側壁進入待轉移材料層 560 之該些主動區域 572。圖 8D 所呈現之離子植入平面 556 可包含一單一植入平面，其中絕大多數離子係沿著該施體結構 550 內之單一平面而分佈。換言之，所植入離子之絕大多數會集中在該施體結構 550 內單一深度之處。

參照圖 8E，該些植入離子可致使缺陷 558 沿著該離子植入平面 556 在該第一多個區域 570 內形成。在該離子植入製程後，可利用，舉例而言，一蝕刻製程及一化學機械研磨（CMP）製程當中的一個或多個，將該一個或多個保形層 569A、569B 之餘留部分（例如該些間隔物結構 574）及該光罩 568（圖 8D）移除，以形成圖 8E 所示之結構。圖 8E 所示之結構大致類似於圖 2B 之結構，且圖 8E 之結構可如前文參照圖 2C 至 2G 所述，加以進一步處理。在參照圖 3A 及 3B、4A 及 4B、5A 及 5B、6A 及 6B，及 7A 及 7B 所述之任何方法中，亦可形成並採用間隔物結構，像是圖 8D 之間隔物結構 574。

【圖式簡單說明】

雖然本說明書以申請專利範圍作結，且該些申請專利範圍已具體指出並明確主張何謂可視為本發明實施例者，但配合所附圖式閱讀本發明實施

例某些範例之敘述，將更容易明白本發明實施例之優點，在所附圖式中：

圖 1A 至 1F 為簡要截面圖，其概要呈現依照本發明之方法之一些實施例，將一半導體材料層從一第一施體結構轉移至一第二受體結構期間之施體及/或受體結構，在該些實施例中，一非均勻離子植入平面在該施體結構中形成；

圖 2A 至 2G 為簡要截面圖，其概要呈現依照本發明之方法之進一步實施例，將一半導體材料層從一第一施體結構轉移至一第二受體結構期間之施體及/或受體結構，在該些實施例中，離子係穿透該施體結構之選定區域而植入，該些選定區域包含形成於該施體結構中之凹槽；

圖 3A 及 3B 為簡要截面圖，其概要呈現依照本發明之方法之一些實施例處理一施體結構，在該些實施例中，離子係穿透該施體結構之選定區域而植入，該些選定區域包含在該施體結構中所形成凹槽內之介電材料；

圖 4A 及 4B 為簡要截面圖，其概要呈現依照本發明之方法之一些實施例處理一施體結構，在該些實施例中，多個離子植入製程被用於在該施體結構內形成非均勻之一離子植入平面；

圖 5A 及 5B 為簡要截面圖，其概要呈現依照本發明之方法之進一步實施例處理一施體結構，在該些實施例中，多個離子植入製程被用於在該施體結構內形成非均勻之一離子植入平面；

圖 6A 及 6B 為簡要截面圖，其概要呈現依照本發明之方法之實施例處理一施體結構，在該些實施例中，該施體結構包含絕緣體上半導體類型之一結構；

圖 7A 及 7B 為簡要截面圖，其概要呈現依照本發明之方法之實施例處

理一施體結構，在該些實施例中，該施體結構包含絕緣體上半導體類型之結構，且該施體結構中有一離子侷限層；以及

圖 8A 至 8E 為簡要截面圖，其概要呈現依照本發明之方法之實施例處理一施體結構，在該些實施例中，側壁間隔物係在使離子穿透凹槽而植入該施體結構前形成於該些凹槽中。

【主要元件符號說明】

100、150、200、250、300、350、400、550 施體結構

102、152、202、252、302、552 主體材料

104A、154A、204A、254A、304A、354A、404A、554A 第一主要表面

104B、154B、204B、254B、304B、354B、404B、554B 第二主要表面

106、156、206、256、306、356、406、556 離子植入平面

108、158、208、408、409、558 缺陷

110、160、210、310、360、410 材料層

111 斷裂表面

112 其餘部分

116、318、418 孔隙

118、168、216、266、316、366、416、568 光罩

120、170、220、320、370、570 第一區域

122、172、222、322、372、422、572 第二區域

124、132、174、182 鍵結材料

130、180 受體結構

134、140、184、190 主動元件結構

164、212、264、312、362、412、564 凹槽

165、214、394、444 介電材料

166、218、268、368、566 孔隙

258、259、308、309、358、359 缺陷

390、440 基底底材

392、442 半導體材料層

446 離子局限層

569A 第一保形層

569B 第二保形層

574 間隔物結構

七、申請專利範圍：

1. 一種將一半導體材料層從一第一施體結構轉移至一第二結構之方法，該方法包括：

將離子植入該第一施體結構，以在該第一施體結構內形成由植入離子所定義之一大致平面弱化區，該大致平面弱化區將該第一施體結構之半導體材料層與該第一施體結構之其餘部分分開，其中將離子植入該第一施體結構以形成該大致平面弱化區更包括：

使濃度相對較高之離子穿過該半導體材料層中第一多個區域而植入該第一施體結構；以及

使濃度相對較低之離子穿過該半導體材料層中第二多個區域而植入該第一施體結構，其中，濃度較高的離子的植入深度和濃度較低的離子的植入深度是一樣的；

將該第一施體結構鍵結至該第二結構；以及

使該第一施體結構沿該大致平面弱化區斷裂，並留下該半導體材料層鍵結至該第二結構。

2. 如申請專利範圍第 1 項之方法，其更包括：

選定該半導體材料層之該第一多個區域，使之包含該半導體材料層之非主動區域；以及

選定該半導體材料層之該第二多個區域，使之包含該半導體材料層之主動區域。

3.如申請專利範圍第 1 項之方法，其中將離子植入該第一施體結構以形成該大致平面弱化區包括：

使具有一第一元素組成之離子穿過該半導體材料層中第一多個區域而植入該第一施體結構；以及

使具有一不同之第二元素組成之離子穿過該半導體材料層中第二多個區域而植入該第一施體結構。

4.如申請專利範圍第 3 項之方法，其更包括：

選定該半導體材料層之該第一多個區域，使之包含該半導體材料層之非主動區域；以及

選定該半導體材料層之該第二多個區域，使之包含該半導體材料層之主動區域。

5.如申請專利範圍第 1 項之方法，其中將離子植入該第一施體結構包括使離子穿過一有圖案光罩之孔隙而植入該第一施體結構。

6.如申請專利範圍第 5 項之方法，其更包括先在該第一施體結構上形成該有圖案光罩後，再將離子植入該第一施體結構。

7.如申請專利範圍第 1 項之方法，其更包括：

先在該第一施體結構之一主要表面中形成多個凹槽後，再將離子植入該第一施體結構；且其中將離子植入該第一施體結構包括使離子穿過該第一施體結構在該些凹槽內之表面而植入該第一施體結構，但不使離子植入該第一施體結構之主要表面之非凹槽區。

8. 如申請專利範圍第 7 項之方法，其更包括在將離子植入該第一施體結構前，先在該些凹槽內之側壁上形成多個間隔物結構。

9. 如申請專利範圍第 1 項之方法，其中將離子植入該第一施體結構包括：

實施一離子植入製程，以在該大致平面弱化區內，以就整個該第一施體結構而言實質上均勻之濃度，將一第一數量之離子植入該第一施體結構；以及

實施另一離子植入製程，以在該大致平面弱化區內，以就整個該第一施體結構而言有所變化之濃度，將一第二數量之離子植入該第一施體結構。

10. 如申請專利範圍第 9 項之方法，其更包括：

在實施該一離子植入製程以將該第一數量之離子植入該第一施體結構後，在該第一施體結構之一主要表面中形成多個凹槽；且

其中實施該另一離子植入製程包括使該第二數量之離子穿過該第一施體結構在該些凹槽內之表面而植入該第一施體結構，但不使該第二數量之離子植入該第一施體結構之主要表面之非凹槽區。

11. 如申請專利範圍第10項之方法，其更包括在將該第二數量之離子植入該第一施體結構前，先在該些凹槽內之側壁上形成多個間隔物結構。
12. 如申請專利範圍第1項之方法，其更包括選定該第一施體結構使之包括一絕緣體上半導體底材。
13. 如申請專利範圍第1項之方法，其更包括先在該第一施體結構中形成至少一離子侷限層後，再將離子植入該第一施體結構以形成該大致平面弱化區。
14. 一種用於製造半導體元件之方法，該方法包括：
將一半導體材料層從一第一施體結構轉移至一第二結構，所述轉移包括：
將離子植入該第一施體結構，以在該第一施體結構內形成由植入離子所定義之一大致平面弱化區，該大致平面弱化區將該第一施體結構之半導體材料層與該第一施體結構之其餘部分分開，其中將離子植入該第一施體結構以在該第一施體結構內形成該大致平面弱化區更包括使濃度相對較高之離子穿過該半導體材料層中第一多個區域而植入該第一施體結構；以及使濃度相對較低之離子穿過該半導體材料層中第二多個區域而植入該第一施體結構，其中，濃度較高的離子的植入深度和濃度較低的離子的植入深度是一樣的；

將該第一施體結構鍵結至該第二結構；以及

使該第一施體結構沿該大致平面弱化區斷裂，並留下該半導體材

料層鍵結至該第二結構；以及

將複數個主動元件結構製作在被轉移之該半導體材料層上。

15. 如申請專利範圍第14項之方法，其中將離子植入該第一施體結構包括使離子穿過一有圖案光罩之孔隙而植入該第一施體結構。

16. 如申請專利範圍第15項之方法，其更包括：

先在該第一施體結構之一主要表面中形成多個凹槽後，再將離子植入該第一施體結構；且

其中將離子植入該第一施體結構包括使離子穿過該第一施體結構在該些凹槽內之表面而植入該第一施體結構，但不使離子植入該第一施體結構之主要表面之非凹槽區。

17. 如申請專利範圍第16項之方法，其更包括在將離子植入該第一施體結構前，先在該些凹槽內之側壁上形成多個間隔物結構。

18. 如申請專利範圍第15項之方法，其中將離子植入該第一施體結構包括：

實施一離子植入製程，以在該大致平面弱化區內，以就整個該第一施體結構而言實質上均勻之濃度，將一第一數量之離子植入該第一施體結構；以及

實施另一離子植入製程，以在該大致平面弱化區內，以就整個該第一施體結構而言有所變化之濃度，將一第二數量之離子植入該第一施體結構。

19. 如申請專利範圍第18項之方法，其更包括：

在實施該一離子植入製程以將該第一數量之離子植入該第一施體結構後，在該第一施體結構之一主要表面中形成多個凹槽；且

其中實施該另一離子植入製程包括使該第二數量之離子穿過該第一施體結構在該些凹槽內之表面而植入該第一施體結構，但不使該第二數量之離子植入該第一施體結構之主要表面之非凹槽區。

20. 如申請專利範圍第19項之方法，其更包括在將該第二數量之離子植入該第一施體結構前，先在該些凹槽內之側壁上形成多個間隔物結構。

21. 一半導體結構，其包括：

一第一施體結構，該第一施體結構中有一大致平面弱化區，該大致平面弱化區係由沿著該大致平面弱化區被植入該第一施體結構之離子所定義，該大致平面弱化區將該第一施體結構之一半導體材料層與該第一施體結構之其餘部分分開，其中該大致平面弱化區包含第一多個區域，該第一多個區域中之植入之離子具有相對較高之濃度，以及第二多個區域，該第二多個區域中之植入離子具有相對較低濃度，而濃度較高的離子的植入深度和濃度較低的離子的植入深度是一樣的；以及

一第二結構，該第二結構鍵結至該第一施體結構之半導體材料層。

22. 如申請專利範圍第 21 項之半導體結構，其中該大致平面弱化區包含第一多個區域，該第一多個區域之植入離子具有一第一元素組成，以及第二多個區域，該第二多個區域之植入離子具有不同於該第一元素組成之一第二元素組成。

23. 如申請專利範圍第 21 項之半導體結構，其更包括該第一施體結構內之多個凹槽，其中植入離子之濃度及植入離子之元素組成至少其中之一者，在該大致平面弱化區內縱向上位於該些凹槽上方之區域中，相較於在該大致平面弱化區內縱向上位於該第一施體結構上方，橫向上介於該些凹槽間之區域有所不同。

24. 如申請專利範圍第 23 項之半導體結構，其更包括在該些凹槽內側壁上之多個間隔物結構。

25. 如申請專利範圍第 21 項之半導體結構，其中該第一施體結構包括一絕緣體上半導體底材。

26. 如申請專利範圍第 21 項之半導體結構，其更包括該第一施體結構中至少一個離子侷限層，該至少一個離子侷限層大致平行於該大致平面弱化區而延伸。

八、圖式：

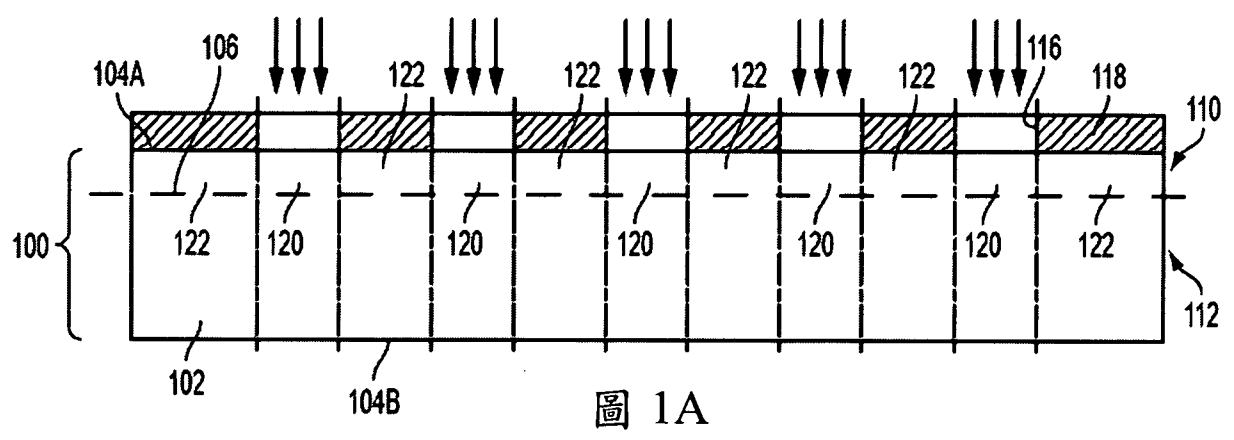


圖 1A

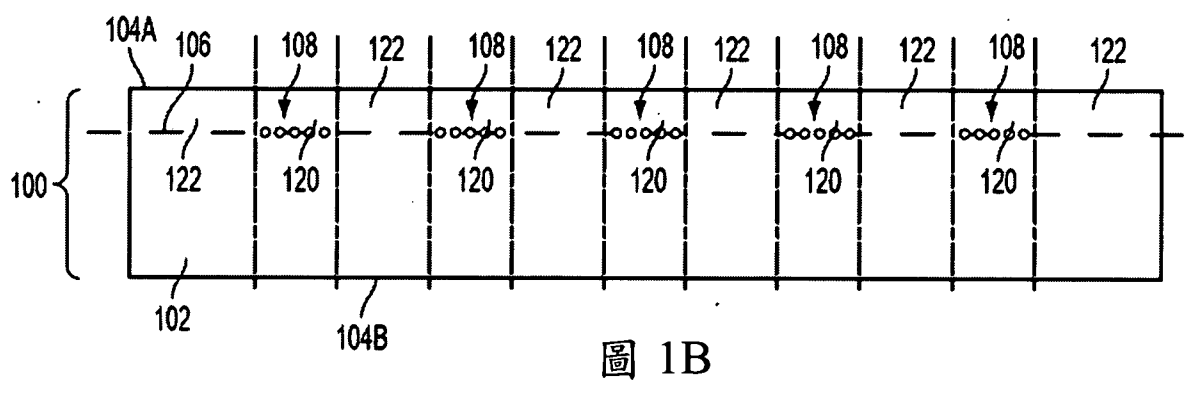


圖 1B

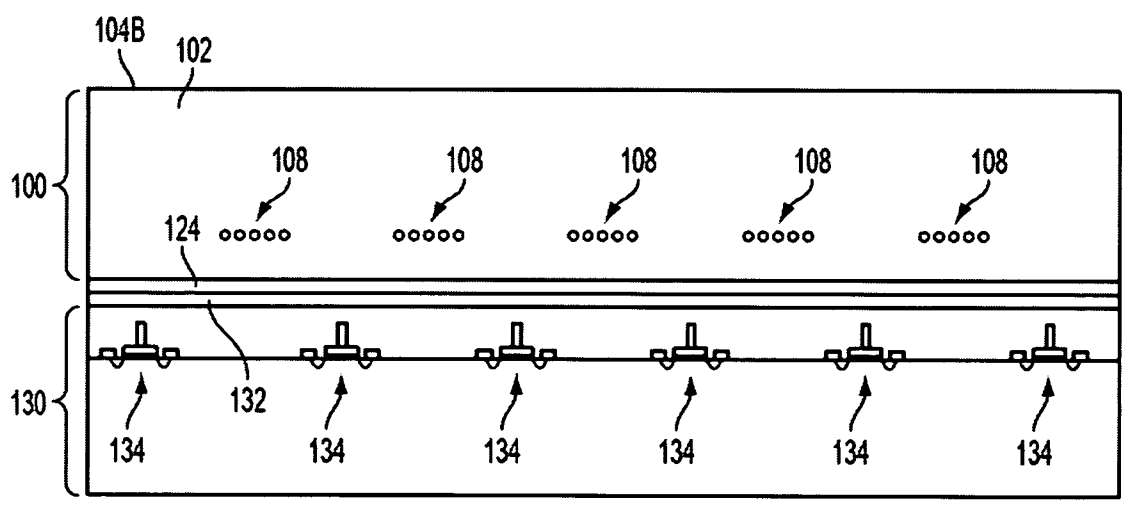


圖 1C

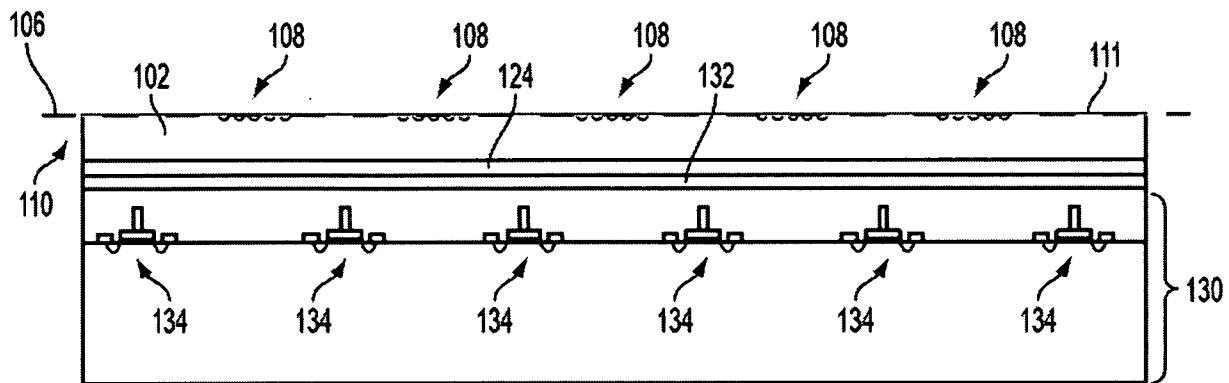


圖 1D

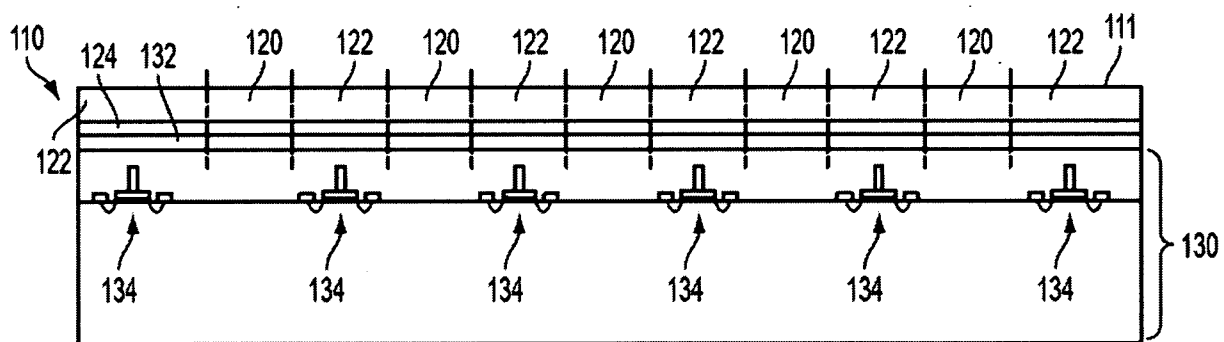


圖 1E

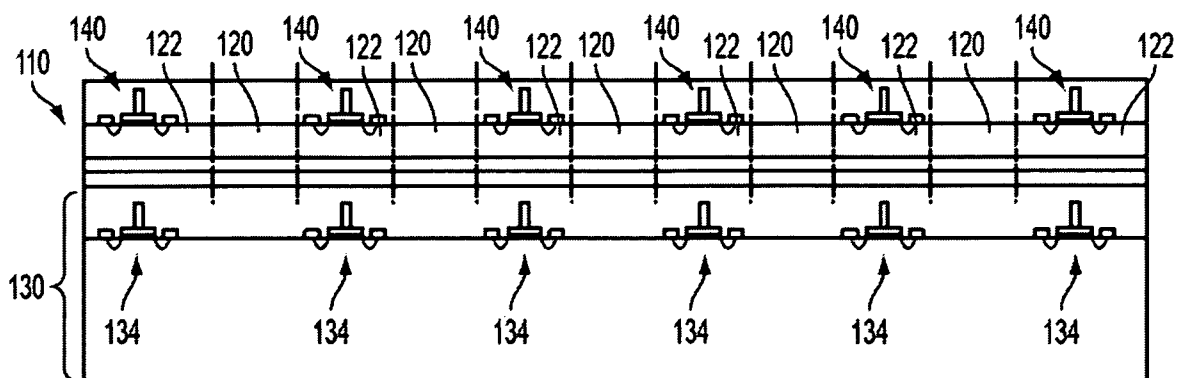


圖 1F

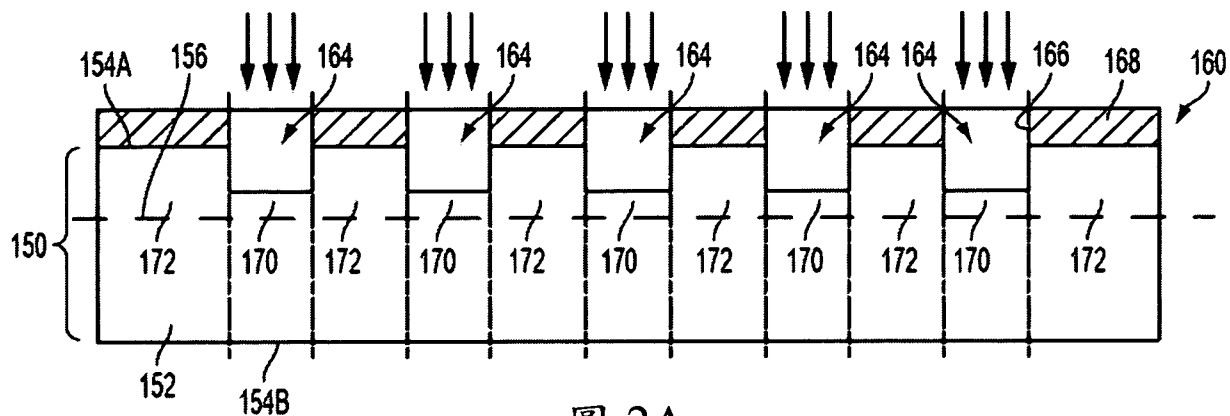


圖 2A

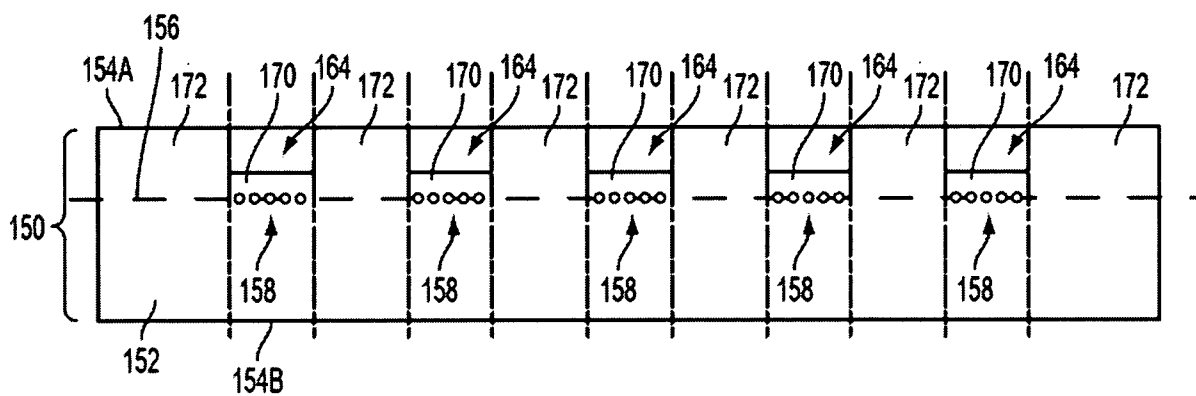


圖 2B

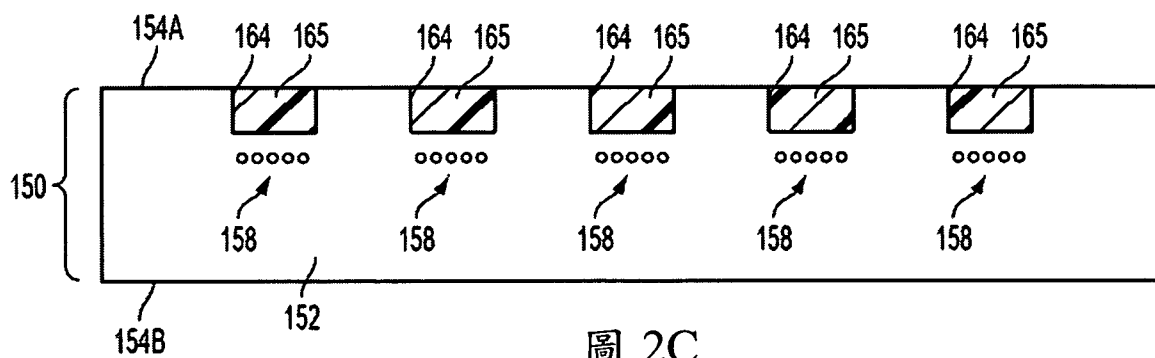


圖 2C

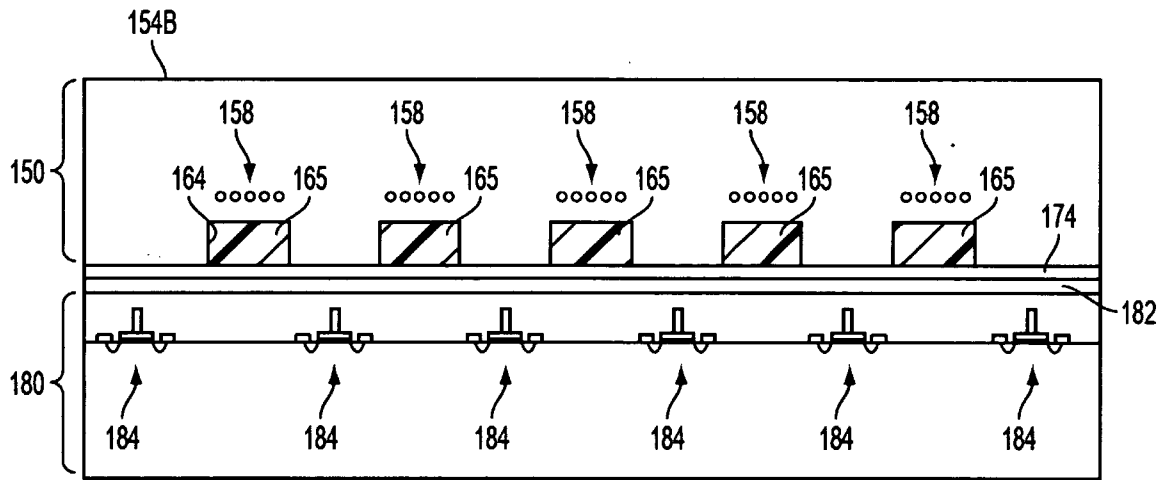


圖 2D

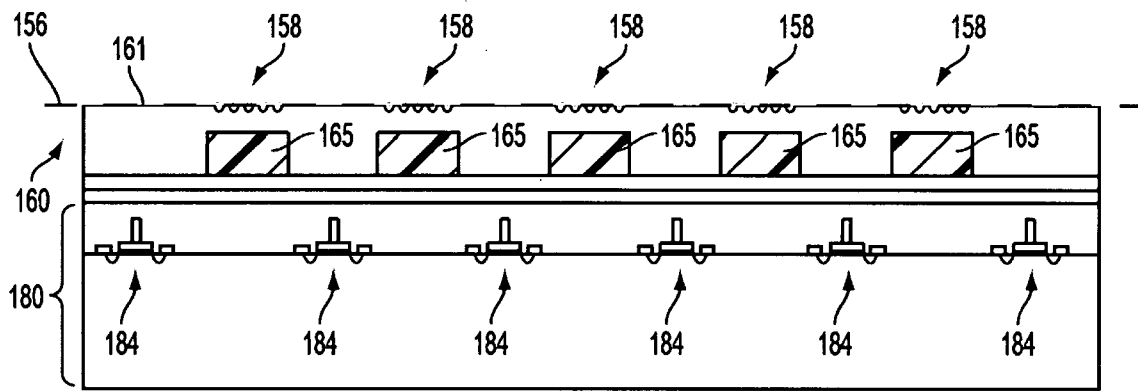


圖 2E

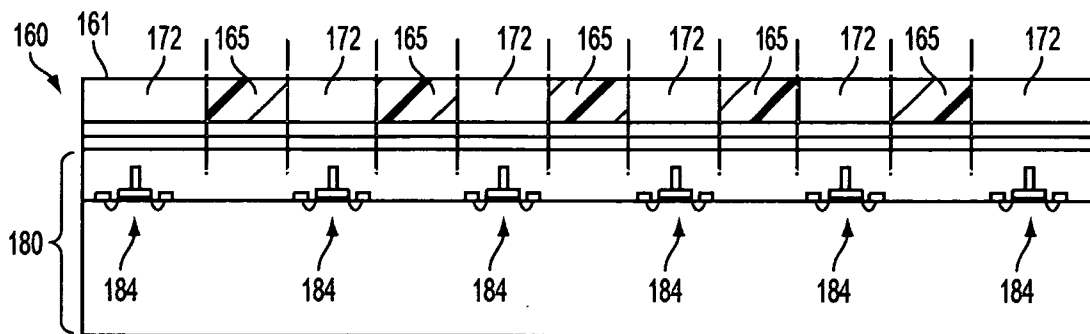


圖 2F

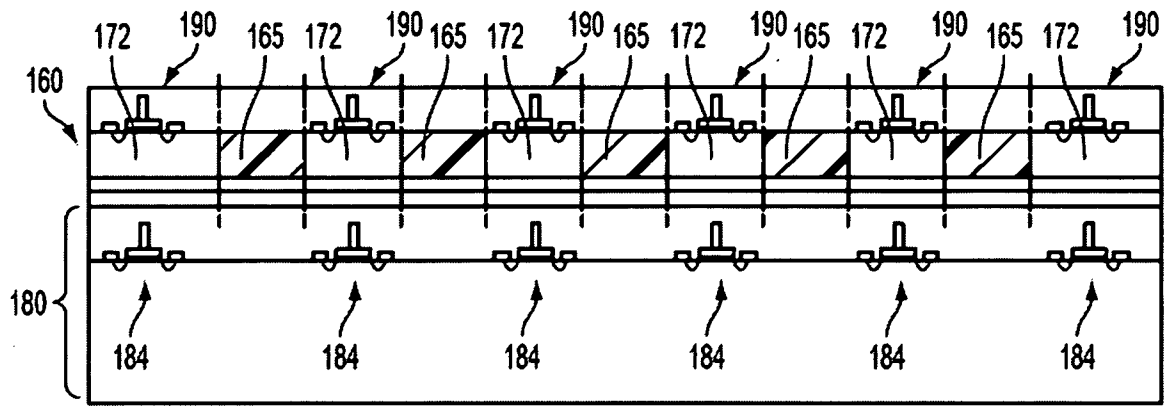


圖 2G

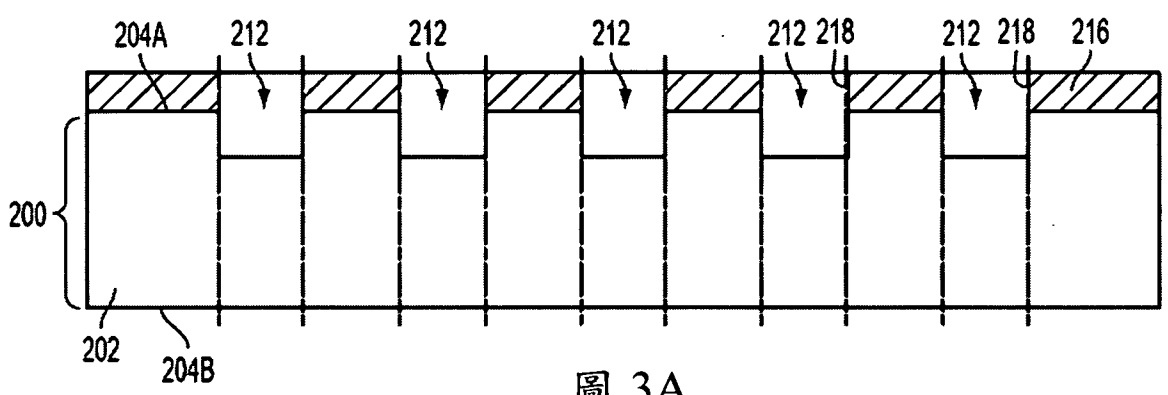


圖 3A

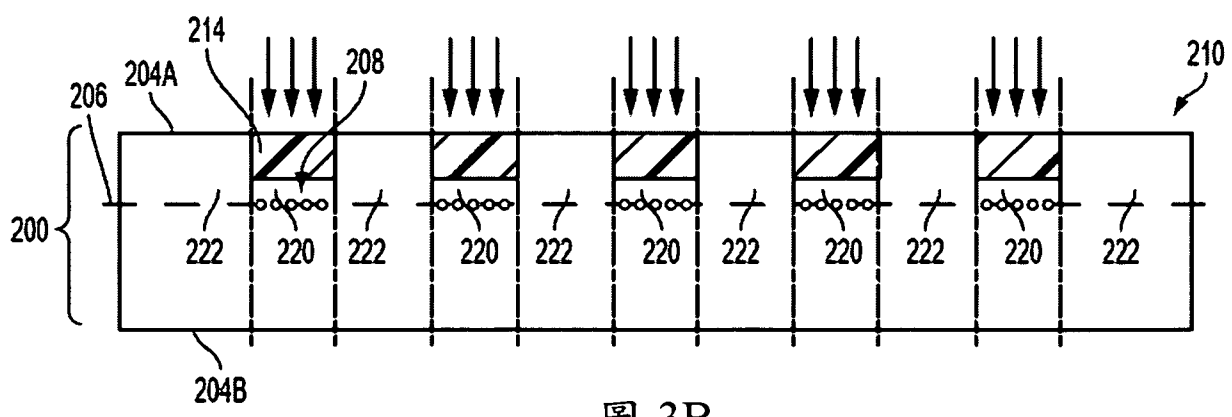


圖 3B

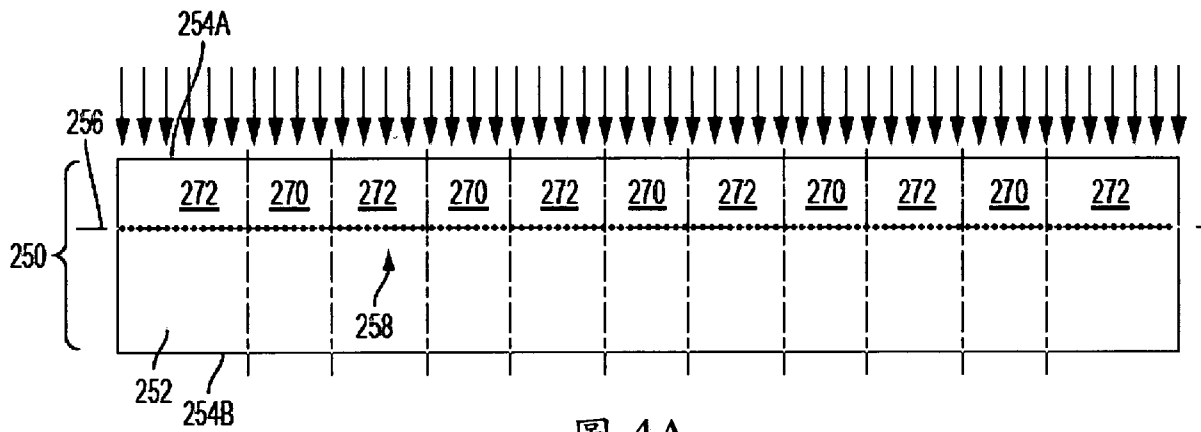


圖 4A

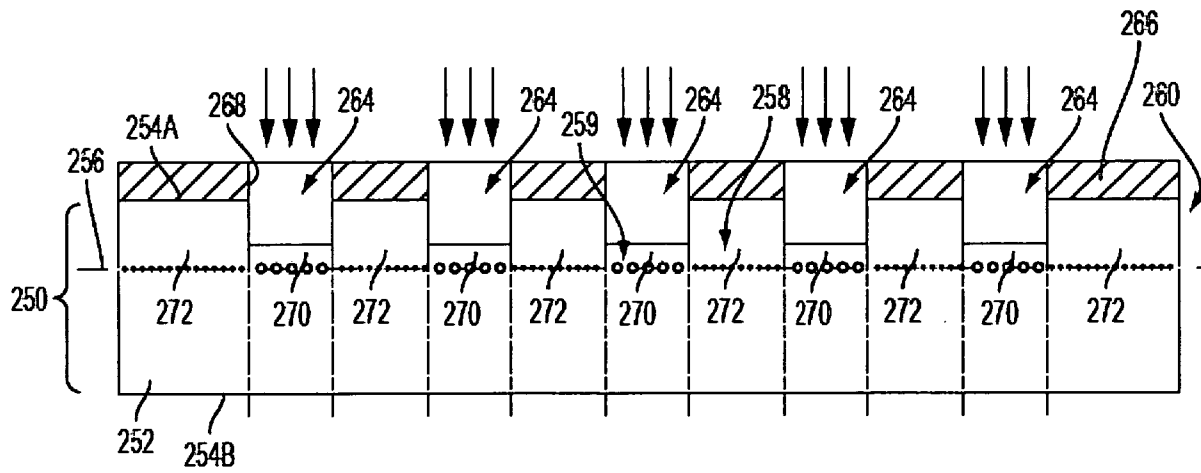


圖 4B

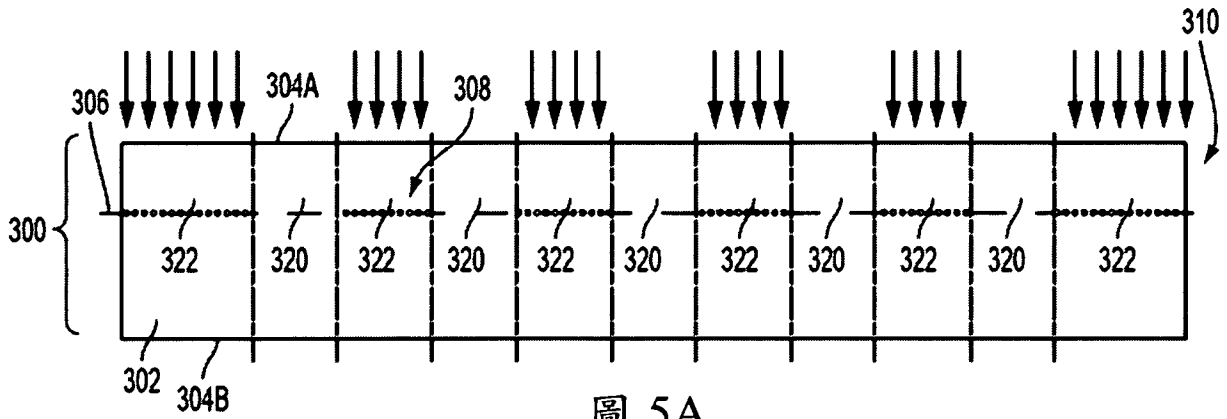


圖 5A

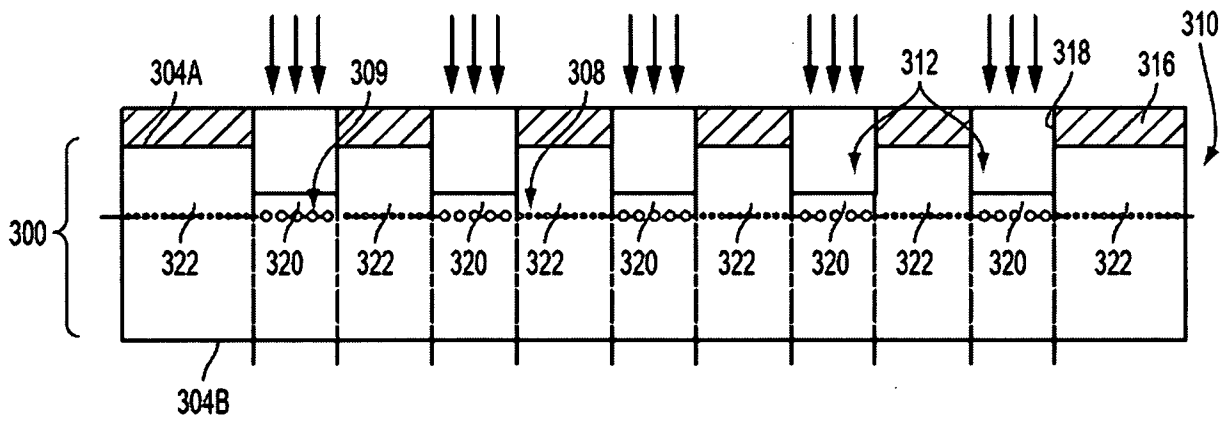


圖 5B

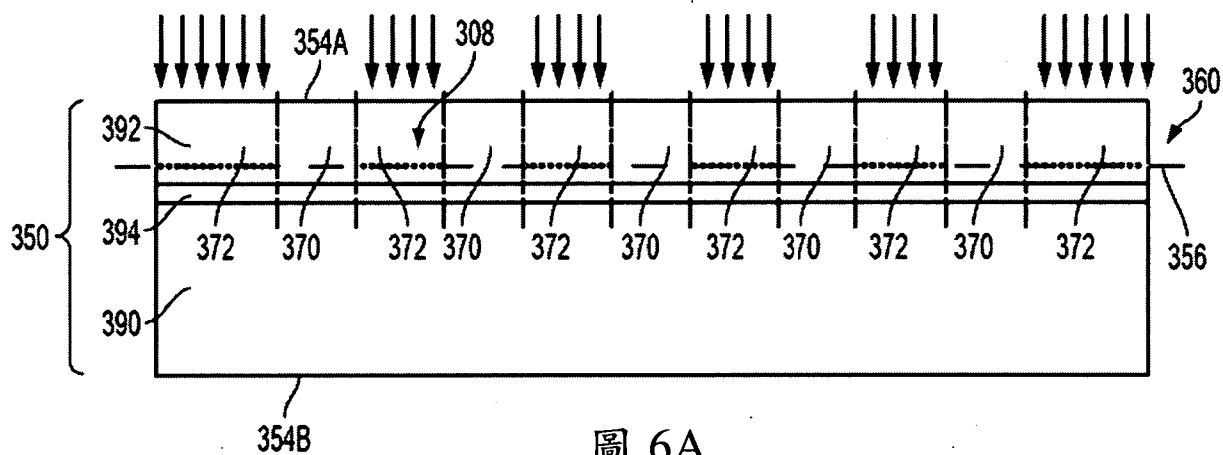


圖 6A

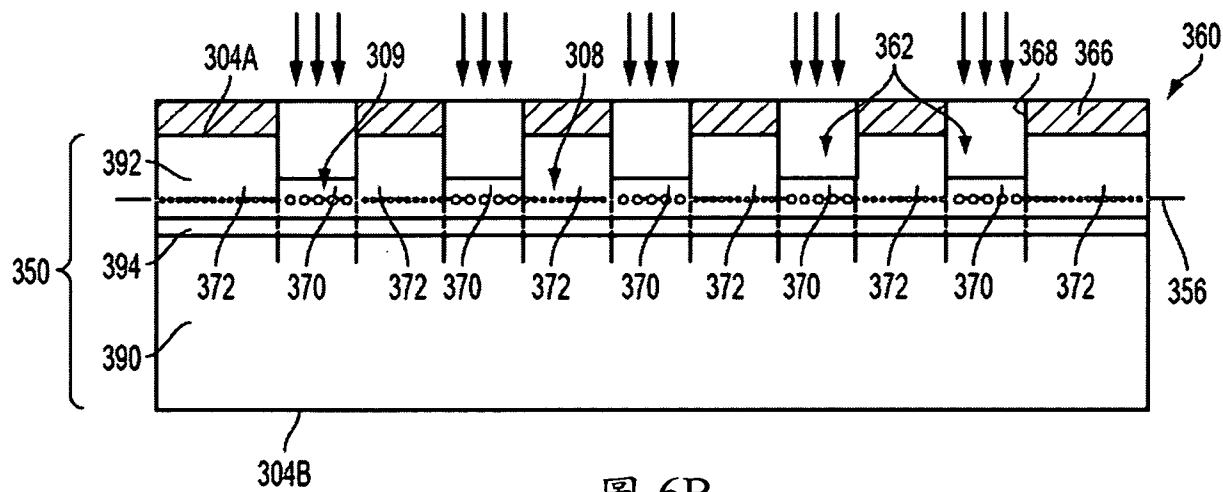


圖 6B

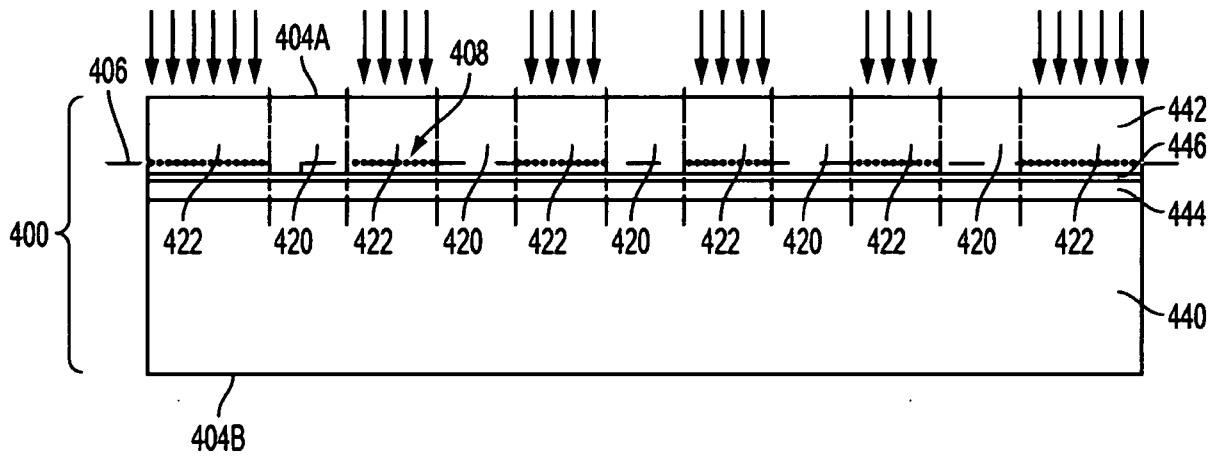


圖 7A

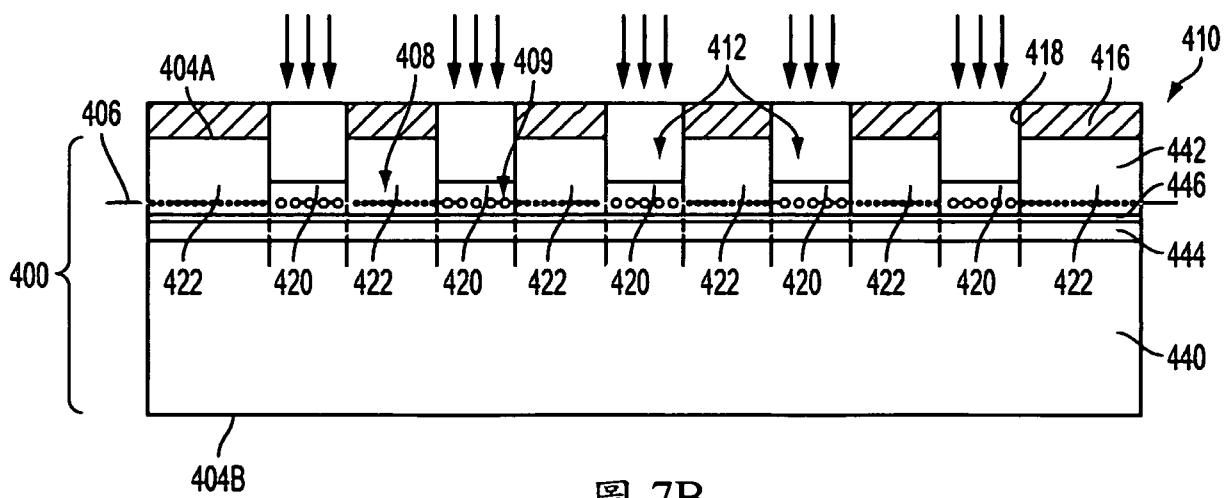


圖 7B

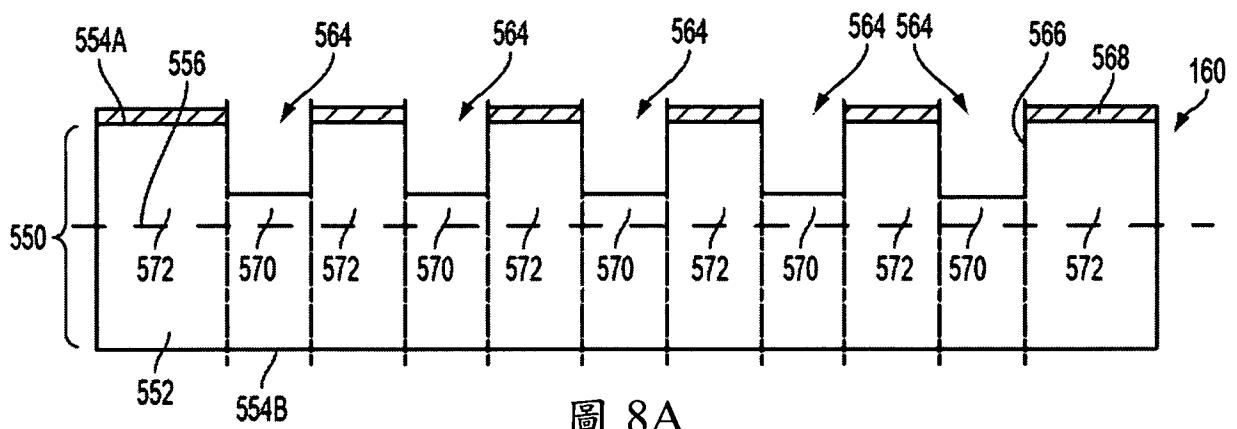


圖 8A

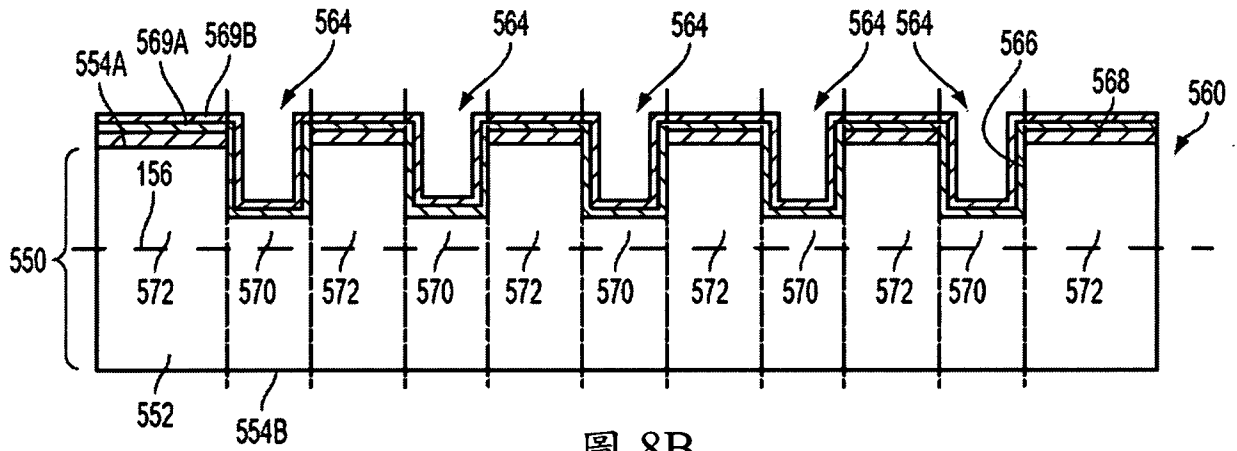


圖 8B

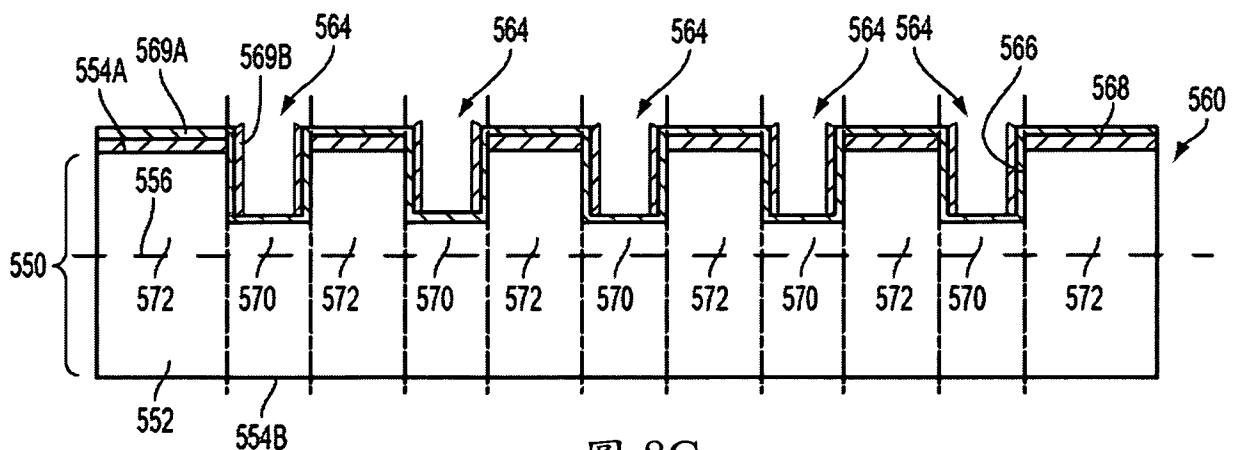


圖 8C

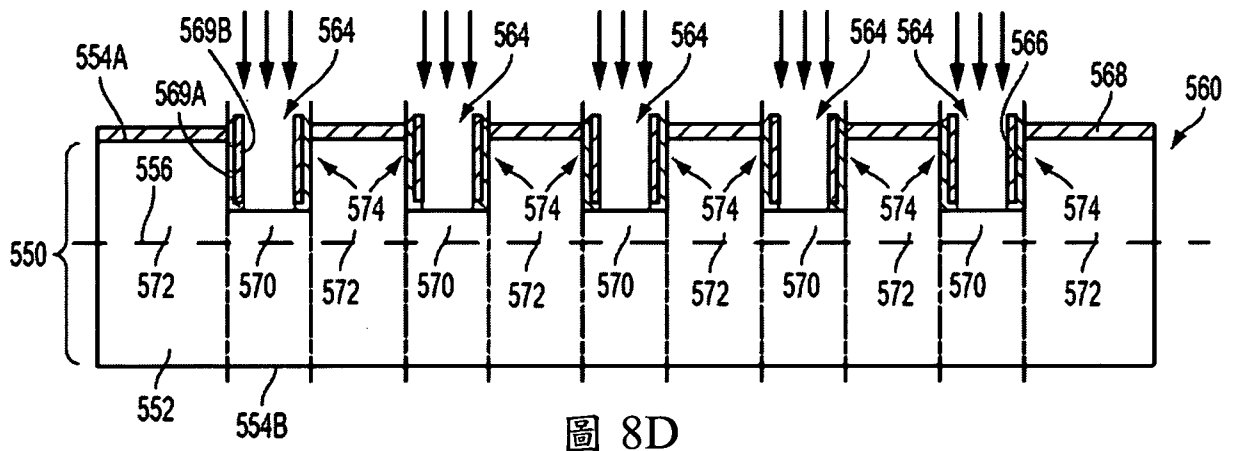


圖 8D

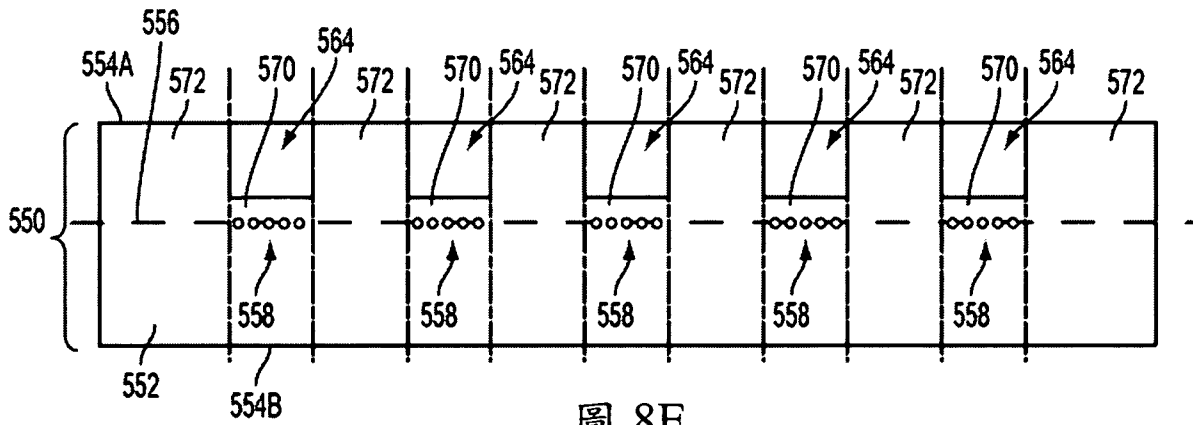


圖 8E