



(12) 发明专利申请

(10) 申请公布号 CN 115568203 A

(43) 申请公布日 2023. 01. 03

(21) 申请号 202110746050.4

(22) 申请日 2021.07.01

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 韩清华

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260

专利代理师 成丽杰

(51) Int. Cl.

H10B 12/00 (2023.01)

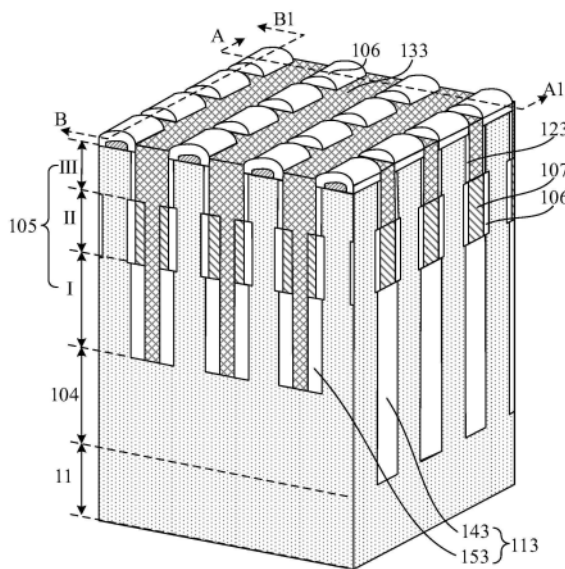
权利要求书3页 说明书14页 附图32页

(54) 发明名称

半导体结构及其制作方法

(57) 摘要

本发明实施例提供一种半导体结构及其制作方法,其中,半导体结构包括:基底;位线,位于基底上,且位线的材料包括金属半导体化合物;半导体通道,包括依次排列的第一掺杂区、沟道区以及第二掺杂区,第一掺杂区与位线相接触;第一介质层,覆盖第一掺杂区侧壁表面,且同一位线上相邻第一掺杂区侧壁的第一介质层之间具有第一间隔;绝缘层,覆盖沟道区侧壁表面;字线,覆盖绝缘层远离沟道区的侧壁表面,且相邻字线之间具有第二间隔;第二介质层,覆盖第二掺杂区侧壁表面,且位于相邻第二掺杂区侧壁的第二介质层之间具有第三间隔;第三介质层,位于第一间隔、第二间隔和第三间隔中。本发明实施例有利于降低位线的电阻,以提高半导体结构的电学性能。



1. 一种半导体结构,其特征在于,包括:
 - 基底;
 - 位线,位于所述基底上,且所述位线的材料包括金属半导体化合物;
 - 半导体通道,位于所述位线表面,在沿所述基底指向所述位线的方向上,所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区,所述第一掺杂区与所述位线相接触;
 - 第一介质层,覆盖所述第一掺杂区侧壁表面,且同一所述位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔;
 - 绝缘层,覆盖所述沟道区侧壁表面;
 - 字线,覆盖所述绝缘层远离所述沟道区的侧壁表面,且相邻所述字线之间具有第二间隔;
 - 第二介质层,覆盖所述第二掺杂区侧壁表面,且位于相邻所述第二掺杂区侧壁的所述第二介质层之间具有第三间隔;
 - 第三介质层,位于所述第一间隔、所述第二间隔和所述第三间隔中。
2. 如权利要求1所述的半导体结构,其特征在于,还包括:金属接触层,位于所述第二掺杂区远离所述基底的顶面,且所述金属半导体化合物和所述金属接触层中具有相同的金属元素。
3. 如权利要求2所述的半导体结构,其特征在于,所述金属接触层在所述基底上的正投影覆盖所述第二掺杂区在所述基底上的正投影。
4. 如权利要求2所述的半导体结构,其特征在于,还包括:过渡层,位于所述第二掺杂区和所述金属接触层之间,且所述金属接触层包裹所述过渡层,所述过渡层和所述第二掺杂区掺杂有相同类型的掺杂离子,且所述掺杂离子在所述过渡层中的掺杂浓度大于在所述第二掺杂区中的掺杂浓度,所述掺杂离子为N型离子或P型离子中的一者。
5. 如权利要求1所述的半导体结构,其特征在于,所述基底、所述位线和所述半导体通道具有相同的半导体元素。
6. 如权利要求1所述的半导体结构,其特征在于,所述第一掺杂区、所述沟道区和所述第二掺杂区掺杂有相同类型的掺杂离子,且所述掺杂离子在所述第一掺杂区中的掺杂浓度与在所述沟道区和所述第二掺杂区中的掺杂浓度一致,所述掺杂离子为N型离子或P型离子中的一者。
7. 如权利要求1所述的半导体结构,其特征在于,所述沟道区在所述基底上的正投影小于所述第二掺杂区在所述基底上的正投影,且小于所述第一掺杂区在所述基底上的正投影。
8. 如权利要求1所述的半导体结构,其特征在于,所述绝缘层和所述第二介质层为同一膜层结构。
9. 如权利要求1所述的半导体结构,其特征在于,所述绝缘层的外围在所述基底上的正投影小于所述第二介质层的外围在所述基底上的正投影。
10. 如权利要求1所述的半导体结构,其特征在于,所述第一介质层包括第四介质层和第五介质层,所述第四介质层位于相邻所述位线的间隔中,且位于相邻所述位线上的相邻所述第一掺杂区的间隔中;所述第五介质层位于同一所述位线上相邻所述第一掺杂区的侧

壁,且位于所述第四介质层的侧壁。

11.如权利要求1所述的半导体结构,其特征在于,位于所述第二间隔中的所述第三介质层中具有空隙。

12.一种半导体结构的制作方法,其特征在于,包括:

提供基底;

在所述基底上形成初始位线,以及在所述初始位线远离所述基底的表面形成半导体通道,在沿所述基底指向所述初始位线的方向上,所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区;

形成覆盖所述第一掺杂区侧壁表面的第一介质层,且同一所述初始位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔;

形成覆盖所述沟道区侧壁表面的绝缘层;

形成覆盖所述绝缘层远离所述沟道区的侧壁表面的字线,且相邻所述字线之间具有第二间隔;

形成覆盖所述第二掺杂区侧壁表面的第二介质层,且位于相邻所述第二掺杂区侧壁的所述第二介质层之间具有第三间隔,所述第一间隔、所述第二间隔和所述第三间隔相连通并暴露出部分所述初始位线;

对暴露出的所述初始位线进行金属化处理,以形成位线,所述位线的材料包括金属半导体化合物。

13.如权利要求12所述的半导体结构的制作方法,其特征在于,在形成所述字线之后,在形成所述第二介质层之前,还包括:

采用外延生长工艺,在所述第二掺杂区远离所述基底的顶面形成初始过渡层,所述初始过渡层和所述第二掺杂区掺杂有相同类型的掺杂离子,所述掺杂离子在所述初始过渡层中的掺杂浓度大于在所述第二掺杂区中的掺杂浓度,所述掺杂离子为N型离子或P型离子中的一者,且所述初始过渡层在所述基底上的正投影覆盖所述第二掺杂区在所述基底上的正投影。

14.如权利要求13所述的半导体结构的制作方法,其特征在于,在对所述初始位线进行所述金属化处理的步骤中,还包括:对所述初始过渡层进行金属化处理。

15.如权利要求12所述的半导体结构的制作方法,其特征在于,形成所述第一介质层的步骤包括:

形成初始第一介质层,所述初始第一介质层环绕所述半导体通道侧壁,且位于同一所述初始位线上相邻所述半导体通道侧壁的所述初始第一介质层之间具有第四间隔;

形成第一隔离层,所述第一隔离层填充所述第四间隔,且所述第一隔离层的材料和所述初始第一介质层的材料不同;

刻蚀部分所述初始第一介质层至露出所述第二掺杂区侧壁;

形成第二隔离层,所述第二隔离层环绕所述第二掺杂区侧壁和位于所述第一隔离层侧壁,位于所述第二掺杂区侧壁的所述第二隔离层和位于所述第一隔离层侧壁的所述第二隔离层共同围成通孔,所述通孔底部露出所述初始第一介质层,且所述第二隔离层的材料和所述初始第一介质层的材料不同;

去除所述通孔露出的位于所述沟道区侧壁的所述初始第一介质层,剩余所述初始第一

介质层作为所述第一介质层。

16. 如权利要求15所述的半导体结构的制作方法,其特征在于,形成所述绝缘层的步骤包括:对露出的所述沟道区侧壁进行热氧化处理,以形成所述绝缘层,且所述绝缘层覆盖剩余所述沟道区的侧壁表面,所述绝缘层和所述第一隔离层之间具有第五间隔。

17. 如权利要求16所述的半导体结构的制作方法,其特征在于,形成所述字线的步骤包括:形成初始字线,所述初始字线填满所述第五间隔和所述通孔,且所述初始字线还位于相邻所述初始位线上的所述沟道区侧壁的所述绝缘层之间;

去除位于所述通孔中的所述初始字线,剩余所述初始字线作为所述字线。

18. 如权利要求12所述的半导体结构的制作方法,其特征在于,形成所述第一介质层的步骤包括:

形成初始第一介质层,所述初始第一介质层环绕所述半导体通道侧壁,且位于同一所述初始位线上相邻所述半导体通道侧壁的所述初始第一介质层之间具有第四间隔;

形成第一隔离层,所述第一隔离层填满所述第四间隔,且所述第一隔离层的材料和所述初始第一介质层的材料不同;

刻蚀部分所述初始第一介质层至露出所述第二掺杂区侧壁和所述沟道区侧壁,剩余所述初始第一介质层作为所述第一介质层。

19. 如权利要求18所述的半导体结构的制作方法,其特征在于,形成所述绝缘层和所述第二介质层的步骤包括:

形成覆盖所述第二掺杂区侧壁和所述沟道区侧壁的保护层,且所述保护层和所述第一隔离层之间具有第六间隔,所述沟道区侧壁的所述保护层为所述绝缘层,覆盖所述第二掺杂区侧壁的所述保护层为所述第二介质层。

20. 如权利要求19所述的半导体结构的制作方法,其特征在于,形成所述字线的步骤包括:形成初始字线,所述初始字线填满所述第六间隔,且所述初始字线还位于相邻所述初始位线上的所述半导体通道部分侧壁的所述保护层之间;

去除部分所述初始字线,剩余所述初始字线作为所述字线,所述字线仅环绕位于所述沟道区侧壁的所述绝缘层侧壁。

半导体结构及其制作方法

技术领域

[0001] 本发明实施例涉及半导体领域,特别涉及一种半导体结构及其制作方法。

背景技术

[0002] 随着动态存储器的集成密度朝着更高的方向发展,在对动态存储器阵列结构中晶体管的排布方式以及如何缩小动态存储器阵列结构中单个功能器件的尺寸进行研究的同时,也需要提高小尺寸的功能器件的电学性能。

[0003] 利用垂直的全环绕栅极(GAA, Gate-All-Around)晶体管结构作为动态存储器选择晶体管(access transistor)时,其占据的面积可以达到 $4F^2$ (F:在给定工艺条件下可获得的最小图案尺寸),原则上可以实现更高的密度效率,但是在部分尺寸下,埋藏于晶体管底部的位线因主要成分为硅导致电阻较大。

发明内容

[0004] 本发明实施例解决的技术问题为提供一种半导体结构及其制作方法,有利于降低位线的电阻,以提高半导体结构的电学性能。

[0005] 为解决上述问题,本发明实施例提供一种半导体结构,包括:基底;位线,位于所述基底上,且所述位线的材料包括金属半导体化合物;半导体通道,位于所述位线表面,在沿所述基底指向所述位线的方向上,所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区,所述第一掺杂区与所述位线相接触;第一介质层,覆盖所述第一掺杂区侧壁表面,且同一所述位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔;绝缘层,覆盖所述沟道区侧壁表面;字线,覆盖所述绝缘层远离所述沟道区的侧壁表面,且相邻所述字线之间具有第二间隔;第二介质层,覆盖所述第二掺杂区侧壁表面,且位于相邻所述第二掺杂区侧壁的所述第二介质层之间具有第三间隔;第三介质层,位于所述第一间隔、所述第二间隔和所述第三间隔中。

[0006] 相应地,本发明实施例还提供一种半导体结构的制作方法,包括:提供基底;在所述基底上形成初始位线,以及在所述初始位线远离所述基底的表面形成半导体通道,在沿所述基底指向所述初始位线的方向上,所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区;形成覆盖所述第一掺杂区侧壁表面的第一介质层,且同一所述初始位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔;形成覆盖所述沟道区侧壁表面的绝缘层;形成覆盖所述绝缘层远离所述沟道区的侧壁表面的字线,且相邻所述字线之间具有第二间隔;形成覆盖所述第二掺杂区侧壁表面的第二介质层,且位于相邻所述第二掺杂区侧壁的所述第二介质层之间具有第三间隔,所述第一间隔、所述第二间隔和所述第三间隔相连通并暴露出部分所述初始位线;对暴露出的所述初始位线进行金属化处理,以形成位线,所述位线的材料包括金属半导体化合物。

[0007] 与相关技术相比,本发明实施例提供的技术方案具有以下优点:

[0008] 上述技术方案中,基底上具有垂直的GAA晶体管,且位线位于基底与GAA晶体管之

间,因而可以构成3D堆叠的半导体结构,有利于提高半导体结构的集成密度。此外,由于位线的材料包括金属半导体化合物,有利于降低位线的电阻,以提高半导体结构的电学性能。

附图说明

[0009] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,除非有特别说明,附图中的图不构成比例限制。

[0010] 图1至35为本发明实施例提供的半导体结构的形成方法中各步骤对应的结构示意图。

具体实施方式

[0011] 由背景技术可知,目前需要在提高半导体结构的集成密度的同时,需要提高半导体结构中小尺寸的功能器件的电学性能。

[0012] 为解决上述问题,本发明实施例提供一种半导体结构及其制作方法,半导体结构中,基底上具有垂直的GAA晶体管,且位线位于基底与GAA晶体管之间,因而可以构成3D堆叠的半导体结构,有利于提高半导体结构的集成密度。此外,由于位线的材料包括金属半导体化合物,有利于降低位线的电阻,以提高半导体结构的电学性能。

[0013] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合附图对本发明的各实施例进行详细的阐述。然而,本领域的普通技术人员可以理解,在本发明各实施例中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施例的种种变化和修改,也可以实现本申请所要求保护的技术方案。

[0014] 本发明一实施例提供一种半导体结构,以下将结合附图对本发明一实施例提供的半导体结构进行详细说明。图1至图5为本发明一实施例提供的半导体结构对应的结构示意图。其中,图1为本发明一实施例提供的半导体结构的一种结构示意图,图2为图1所示结构沿第一截面方向AA1的一种剖面示意图,图3为图1所示结构沿第一截面方向AA1的又一种剖面示意图,图4为图1所示结构沿第二截面方向BB1的剖面示意图,图5为本发明一实施例提供的半导体结构的又一种结构示意图。

[0015] 结合参考图1至图5,半导体结构包括:基底11;位线104,位于基底11上,且位线104的材料包括金属半导体化合物;半导体通道105,位于位线104表面,在沿基底11指向位线104的方向Z上,半导体通道105包括依次排列的第一掺杂区I、沟道区II以及第二掺杂区III,第一掺杂区I与位线104相接触;第一介质层113,覆盖第一掺杂区I侧壁表面,且同一位线104上相邻第一掺杂区I侧壁的第一介质层113之间具有第一间隔;绝缘层106,覆盖沟道区II侧壁表面;字线107,覆盖绝缘层106远离沟道区II的侧壁表面,且相邻字线107之间具有第二间隔;第二介质层123,覆盖第二掺杂区II侧壁表面,且位于相邻第二掺杂区II侧壁的第二介质层123之间具有第三间隔;第三介质层133,位于第一间隔、第二间隔和第三间隔中。

[0016] 由于半导体结构包括垂直的GAA晶体管,且位线104位于基底11与GAA晶体管之间,因而能够构成3D堆叠的存储器件,有利于提高半导体结构的集成密度。

[0017] 以下将结合图1至图5对半导体结构进行更为详细的说明。

[0018] 本实施例中,基底11的材料类型可以为元素半导体材料或者晶态无机化合物半导

体材料。元素半导体材料可以硅或者锗；晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。此外，基底11内掺杂有第一类型离子。

[0019] 进一步地，基底11、位线104和半导体通道105具有相同的半导体元素，则半导体通道105与位线104可以利用同一膜层结构形成，该膜层结构由半导体元素构成，使得半导体通道105与位线104为一体结构，从而改善半导体通道105与位线104之间的界面态缺陷，改善半导体结构的性能。

[0020] 其中，半导体元素可以包括硅、碳、锗、砷、镓、铟中的至少一种。在一个例子中，位线104与半导体通道105均包括硅元素。在其他例子中，位线与半导体通道可以均包括锗元素，或者，位线与半导体通道均包括硅元素和锗元素，或者，位线与半导体通道均包括硅元素和碳元素，或者，位线与半导体通道均包括砷元素和镓元素，或者，位线与半导体通道均包括镓元素和铟元素。

[0021] 具体地，位线104的材料包括金属半导体化合物114，金属半导体化合物114相较于未金属化的半导体材料而言，具有相对较小的电阻率，因此，相较于半导体通道105而言，位线104的电阻率更小，从而有利于降低位线104的电阻，且降低位线104与第一掺杂区I之间的接触电阻，进一步改善半导体结构的电学性能。此外，位线104的电阻率还小于基底11的电阻率。

[0022] 在一些例子中，位于第一掺杂区I正下方的位线104的区域的材料为半导体材料，且未被第一掺杂区I覆盖的位线104的部分区域的材料为金属半导体化合物。可以理解的是，随着器件尺寸的不断缩小或者制造工艺参数的调整，位于第一掺杂区I正下方的位线104的部分区域的材料为半导体材料，位于第一掺杂区I正下方的位线104的其余区域的材料也可以为金属半导体化合物，此处的“其余区域”的位置位于“部分区域”的外围。

[0023] 具体地，在一个例子中，参考图2，同一位线104中的多个金属半导体化合物114之间相互间隔；在又一个例子中，参考图3，同一位线104中的多个金属半导体化合物114之间相互连通，需要说明的是，图3仅示例出来了相邻金属半导体化合物114之间边缘处刚好相互接触以连通的情况，实际情况中，相邻金属半导体化合物114之间相互接触的区域可以更大，本实施例对相邻金属半导体化合物114之间相互接触的区域的大小不做限制。

[0024] 在其他例子中，整个位线的材料可以均为金属半导体化合物。

[0025] 以半导体元素为硅为例，金属半导体化合物114包括硅化钴、硅化镍、硅化钼、硅化钛、硅化钨、硅化钽或者硅化铂中的至少一种。

[0026] 本实施例中，在基底11上可以形成多个间隔排布的位线104，以及每一位线104可与至少一个第一掺杂区I相接触，图1至图4中以4个相互间隔的位线104，以及每一位线104与4个第一掺杂区I相接触作为示例，可根据实际电学需求，合理设置位线104的数量以及与每一位线104相接触的第一掺杂区I的数量。

[0027] 其中，位线104中掺杂有第二类型离子，基底11中掺杂有第一类型离子，第二类型离子与第一类型离子不同，且第一类型离子与第二类型离子均为N型离子或P型离子中的一者。如此，位线104与基底11构成PN结，该PN结有利于防止位线104漏电，进一步改善半导体结构的电学性能。需要说明的是，在其他实施例中，基底11也可以不掺杂第一类型离子。

[0028] 具体地，N型离子为砷离子、磷离子或者锑离子中的至少一种；P型离子为硼离子、铟离子或者镓离子中的至少一种

[0029] 进一步地,半导体通道105中第一掺杂区I、沟道区II和第二掺杂区III掺杂有相同类型的掺杂离子,即第二类型离子,且掺杂离子在第一掺杂区I中的掺杂浓度与在沟道区II和第二掺杂区III中的掺杂浓度一致。

[0030] 因而,半导体通道105构成的器件为无结晶体管(Junctionless Transistor),即第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子的类型相同,例如掺杂离子均为N型离子,进一步地,第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子可以相同。其中,此处的“无结”指的是无PN结,即半导体通道105构成的晶体管中没有PN结,即第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子的掺杂浓度相同,这样的好处包括:一方面,无需对第一掺杂区I和第二掺杂区III进行额外的掺杂,从而避免了对第一掺杂区I和第二掺杂区III的掺杂工艺难以控制的问题,尤其是随着晶体管尺寸进一步缩小,若额外对第一掺杂区I和第二掺杂区III进行掺杂,掺杂浓度更加难以控制;另一方面,由于器件为无结晶体管,有利于避免采用超陡峭源漏浓度梯度掺杂工艺,在纳米尺度范围内制作超陡峭PN结的现象,因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题,还有利于抑制短沟道效应,在几纳米的尺度范围内仍然可以工作,因而有助于进一步提高半导体结构的集成密度和电学性能。可以理解的是,此处额外的掺杂指的是,为了让第一掺杂区I和第二掺杂区III的掺杂离子类型与沟道区II的掺杂离子类型不同而进行的掺杂。

[0031] 在一些例子中,第二类型离子在半导体通道105内的掺杂浓度为 $1 \times 10^{19} \text{ atom/cm}^3 \sim 1 \times 10^{20} \text{ atom/cm}^3$,且在沿基底11指向位线104的方向Z上,半导体通道105的高度为100nm~150nm,第一掺杂区I、沟道区II和第二掺杂区III的高度均为30nm~50nm。

[0032] 本实施例中,沟道区II在基底11上的正投影小于第二掺杂区III在基底11上的正投影,且小于第一掺杂区I在基底11上的正投影,在垂直于位线104指向半导体通道105的方向Z的截面中,有利于形成截面面积更加小的沟道区II,有利于提高后续形成的字线对沟道区II的控制能力,从而更容易控制GAA晶体管的导通或者关断。在其他实施例中,第一掺杂区、沟道区以及第二掺杂区在基底上的正投影可以相等;或者,沟道区和第二掺杂区在基底上的正投影均小于第一掺杂区在基底上的正投影。

[0033] 在一些例子中,在垂直于方向Z的截面中,沟道区II的宽度W和沟道区II的长度L均不高于10nm,有利于保证后续形成的字线对沟道区II有良好的控制能力。

[0034] 具体地,第一介质层113可以包括第四介质层143和第五介质层153,第四介质层143位于相邻位线104的间隔中,且位于相邻位线104上的相邻第一掺杂区I的间隔中;第五介质层153位于同一位线104上相邻第一掺杂区I的侧壁,且位于第四介质层143的侧壁。第一介质层113用于实现相邻半导体通道105和相邻位线104之间的电绝缘。

[0035] 在一些例子中,第四介质层143的材料和第五介质层153的材料相同,进一步地,第四介质层143的材料和第五介质层153的材料可以均为氧化硅。在其他实施例中,第四介质层的材料和第五介质层的材料也可以不同,只需满足第四介质层的材料和第五介质层的材料为绝缘效果良好的材料。

[0036] 本实施例中,绝缘层106的外围在基底11上的正投影小于第二介质层123的外围在基底11上的正投影,即参考图2和图4,绝缘层106远离半导体通道105的外壁相较于第二介质层123远离半导体通道105外壁,更靠近半导体通道105。此外,绝缘层106远离半导体通道105的外壁相较于第一介质层113远离半导体通道105外壁,也更靠近半导体通道105。其中,

绝缘层106的材料为氧化硅。

[0037] 在其他实施例中,绝缘层和第二介质层可以为同一膜层结构,即绝缘层和第二介质层可以通过同一工艺步骤形成。其中,绝缘层的材料和第二介质层的材料包括氧化硅或者氮化硅中的至少一种。

[0038] 具体地,第一间隔、第二间隔和第三间隔之间相连通。

[0039] 在一些例子中,参考图2至图4,第一间隔和第二间隔在基底11上的正投影重合,第三介质层133填充第一间隔、第二间隔和第三间隔,且第三介质层133远离基底11的顶面高于第二掺杂区III远离基底11的顶面。

[0040] 在又一些例子中,参考图5,位于第二间隔中的第三介质层133中具有空隙109,即相邻字线107之间除了具有第三介质层133,还具有空隙109,有利于降低相邻字线107之间产生的电容,以提高半导体结构的电学特性。在其他例子这,空隙不仅可以存在于位于第二间隔中的第三介质层中,还可以存在于位于第一间隔中的第三介质层中,或者存在于位于第三间隔中的第三介质层中。

[0041] 半导体结构还可以包括:金属接触层108,位于第二掺杂区III远离基底11的顶面,且金属半导体化合物114和金属接触层108中具有相同的金属元素。其中,金属元素包括钴、镍、钼、钛、钨、钽或者铂中的至少一种。

[0042] 由于金属接触层108中具有金属元素,后续在金属接触层108上形成电容结构的下电极时,金属接触层108与下电极构成欧姆接触,避免下电极与半导体材料直接接触而形成肖特基势垒接触,欧姆接触有利于降低第二掺杂区III与下电极之间的接触电阻,从而降低半导体结构工作时的能耗,且改善RC延迟效应,以提高半导体结构的电学性能。此外,从制作工艺的角度而言,金属接触层108和金属半导体化合物114中具有相同的金属元素,有利于在一个工艺步骤中,形成金属接触层108和在位线104中形成金属半导体化合物114。

[0043] 进一步地,金属接触层108在基底11上的正投影覆盖第二掺杂区III在基底11上的正投影,有利于增大金属接触层108与下电极之间的接触面积,从而降低金属接触层108与下电极之间的接触电阻,以提高半导体结构的电学性能。

[0044] 半导体结构还可以包括:过渡层118,位于第二掺杂区III和金属接触层108之间,且过渡层118位于第二掺杂区III的部分顶面,金属接触层108包裹过渡层118的其余表面,过渡层118和第二掺杂区III掺杂有相同类型的掺杂离子,且掺杂离子在过渡层118中的掺杂浓度大于在第二掺杂区III中的掺杂浓度,则过渡层118的电阻小于第二掺杂区III的电阻,有利于进一步降低第二掺杂区III与下电极之间的传输电阻。

[0045] 在其他实施例中,半导体结构也可不包括过渡层,第二掺杂区顶面仅具有金属接触层。

[0046] 半导体结构还可以包括:电容结构(图中未示出),电容结构位于金属接触层108和第三介质层133共同构成的表面。

[0047] 综上所述,基底11上具有垂直的GAA晶体管,且位线104位于基底11与GAA晶体管之间,因而可以构成3D堆叠的半导体结构,有利于提高半导体结构的集成密度。同时,位线104的材料包括金属半导体化合物114,有利于降低位线104的电阻,以降低位线104与第一掺杂区I之间的接触电阻,进一步改善半导体结构的电学性能。此外,半导体通道105构成的器件为无结晶体管,有利于避免采用超陡峭源漏浓度梯度掺杂工艺,因而可以避免掺杂突变所

产生的阈值电压漂移和漏电流增加等问题,还有利于抑制短沟道效应,从而进一步提高半导体结构的集成密度和电学性能。

[0048] 相应地,本发明又一实施例还提供一种半导体结构的制作方法,可用于形成上述半导体结构。

[0049] 图1至图35为本发明又一实施例提供的半导体结构的制造方法中各步骤对应的剖面结构示意图,以下将结合附图对本实施例提供的半导体结构的制造方法进行详细说明,与上述实施例相同或相应的部分,以下将不做详细赘述。

[0050] 参考图6至图9,提供基底11;在基底11上形成初始位线124,以及在初始位线124远离基底11的表面形成半导体通道105,在沿基底11指向初始位线124的方向上,半导体通道105包括依次排列的第一掺杂区I、沟道区II以及第二掺杂区III。

[0051] 具体地,提供基底11,并在基底11上形成初始位线124环绕半导体通道105包括如下步骤:

[0052] 参考图6,提供衬底110,具体地,衬底110的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以为硅或者锗;晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

[0053] 衬底110包括:基底11,基底11内掺杂有第一类型离子;初始半导体层10,设置于基底11上。

[0054] 对初始半导体层10进行掺杂处理以及退火处理,使得初始半导体层10内掺杂有第二类型离子,用于后续刻蚀初始半导体层10以形成初始位线124和半导体通道105,且第二类型离子与第一类型离子不同,第一类型离子与第二类型离子均为N型离子或P型离子中的一者。

[0055] 其中,掺杂处理可以采用高温扩散或者离子注入的方法,当采用离子注入的方式对初始半导体层10进行掺杂处理后,退火处理的退火温度为 $800^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ 。

[0056] 本实施例中,第二类型离子在初始半导体层10内的掺杂浓度为 $1\times 10^{19}\text{atom}/\text{cm}^3\sim 1\times 10^{20}\text{atom}/\text{cm}^3$,且在初始半导体层10指向基底11的方向上,初始半导体层10内第二类型离子的掺杂深度为 $150\text{nm}\sim 250\text{nm}$ 。此外,第一类型离子为P型离子,第二类型离子为N型离子。在其他实施例中,第一类型离子可以为N型离子,第二类型离子可以为P型离子。

[0057] 在初始半导体层10远离基底11的一侧依次堆叠形成缓冲层120和阻挡层130。在一些例子中,可采用沉积工艺形成缓冲层120和阻挡层130,缓冲层120的材料为氧化硅,阻挡层130的材料为氮化硅。

[0058] 进一步地,可以采用化学气相沉积工艺沉积氮化硅以形成阻挡层130,氮化硅膜层的氧化速度非常慢,有利于保护位于氮化硅膜层下方的衬底100,避免衬底100被氧化。

[0059] 在一些例子中,衬底110为硅衬底,由于氮化硅的晶格常数和热膨胀系数与硅衬底的晶格常数和热膨胀系数的失配率都很大,因而若在硅衬底上直接形成氮化硅,氮化硅和硅的界面处缺陷密度大,容易成为载流子陷阱和复合中心,影响硅的载流子迁移率,从而影响半导体结构的性能和工作寿命。而且,氮化硅薄膜应力较大,直接沉积在硅衬底上易出现龟裂现象。因而,在硅衬底上沉积氮化硅之前先形成氧化硅作为缓冲层120,有利于提高半导体结构的性能和工作寿命。

[0060] 继续参考图6,在阻挡层130上形成第一掩膜层102,第一掩膜层102具有多个相互

分立的第一开口b,在沿第一开口b的延伸方向X上,第一开口b的长度与后续形成的位线的长度一致。

[0061] 参考图7,以第一掩膜层102为掩膜刻蚀阻挡层130、缓冲层120以及初始半导体层10,形成多个第一沟槽a,并去除第一掩膜层102。

[0062] 本实施例中,沿垂直于基底11表面的方向Z,第一沟槽a的深度为250~300nm。由于第一沟槽a的深度大于初始半导体层10内第二类型离子的掺杂深度,有利于保证掺杂有第二类型离子的初始半导体层10均被刻蚀,便于后续形成第二类型离子掺杂浓度高的半导体通道和位线。

[0063] 参考图8,在第一沟槽a中形成第四介质层143。

[0064] 本实施例中,可采用以下工艺步骤形成第四介质层143:进行沉积工艺,形成覆盖阻挡层130顶面以及填充第一沟槽a的第四介质膜;对第四介质膜进行化学机械平坦化处理至露出阻挡层130顶面,剩余第四介质膜作为第四介质层143。其中,第四介质膜的材料包括氧化硅。

[0065] 进一步地,在第四介质层143和剩余衬底110共同构成的顶面上形成第二掩膜层112,第二掩膜层112具有多个相互分立的第二开口c,在沿第二开口c的延伸方向Y上,第二开口c的长度与后续形成的字线的长度一致。

[0066] 本实施例中,结合参考图6和图8,第一开口b的延伸方向X垂直于第二开口c的延伸方向Y,使得最终形成的半导体通道105呈现 $4F^2$ 的排布方式,有利于进一步提高半导体结构的集成密度。在其他实施例中,第一开口的延伸方向与第二开口的延伸方向相交,两者之间的夹角可以不为 90° 。

[0067] 进一步地,第一开口b沿方向Y上的开口宽度与第二开口c沿方向X上的开口宽度的比值为2~1,以保证后续能形成露出环绕沟道区II侧壁的第一介质层的通孔,从而有利于后续形成用于制造字线的第一间隙。在一些例子中,第一开口b沿方向Y上的开口宽度等于第二开口c沿方向X上的开口宽度,且相邻第一开口b之间的间距等于相邻第二开口c之间的间距,一方面,使得后续形成的多个半导体通道排列规整,进一步提高半导体结构的集成密度;另一方面,可以采用同一掩膜版形成第一掩膜层102和形成第二掩膜层112,有利于降低半导体结构的制备成本。

[0068] 本实施例中,形成第一掩膜层102和形成第二掩膜层112的方法均包括自对准多重曝光技术(SAQP, Self-Aligned Quadruple Patterning)或者自对准多重成像技术(SADP, Self-Aligned Double Patterning)。

[0069] 参考图9,以第二掩膜层112为掩膜刻蚀初始半导体层10(参考图6)和第四介质层143,形成多个第二沟槽d、初始位线124和半导体通道105,且在垂直于基底11表面的方向Z上,第二沟槽d的深度小于第一沟槽a的深度,有利于在形成初始位线124的同时,在初始位线124远离基底11的一侧形成多个相互分立的半导体通道105,且初始位线124与半导体通道105的第一掺杂区I相接触;去除第二掩膜层112。

[0070] 在一些例子中,第二沟槽d的深度为100nm~150nm,由于初始半导体层10内第二类型离子的掺杂深度为150nm~250nm,有利于使得大部分或者全部掺杂有第二类型离子的初始半导体层10经过两次刻蚀转变为半导体通道105。

[0071] 此外,衬底110的材料为硅,第四介质层143的材料为氧化硅,在以第二掩膜层112

为掩膜刻蚀初始半导体层10和第四介质层143的步骤中,刻蚀工艺对氧化硅的刻蚀速率大于对硅的刻蚀速率,因而初始位线124的部分侧壁会暴露出来。

[0072] 为了实现相邻初始位线124和相邻半导体通道105之间的电绝缘,以第二掩膜层112为掩膜刻蚀初始半导体层10和第四介质层143之后,剩余第四介质层143还位于相邻初始位线124的间隔中,以及位于相邻半导体通道105的间隔中。

[0073] 第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子的类型相同,例如掺杂离子均为N型离子,且第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子的掺杂浓度相同,即半导体通道105构成的器件为无结晶体管。进一步地,第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子可以相同。如此,一方面,无需对第一掺杂区I和第二掺杂区III进行额外的掺杂,从而避免了对第一掺杂区I和第二掺杂区III的掺杂工艺难以控制的问题,尤其是随着晶体管尺寸进一步缩小,若额外对第一掺杂区I和第二掺杂区III进行掺杂,掺杂浓度更加难以控制;另一方面,由于器件为无结晶体管,有利于避免采用超陡峭源漏浓度梯度掺杂工艺,在纳米尺度范围内制作超陡峭PN结的现象,因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题,还有利于抑制短沟道效应,在几纳米的尺度范围内仍然可以工作,因而有助于进一步提高半导体结构的集成密度和电学性能。可以理解的是,此处额外的掺杂指的是,为了让第一掺杂区I和第二掺杂区III的掺杂离子类型与沟道区II的掺杂离子类型不同而进行的掺杂。

[0074] 进一步地,形成半导体通道105垂直于初始位线124远离基底11顶面的GAA晶体管,可以构成3D堆叠的半导体结构,有利于在不对GAA晶体管的电学性能造成不利影响的前提下,设计尺寸特征更小的GAA晶体管,以提高半导体结构的集成密度。

[0075] 本实施例中,利用第一掩膜层102和第二掩膜层112,通过两次刻蚀工艺同时形成初始位线124和半导体通道105,一方面,有利于通过调控第一开口b和第二开口c的尺寸调控半导体通道105的尺寸,且形成尺寸精度较高的半导体通道105;另一方面,初始位线124和半导体通道105均是通过刻蚀初始半导体层10形成的,即初始位线124和半导体通道105利用同一膜层结构形成,使得初始位线124和半导体通道105为一体结构,从而改善初始位线124和半导体通道105之间的界面态缺陷,改善半导体结构的性能。此外,在以第一掩膜层102为掩膜刻蚀初始半导体层10之后,在第一沟槽a中还形成有第四介质层143,为后续在沟道区II侧壁和第一隔离层之间形成间隙做前期准备,从而有利于后续形成制备字线的第一间隙。

[0076] 参考图10至图35,形成覆盖第一掺杂区I侧壁表面的第一介质层113,且同一初始位线124上相邻第一掺杂区I侧壁的第一介质层113之间具有第一间隔;形成覆盖沟道区II侧壁表面的绝缘层106;形成覆盖绝缘层106远离沟道区II的侧壁表面的字线107,且相邻字线107之间具有第二间隔;形成覆盖第二掺杂区III侧壁表面的第二介质层123,且位于相邻第二掺杂区III侧壁的第二介质层123之间具有第三间隔,第一间隔、第二间隔和第三间隔相连通并暴露出部分初始位线124;对暴露出的初始位线124进行金属化处理,以形成位线104,位线104的材料包括金属半导体化合物114。

[0077] 其中,图12为图11所示结构沿第一截面方向AA1的剖面示意图,图13为图11所示结构沿第二截面方向BB1的剖面示意图。需要说明的是,后续将根据表述需要设置沿第一截面方向AA1的剖面示意图以及沿第二截面方向BB1的剖面示意图中的一者或者两者,当仅参考

一个附图时,附图为沿第一截面方向AA1的剖面示意图;当同时参考两个附图时,附图首先为沿第一截面方向AA1的剖面示意图,其次为沿第二截面方向BB1的剖面示意图。

[0078] 在一些例子中,参考图10至图27,形成第一介质层113、绝缘层106、字线107以及第二介质层123包括如下步骤:

[0079] 参考图10至图11,形成初始第一介质层113a,初始第一介质层113a环绕半导体通道105侧壁,且位于同一初始位线124上相邻半导体通道105侧壁的初始第一介质层113a之间具有第四间隔e。

[0080] 具体地,参考图10,形成第五介质膜103,第五介质膜103保形覆盖第二沟槽d(参考图9)的侧壁和底部,且还位于阻挡层130和第四介质层143的顶面。

[0081] 结合参考图10和图11,对第五介质膜103进行无掩膜干法刻蚀工艺,直至露出阻挡层130,利用相同的刻蚀时间内,刻蚀工艺刻蚀第五介质膜103不同区域的厚度相同,形成第五介质层153。

[0082] 结合参考图11至图13,第四介质层143位于第二沟槽d(参考图9)的侧壁,第四介质层143位于相邻半导体通道105的间隔中,第四介质层143和第五介质层153共同组成初始第一介质层113a,且位于第二沟槽d侧壁的第五介质层153之间具有第四间隔e。

[0083] 其中,第四介质层143的材料与第五介质层153的材料相同,便于后续通过刻蚀工艺一同去除与沟道区II侧壁对应的第四介质层143和第五介质层153,从而在沟道区II侧壁和后续形成的第一隔离层之间形成空隙,从而有利于后续形成制备字线的间隙。进一步地,第四介质层143的材料与第五介质层153的材料均为氧化硅。

[0084] 在其他实施例中,第四介质层的材料和第五介质层的材料也可以不同,只需满足第四介质层的材料和第五介质层的材料为绝缘效果良好的材料即可,然后可以分步去除与沟道区侧壁对应的第四介质层和第五介质层。

[0085] 参考图14,形成第一隔离层163,第一隔离层163填充第四间隔e,且第一隔离层163的材料和初始第一介质层113a的材料不同。

[0086] 具体地,可采用以下工艺步骤形成第一隔离层163:进行沉积工艺,形成覆盖阻挡层130顶面以及填充第四间隔e的第一隔离膜;对第一隔离膜、阻挡层130、缓冲层120以及初始第一介质层113a进行化学机械平坦化处理至露出第二掺杂区III顶面,剩余第一隔离膜作为第一隔离层163。其中,第一隔离膜的材料包括氮化硅。

[0087] 参考图15,刻蚀部分初始第一介质层113a至露出第二掺杂区III侧壁。

[0088] 参考图16至图19,其中,图17为图16的俯视示意图,图18为沿第三截面方向CC1的剖面示意图,图19为沿第二截面方向BB1的剖面示意图。

[0089] 形成第二隔离层173,第二隔离层173环绕第二掺杂区III侧壁和位于第一隔离层163侧壁,位于第二掺杂区III侧壁的第二隔离层173和位于第一隔离层163侧壁的第二隔离层173共同围成通孔f,通孔f底部露出初始第一介质层113a,且第二隔离层173的材料和初始第一介质层113a的材料不同。

[0090] 进一步地,参考图18和图19,第二隔离层173在环绕第二掺杂区III侧壁的同时,覆盖第五介质层153顶面和部分第四介质层143顶面,通孔f露出的是第四介质层143的部分顶面。

[0091] 本实施例中,可采用以下工艺步骤形成第二隔离层173:进行沉积工艺,形成保形

覆盖由半导体通道105、初始第一介质层113a以及第一隔离层163共同构成的表面的第二隔离膜;对第二隔离膜进行无掩膜干法刻蚀工艺,直至露出第二掺杂区III顶面,利用相同的刻蚀时间内,刻蚀工艺刻蚀第二隔离膜不同区域的厚度相同,形成露出第一隔离层163的第二隔离层173。其中,第二隔离层173的材料包括氮化硅。

[0092] 此外,在前述的第一掩膜层102和第二掩膜层112中,第一开口b沿方向Y上的开口宽度与第二开口c沿方向X上的开口宽度的比值为2~1,在形成第二隔离层173时,有利于保证第二隔离层173填充同一初始位线124上相邻半导体通道105之间的间隔的同时,不会将相邻初始位线124上相邻半导体通道105之间的间隙填满,从而保证形成露出第四介质层143的部分顶面的通孔f,便于后续利用通孔f去除部分初始第一介质层113a。

[0093] 结合图20至图22,去除通孔f露出的位于沟道区II侧壁的第一介质层113a,剩余所述初始第一介质层113a作为第一介质层113。

[0094] 由于通孔f露出第一介质层113的部分顶面,第一介质层113的材料与第二介质层123和第三介质层133的材料均不相同,则可以向通孔f中注入刻蚀液,通过湿法刻蚀工艺去除位于沟道区II侧壁的第一介质层113,保留位于第一掺杂区I侧壁的第一介质层113。

[0095] 此外,第一隔离层163和第二隔离层173共同组成支撑骨架,支撑骨架与第二掺杂区III相接触连接,且部分支撑骨架嵌入第一介质层113中。在进行湿法刻蚀工艺的步骤中,一方面,支撑骨架有对半导体通道105起支撑固定的作用,当刻蚀液流动时产生对半导体通道105的挤压力,有利于避免半导体通道105受挤压发生倾斜或者偏移,以提高半导体结构的稳定性;另一方面,支撑骨架包裹着第二掺杂区III侧壁,有利于避免刻蚀液对第二掺杂区III造成损伤。

[0096] 去除位于沟道区II侧壁的第一介质层113a之后,沟道区II与第一隔离层163之间形成第二间隙g,通孔f和第二间隙g共同组成洞穴结构h。

[0097] 参考图23和图24,对露出的沟道区II侧壁进行热氧化处理,以形成绝缘层106,且绝缘层106覆盖剩余沟道区II的侧壁表面,绝缘层106和第一隔离层163之间具有第五间隔i。

[0098] 进一步地,参考图24,第五间隔i还位于相邻初始位线124的相邻半导体通道105侧壁的绝缘层106之间。

[0099] 热氧化处理的过程中,第二掺杂区III的顶面也暴露在外,则第二掺杂区III的靠近顶面的部分区域和沟道区II的部分区域均被转化为绝缘层106,使得沟道区II在基底11上的正投影小于第二掺杂区III在基底11上的正投影,且小于第一掺杂区I在基底11上的正投影,有利于在不采用刻蚀工艺的前提下,形成在垂直于初始位线124指向半导体通道105的方向Z的截面中,截面面积更加小的沟道区II,有利于提高后续形成的字线对沟道区II的控制能力,从而更容易控制GAA晶体管的导通或者关断。。其中,绝缘层106的材料为氧化硅。在其他实施例中,也可以通过沉积工艺形成覆盖沟道区侧壁表面的绝缘层。

[0100] 本实施例中,在后续的工艺步骤中去除位于剩余第二掺杂区III顶面的绝缘层106。在其他实施例中,可以在热氧化处理之后,就去掉位于剩余第二掺杂区顶面的绝缘层,仅保留覆盖剩余沟道区的侧壁表面的绝缘层。

[0101] 继续参考图23和图24,绝缘层106的外围在基底11上的正投影小于第二隔离层173的外围在基底11上的正投影,即绝缘层106远离半导体通道105的外壁相较于第二隔离层

173远离半导体通道105外壁,更靠近半导体通道105,从而保证绝缘层106与第一隔离层163之间具有第五间隔*i*,使得后续字线能环绕位于沟道区II侧壁的绝缘层106。此外,绝缘层106远离半导体通道105的外壁相较于第一介质层113(参考图20)远离半导体通道105外壁,也可以更靠近半导体通道105。

[0102] 参考图25至图27,形成初始字线,初始字线填充第五间隔*i*和通孔*f*,且初始字线还位于相邻初始位线124上的沟道区II侧壁的绝缘层106之间;去除位于通孔*f*中的初始字线,剩余初始字线作为字线107。其中,可通过沉积工艺形成初始字线,初始字线的材料包括多晶硅、氮化钛、氮化钽、铜或者钨中的至少一种。

[0103] 初始字线自对准地填充满洞穴结构*h*(参考图20),去除位于通孔*f*中的初始字线之后,有利于自对准地形成尺寸精确的字线107,无需通过刻蚀工艺来设计字线107的尺寸,有利于简化字线107的形成步骤,且通过调控第五间隔*i*的尺寸,即可获得小尺寸的字线107。

[0104] 参考图28,形成字线107之后,还形成第三隔离层183,第三隔离层183填充满通孔*f*(参考图26)。

[0105] 本实施例中,可采用以下工艺步骤形成第三隔离层183:进行沉积工艺,形成覆盖位于第二掺杂区III顶面的绝缘层106的顶面以及填充满通孔*f*的第三隔离膜;对第三隔离膜进行化学机械平坦化处理至露出绝缘层106顶面,剩余第三隔离膜作为第三隔离层183。其中,第三隔离膜与第一隔离层和第二隔离层的材料相同,均包括氮化硅。在其他实施例中,也可以对第三隔离膜进行化学机械平坦化处理至露出第二掺杂区顶面,即同步去除位于第二掺杂区顶面的绝缘层,剩余第三隔离膜作为第三隔离层。

[0106] 继续参考图28,去除位于第二掺杂区III顶面的绝缘层106,采用外延生长工艺,在第二掺杂区III顶面形成初始过渡层128,且初始过渡层128在基底11上的正投影覆盖第二掺杂区III在基底11上的正投影。

[0107] 此外,在外延生长的工艺步骤中,在初始过渡层128还掺杂有与第二掺杂区III中相同类型的掺杂离子,且掺杂离子在初始过渡层128中的掺杂浓度大于在第二掺杂区III中的掺杂浓度,则初始过渡层128的电阻小于第二掺杂区III的电阻。

[0108] 一方面,采用外延生长工艺有利于提升第二掺杂区III和初始过渡层128之间的连续性,减少因晶格特性不同或者晶格错位导致的接触缺陷,减小因接触缺陷导致的接触电阻,提升载流子的传输能力和移动速度,进而提高第二掺杂区III和初始过渡层128之间的导电性能,以及降低半导体结构运行过程中的发热;另一方面,采用外延生长工艺有利于增大初始过渡层128在基底11上的正投影,有利于使得初始过渡层128在基底11上的正投影面积大于第二掺杂区III在基底11上的正投影面积,后续可以作为掩膜,避免形成环绕第二掺杂区III侧壁的第二介质层被刻蚀至露出第二掺杂区III,以保证后续形成的第二介质层对第二掺杂区III良好的保护效果。

[0109] 结合参考图28和图29,以初始过渡层128为掩膜,刻蚀第一隔离层163、第二隔离层173以及第三隔离层183,以露出第二掺杂区III侧壁,剩余第一隔离层163顶面不高于字线107顶面。其中,初始过渡层128在基底11上的正投影覆盖第二掺杂区III在基底11上的正投影,有利于避免半导体通道105在该步骤中受到刻蚀损伤。

[0110] 参考图30,形成保形覆盖初始过渡层128表面、第二掺杂区III侧壁、字线107顶面以及第一隔离层163(参考图29)顶面的第二介质膜;对第二介质膜进行化学机械平坦化处

理至露出初始过渡层128表面,以初始过渡层128为掩膜刻蚀剩余的第三介质层膜,由于初始过渡层128在基底11上的正投影面积大于第二掺杂区III在基底11上的正投影面积,有利于在去除位于初始过渡层128表面、第一隔离层163顶面以及部分字线107顶面的第三介质膜的同时,避免与初始过渡层128在基底11上的正投影正对的第三介质膜被刻蚀,从而形成环绕第二掺杂区III侧壁的第三介质层123,以保证第三介质层123对第二掺杂区III良好的保护效果。其中,可以采用沉积工艺形成第三介质膜。

[0111] 进一步地,参考图30,去除剩余的第一隔离层163,以露出初始位线124顶面。

[0112] 在其他实施例中,以初始过渡层为掩膜,刻蚀第一隔离层、第二隔离层以及第三隔离层,以露出初始位线以及露出第二掺杂区侧壁;然后对露出的第二掺杂区侧壁进行热氧化处理,以形成第三介质层。

[0113] 参考图1至图4,对暴露出的初始位线124和初始过渡层128进行金属化处理,以形成位线104,位线104的材料包括金属半导体化合物114。

[0114] 具体地,在初始过渡层128表面和初始位线124顶面形成金属层,金属层为后续形成位线提供金属元素;金属层还位于第三介质层123、字线107以及第一介质层113暴露出的表面。其中,金属层的材料包括钴、镍、钼、钛、钨、钽或者铂中的至少一种。

[0115] 进行退火处理,以将部分厚度的初始过渡层128转化为金属接触层108,将部分厚度的初始位线124(参考图30)转化为位线104。

[0116] 在形成位线104之后,去除剩余的金属层。

[0117] 在一些实施例中,在退火处理过程中,金属层与初始过渡层128和初始位线124发生反应,部分厚度的初始过渡层128转化为金属接触层108,部分厚度的初始位线124转化为位线104。具体地,在一个例子中,参考图2,同一位线104中的多个金属半导体化合物114之间相互间隔;在又一个例子中,参考图3,同一位线104中的多个金属半导体化合物114之间相互连通。

[0118] 在其他实施例中,全部厚度的初始过渡层可以转化为金属接触层,全部厚度的初始位线可以转化为位线。

[0119] 在其他实施例中,在第二掺杂区顶面没有形成初始过渡层时,先不去除位于第二掺杂区顶面的绝缘层,后续仅对初始位线进行金属化处理,形成位线之后,再去除位于第二掺杂区顶面的绝缘层。结合参考图30和图1至图4,形成第三介质层133,第三介质层133填充相邻第一介质层113之间的第一间隔、相邻在字线107之间的第二间隔以及相邻第三介质层123之间的第三间隔,用于实现相邻半导体通道105以及相邻字线107之间的电绝缘。在一些例子中,参考图5,在形成第三介质层133时,位于第二间隔中的第三介质层133中还可以具有空隙。

[0120] 在又一些例子中,结合参考图10至图14和图31至图35,形成第一介质层113、绝缘层106、字线107以及第三介质层123包括如下步骤:

[0121] 参考图10至图14,形成初始第一介质层113a,初始第一介质层113a环绕半导体通道105侧壁,且位于同一初始位线124上相邻半导体通道105侧壁的初始第一介质层113a之间具有第四间隔e;形成第一隔离层163,第一隔离层163填充第四间隔e,且第一隔离层163的材料和初始第一介质层113a的材料不同。

[0122] 具体地,形成初始第一介质层113a和第一隔离层163的步骤与上述例子相同,在此

不做赘述。

[0123] 参考图31,刻蚀部分初始第一介质层113a(参考图14)至露出第二掺杂区III侧壁和沟道区II侧壁,剩余初始第一介质层113a作为第一介质层113。

[0124] 参考图32至图33,形成覆盖第二掺杂区III侧壁和沟道区II侧壁的保护层116,且保护层116和第一隔离层163之间具有第六间隔k,沟道区II侧壁的保护层116为绝缘层106,覆盖第二掺杂区III侧壁的保护层116为第二介质层123。

[0125] 进一步地,参考图33,第六间隔k还位于相邻初始位线124的相邻半导体通道105侧壁的保护层116之间。

[0126] 本实施例中,半导体通道105的材料为硅,保护层116的形成步骤包括:对露出的沟道区II侧壁和第二掺杂区III的侧壁和顶面进行热氧化处理,则保护层116覆盖剩余沟道区II和剩余第二掺杂区III的侧壁表面,且覆盖剩余第二掺杂区III顶面。在其他实施例中,也可以通过沉积工艺形成覆盖沟道区侧壁和第二掺杂区的侧壁和顶面表面的保护层。

[0127] 由于对露出的沟道区II和第二掺杂区III侧壁进行热氧化处理,则沟道区II和第二掺杂区III的部分区域被转化为保护层116,使得沟道区II和第二掺杂区III在基底11上的正投影均小于第一掺杂区I在基底11上的正投影,有利于在不采用刻蚀工艺的前提下,形成在垂直于初始位线124指向半导体通道105的方向Z的截面中,截面面积更加小的沟道区II和第二掺杂区III,有利于提高后续形成的字线对沟道区II的控制能力,从而更容易控制GAA晶体管的导通或者关断。。

[0128] 本实施例中,在后续的工艺步骤中去除位于剩余第二掺杂区III顶面的保护层116。在其他实施例中,可以在热氧化处理之后,就去掉位于剩余第二掺杂区顶面的保护层,仅保留覆盖剩余沟道区以及剩余第二掺杂区的侧壁表面的保护层。

[0129] 参考图34至图35,形成初始字线,初始字线填满第六间隔k,且初始字线还位于相邻初始位线124上的半导体通道105部分侧壁的保护层116之间;去除部分初始字线,剩余初始字线作为字线107,字线107仅环绕位于沟道区II侧壁的绝缘层106侧壁。其中,可通过沉积工艺形成初始字线,初始字线的材料包括多晶硅、氮化钛、氮化钽、铜或者钨中的至少一种。

[0130] 初始字线自对准地填满第六间隔k,有利于自对准地形成尺寸精确的字线107。

[0131] 在形成字线107之后,形成第三隔离层、形成初始过渡层、对初始过渡层和初始位线进行金属化处理以形成金属接触层和位线以及形成第三介质层的步骤与上述例子相同,在此不做赘述。

[0132] 进一步地,在金属接触层108和第三介质层133共同构成的表面形成电容结构(图中未示出)。在其他实施例中,还可以不形成金属接触层,在去除位于第二掺杂区顶面的绝缘层之后,直接在第二掺杂区和第三介质层共同构成的表面形成电容结构。

[0133] 综上所述,通过形成第一介质层113和第二介质层123,以第二介质层123为掩膜对第一介质层113进行刻蚀,以形成特定形状的空洞结构;采用沉积工艺,在空洞结构中自对准地形成尺寸精确的字线107,无需通过刻蚀工艺来设计字线107的尺寸,有利于简化字线107的形成步骤,且通过调控空洞结构的尺寸,即可获得小尺寸的字线107。此外,对初始位线124和初始过渡层128进行金属化处理,有利于降低最终形成的位线104和金属接触层108的电阻,使得金属接触层108与电容结构之间构成欧姆接触,避免电容结构与半导体材料直

接接触而形成肖特基势垒接触,有利于降低第二掺杂区III与电容结构之间的接触电阻,从而降低半导体结构工作时的能耗,以提高半导体结构的电学性能。

[0134] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各自更动与修改,因此本发明的保护范围应当以权利要求限定的范围为准。

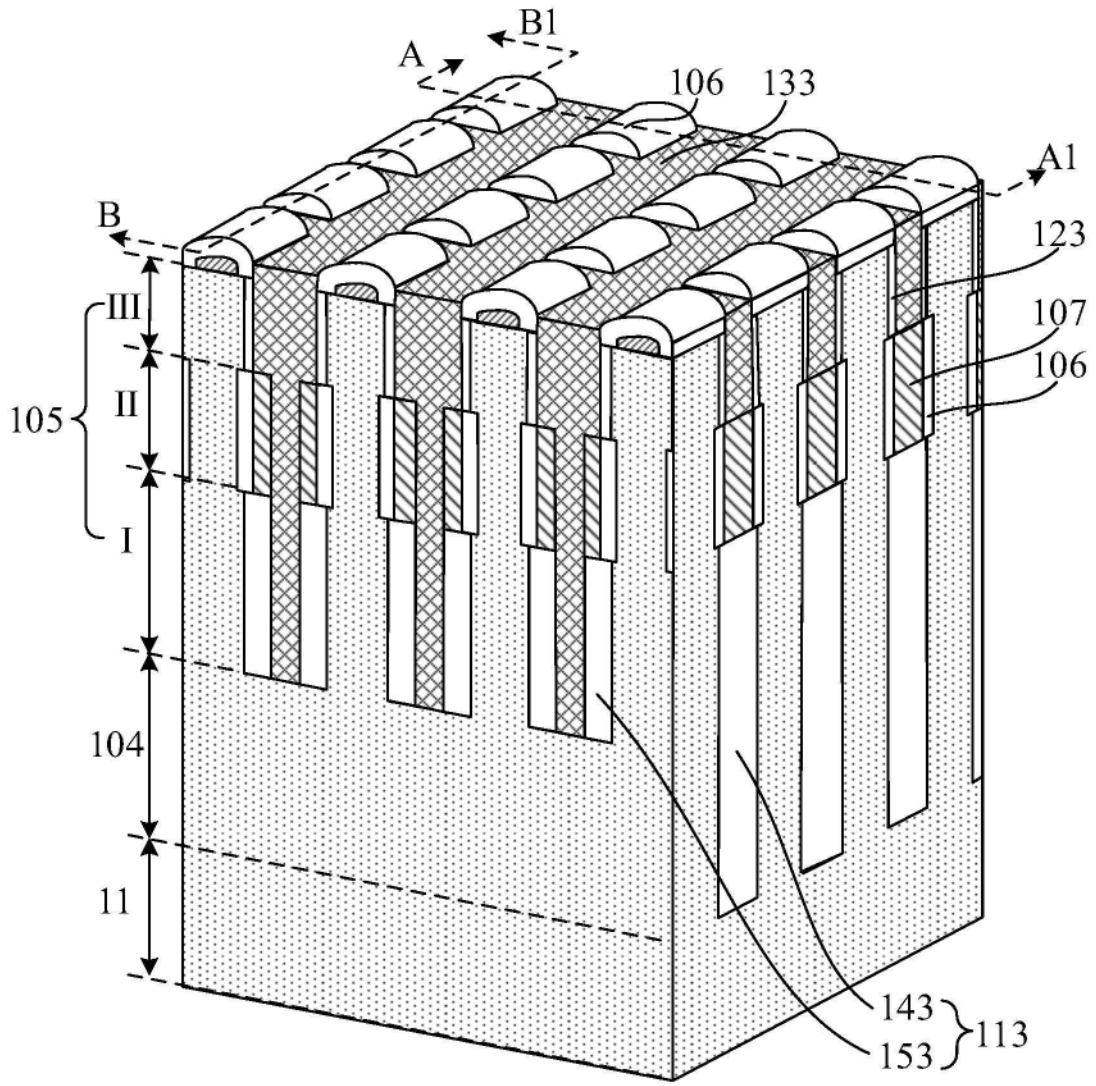


图1

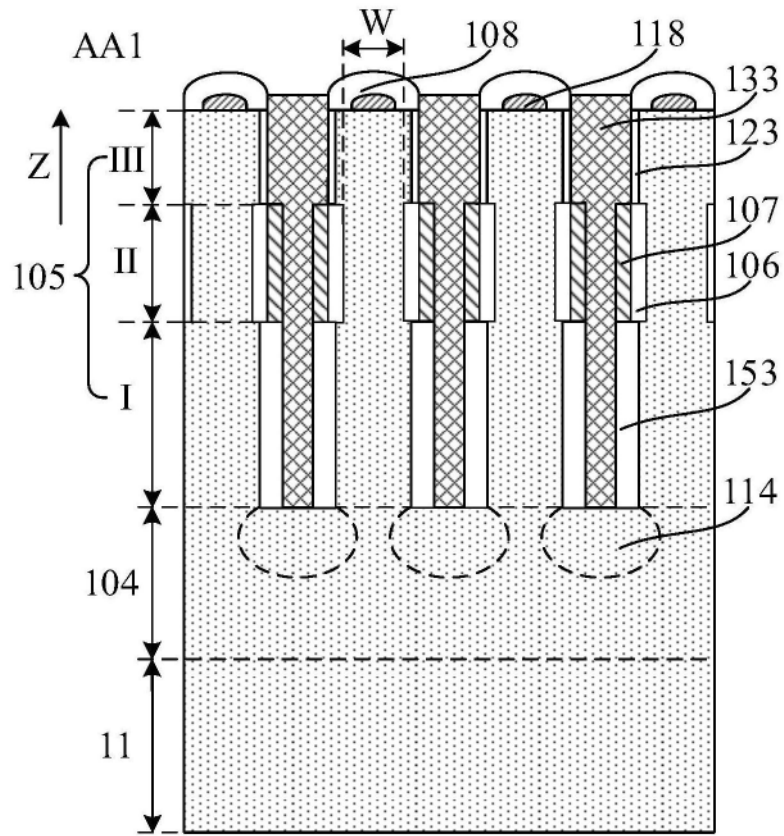


图2

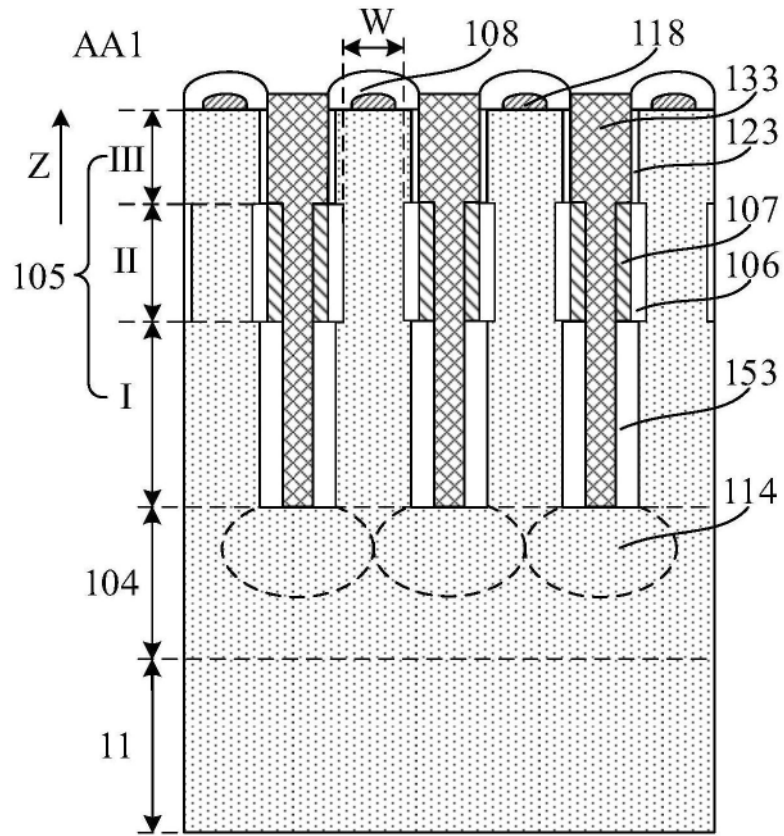


图3

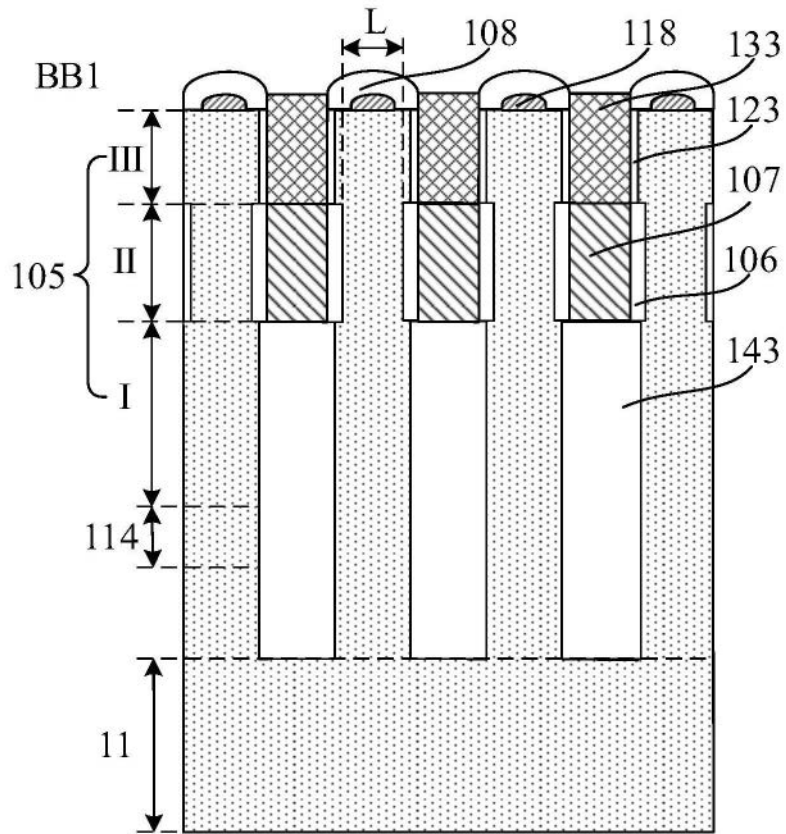


图4

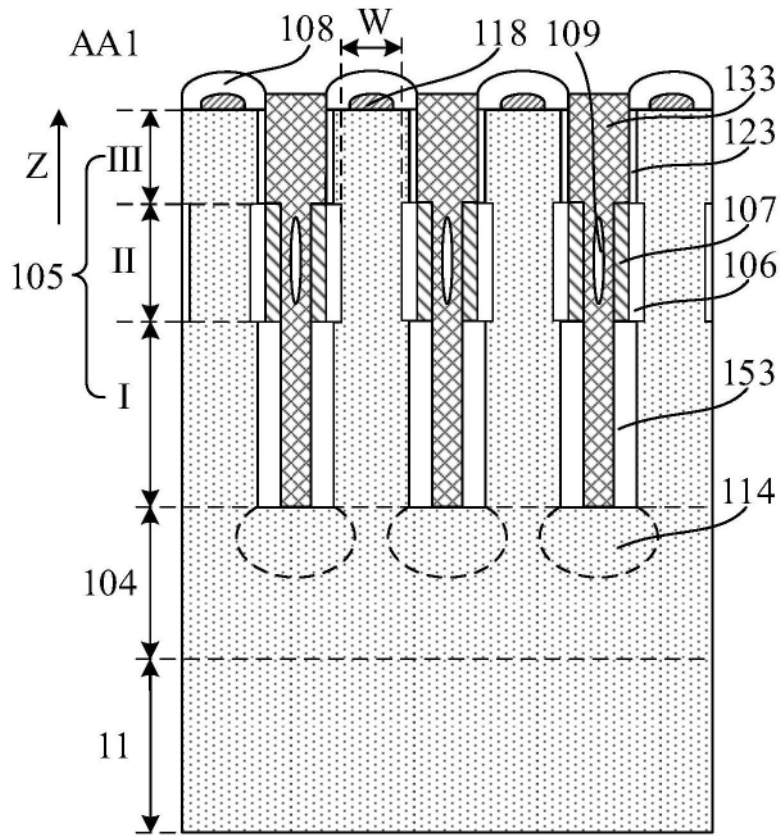


图5

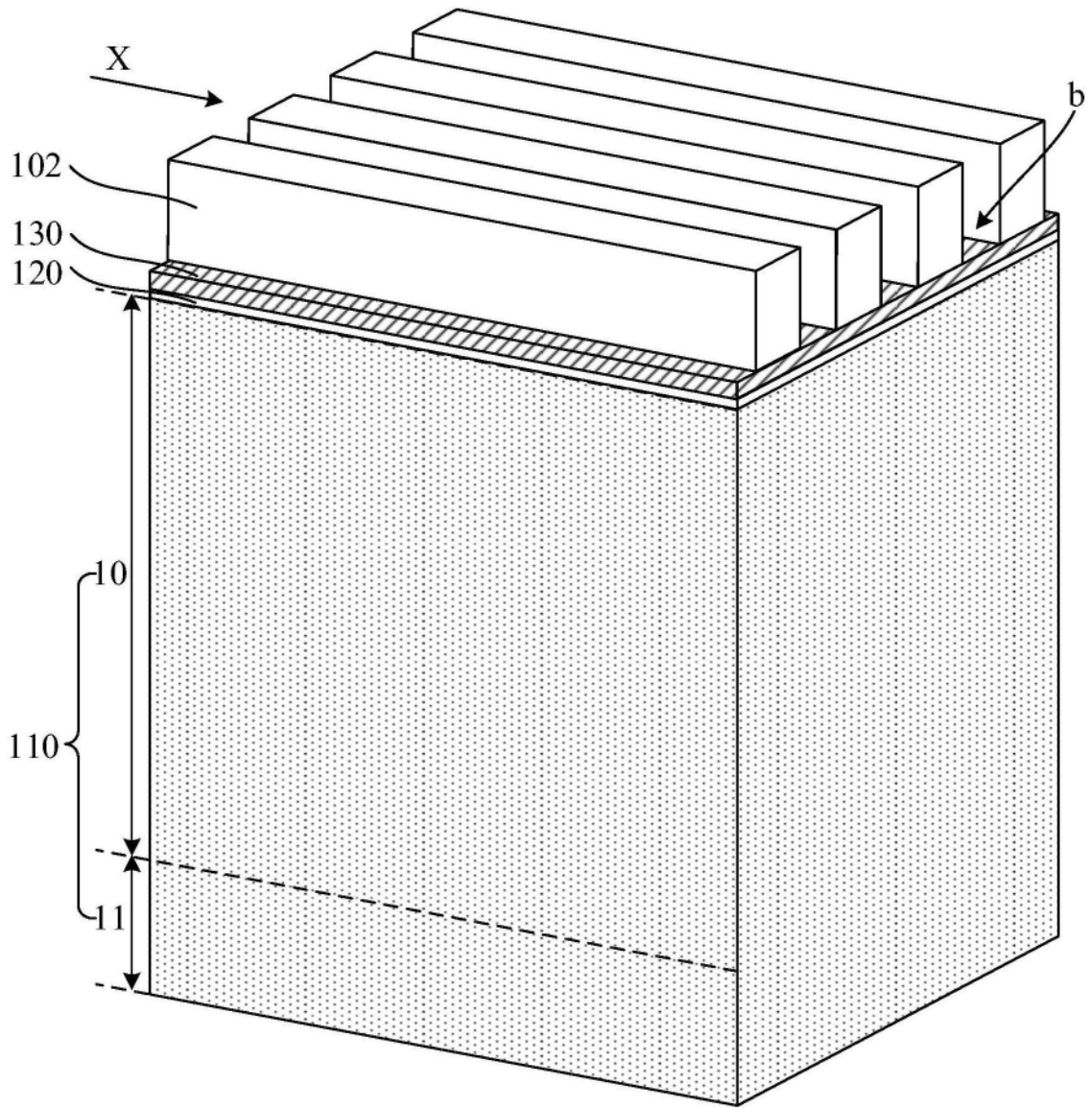


图6

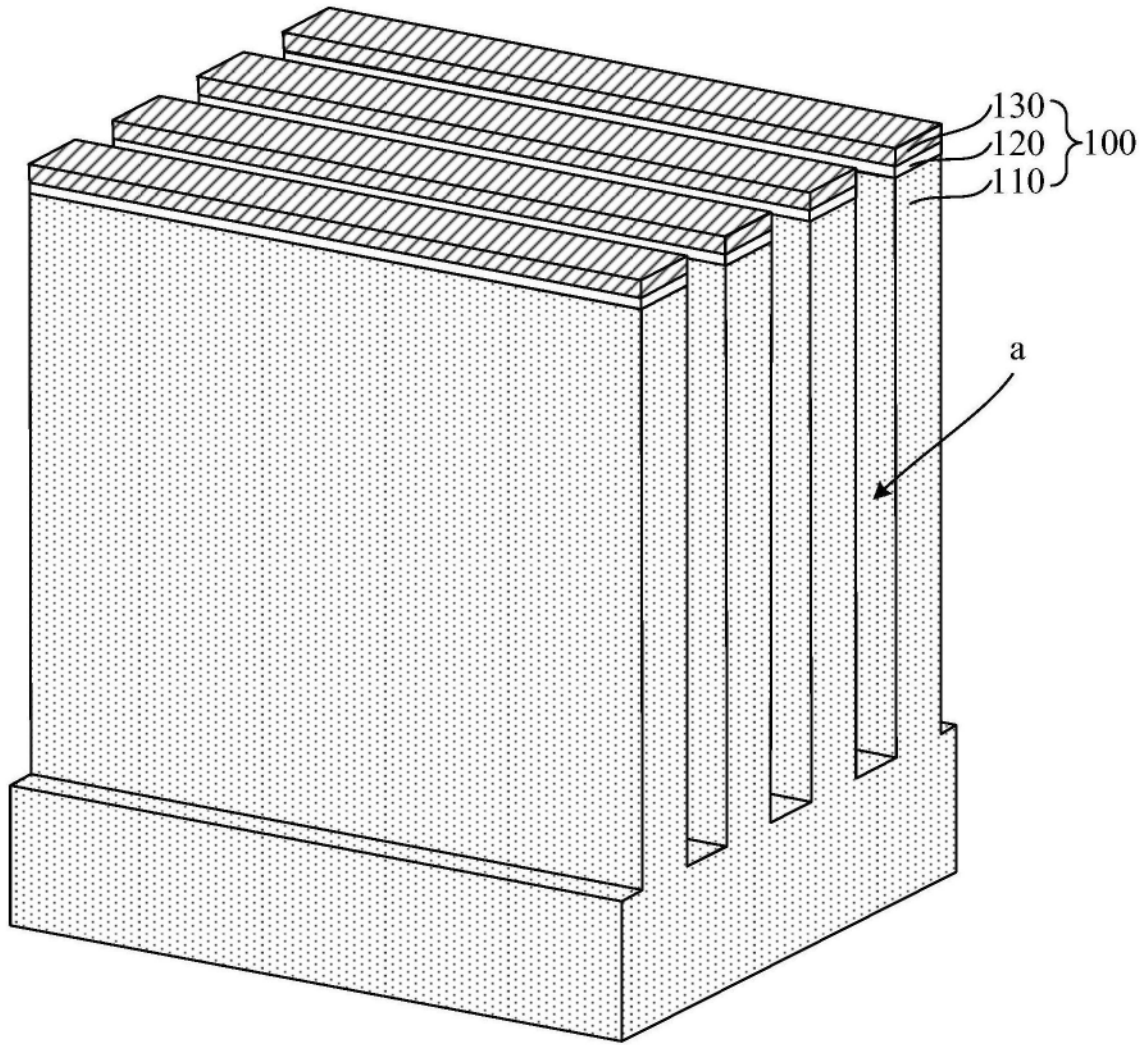


图7

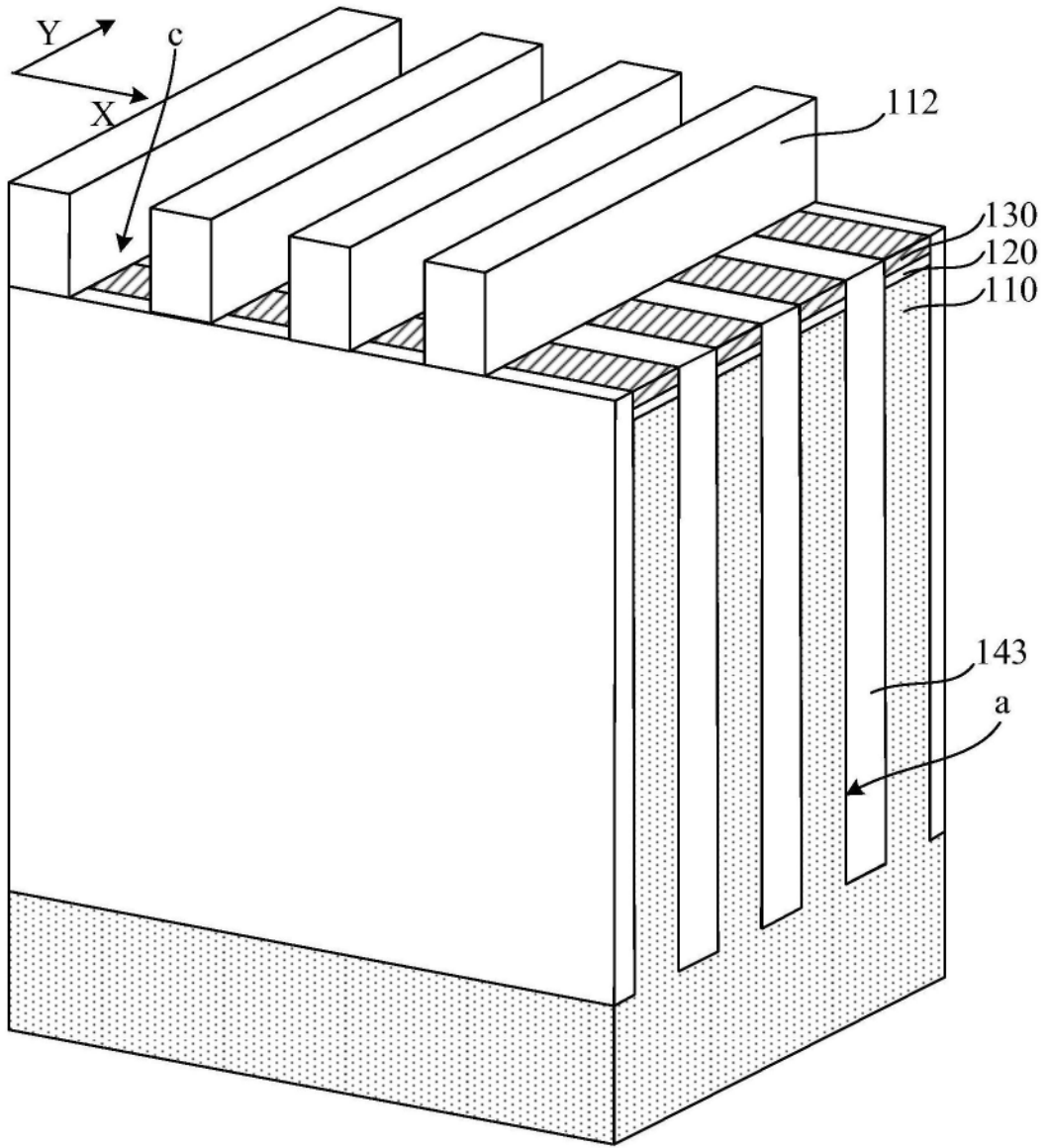


图8

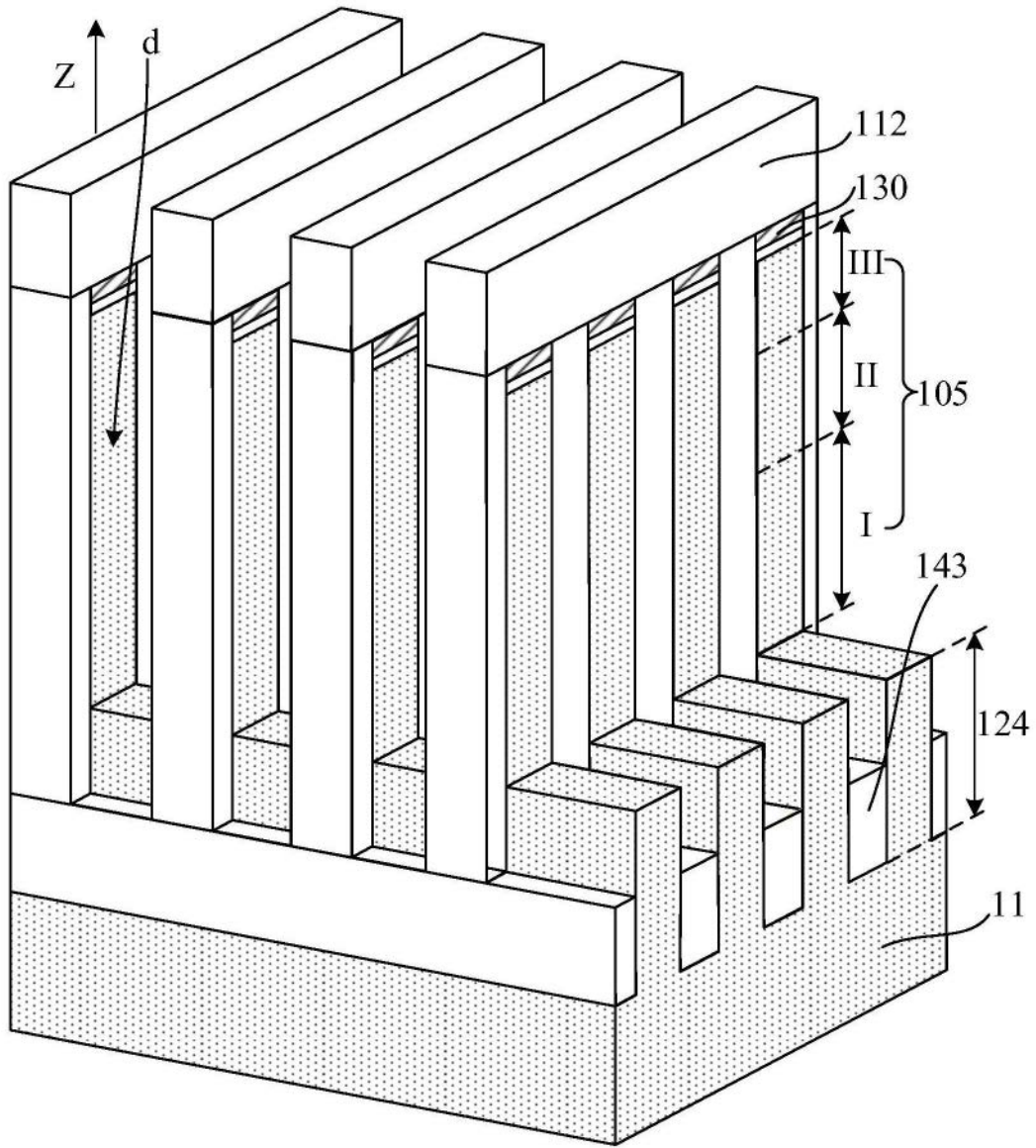


图9

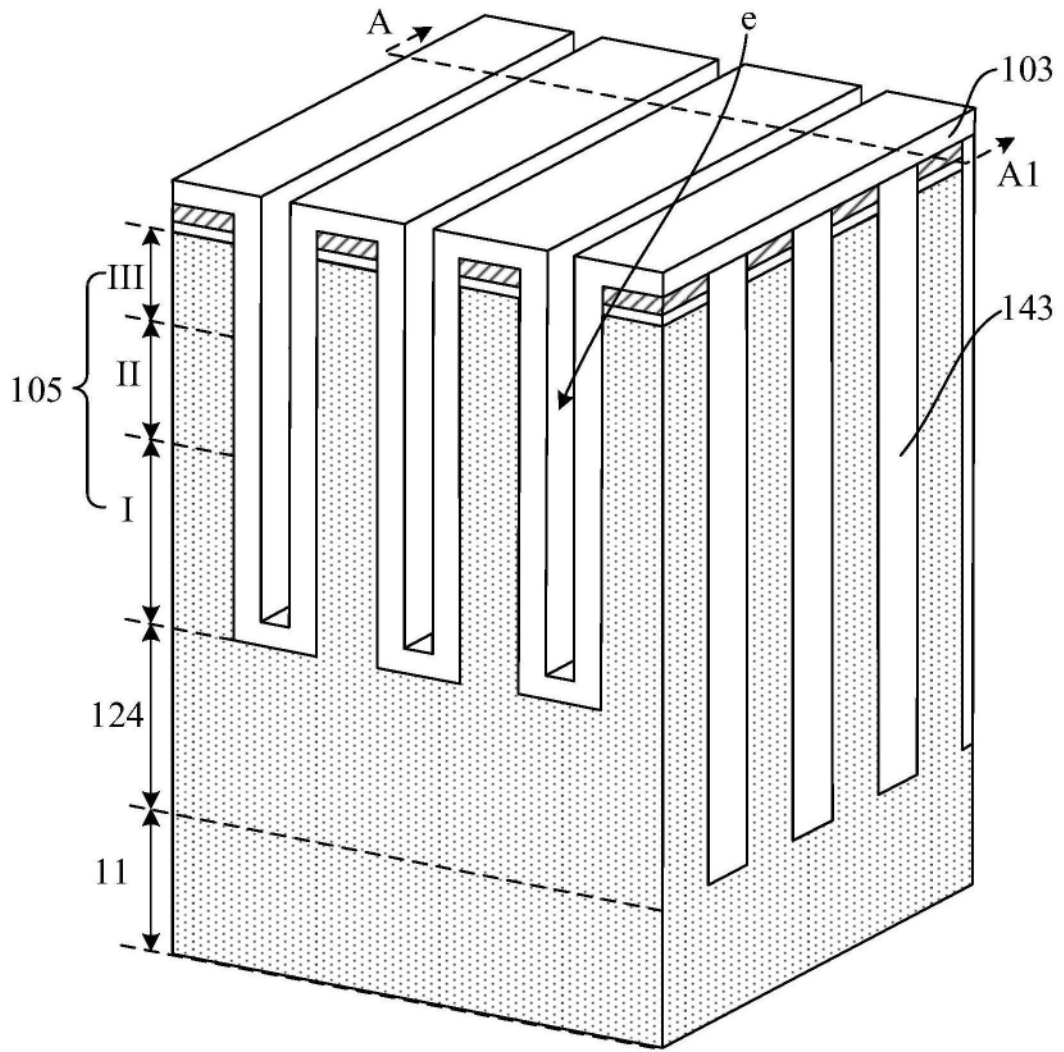


图10

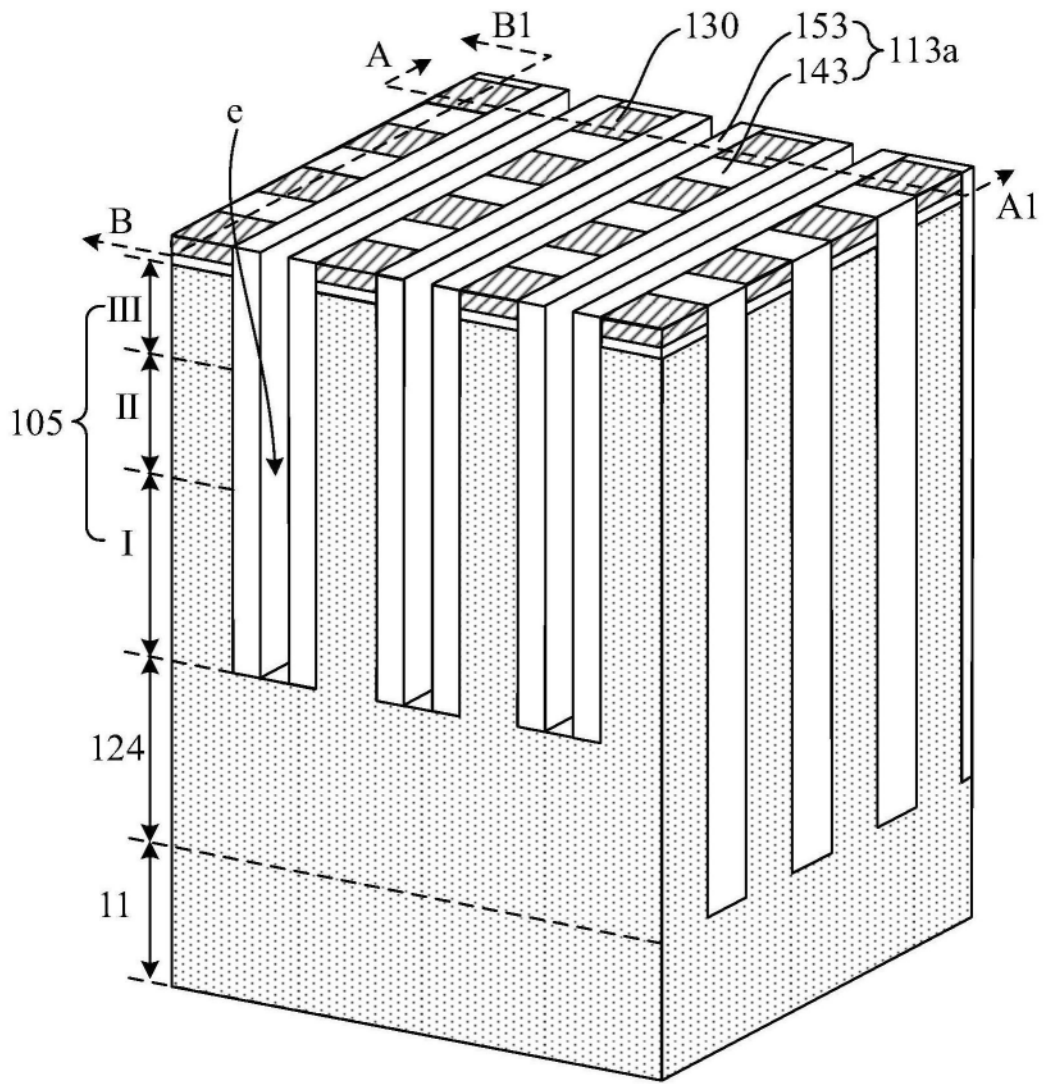


图11

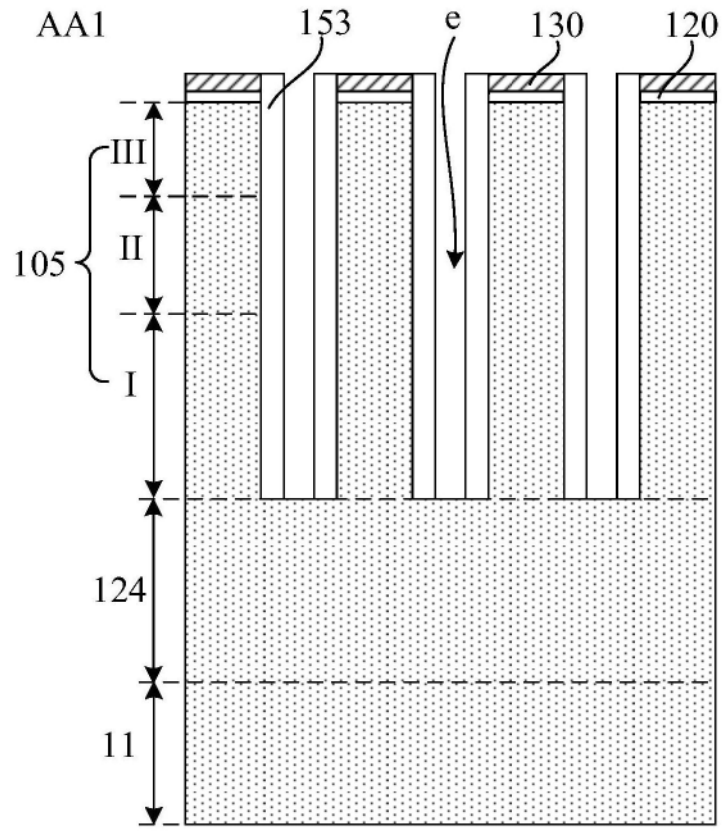


图12

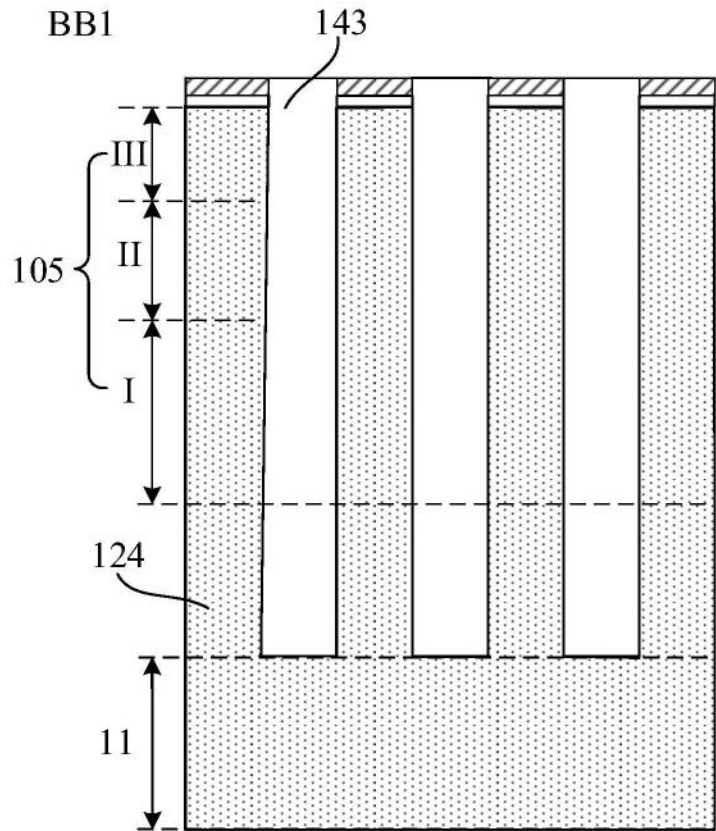


图13

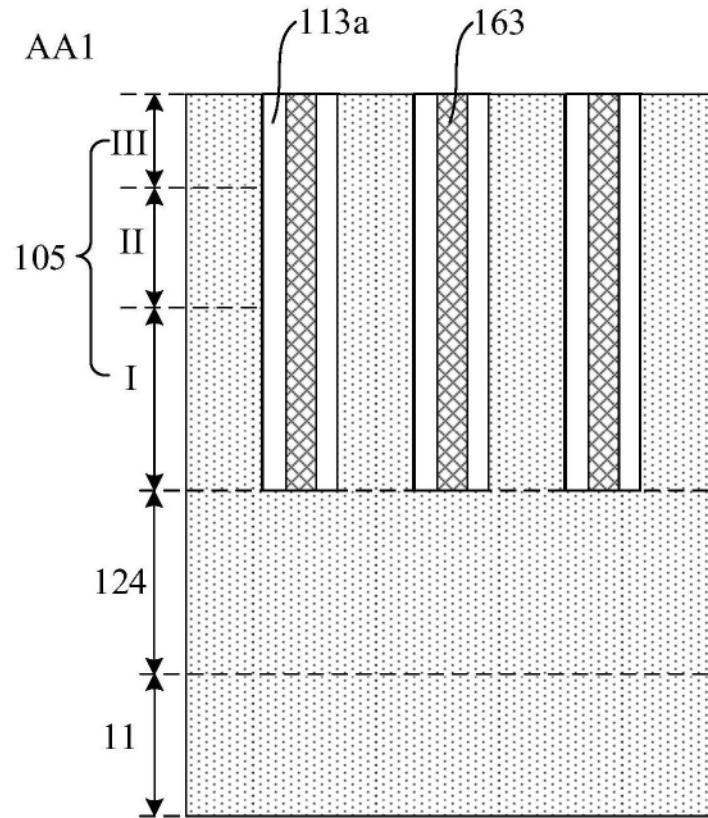


图14

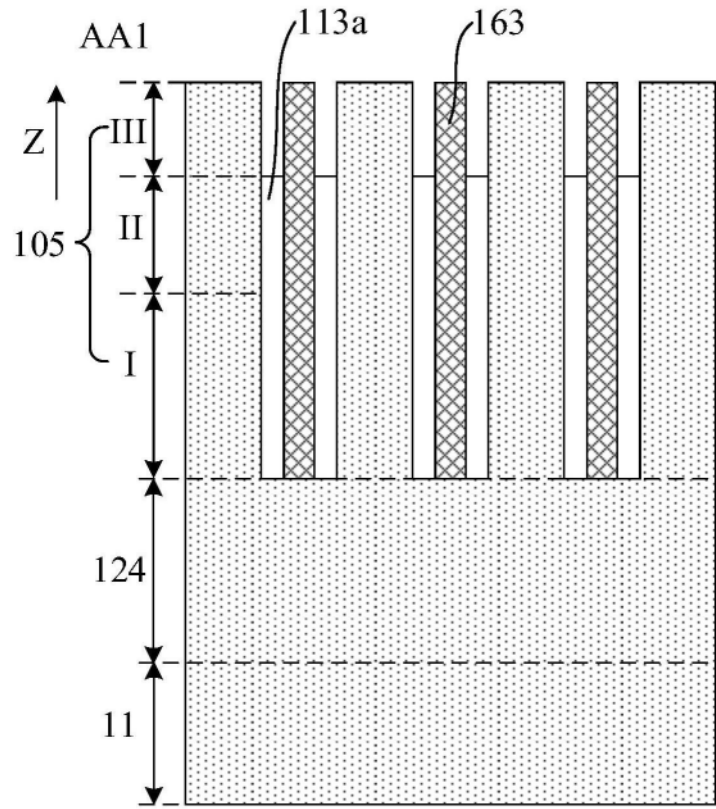


图15

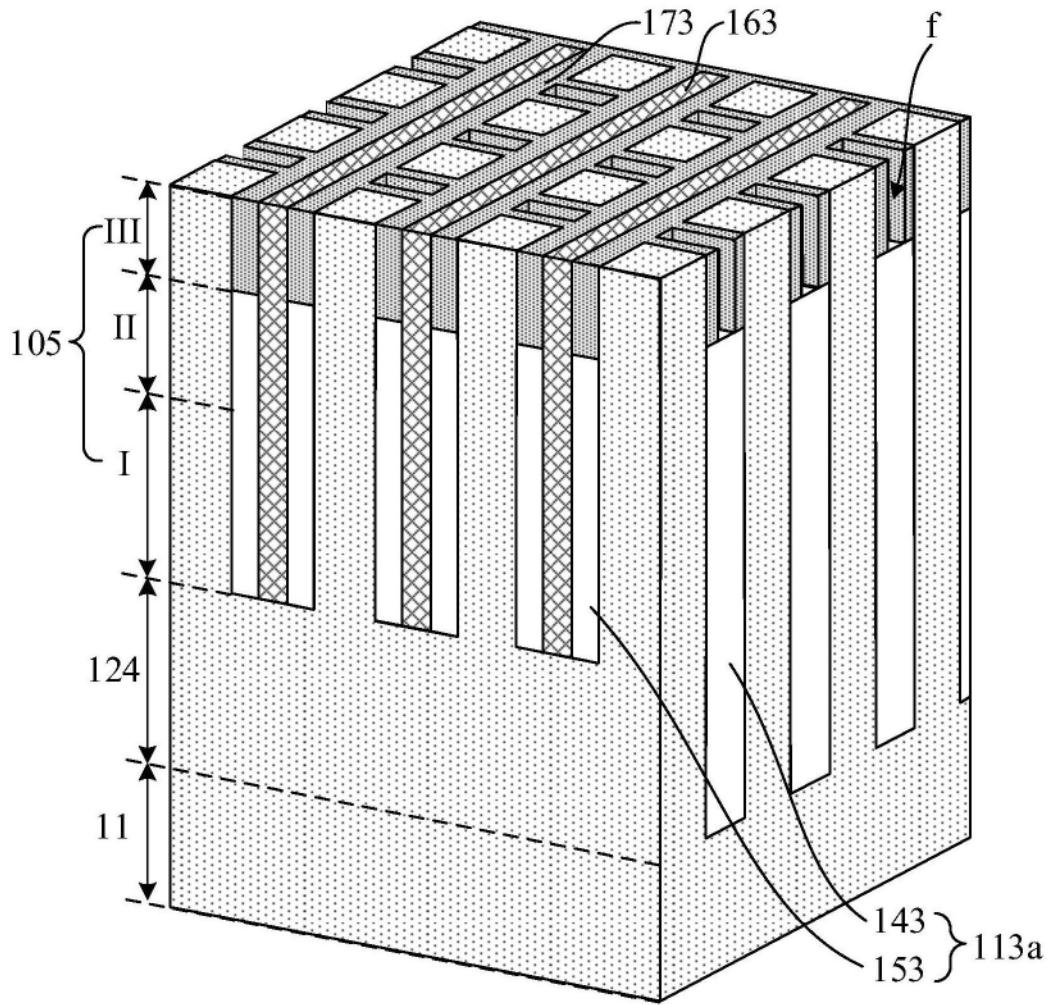


图16

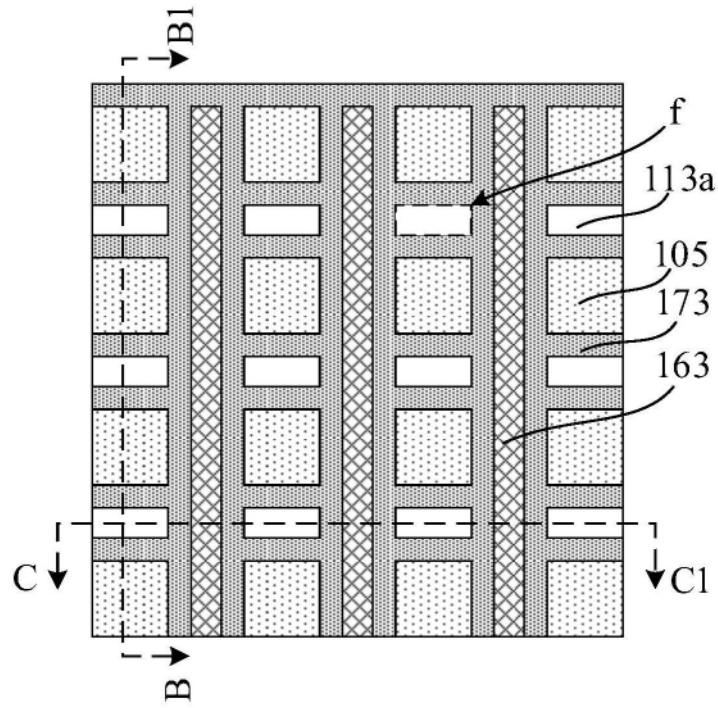


图17

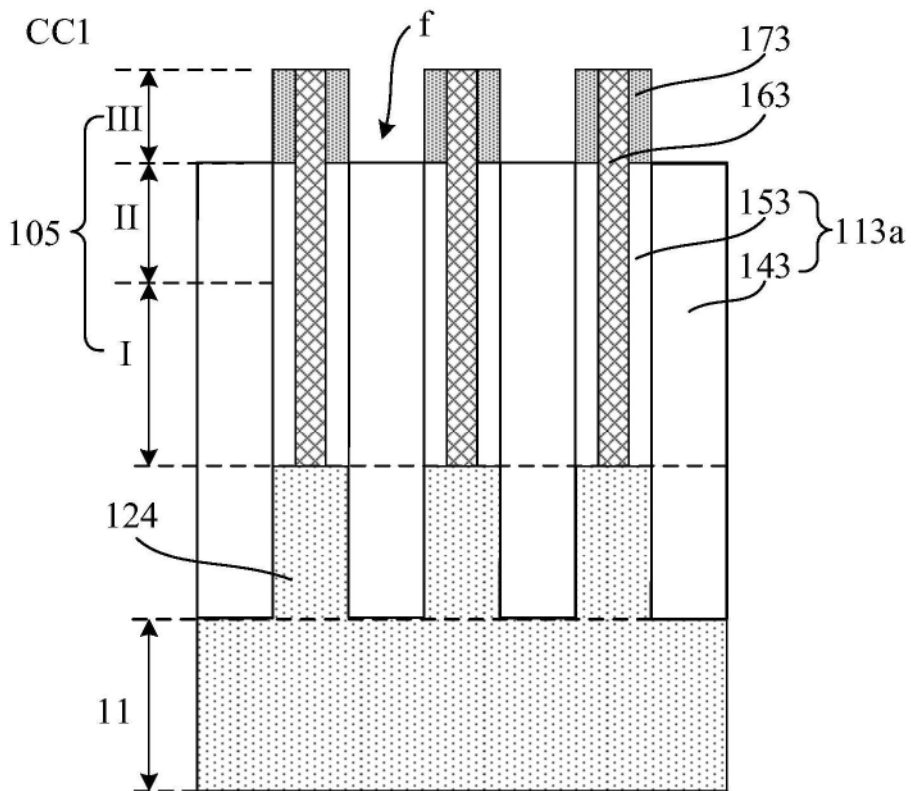


图18

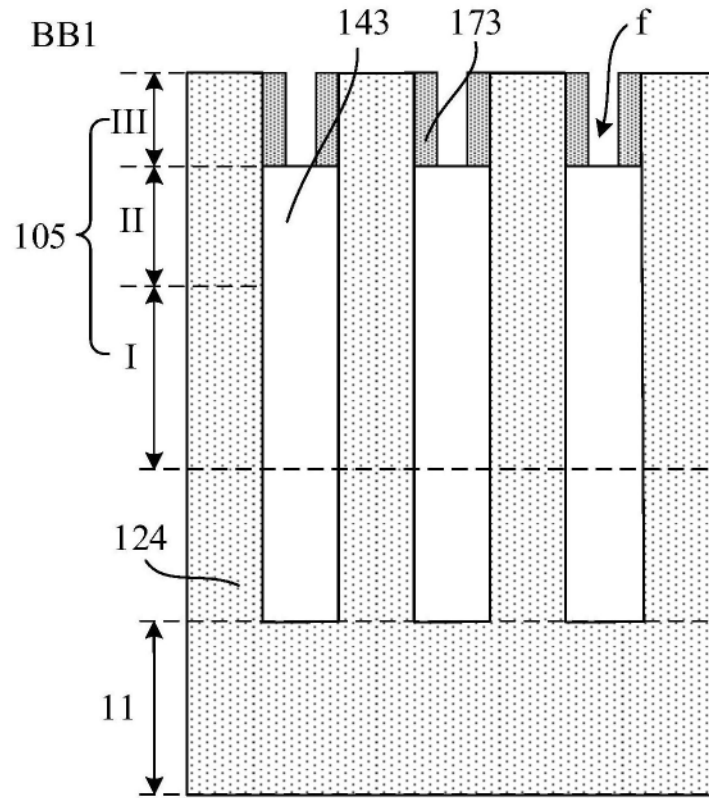


图19

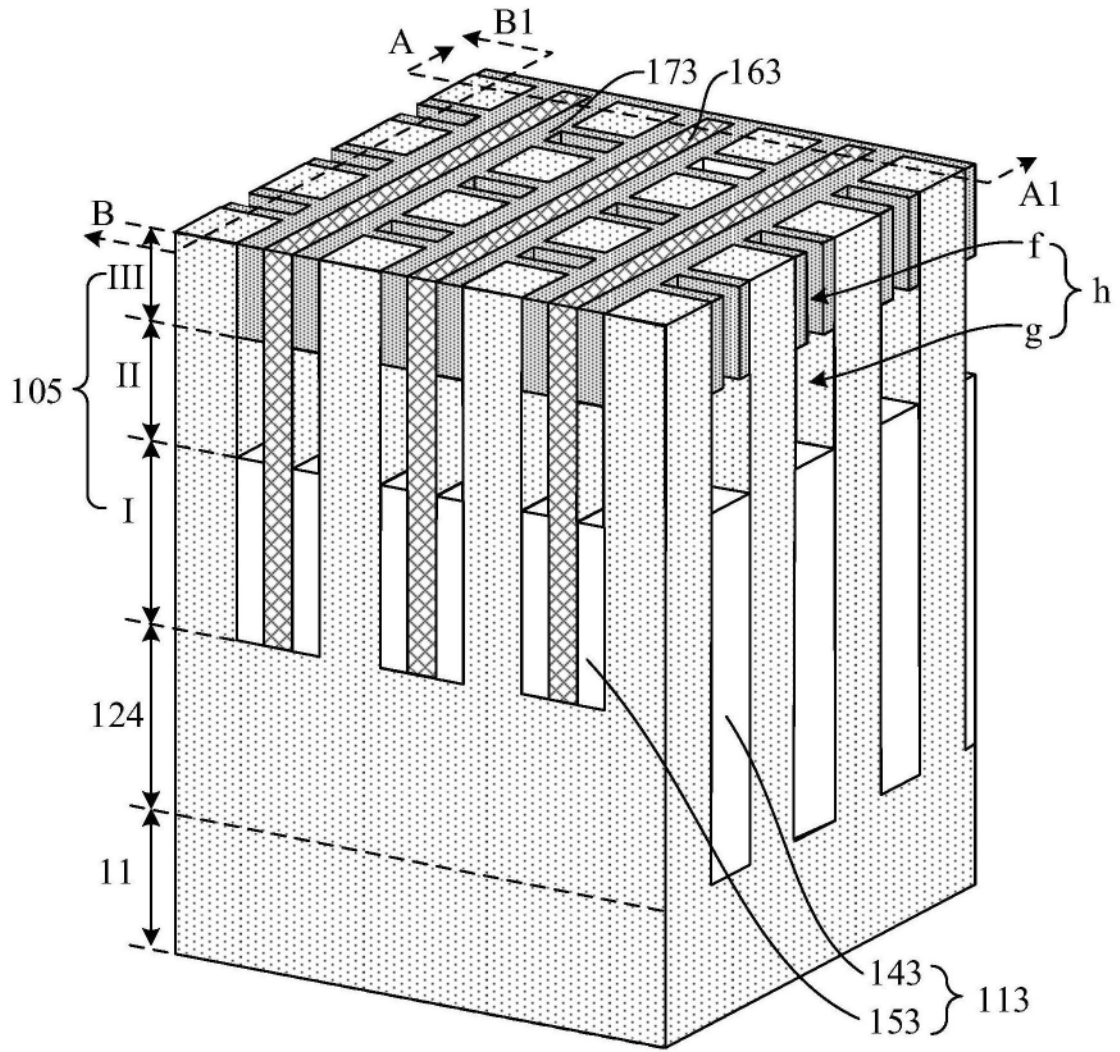


图20

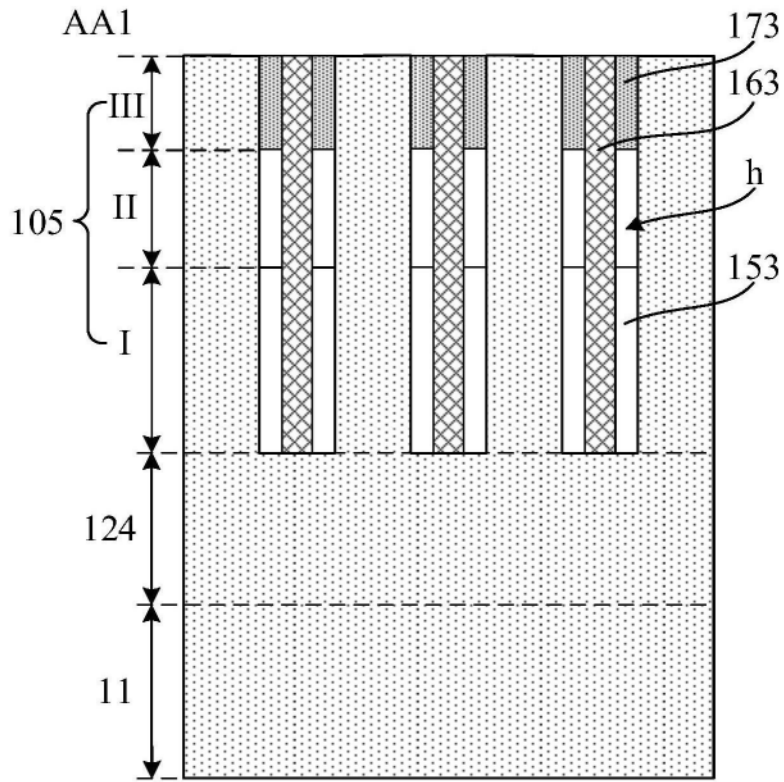


图21

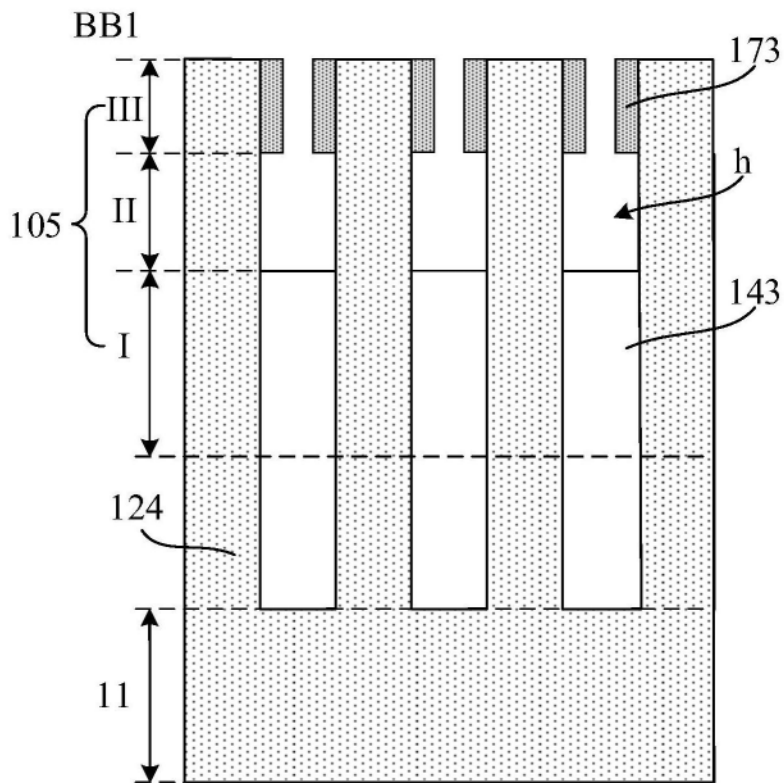


图22

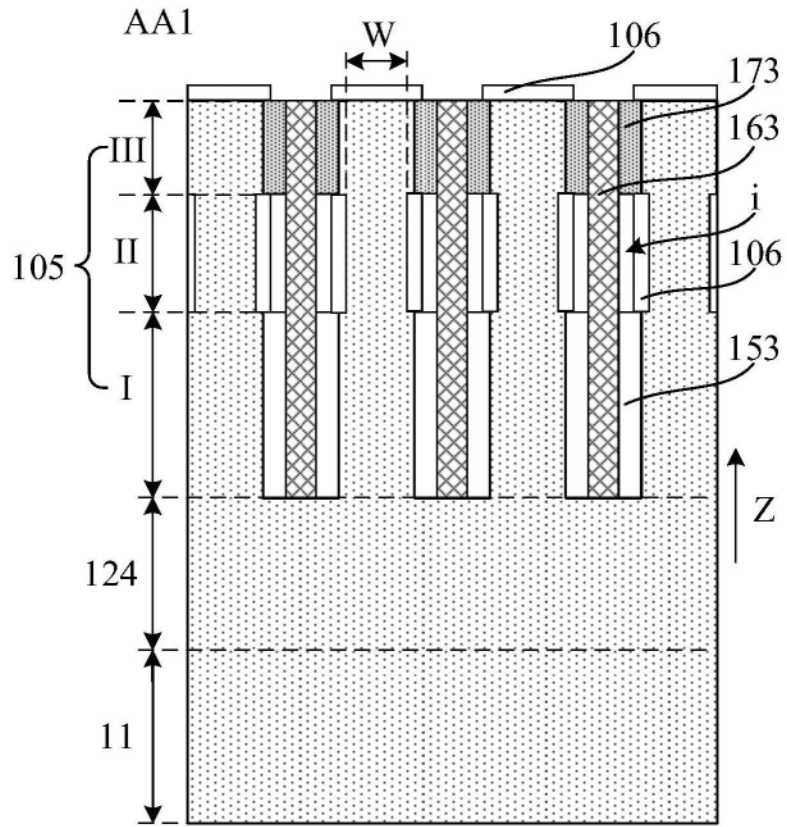


图23

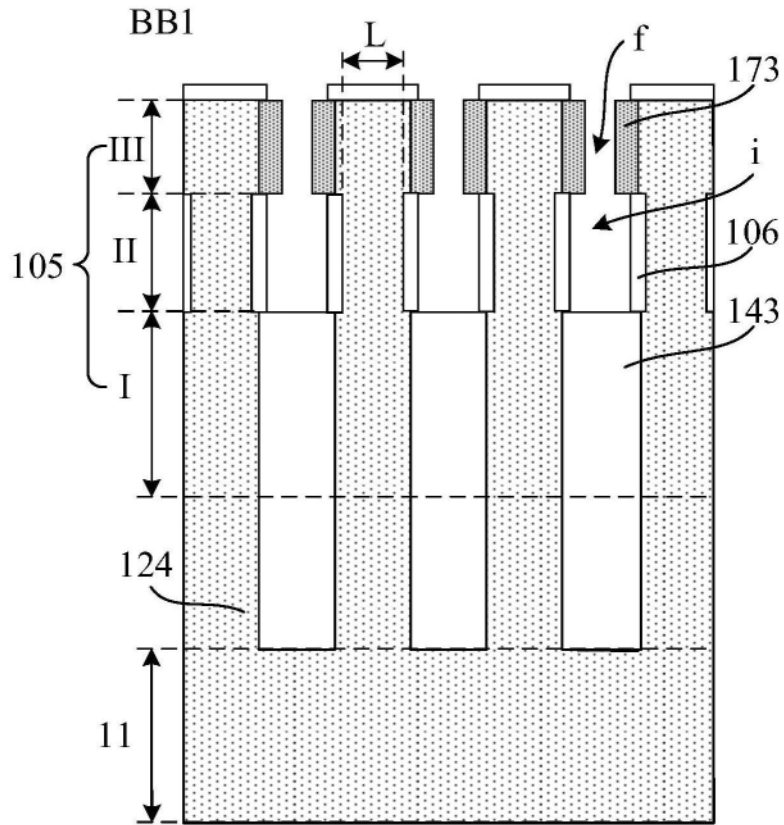


图24

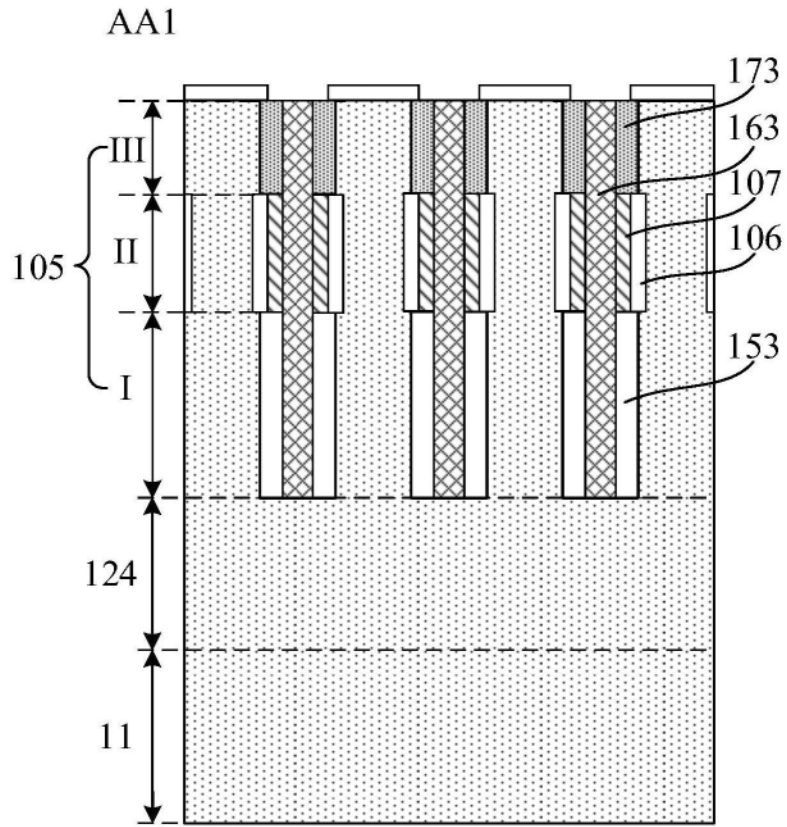


图25

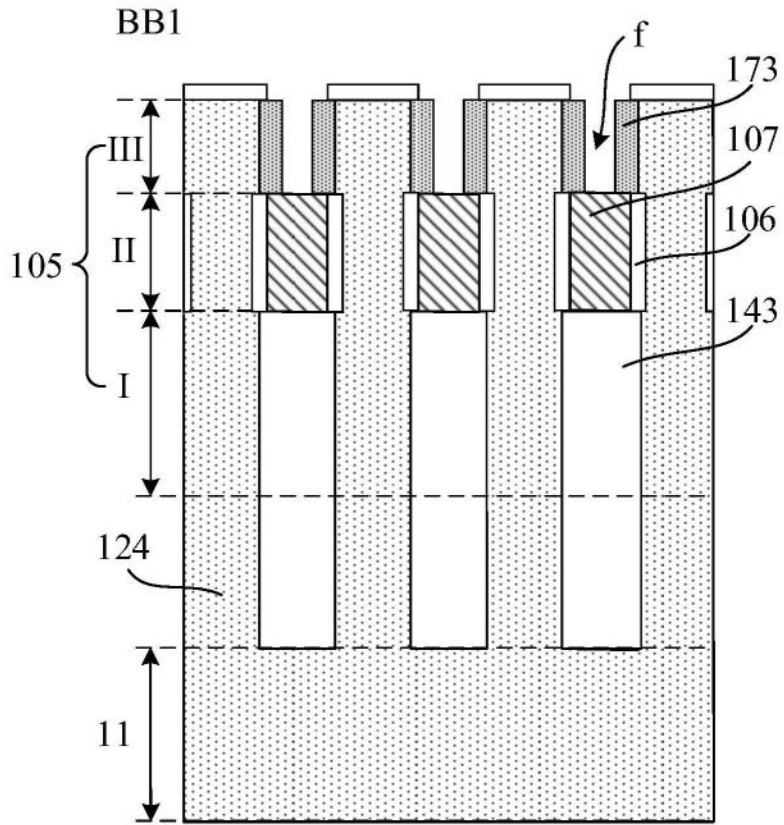


图26

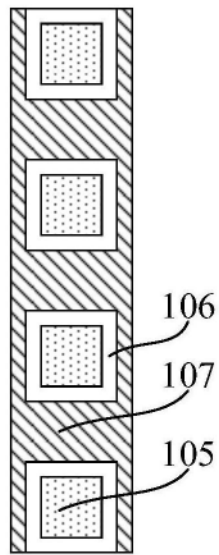


图27

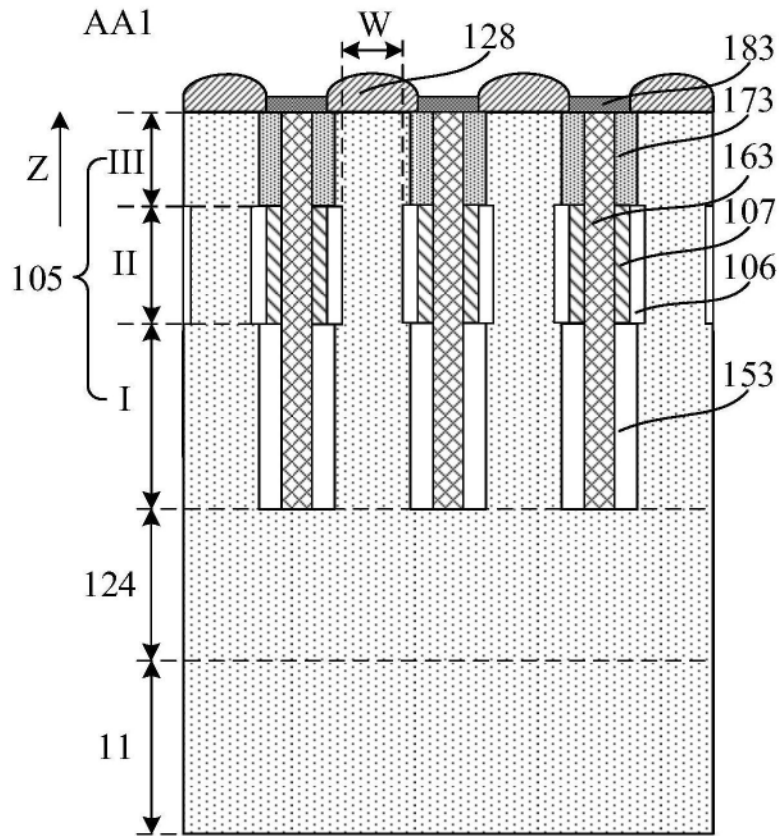


图28

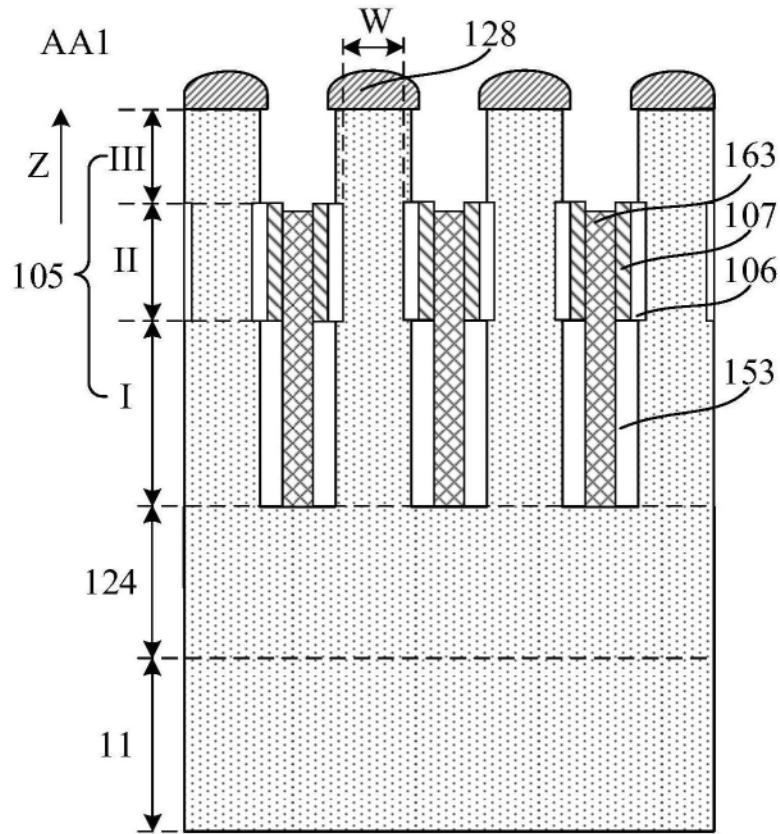


图29

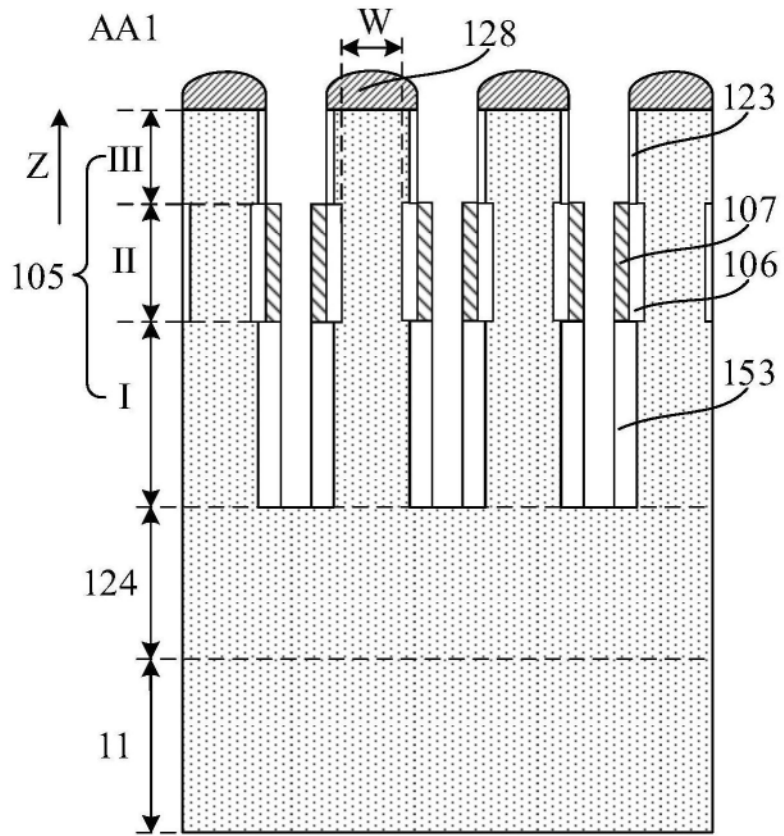


图30

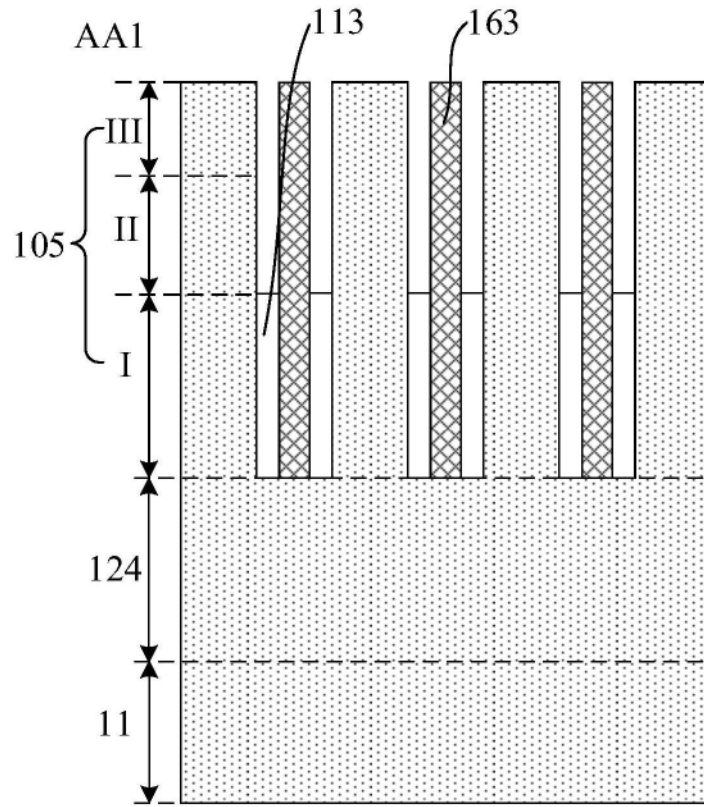


图31

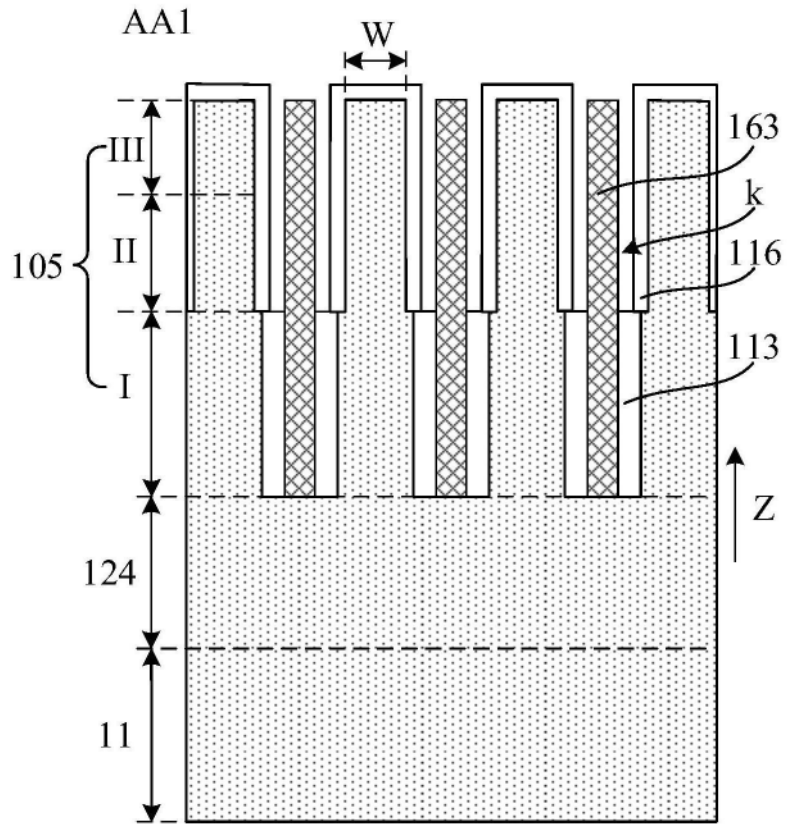


图32

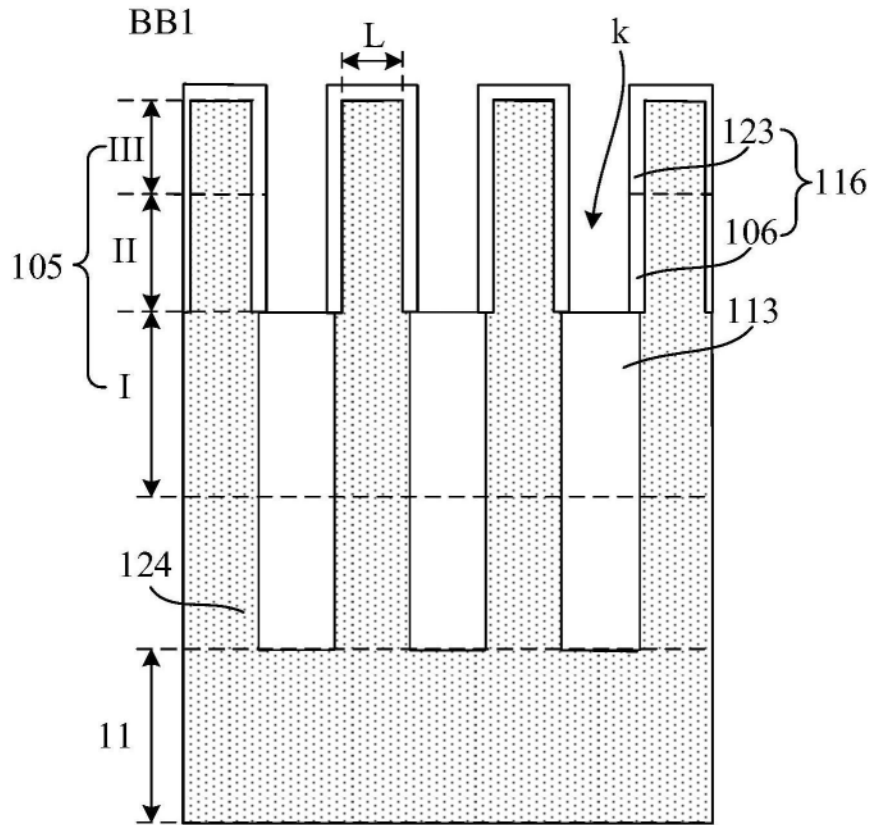


图33

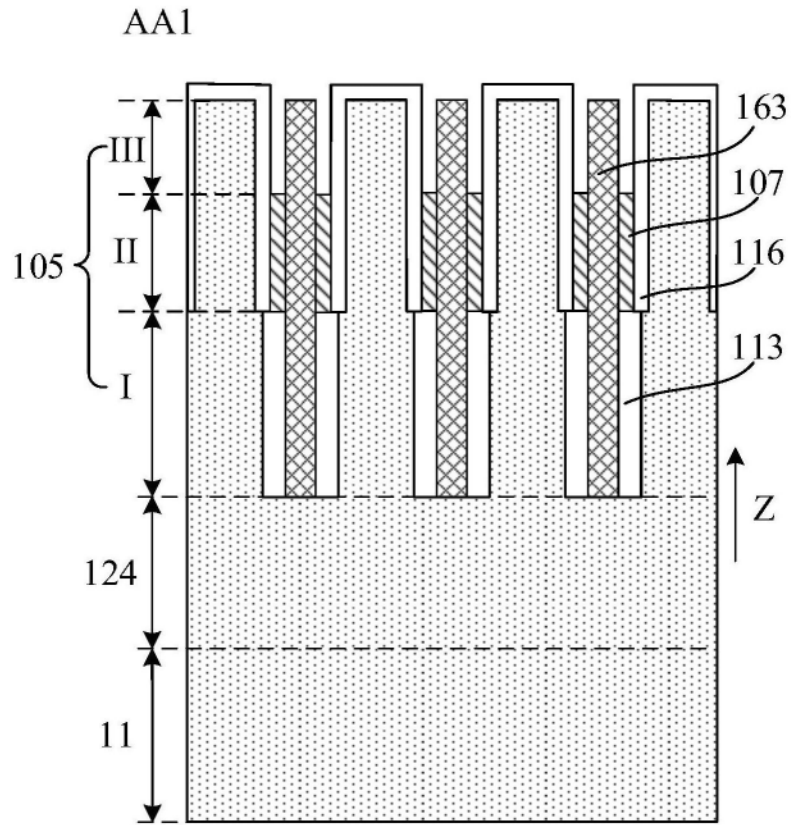


图34

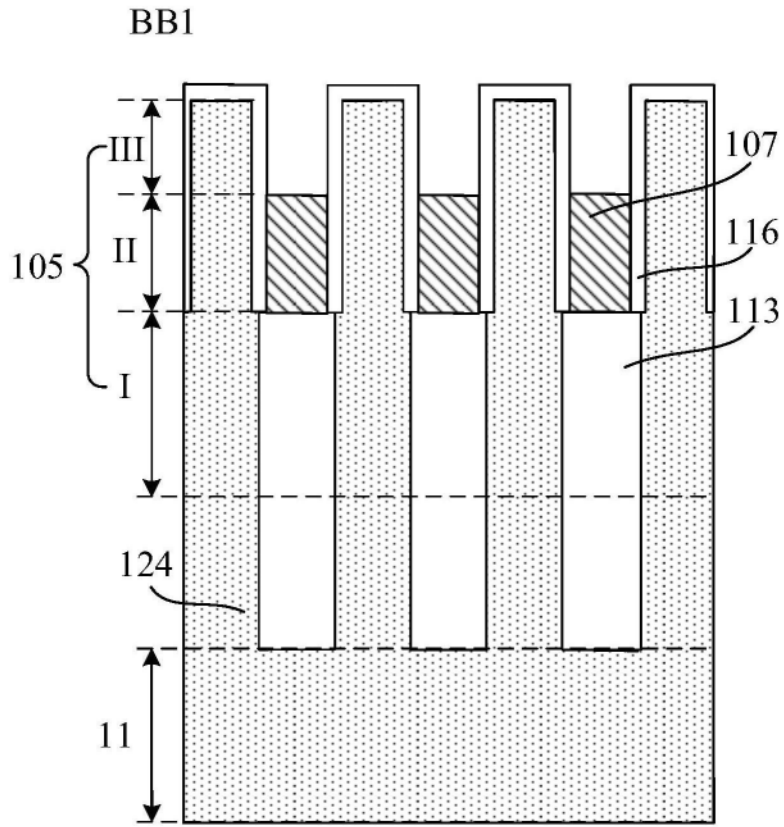


图35