

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4285551号
(P4285551)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int. Cl. F 1
G09F 9/30 (2006.01) G09F 9/30 338
G02F 1/1368 (2006.01) G02F 1/1368

請求項の数 8 (全 22 頁)

<p>(21) 出願番号 特願2007-37446 (P2007-37446) (22) 出願日 平成19年2月19日(2007.2.19) (65) 公開番号 特開2008-203394 (P2008-203394A) (43) 公開日 平成20年9月4日(2008.9.4) 審査請求日 平成20年4月22日(2008.4.22)</p>	<p>(73) 特許権者 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号 (74) 代理人 100095728 弁理士 上柳 雅誉 (74) 代理人 100127661 弁理士 宮坂 一彦 (72) 発明者 小山田 晋 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 審査官 横井 巨人</p>
---	--

最終頁に続く

(54) 【発明の名称】 電気光学装置及びその製造方法、並びに電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上に、
 複数の画素電極と、
 該画素電極毎の開口領域を互いに隔てる非開口領域に設けられており、前記画素電極に電気的に接続されたトランジスタと、

前記画素電極よりも下層側に少なくとも一の層間絶縁膜を有する層間絶縁部を介して配置され、前記非開口領域に設けられると共に下側電極、誘電体膜及び上側電極が順に積層されてなり、前記下側電極は、前記基板上で平面的に見て前記上側電極と重なる下側電極本体部と、該下側電極本体部の一部から前記上側電極と重ならないように延設された下側電極延設部とを有する蓄積容量と、

前記下側電極の下地面よりも上層側であって前記上側電極よりも下層側に配置され、前記基板上で平面的に見て、前記下側電極本体部と前記下側電極延設部との境界を含む領域に、前記下側電極本体部における前記一部を除く他部に重ならないように形成されたスペーサ絶縁膜と、

前記開口領域に設けられており、前記スペーサ絶縁膜と同一膜からなる第1のダミーパターンと

を備えたことを特徴とする電気光学装置。

【請求項2】

前記少なくとも一の層間絶縁膜は、平坦化処理が施されていることを特徴とする請求項

1 に記載の電気光学装置。

【請求項 3】

前記少なくとも一層の層間絶縁膜として、前記上側電極上に配置された第 1 層間絶縁膜を備え、

前記上側電極は、前記下側電極本体部に重なる上側電極本体部と、該上側電極本体部から前記下側電極と重ならないように前記下地面上に延設された上側電極延設部とを有しており、

前記第 1 のダミーパターンの縁部分のうち前記上側電極延設部に面する部分と前記上側電極延設部との間隔は、前記第 1 層間絶縁膜の膜厚の値に前記第 1 層間絶縁膜のカパレツジ率を乗じた値の 2 倍よりも小さい

10

ことを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 4】

前記第 1 層間絶縁膜上に配置された導電膜からなる第 1 配線を備え、

前記間隔は、前記第 1 配線の膜厚の値に前記第 1 配線のカパレツジ率を乗じた値の 2 倍よりも大きい

ことを特徴とする請求項 3 に記載の電気光学装置。

【請求項 5】

前記基板上における前記複数の画素電極が設けられた画素領域の周辺に位置する周辺領域に設けられており、前記複数の画素電極を駆動するための周辺回路部を備えたことを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学装置。

20

【請求項 6】

前記周辺領域に、前記スペーサ絶縁膜と同一膜からなる第 2 のダミーパターンを備えたことを特徴とする請求項 5 に記載の電気光学装置。

【請求項 7】

請求項 1 から 6 のいずれか一項に記載の電気光学装置を具備してなることを特徴とする電子機器。

【請求項 8】

基板上に、複数の画素電極と、トランジスタと、蓄積容量とを備えた電気光学装置を製造する電気光学装置の製造方法であって、

前記画素電極毎の開口領域を互いに隔てる非開口領域にトランジスタを形成する工程と

30

、前記非開口領域に、前記蓄積容量を、下側電極、誘電体膜及び上側電極が順に積層されてなるように、形成する工程と、

前記蓄積容量よりも少なくとも一層の層間絶縁膜を介して上層側に、前記画素電極を前記トランジスタに電氣的に接続されるように形成する工程と

を備え、

前記蓄積容量を形成する工程は、

下側電極を、前記基板上で平面的に見て前記上側電極と重なる下側電極本体部と、該下側電極本体部の一部から前記上側電極と重ならないように延設された下側電極延設部とを有するように、形成する工程と、

40

前記下側電極の下地面よりも上層側であって前記上側電極よりも下層側に、前記基板上で平面的に見て、前記下側電極本体部と前記下側電極延設部との境界を含む領域に、前記下側電極本体部における前記一部を除く他部に重ならないように、スペーサ絶縁膜を形成し、且つ、前記スペーサ絶縁膜と同一膜からダミーパターンを、前記開口領域に形成する工程と

を含むことを特徴とする電気光学装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば液晶装置等の電気光学装置及びその製造方法、並びに例えば液晶プロ

50

ジェクタ等の電子機器の技術分野に関する。

【背景技術】

【0002】

この種の電気光学装置では、例えば、一对の基板間に液晶等の電気光学物質が封入される。一对の基板のうち素子基板上の表示領域に、画素電極、該画素電極の選択的な駆動を行うための走査線、データ線、及び画素スイッチング用素子としてのTFT (Thin Film Transistor) が層間絶縁膜を介して積層構造として作り込まれ、アクティブマトリクス駆動可能に構成される。更に、素子基板上の表示領域の周囲の周辺領域には、走査線駆動回路、データ線駆動回路等の各種回路や画像信号線等の各種配線が積層構造として作り込まれる。また、高コントラスト化等を目的として、TFTと画素電極との間に蓄積容量が設けられることが一般的である。このような蓄積容量は、各画素の非開口領域内に走査線やデータ線、トランジスタ等と共に構築される。

10

【0003】

このような蓄積容量に関して、例えば特許文献1では、下側電極の端面と上側電極の端面との層間距離をスペーサ絶縁膜によって増大させることで、上下電極の端面間に意図しない電流リーク(以下、適宜「端面リーク」と呼ぶ)が生じるのを防止する技術が開示されている。

【0004】

また、電気光学物質の配向状態に乱れが生じてしまう可能性を低減するために、上述した積層構造に起因して素子基板の表面に生じる凹凸に対し、化学的研磨処理 (Chemical Mechanical Polishing: CMP) 等の平坦化処理が施されることが多い。

20

【0005】

【特許文献1】特開2006-276118号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上述したスペーサ絶縁膜が、例えば、非開口領域に形成された蓄積容量毎に設けられ、開口領域に設けられない場合には、スペーサ絶縁膜の膜厚分だけ、非開口領域と開口領域との間における素子基板上の段差が増大してしまうため、素子基板の表面を均一に平坦化することが困難になってしまうという技術的問題点がある。

30

【0007】

本発明は、例えば上述した問題点に鑑みなされたものであり、基板表面の平坦性を高めることができ、高品位な画像表示の可能な電気光学装置及びその製造方法、並びに該電気光学装置を備えた電子機器を提供することを課題とする。

【課題を解決するための手段】

【0008】

本発明の電気光学装置は上記課題を解決するために、基板上に、複数の画素電極と、該画素電極毎の開口領域を互いに隔てる非開口領域に設けられており、前記画素電極に電氣的に接続されたトランジスタと、前記画素電極よりも下層側に少なくとも一の層間絶縁膜を有する層間絶縁部を介して配置され、前記非開口領域に設けられると共に下側電極、誘電体膜及び上側電極が順に積層されてなり、前記下側電極は、前記基板上で平面的に見て前記上側電極と重なる下側電極本体部と、該下側電極本体部の一部から前記上側電極と重ならないように延設された下側電極延設部とを有する蓄積容量と、前記下側電極の下地面よりも上層側であって前記上側電極よりも下層側に配置され、前記基板上で平面的に見て、前記下側電極本体部と前記下側電極延設部との境界を含む領域に、前記下側電極本体部における前記一部を除く他部に重ならないように形成されたスペーサ絶縁膜と、前記開口領域に設けられており、前記スペーサ絶縁膜と同一膜からなる第1のダミーパターンとを備える。

40

【0009】

本発明の電気光学装置によれば、その動作時には、例えば走査線に電氣的に接続される

50

各画素のトランジスタが選択されて駆動されると、画素電極に対して例えばデータ線から供給されるデータ信号（例えば画像信号）がトランジスタを介して印加されることで、アクティブマトリクス駆動が可能である。この際、蓄積容量によって、画素電極における電位保持特性が向上し、表示の高コントラスト化が可能となる。

【0010】

ここで、トランジスタ、蓄積容量、及び例えばデータ線、走査線等の各種配線は、基板上で平面的に見て、画素電極毎（即ち画素電極に対応する画素毎）の開口領域（即ち、各画素において、表示に実際に寄与する光が透過又は反射される領域）を互いに隔てる非開口領域内に設けられる。即ち、トランジスタ、蓄積容量、及び各種配線は、表示の妨げとならないように、各画素の開口領域ではなく、非開口領域内に設けられる。

10

【0011】

本発明では、蓄積容量に対してスペーサ絶縁膜が設けられる。蓄積容量を構成する下側電極は、基板上で平面的に見て上側電極と重なる下側電極本体部と、該下側電極本体部の一部から上側電極と重ならないように延設された下側電極延設部とを有する。スペーサ絶縁膜は、下側電極の下地面よりも上層側であって上側電極よりも下層側に配置され、基板上で平面的に見て、下側電極本体部と下側電極延設部との境界を含む領域に、下側電極本体部における一部を除く他部に重ならないように形成される。即ち、スペーサ絶縁膜は、典型的には、基板上の積層構造における上側電極及び下側電極間に、下側電極本体部の一部と下側電極延設部とに重なるように（即ち、下側電極本体部と下側電極延設部との境界を含むように）形成される。更に、スペーサ絶縁膜は、下側電極本体部における一部を除く他部に重ならないように形成される。即ち、基板上の積層構造における下側電極本体部の他部と上側電極との間には、誘電体膜は形成されるが、スペーサ絶縁膜は形成されない。つまり、下側電極本体部の他部は、実質的に容量電極として機能する部分である。尚、スペーサ絶縁膜は、基板上の積層構造における上側電極と下側電極との間に形成されればよく、誘電体膜より上層側に配置されてもよいし、誘電体膜より下層側に配置されてもよい。また、基板上の積層構造における上側電極及び下側電極間に形成された部分から下側電極と重ならないように下側電極の下地面上に延設された部分を有していてもよい。

20

【0012】

よって、基板上の積層構造における下側電極本体部の一部と上側電極との間には、スペーサ絶縁膜が介在すると共に、上側電極の端面は、下側電極本体部の一部と下側電極延設部との境界においてスペーサ絶縁膜上に配置されることとなる。従って、下側電極本体部の一部と下側電極延設部との境界において、スペーサ絶縁膜の存在によって、スペーサ絶縁膜が存在していない場合と比較して、下側電極の端面と上側電極の端面との層間距離を増大させることが可能となる。これにより、端面リークの発生を阻止する或いは未然防止することができる。ここにいう「層間距離」とは、積層構造における基板に交わる方向或いは垂直方向である積層方向に沿った距離を意味する。更に、下側電極本体部の一部上において、上側電極をエッチング等で切断する際に誘電体膜及び下側電極まで切断してしまうことを、スペーサ絶縁膜の存在によって、防止できる（言い換えれば、スペーサ絶縁膜の存在によって、上側電極の端部をエッチング等によって容易に加工することができる、即ち、上側電極の端部の加工性を向上させることができる）。従って、上側電極の端面と下側電極の端面が層間絶縁膜等を介して近接配置されることによる端面リークの発生を防止できる。

30

40

【0013】

本発明では特に、スペーサ絶縁膜と同一膜からなる第1のダミーパターンが、画素電極毎の開口領域に設けられる。本発明に係る「同一膜」とは、製造工程における同一機会に成膜される膜を意味し、同一種類の膜である。尚、「同一膜からなる」とは、一枚の膜として連続していることまでも要求する趣旨ではなく、基本的に、同一膜のうち相互に分断されている膜部分であれば足りる趣旨である。第1のダミーパターンは、例えば、画素領域にマトリクス状に配列された複数の画素電極の開口領域毎の中央に島状に設けられることで、マトリクス状のパターン形状を有している。

50

【 0 0 1 4 】

よって、開口領域と非開口領域との間における基板の表面に生じ得る段差を低減できる。即ち、画素電極の開口領域内にスペーサ絶縁膜と同一膜から形成された第1のダミーパターンによって、非開口領域内に設けられるスペーサ絶縁膜の膜厚に起因する基板表面の段差を模擬することができる。言い換えれば、第1のダミーパターンによって、基板上の開口領域及び非開口領域における表面の凹凸を殆ど均一に生じさせることができる。従って、基板の表面（或いは、基板上に積層された画素電極より下層側の層間絶縁膜の表面）に生じた凹凸に対し、CMP等の平坦化処理を施すことによって凹凸を除去した後の、基板の表面の平坦性を高めることができる。これにより、例えば、液晶等の電気光学物質の配向状態に乱れが生じてしまう可能性を低減できる。或いは、例えば、第1のダミーパターン及びスペーサ絶縁膜よりも上層側の層間絶縁膜上に形成される配線に断線が生じてしまう可能性を低減できる。

10

【 0 0 1 5 】

加えて、第1のダミーパターンは、スペーサ絶縁膜と同一膜から形成されるので、基板上における積層構造の複雑化や製造工程の複雑化を殆ど或いは全く招かない。

【 0 0 1 6 】

以上説明したように、本発明の電気光学装置によれば、複数の画素電極の開口領域毎に、スペーサ絶縁膜と同一膜からなる第1のダミーパターンが設けられるので、開口領域と非開口領域との間における基板の表面に生じ得る段差を低減でき、基板の表面の平坦性を高めることができる。

20

【 0 0 1 7 】

本発明の電気光学装置の一態様では、前記少なくとも一の層間絶縁膜は、平坦化処理が施されている。

【 0 0 1 8 】

この態様によれば、蓄積容量の上層側に例えばCMP等の平坦化処理が施された層間絶縁膜を備える。よって、層間絶縁膜の表面の平滑性を高めつつ、層間絶縁膜の表面を平坦にすることができる。ここで特に、第1のダミーパターンの存在によって、開口領域と非開口領域との間における基板の表面に生じ得る段差が低減されることにより、平坦化処理が施された後の層間絶縁膜の表面の平坦性を高めることができる。

30

【 0 0 1 9 】

本発明の電気光学装置の他の態様では、前記少なくとも一の層間絶縁膜として、前記上側電極上に配置された第1層間絶縁膜を備え、前記上側電極は、前記下側電極本体部に重なる上側電極本体部と、該上側電極本体部から前記下側電極と重ならないように前記下地面上に延設された上側電極延設部とを有しており、前記第1のダミーパターンの縁部分のうち前記上側電極延設部に面する部分と前記上側電極延設部との間隔は、前記第1層間絶縁膜の膜厚の値に前記第1層間絶縁膜のカバレッジ率を乗じた値の2倍よりも小さい。

【 0 0 2 0 】

この態様によれば、上側電極は、下側電極本体部に重なる上側電極本体部と、上側電極本体部から下側電極と重ならないように下地面上に延設された上側電極延設部とを有する。即ち、上側電極延設部は、下側電極本体部に重なる上側電極本体部から下側電極本体部（より正確には、下側電極本体部の他部）の端面を覆うように、下側電極の下地面上に延設される。よって、下側電極本体部の端面までも利用することにより、容量面積をより大きく確保することが可能となる。従って、蓄積容量のそのものの基板上における配置面積を増大させることなしに、基板上の限られた領域である非開口領域内で容量値を増大させることが可能となる。尚、上側電極延設部は、下部電極の下地面上に、誘電体膜を介して形成される部分を有していてもよいし、該下地面上に直接形成される部分を有していてもよい。

40

【 0 0 2 1 】

更に、この態様によれば、第1のダミーパターンの縁部分のうち上側電極延設部に面する部分と上側電極延設部との間隔は、第1層間絶縁膜の膜厚の値に第1層間絶縁膜のカバ

50

レジ率を乗じた値の2倍よりも小さい。即ち、(第1のダミーパターンの縁部分のうち上側電極延設部に面する部分と上側電極延設部との間隔) < (第1層間絶縁膜の膜厚) × (第1層間絶縁膜のカバレッジ率) × 2の関係式が成立するように構成される。ここで、本発明に係る「カバレッジ率」とは、膜が物体を覆っている度合いを表し、物体の上面を覆っている部分の膜厚と側面を覆っている膜の膜厚との比率として定義される。即ち、カバレッジ率 = (物体の側面を覆っている部分の膜厚) / (物体の上面を覆っている部分の膜厚) の関係式が成立する。このため、第1のダミーパターンの縁部分のうち上側電極延設部に面する部分と上側電極延設部との距離は、第1層間絶縁膜の膜厚の値に、第1層間絶縁膜のカバレッジ率を乗じた値の2倍よりも小さい。よって、第1のダミーパターンの側面、下側電極の下地面及び上側電極延設部の側面の3つの面によって幅の広い凹部を形成しない。従って、第1のダミーパターンの側面、下側電極の下地面及び上側電極延設部の側面の3つの面によって形成される凹部を、第1層間絶縁膜によって殆ど或いは完全に埋めることができ、第1層間絶縁膜の表面に生じ得る段差を殆ど或いは完全に無くすることができる。言い換えれば、第1層間絶縁膜が、幅の広い凹部を覆うことにより、第1層間絶縁膜の表面に大きな凹部が生じてしまうことを防止できる。

10

【0022】

上述した、第1層間絶縁膜を備える態様では、前記第1層間絶縁膜上に配置された導電膜からなる第1配線を備え、前記間隔は、前記第1配線の膜厚の値に前記第1配線のカバレッジ率を乗じた値の2倍よりも大きくなるように構成してもよい。

【0023】

この場合には、第1層間絶縁膜上には、例えばデータ線、容量線などの第1配線が形成される。更に、第1のダミーパターンの縁部分のうち上側電極延設部に面する部分と上側電極延設部との間隔は、第1配線の膜厚の値に第1配線のカバレッジ率を乗じた値の2倍よりも大きい。即ち、(第1のダミーパターンの縁部分のうち上側電極延設部に面する部分と上側電極延設部との間隔) > (第1配線の膜厚) × (第1配線のカバレッジ率) × 2の関係式が成立するように構成される。このため、第1のダミーパターンの縁部分のうち上側電極延設部に面する部分と上側電極延設部との距離は、第1配線の膜厚の値に、第1配線のカバレッジ率を乗じた値の2倍よりも大きい。よって、第1のダミーパターンの側面、下側電極の下地面及び上側電極延設部の側面の3つの面によって形成される凹部の幅を、第1配線の形成に悪影響を及ぼさない程度に、広くすることができる。即ち、第1層間絶縁膜上に第1配線の前駆膜を形成した後に、該前駆膜に対してエッチングを施すことにより第1配線を形成する際、第1のダミーパターンの側面、下側電極の下地面及び上側電極延設部の側面の3つの面によって形成される凹部に起因して第1層間絶縁膜の表面に生じる凹部内に前駆膜の一部が残ってしまうことを回避できる。尚、第1配線の膜厚は、第1層間絶縁膜の膜厚よりも大きい。

20

30

【0024】

本発明の電気光学装置の他の態様では、前記基板上における前記複数の画素電極が設けられた画素領域の周辺に位置する周辺領域に設けられており、前記複数の画素電極を駆動するための周辺回路部を備える。

【0025】

この態様によれば、複数の画素電極を駆動するための、例えば走査線駆動回路、データ線駆動回路等の周辺回路や例えば画像信号線、電源線等の周辺配線を含む周辺回路部が、周辺領域に設けられている。周辺回路部は、例えば、トランジスタ、蓄積容量等の画素領域に形成された各種配線或いは電子素子を構成する半導体膜や導電膜と同一膜から形成される。ここで、周辺領域には、画素領域におけるトランジスタ、蓄積容量、データ線或いは走査線等が形成される密度よりも高密度で周辺回路部が形成される。よって、画素領域における開口領域毎に設けられた第1のダミーパターンによって、基板上的凹凸の密度から生ずるうねり或いは段差、即ちグローバル段差を低減できる。よって、例えば、このような積層構造を有する基板と、これに対向する対向基板との間に液晶等の電気光学物質が挟み込まれている場合は、基板表面にグローバル段差が殆どなく、平坦であることから、

40

50

電気光学物質の配向状態に乱れを生じさせる可能性を低減することができ、より高品位な表示が可能となる。仮にグローバル段差があると、画素領域内における中央寄り領域と周辺寄り領域とでコントラストむらや輝度むらが生じかねないのであるが、本発明によれば、このような現象を低減或いは未然防止できる。

【0026】

上述した、周辺回路部を備える態様では、前記周辺領域に、前記スペーサ絶縁膜と同一膜からなる第2のダミーパターンを備えてもよい。

【0027】

この場合には、第2のダミーパターンは、例えば、周辺領域にベタ状に形成される。よって、例えば、周辺領域における周辺回路部の密度が比較的低い場合に、第2のダミーパターンによって、基板表面に生じ得るグローバル段差を低減できる。

10

【0028】

本発明の電子機器は上記課題を解決するために、上述した本発明に係る電気光学装置（但し、各種態様を含む）を具備してなる。

【0029】

本発明の電子機器は、上述した本発明の電気光学装置を具備してなるので、高品位の画像を表示可能な、テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネルなど、更には電気光学装置を露光用ヘッドとして用いたプリンタ、コピー、ファクシミリ等の画像形成装置など、各種電子機器を実現できる。また、本発明の電子機器として、例えば、電子ペーパーなどの電気泳動装置、電子放出装置（Field Emission Display及びConduction Electron-Emitter Display）等を実現することも可能である。

20

【0030】

本発明の電気光学装置の製造方法は上記課題を解決するために、基板上に、複数の画素電極と、トランジスタと、蓄積容量とを備えた電気光学装置を製造する電気光学装置の製造方法であって、前記画素電極毎の開口領域を互いに隔てる非開口領域にトランジスタを形成する工程と、前記非開口領域に、前記蓄積容量を、下側電極、誘電体膜及び上側電極が順に積層されてなるように、形成する工程と、前記蓄積容量よりも少なくとも一の層間絶縁膜を介して上層側に、前記画素電極を前記トランジスタに電氣的に接続されるように形成する工程とを備え、前記蓄積容量を形成する工程は、下側電極を、前記基板上で平面的に見て前記上側電極と重なる下側電極本体部と、該下側電極本体部の一部から前記上側電極と重ならないように延設された下側電極延設部とを有するように、形成する工程と、前記下側電極の下地面よりも上層側であって前記上側電極よりも下層側に、前記基板上で平面的に見て、前記下側電極本体部と前記下側電極延設部との境界を含む領域に、前記下側電極本体部における前記一部を除く他部に重ならないように、スペーサ絶縁膜を形成し、且つ、前記スペーサ絶縁膜と同一膜からダミーパターンを、前記開口領域に形成する工程とを含む。

30

【0031】

本発明の電気光学装置の製造方法によれば、上述した本発明の電気光学装置を製造できる。ここで特に、ダミーパターンは、スペーサ絶縁膜と同一膜から形成されるので、製造工程の複雑化を招くことなく、基板の表面の平坦性を高めることができる。

40

【0032】

本発明の作用及び他の利得は次に説明する実施するための最良の形態から明らかにされる。

【発明を実施するための最良の形態】

【0033】

以下では、本発明の実施形態について図を参照しつつ説明する。以下の実施形態では、本発明の電気光学装置の一例である駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置を例にとる。

【0034】

50

< 第 1 実施形態 >

第 1 実施形態に係る液晶装置について、図 1 から図 7 を参照して説明する。

【 0 0 3 5 】

先ず、本実施形態に係る液晶装置の全体構成について、図 1 及び図 2 を参照して説明する。

【 0 0 3 6 】

図 1 は、本実施形態に係る液晶装置の構成を示す平面図であり、図 2 は、図 1 の I I - I I ' 断面図である。

【 0 0 3 7 】

図 1 及び図 2 において、本実施形態に係る液晶装置では、T F T アレイ基板 1 0 と対向基板 2 0 とが対向配置されている。T F T アレイ基板 1 0 と対向基板 2 0 との間に液晶層 5 0 が封入されており、T F T アレイ基板 1 0 と対向基板 2 0 とは、本発明に係る「画素領域」の一例としての画像表示領域 1 0 a の周囲に位置するシール領域に設けられたシール材 5 2 により相互に接着されている。

10

【 0 0 3 8 】

図 1 において、シール材 5 2 が配置されたシール領域の内側に並行して、画像表示領域 1 0 a の額縁領域を規定する遮光性の額縁遮光膜 5 3 が、対向基板 2 0 側に設けられている。尚、画像表示領域 1 0 a の周囲に位置する周辺領域が存在する。本実施形態では、T F T アレイ基板 1 0 の中心から見て、この額縁遮光膜 5 3 から以遠が周辺領域として規定されている。

20

【 0 0 3 9 】

周辺領域のうち、シール材 5 2 が配置されたシール領域の外側に位置する領域には、データ線駆動回路 1 0 1 及び外部回路接続端子 1 0 2 が T F T アレイ基板 1 0 の一辺に沿って設けられている。この一辺に沿ったシール領域よりも内側に、サンプリング回路 7 が額縁遮光膜 5 3 に覆われるようにして設けられている。

【 0 0 4 0 】

走査線駆動回路 1 0 4 は、この一辺に隣接する 2 辺に沿ったシール領域の内側に、額縁遮光膜 5 3 に覆われるようにして設けられている。T F T アレイ基板 1 0 上には、対向基板 2 0 の 4 つのコーナー部に対向する領域に、両基板間を上下導通材 1 0 7 で接続するための上下導通端子 1 0 6 が配置されている。これらにより、T F T アレイ基板 1 0 と対向基板 2 0 との間で電氣的な導通をとることができる。

30

【 0 0 4 1 】

T F T アレイ基板 1 0 上の周辺領域には、外部回路接続端子 1 0 2 と、データ線駆動回路 1 0 1、走査線駆動回路 1 0 4、上下導通端子 1 0 6 等とを電氣的に接続するための引回配線 9 0 が形成されている。引回配線 9 0 には、例えば、画像信号を供給するための画像信号線や電源電位を供給するための電源電位線が含まれている。尚、外部回路接続端子 1 0 2、データ線駆動回路 1 0 1、走査線駆動回路 1 0 4、上下導通端子 1 0 6 及び引回配線 9 0 は、本発明に係る「周辺回路部」の一例を構成する。

【 0 0 4 2 】

図 2 において、T F T アレイ基板 1 0 上の画像表示領域 1 0 a には、駆動素子である画素スイッチング用の T F T や走査線、データ線等の配線が作り込まれた積層構造が形成される。画像表示領域 1 0 a には、画素スイッチング用 T F T や走査線、データ線等の配線の上層に画素電極 9 a がマトリクス状に設けられている。画素電極 9 a 上には、配向膜が形成されている。他方、対向基板 2 0 における T F T アレイ基板 1 0 との対向面上に、遮光膜 2 3 が形成されている。遮光膜 2 3 は、例えば遮光性金属膜等から形成されており、対向基板 2 0 上の画像表示領域 1 0 a 内で、例えば格子状等にパターンニングされている。そして、遮光膜 2 3 上に、I T O 等の透明材料からなる対向電極 2 1 が複数の画素電極 9 a と対向してベタ状に形成されている。対向電極 2 1 上には配向膜が形成されている。また、液晶層 5 0 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。

40

50

【 0 0 4 3 】

尚、ここでは図示しないが、T F Tアレイ基板10上の周辺領域には、データ線駆動回路101、走査線駆動回路104の他に、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路、検査用パターン等が形成されていてもよい。

【 0 0 4 4 】

次に、本実施形態に係る液晶装置の画素部における原理的構成について、図3を参照して説明する。

【 0 0 4 5 】

図3は、本実施形態に係る液晶装置の複数の画素における各種素子、配線等の等価回路図である。

10

【 0 0 4 6 】

図3において、本実施形態に係る液晶装置の画像表示領域10aを構成するマトリクス状に形成された複数の画素には、それぞれ、画素電極9aと当該画素電極9aをスイッチング制御するためのT F T30とが形成されている。T F T30は、本発明に係る「トランジスタ」の一例であり、そのソースは、画像信号が供給されるデータ線6aに電気的に接続されている。

【 0 0 4 7 】

データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしてもよい。

20

【 0 0 4 8 】

T F T30のゲートに走査線11aが電気的に接続されており、所定のタイミングで、走査線11にパルス的に走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、T F T30のドレインに電気的に接続されており、スイッチング素子であるT F T30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。

【 0 0 4 9 】

画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板20に形成された対向電極21との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能とする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として液晶装置からは画像信号に応じたコントラストをもつ光が出射する。

30

【 0 0 5 0 】

ここで保持された画像信号がリークするのを防ぐために、画素電極9aと対向電極21(図2参照)との間に形成される液晶容量と電気的に並列に蓄積容量70が付加されている。蓄積容量70の一方の電極は、画素電極9aと電気的に並列してT F T30のドレインに接続され、他方の電極は、定電位となるように、電位固定の容量配線300に電気的に接続されている。

40

【 0 0 5 1 】

次に、本実施形態に係る液晶装置の画素部の具体的な構成について、図4及び図5を参照して説明する。

【 0 0 5 2 】

図4は、相隣接する複数の画素部の平面図であり、図5は、図4のV-V'断面図である。尚、図4及び図5では、各層・各部材を図面上で認識可能な程度の大きさとするため、該各層・各部材ごとに縮尺を異ならしめてある。この点については、図6以降の各図についても同様である。また、図4及び図5では、説明の便宜上、画素電極9aより上側に位置する部分の図示を省略している。

50

【 0 0 5 3 】

図4において、画素電極9aは、TFTアレ基板10上に、マトリクス状に複数設けられている。画素電極9aの縦横の境界にそれぞれ沿ってデータ線6a並びに走査線11(即ち、走査線11a及び11b)が設けられている。走査線11a及び11bは夫々X方向に沿って延びており、データ線6aは走査線11a及び11bの各々と交差するように、Y方向に沿って延びている。走査線11及びデータ線6aが互いに交差する個所の各々には画素スイッチング用のTFT30が設けられている。

【 0 0 5 4 】

走査線11、データ線6a、蓄積容量70、中継層93及びTFT30は、TFTアレ基板10上で平面的に見て、画素電極9aに対応する各画素の開口領域(即ち、各画素において、表示に実際に寄与する光が透過又は反射される領域)を互いに隔てる非開口領域内に配置されている。即ち、これらの走査線11、蓄積容量70、データ線6a及びTFT30は、表示の妨げとならないように、各画素の開口領域ではなく、非開口領域内に配置されている。

【 0 0 5 5 】

図4及び図5において、TFT30は、半導体層1a及びゲート電極3aを含んで構成されている。

【 0 0 5 6 】

半導体層1aは、例えばポリシリコンからなり、チャンネル領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c、並びに高濃度ソース領域1d及び高濃度ドレイン領域1eからなる。即ち、TFT30はLDD(Lightly Doped Drain)構造を有している。低濃度ソース領域1b、低濃度ドレイン領域1c、高濃度ソース領域1d及び高濃度ドレイン領域1eは、例えばイオンインプランテーション法等の不純物打ち込みによって半導体層1aに不純物を打ち込んでなる不純物領域である。このような不純物領域によれば、TFT30の非動作時において、ソース領域及びドレイン領域に流れるオフ電流を低減し、且つTFT30の動作時に流れるオン電流の低下を抑制できる。尚、TFT30は、LDD構造を有することが好ましいが、低濃度ソース領域1b、低濃度ドレイン領域1cに不純物打ち込みを行わないオフセット構造であってもよいし、ゲート電極3aをマスクとして不純物を高濃度に打ち込んで高濃度ソース領域及び高濃度ドレイン領域を形成する自己整合型であってもよい。

【 0 0 5 7 】

図4及び図5に示すように、ゲート電極3aは、走査線11aの一部として形成されており、例えば導電性ポリシリコンから形成されている。走査線11aは、図4中X方向に沿って延びる本線部分と共に、TFT30のチャンネル領域1a'のうち該本線部分が重ならない領域と重なるようにY方向に沿って本線部分から延在する部分を有している。このような走査線11aのうちチャンネル領域1a'と重なる部分がゲート電極3aとして機能する。

【 0 0 5 8 】

図5に示すように、TFTアレ基板10の積層構造におけるゲート電極3a及び半導体層1a間(即ち、TFTアレ基板10の基板面に対して垂直をなす方向で、ゲート電極3a及び半導体層1a間)は、ゲート絶縁膜2(より具体的には、2層の絶縁膜2a及び2b)によって絶縁されている。

【 0 0 5 9 】

図4及び図5において、半導体層1aより下層側に配置されたゲート電極3bは、走査線11bの一部として形成されている。即ち、本実施形態では、半導体層1aの上層側及び下層側に2種の走査線11a及び11bが設けられている。半導体層1aより下層側の走査線11bは、平面的にみて、図4中でX方向に沿うようにパターンニングされた本線部と、該本線部からY方向に沿って延在する部分を有している。このような走査線11bのうちチャンネル領域1a'と重なる部分が半導体層1aより下層側でゲート電極3bとして機能する。このように、TFT30は、ダブルゲート構造を有している。このような構成

10

20

30

40

50

によれば、仮に半導体層 1 a よりも上層側又は下層側の一方だけにゲート電極が形成される場合と比較して、TFT30のオン電流を大きくすることができる。

【0060】

走査線 11 b は、例えばタングステン (W)、チタン (Ti)、チタンナイトライド (TiN) 等の高融点金属材料等の遮光性の導電材料により、半導体層 1 a よりも下層側に形成されることにより、TFTアレイ基板 10 に対する戻り光のうち、TFT30のチャネル領域 1 a' に入射する光を低減することができる。

【0061】

図5に示すように、半導体層 1 a より下層側の走査線 11 b 及び半導体層 1 a 間は、下地絶縁膜 12 によって絶縁されている。下地絶縁層 12 は、走査線 11 b から TFT30

10

【0062】

図5において、TFTアレイ基板 10 上の TFT30 よりも第1層間絶縁膜 41 を介して上層側には、蓄積容量 70 が設けられている。

【0063】

第1層間絶縁膜 41 は、例えば NSG (ノンシリケートガラス)、PSG (リンシリケートガラス)、BSG (ボロンシリケートガラス)、BPSG (ボロンリンガラス) 等のシリケートガラス、窒化シリコンや酸化シリコン等からなる。

20

【0064】

蓄積容量 70 は、下側電極 71 及び上側電極 301 が誘電体膜 75 を介して対向配置されることにより形成されている。

【0065】

上側電極 301 は、容量配線 300 の一部として形成されている。容量配線 300 は、画素電極 9 a が配置された画像表示領域 10 a からその周囲に例えば延設されている。上側電極 301 は、容量配線 300 を介して定電位源に電氣的に接続され、固定電位に維持された固定電位側容量電極として機能する。上側電極 301 (言い換えれば、容量配線 300) は、例えば Al (アルミニウム)、Ag (銀) 等の金属又は合金を含んだ非透明な金属膜から形成されており、TFT30に入射する光を遮光可能な上側遮光膜 (内蔵遮光膜) としても機能し得る。上側電極 301 は、例えば、Ti (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン)、Pd (パラジウム) 等の高融点金属のうち少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等から構成されていてもよい。

30

【0066】

下側電極 71 は、TFT30の高濃度ドレイン領域 1 e 及び画素電極 9 a に電氣的に接続され、画素電位側容量電極として機能する。より具体的には、下側電極 71 は、コンタクトホール 83 を介して高濃度ドレイン領域 1 e と電氣的に接続されると共に、コンタクトホール 84 を介して中継層 93 に電氣的に接続されている。更に、中継層 93 は、コンタクトホール 85 を介して画素電極 9 a に電氣的に接続されている。即ち、下側電極 71

40

【0067】

誘電体膜 75 は、例えば HTO (High Temperature Oxide) 膜、LTO (Low Temperature Oxide) 膜等の酸化シリコン膜、或いは窒化シリコン膜等から構成された単層構造、或いは多層構造を有している。

【0068】

ここで、本実施形態では、蓄積容量 70 と同層に、スペーサ絶縁膜 49 及びこのスペー

50

サ絶縁膜49と同一膜からなるダミーパターン910が形成されているが、それらの詳細な構成については、図6及び図7を参照して後述する。

【0069】

図5において、TFTアレ基板10上の蓄積容量70よりも第2層間絶縁膜42を介して上層側には、データ線6a及び中継層93が設けられている。

【0070】

第2層間絶縁膜42は、上述した第1層間絶縁膜41と同様に、例えばNSG等からなる。

【0071】

データ線6aは、半導体層1aの高濃度ソース領域1dに、第1層間絶縁膜41、スペーサ絶縁膜49及び第2層間絶縁膜42を貫通して開孔されたコンタクトホール81を介して電氣的に接続されている。データ線6a及びコンタクトホール81内部は、例えば、Al-Si-Cu、Al-Cu等のAl(アルミニウム)含有材料、又はAl単体、若しくはAl層とTiN層等との多層膜からなる。データ線6aは、TFT30を遮光する遮光膜としても機能し得る。

【0072】

中継層93は、第2層間絶縁膜42上においてデータ線6aと同一膜から形成される。従って、液晶装置の製造時、データ線6a及び中継層93を同一工程で形成できるため、装置の製造プロセスを簡便にできる。

【0073】

図5において、画素電極9aは、データ線6aよりも第3層間絶縁膜43を介して上層側に形成されている。

【0074】

第3層間絶縁膜43は、上述した層間絶縁膜41及び42と同様に、例えばNSG等からなる。更に、第3層間絶縁膜43は、平坦化处理が施されている。即ち、本発明に係る「平坦化处理」の一例として、第3層間絶縁膜43の表面にCMP研磨処理が施されている。尚、平坦化处理として、例えば、第3層間絶縁膜43を加熱し流動化、即ち溶融(リフロー)させる流動化处理を施してもよい。或いは、スピコートによって平坦化膜を形成することによって平坦化处理を施してもよい。

【0075】

画素電極9aは、下側電極71、コンタクトホール83、84及び85、並びに中継層93を介して半導体層1aの高濃度ドレイン領域1eに電氣的に接続されている。コンタクトホール85は、層間絶縁層43を貫通するように形成された孔部の内壁にITO等の画素電極9aを構成する導電材料が成膜されることによって形成されている。画素電極9aの上側表面には、ラビング処理等の所定の配向処理が施された配向膜が設けられている。

【0076】

以上に説明した画素部の構成は、図4に示すように、各画素部に共通である。画像表示領域10a(図1参照)には、かかる画素部が周期的に形成されていることになる。他方、本実施形態に係る液晶装置では、画像表示領域10aの周辺に位置する周辺領域に、図1及び図2を参照して上述したように、走査線駆動回路104及びデータ線駆動回路101等の周辺回路部が形成されている。

【0077】

続いて、本実施形態において特徴的な、スペーサ絶縁膜及びこのスペーサ絶縁膜と同一膜からなるダミーパターンの構成について、図6及び図7を参照して説明する。

【0078】

図6は、蓄積容量の上側電極及び下側電極と、スペーサ絶縁膜と、ダミーパターンとの配置関係を示す平面図であり、図7は、図6のVII-VII'断面図である。尚、図7では、特に、蓄積容量、スペーサ絶縁膜及びダミーパターンの配置関係に着目してその構成を詳細に示してあり、その他の部分については、図5と同様の構成については図示を省略

10

20

30

40

50

して示してある。この点については、後述する図 8 についても同様である。

【 0 0 7 9 】

図 6 及び図 7 において、蓄積容量 7 0 を構成する下側電極 7 1 は、T F T アレイ基板 1 0 上で平面的に見て上側電極 3 0 1 と重なる下側電極本体部 7 1 a と、この下側電極本体部 7 1 a の一部 7 1 a 1 から上側電極 3 0 1 と重ならないように延設された下側電極延設部 7 1 b とを有している。下側電極本体部 7 1 a は、蓄積容量 7 0 の容量形成に部分的に寄与する容量電極として機能する。下側電極延設部 7 1 b は、上側電極 3 0 1 と重ならないように形成されているため、下側電極 7 1 と中継層 9 3 とを互いに電氣的に接続するためのコンタクトホール 8 4 を、上側電極 3 0 1 を避けて形成することが可能となる。即ち、下側電極延設部 7 1 b は、中継層 9 3 (言い換えれば、中継層 9 3 にコンタクトホール 8 5 を介して電氣的に接続された画素電極 9 a) にコンタクトホール 8 4 を介して電氣的に接続されるコンタクト部分として機能する。

10

【 0 0 8 0 】

図 6 及び図 7 において、蓄積容量 7 0 に対してスペーサ絶縁膜 4 9 が設けられている。スペーサ絶縁膜 4 9 は、下側電極延設部 7 1 b を覆うように形成されている。より具体的には、スペーサ絶縁膜 4 9 は、下側電極 7 1 の下地面 (即ち、第 1 層間絶縁膜 4 1 の表面) 4 1 s よりも上層側であって上側電極 3 0 1 よりも下層側に配置され、T F T アレイ基板 1 0 上で平面的に見て、下側電極本体部 7 1 a と下側電極延設部 7 1 b との境界 B d を含む領域に、下側電極本体部 7 1 a における一部 7 1 a 1 を除く他部 7 1 a 2 に重ならないように形成されている。即ち、スペーサ絶縁膜 4 9 は、T F T アレイ基板 1 0 上の積層構造における上側電極 3 0 1 及び下側電極 7 1 間に、下側電極本体部 7 1 a の一部 7 1 a 1 と下側電極延設部 7 1 b とに重なるように (即ち、下側電極本体部 7 1 a と下側電極延設部 7 1 b との境界 B d を含むように) 形成されている。更に、スペーサ絶縁膜 4 9 は、下側電極本体部 7 1 a の他部 7 1 a 2 に重ならないように形成されている。即ち、T F T アレイ基板 1 0 上の積層構造における下側電極本体部の他部 7 1 a 2 と上側電極 3 0 1 との間には、誘電体膜 7 5 は形成されているが、スペーサ絶縁膜 4 9 は形成されていない。つまり、下側電極本体部の他部 7 1 a 2 は、実質的に容量電極として機能する部分である。

20

【 0 0 8 1 】

よって、T F T アレイ基板 1 0 上の積層構造における下側電極本体部 7 1 a の一部 7 1 a 1 と上側電極 3 0 1 との間には、スペーサ絶縁膜 4 9 が介在すると共に、上側電極 3 0 1 の端面は、下側電極本体部 7 1 a と下側電極延設部 7 1 b との境界 B d においてスペーサ絶縁膜 4 9 上に配置されることとなる。従って、下側電極本体部 7 1 a と下側電極延設部 7 1 b との境界 B d において、スペーサ絶縁膜 4 9 の存在によって、スペーサ絶縁膜 4 9 が存在していない場合と比較して、下側電極 7 1 の端面と上側電極 3 0 1 の端面との層間距離を増大させることが可能となる。これにより、端面リークの発生を阻止する或いは未然防止することができる。更に、下側電極本体部の一部 7 1 a 1 上において、上側電極 3 0 1 をエッチング等で切断する際に下側電極 7 1 まで切断してしまうことを、スペーサ絶縁膜 4 9 の存在によって、防止できる。従って、上側電極 3 0 1 の端面と下側電極 7 1 の端面が近接配置されることによる端面リークの発生を防止できる。尚、スペーサ絶縁膜 4 9 は、T F T アレイ基板 1 0 上の積層構造における誘電体膜 7 5 と上側電極 3 0 1 との間に配置されてもよい。

30

40

【 0 0 8 2 】

図 6 及び図 7 において、上側電極 3 0 1 は、下側電極本体部 7 1 a に重なる上側電極本体部 3 0 1 a と、上側電極本体部 3 0 1 a から下側電極 7 1 と重ならないように下側電極 7 1 の下地面 4 1 s 上に延設された上側電極延設部 3 0 1 b とを有している。上側電極延設部 3 0 1 b は、下側電極本体部 7 1 a に重なる上側電極本体部 3 0 1 a から下側電極本体部 7 1 a の他部 7 1 a 2 の端面を覆うように、下地面 4 1 s 上に延設されている。よって、下側電極本体部 7 1 a の他部 7 1 a 2 の端面までも利用することにより、容量面積をより大きく確保することが可能となる。従って、蓄積容量 7 0 のそのものの T F T アレイ

50

基板 10 上における配置面積を増大させることなしに、TFT アレイ基板 10 上の限られた領域である非開口領域 R2 内で容量値を増大させることが可能となる。尚、上側電極延設部 301b は、下部電極 71 の下地面 41s 上に、誘電体膜 71 を介して形成されてもよい。

【0083】

本実施形態の液晶装置によれば、上述のように構成された蓄積容量 70 を備えているので、明るく且つ高コントラストな、高品位の画像表示が可能となる。

【0084】

図 6 及び図 7 において、本実施形態では特に、スペーサ絶縁膜 49 と同一膜からなるダミーパターン 910 が、画素電極 9a 毎の開口領域 R1 に設けられている。

10

【0085】

即ち、ダミーパターン 910 は、製造工程において、スペーサ絶縁膜 49 と同一機会に成膜される膜であり、スペーサ絶縁膜 49 と同一種類の膜である。更に、ダミーパターン 910 は、画像表示領域 10a にマトリクス状に配列された複数の画素電極 9a の開口領域 R1 毎の中央に島状に設けられることで、マトリクス状のパターン形状を有している。ダミーパターン 910 は、開口領域 R1 毎に、スペーサ絶縁膜 49 と連続的に形成されている。尚、ダミーパターン 910 は、スペーサ絶縁膜 49 と相互に分断されていてもよい。

【0086】

このようなダミーパターン 910 によって、開口領域 R1 と非開口領域 R2 との間における TFT アレイ基板 10 の表面に生じ得る段差 B1 を低減できる。即ち、画素電極 9a の開口領域 R1 内にスペーサ絶縁膜 49 と同一膜から形成されたダミーパターン 910 によって、非開口領域 R2 内に設けられるスペーサ絶縁膜 49 の膜厚 T1 に起因する TFT アレイ基板 10 の表面の段差を模擬することができる。言い換えれば、ダミーパターン 910 によって、TFT アレイ基板 10 上の開口領域 R1 及び非開口領域 R2 における表面の凹凸を殆ど均一に生じさせることができる。従って、画素電極 9a が形成される第 3 層間絶縁膜 43 の表面に生じた凹凸に対し、CMP 等の平坦化処理を施すことによって凹凸を除去した後の、第 3 層間絶縁膜 43 の表面の平坦性を高めることができる。これにより、液晶の配向状態に乱れが生じてしまう可能性を低減できる。

20

【0087】

加えて、ダミーパターン 910 は、上述したようにスペーサ絶縁膜 49 と同一膜から形成されるので、TFT アレイ基板 10 上における積層構造の複雑化や製造工程の複雑化を殆ど或いは全く招かない。

30

【0088】

更に、図 6 及び図 7 において、本実施形態では特に、ダミーパターン 910 及び上側電極延設部 301b は、ダミーパターン 910 の縁部分のうち上側電極延設部 301b に面する部分 910a と上側電極延設部 301b との間隔 D1 が、第 2 層間絶縁膜 42 の膜厚 T2 の値に第 2 層間絶縁膜 42 のカバレッジ率 Cv1 を乗じた値の 2 倍よりも小さくなるように形成されている。カバレッジ率 Cv1 は、第 2 層間絶縁膜 42 が上側電極延設部 301b (或いはダミーパターン 910) を覆っている度合いを表し、上側電極延設部 301b の上面を覆っている部分の膜厚 Ta (即ちスペーサ絶縁 49 の膜厚 T1) と側面を覆っている部分の膜厚 Tb との比率として定義される。即ち、カバレッジ率 Cv1 = 膜厚 Tb / 膜厚 Ta の関係式が成立している。よって、間隔 D1 < 膜厚 T2 × カバレッジ率 Cv1 × 2 の関係式が成立している。

40

【0089】

ここで仮に、間隔 D1 が、第 2 層間絶縁膜 42 の膜厚 T2 の値に第 2 層間絶縁膜 42 のカバレッジ率 Cv1 を乗じた値の 2 倍以上となるように形成された場合には、ダミーパターン 910 の側面、下側電極 71 の下地面 41s 及び上側電極延設部 301b の側面の 3 つの面によって形成される凹部 610 は、第 2 層間絶縁膜 42 のうち上側電極延設部 301b の側面を覆っている部分の膜厚と第 2 層間絶縁膜 42 のうちダミーパターン 910 の

50

側面を覆っている部分の膜厚との合計膜厚以上の幅という広い幅を有することになる。このため、幅の広い凹部を第2層間絶縁膜42によって完全には埋めることができず、第2層間絶縁膜42の表面に生じ得る段差が大きくなってしまおうおそれがある。

【0090】

しかるに本実施形態では、上述したように、間隔 $D1 < 膜厚T2 \times カバレッジ率Cv1 \times 2$ の関係式が成立している。よって、ダミーパターン910の側面、下地面41s及び上側電極延設部301bの側面の3つの面によって形成される凹部610を、狭い幅を有するように形成できる。従って、凹部610を、第2層間絶縁膜42によって殆ど或いは完全に埋めることができ、第2層間絶縁膜42の表面に生じ得る段差を、より確実に低減できる。

10

【0091】

図8は、変形例における図7と同趣旨の断面図である。

【0092】

図8に変形例として示すように、第2層間絶縁膜42上に配置された導電膜からなる配線810を備え、間隔 $D1$ は、配線810の膜厚 $T3$ の値に配線810のカバレッジ率 $Cv2$ を乗じた値の2倍よりも大きくなるように構成してもよい。即ち、間隔 $D1 > 膜厚T3 \times カバレッジ率Cv2 \times 2$ の関係式が成立するように構成してもよい。このように構成すれば、ダミーパターン910の側面、下側電極71の下地面及び上側電極延設部301の側面の3つの面によって形成される凹部620の幅を、配線810の形成に悪影響を及ぼさない程度に、広くすることができる。即ち、第2層間絶縁膜42上に配線810の前駆膜を例えばTF Tアレイ基板10上の全面に形成した後に、該前駆膜に対してエッチングを施すことにより配線810を形成する際、凹部620に起因して第2層間絶縁膜42の表面に生じる凹部内に前駆膜の一部が残ってしまうことを回避できる。つまり、凹部620に起因して第2層間絶縁膜42の表面に生じる凹部の幅が狭いために、この凹部内の前駆膜をエッチングにより除去することが困難となってしまうのを回避できる。

20

【0093】

更に、図1及び図2を参照して上述したように、本実施形態では、画像表示領域10aの周辺に位置する周辺領域に、走査線駆動回路104、データ線駆動回路101等の駆動回路や引回配線90を含む周辺回路部が設けられている。周辺回路部は、TF T30、蓄積容量70等の画素毎に形成された各種配線或いは電子素子を構成する半導体膜や導電膜と同一膜から形成されている。ここで、周辺回路部は、画像表示領域10aにおけるTF T30、蓄積容量70、データ線6a或いは走査線11等が形成される密度よりも高密度で、周辺領域に形成されている。よって、画像表示領域10aにおける開口領域R1毎に設けられたダミーパターン910によって、TF Tアレイ基板10上の凹凸の密度から生ずるうねり或いは段差、即ちグローバル段差を低減できる。従って、本実施形態によれば、TF Tアレイ基板10表面にグローバル段差が殆どなく、平坦性が高いので、液晶層50を構成する液晶の配向状態に乱れを生じさせる可能性を低減でき、より高品位な表示が可能となる。仮にグローバル段差があると、画像表示領域10a内における中央寄り領域と周辺寄り領域とでコントラストむらや輝度むらが生じかねないのであるが、本実施形態によれば、このような現象を低減或いは未然防止できる。

30

40

【0094】

尚、周辺領域に、スペーサ絶縁膜49と同一膜からなるダミーパターンを、例えば、周辺領域にベタ状に形成してもよい。このようにすれば、例えば、周辺領域における周辺回路部の密度が比較的低い場合にも、TF Tアレイ基板10表面に生じ得るグローバル段差を低減できる。

【0095】

以上説明したように、本実施形態に係る液晶装置によれば、複数の画素電極9aの開口領域R1毎に、スペーサ絶縁膜49と同一膜からなるダミーパターン810が設けられているので、開口領域R1と非開口領域R2との間におけるTF Tアレイ基板10の表面に生じ得る段差を低減でき、TF Tアレイ基板10の表面の平坦性を高めることができる。

50

【 0 0 9 6 】

< 製造方法 >

次に、上述した実施形態に係る液晶装置の製造プロセスについて、図 9 から図 1 1 を参照して説明する。

【 0 0 9 7 】

図 9 から図 1 1 は、本実施形態に係る液晶装置の製造プロセスにおける各工程を示す工程図であり、図 9 及び図 1 1 は、図 5 に対応する断面で示しており、図 1 0 は、図 7 に対応する断面で示している。尚、ここでは、本実施形態における液晶装置のうち、主要部分である走査線、T F T、データ線、蓄積容量及び画素電極の形成工程に関して主に説明する。また、特に蓄積容量及びダミーパターンの形成工程に関して詳細に説明する。

10

【 0 0 9 8 】

まず、図 9 に示す工程において、T F T アレイ基板 1 0 上に走査線 1 1 b から第 1 層間絶縁膜 4 1 までの各層構造を形成する。この際、T F T 3 0 を、走査線 1 1 (即ち、走査線 1 1 a 及び 1 1 b) 及び後に形成されるデータ線 6 a の交差に対応する領域に形成する。尚、各工程には、通常の半導体集積化技術を用いることができる。また、第 1 層間絶縁膜 4 1 の形成後、その表面を、C M P 処理等によって平坦化してもよい。

【 0 0 9 9 】

次に、第 1 層間絶縁膜 4 1 の表面の所定位置にエッチングを施し、高濃度ドレイン領域 1 e に達する深さのコンタクトホール 8 3 を開孔する。次に、所定のパターンで導電性のポリシリコン膜等を積層し、下側電極 7 1 を形成する。この際、下側電極 7 1 を、後に形成される上側電極 3 0 1 (図 1 0 (b) 参照) と重なる下側電極本体部 7 1 a と、この下側電極本体部 7 1 a の一部から上側電極 3 0 1 と重ならないように延設された下側電極延設部 7 1 b とを有するように形成する。

20

【 0 1 0 0 】

次に、図 1 0 (a) に示す工程において、第 1 層間絶縁膜 4 1 及び下側電極 7 1 上に、透明な絶縁膜を積層し、この絶縁膜上におけるスペーサ絶縁膜 4 9 及びダミーパターン 9 1 0 を形成すべき領域を覆う所定パターンのレジスト 5 0 0 を積層し、エッチングを行うことにより、スペーサ絶縁膜 4 9 及びダミーパターン 9 1 0 を形成する。この際、スペーサ絶縁膜 4 9 を、下側電極延設部 7 1 b 及び下側電極本体部の一部 7 1 a 1 の上に乗り上げるように、且つ、下側電極本体部の他部 7 1 a 2 に重ならないように形成する。更に、ダミーパターン 9 1 0 を、図 6 を参照して上述したように開口領域 R 1 において島状に形成する。このように、本実施形態では、ダミーパターン 9 1 0 を、スペーサ絶縁膜 4 9 と同一膜から形成するので、製造工程の複雑化を招かない。

30

【 0 1 0 1 】

次に、図 1 0 (b) に示す工程において、スパッタ又は C V D (Chemical Vapor Deposition) 法等を用いて、誘電体膜 7 5 を積層する。次に、誘電体膜 7 5 上に上側電極 3 0 0 a を積層する。

【 0 1 0 2 】

次に、所定パターンのレジスト 5 1 0 を積層し、エッチングを施し、上側電極 3 0 0 a 及び誘電体膜 7 5 を切断することにより、画素毎の蓄積容量 7 0 を形成する。この際、上側電極 3 0 1 を、下側電極本体部 7 1 a に重なる上側電極本体部 3 0 1 a と、上側電極本体部 3 0 1 a から下側電極 7 1 と重ならないように延設された上側電極延設部 3 0 1 b とを有するように形成する。

40

【 0 1 0 3 】

次に、図 1 1 に示す工程において、第 2 層間絶縁膜 4 2 を積層する。次に、その表面の所定位置にエッチングを施し、コンタクトホール 8 1 及び 8 4 を開孔する。次に、第 2 層間絶縁膜 4 2 上に、データ線 6 a 及び中継層 9 3 を形成する。データ線 6 a は、第 2 層間絶縁膜 4 2 及び 4 1 を貫通するコンタクトホール 8 1 によって、高濃度ソース領域 1 d とひとつながりに接続する。中継層 9 3 は、第 2 層間絶縁膜 4 2 及びスペーサ絶縁膜 4 9 を貫通するコンタクトホール 8 4 によって、下側電極 7 1 (より正確には下側電極延設部 7

50

1 b) とひとつながりに接続する。

【0104】

次に、TFTアレイ基板10の全面に、第3層間絶縁膜43の前駆膜43aを形成する。前駆膜43aの表面には、蓄積容量70やスペーサ絶縁膜49などに起因した凹凸が生じる。そこで、前駆膜43aを厚めに成膜し、例えばCMP処理によって図中の点線の位置まで削り取り、その表面を平坦化することによって第3層間絶縁膜43を得る。ここで、上述したように、スペーサ絶縁膜49を形成する際、スペーサ絶縁膜49と同一膜からダミーパターン910を形成するので、表面の平坦性が高い第3層間絶縁膜43を得ることができる。

【0105】

次に、第3層間絶縁膜43の表面の所定位置にエッチングを施し、コンタクトホール85(図4及び図5参照)を開孔する。次に、第3層間絶縁膜43の表面の所定位置に画素電極9aを形成する(図4及び図5参照)。

【0106】

以上説明した液晶装置の製造方法によれば、上述した本実施形態の液晶装置を製造できる。ここで特に、ダミーパターン910は、スペーサ絶縁膜49と同一膜から形成されるので、製造工程の複雑化を招くことなく、TFTアレイ基板10の表面の平坦性を高めることができる。

【0107】

<電子機器>

次に、上述した電気光学装置である液晶装置を各種の電子機器に適用する場合について説明する。以下では、この液晶装置をライトバルブとして用いたプロジェクタについて説明する。

【0108】

図12は、プロジェクタの構成例を示す平面図である。

【0109】

図12に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106及び2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110B及び1110Gに入射される。

【0110】

液晶パネル1110R、1110B及び1110Gの構成は、上述した液晶装置と同等であり、画像信号処理回路から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、R及びBの光が90度に屈折する一方、Gの光が直進する。従って、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

【0111】

ここで、各液晶パネル1110R、1110B及び1110Gによる表示像について着目すると、液晶パネル1110Gによる表示像は、液晶パネル1110R、1110Bによる表示像に対して左右反転することが必要となる。

【0112】

尚、液晶パネル1110R、1110B及び1110Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【0113】

尚、図12を参照して説明した電子機器の他にも、モバイル型のパーソナルコンピュー

10

20

30

40

50

タや、携帯電話、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等が挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【0114】

また本発明は、上述の実施形態で説明した液晶装置以外にも、シリコン基板上に素子を形成する反射型液晶装置(LCOS)、プラズマディスプレイ(PDP)、電界放出型ディスプレイ(FED、SED)、有機ELディスプレイ、デジタルマイクロミラーデバイス(DMD)、電気泳動装置等にも適用可能である。

【0115】

本発明は、上述した実施形態に限られるものではなく、特許請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置、電気光学装置の製造方法及び該電気光学装置を備えてなる電子機器もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0116】

【図1】第1実施形態に係る液晶装置の全体構成を示す平面図である。

【図2】図1のII-II'断面図である。

【図3】第1実施形態に係る液晶装置の複数の画素部の等価回路図である。

【図4】第1実施形態に係る液晶装置の複数の画素部の平面図である。

【図5】図4のV-V'断面図である。

【図6】蓄積容量、スペーサ絶縁膜及びダミーパターンの配置関係を示す平面図である。

【図7】図6のVII-VII'断面図である。

【図8】変形例における図7と同趣旨の断面図である。

【図9】第1実施形態に係る液晶装置の製造プロセスにおける各工程を示す工程図(その1)である。

【図10】第1実施形態に係る液晶装置の製造プロセスにおける各工程を示す工程図(その2)である。

【図11】第1実施形態に係る液晶装置の製造プロセスにおける各工程を示す工程図(その3)である。

【図12】電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

【符号の説明】

【0117】

6a...データ線、7...サンプリング回路、9a...画素電極、10...TF Tアレイ基板、10a...画像表示領域、11、11a、11b...走査線、20...対向基板、21...対向電極、23...遮光膜、30...TF T、41、42、43...層間絶縁膜、49...スペーサ絶縁膜、50...液晶層、52...シール材、53...額縁遮光膜、70...蓄積容量、71...下側電極、71a、71a1、71a2...下側電極本体部、71b...下側電極延設部、75...誘電体膜、101...データ線駆動回路、102...外部回路接続端子、104...走査線駆動回路、301...上側電極、301a...上側電極本体部、301b...上側電極延設部、R1...開口領域、R2...非開口領域

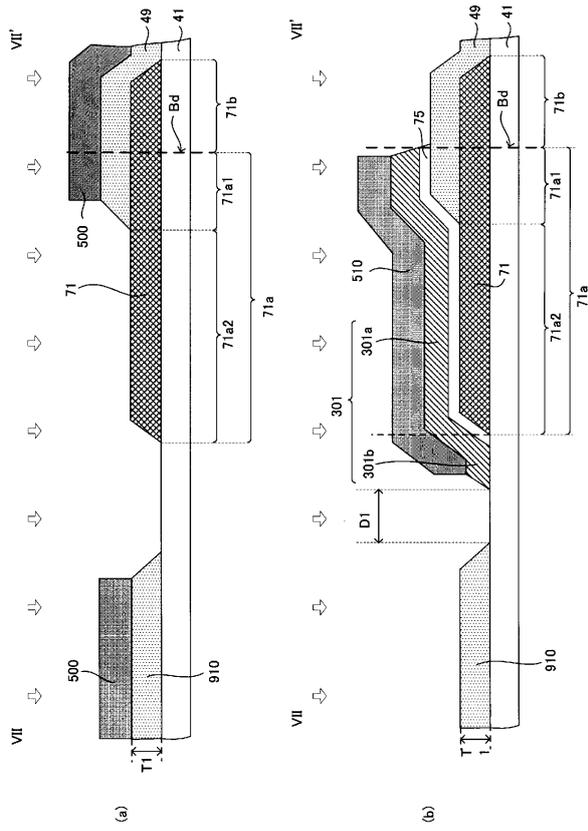
10

20

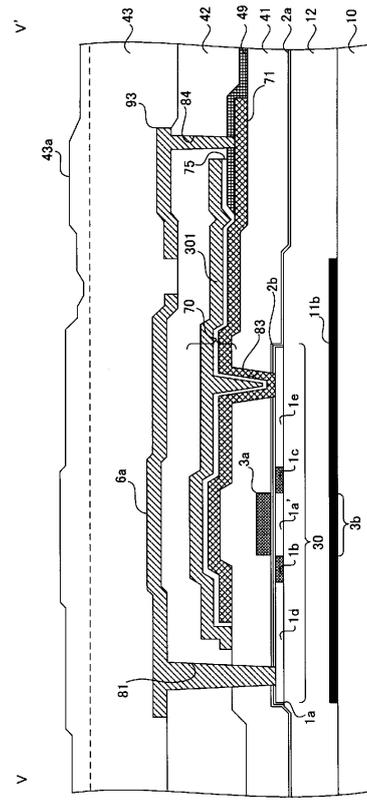
30

40

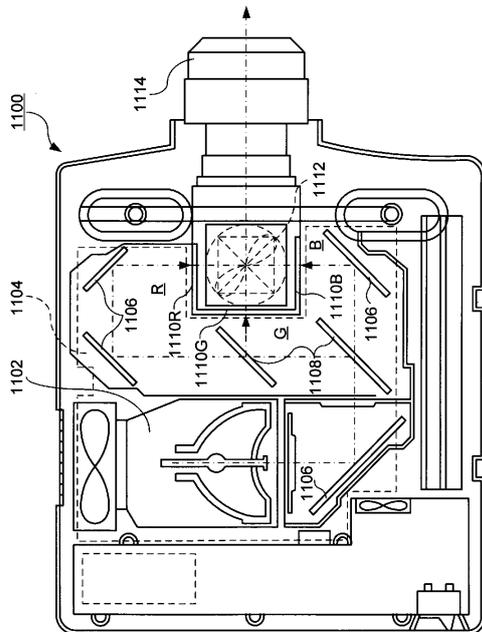
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(56)参考文献 特開2006-276118(JP,A)
特開2002-156652(JP,A)
特開2003-289072(JP,A)
特開2006-173617(JP,A)
特開2006-243753(JP,A)
特開平09-043629(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F9/30-9/46

G02F1/1368