



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I590419 B

(45)公告日：中華民國 106 (2017) 年 07 月 01 日

(21)申請案號：105135306

(22)申請日：中華民國 105 (2016) 年 11 月 01 日

(51)Int. Cl. : H01L27/105 (2006.01)

H01L21/28 (2006.01)

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72)發明人：林志豪 LIN, CHIH-HAO (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

CN 102074483A

JP 2002-27097A

JP 2007-134674A

US 20150132937A1

US 2010/0006932A1

US 2011/0147834A1

US 2014/0151791A1

審查人員：謝介銘

申請專利範圍項數：10 項 圖式數：3 共 31 頁

(54)名稱

動態隨機存取記憶體結構及其製造方法

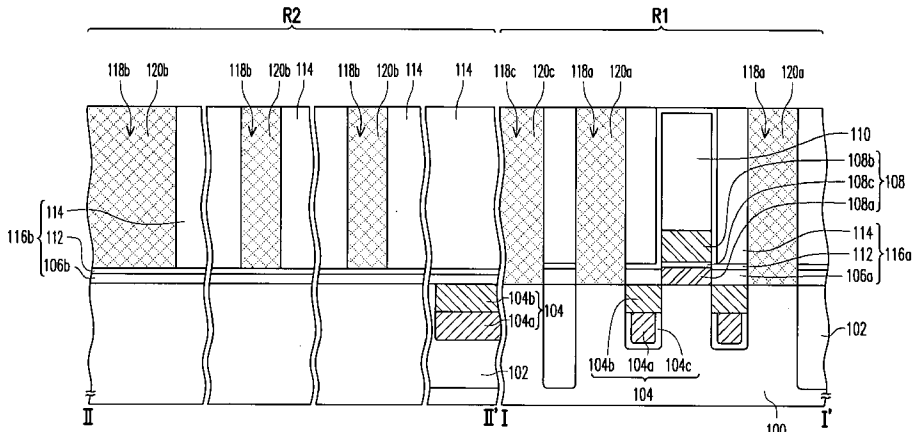
DYNAMIC RANDOM ACCESS MEMORY STRUCTURE AND MANUFACTURING METHOD THEREOF

(57)摘要

一種動態隨機存取記憶體結構的製造方法，包括下列步驟。提供基底，其中基底包括記憶胞區與周邊電路區。於記憶胞區中形成動態隨機存取記憶體。動態隨機存取記憶體包括耦接至電容結構的電容接觸窗。於周邊電路區中形成具有金屬閘極結構的電晶體結構。金屬閘極結構是藉由使用虛擬閘極的製程所形成。電容接觸窗與虛擬閘極是由同一層導體層所形成。

A method of manufacturing a dynamic random access memory (DRAM) structure including the following steps is provided. A substrate is provided, wherein the substrate includes a memory cell region and a periphery circuit region. A DRAM is formed in the memory cell region. The DRAM includes a capacitor contact coupled to a capacitor structure. A transistor structure having a metal gate structure is formed in the periphery circuit region. The metal gate structure is formed by a process using a dummy gate. The capacitor contact and the dummy gate are formed by the same conductive layer.

指定代表圖：



【圖1C】

符號簡單說明：

- 100 . . . 基底
- 102 . . . 隔離結構
- 104 . . . 埋入式導線
- 104a . . . 埋入式導線層
- 104b . . . 頂蓋層
- 104c、106a、106b、
- 114 . . . 介電層
- 108 . . . 導線結構
- 108a、108b . . . 導體層
- 108c . . . 阻障層
- 110 . . . 頂蓋層
- 112 . . . 阻擋層
- 116a、116b . . . 介電層結構
- 118a、118b、
- 118c . . . 開口
- 120a . . . 電容接觸窗
- 120b . . . 虛擬閘極
- 120c . . . 護環結構
- R1 . . . 記憶胞區
- R2 . . . 周邊電路區



申請日: 105.11.01

IPC分類: H01L 27/105  
H01L 21/58

## 【發明摘要】

【中文發明名稱】動態隨機存取記憶體結構及其製造方法

【英文發明名稱】 DYNAMIC RANDOM ACCESS MEMORY  
STRUCTURE AND MANUFACTURING METHOD THEREOF

## 【中文】

一種動態隨機存取記憶體結構的製造方法，包括下列步驟。

提供基底，其中基底包括記憶胞區與周邊電路區。於記憶胞區中形成動態隨機存取記憶體。動態隨機存取記憶體包括耦接至電容結構的電容接觸窗。於周邊電路區中形成具有金屬閘極結構的電晶體結構。金屬閘極結構是藉由使用虛擬閘極的製程所形成。電容接觸窗與虛擬閘極是由同一層導體層所形成。

## 【英文】

A method of manufacturing a dynamic random access memory (DRAM) structure including the following steps is provided. A substrate is provided, wherein the substrate includes a memory cell region and a periphery circuit region. A DRAM is formed in the memory cell region. The DRAM includes a capacitor contact coupled to a capacitor structure. A transistor structure having a metal gate structure is formed in the periphery circuit region. The metal gate structure is formed by a process using a dummy gate.

The capacitor contact and the dummy gate are formed by the same conductive layer.

【指定代表圖】圖1C。

【代表圖之符號簡單說明】

100：基底	120a：電容接觸窗
102：隔離結構	120b：虛擬閘極
104：埋入式導線	120c：護環結構
104a：埋入式導體層	R1：記憶胞區
104b：頂蓋層	R2：周邊電路區
104c、106a、106b、114：介電層	
108：導線結構	
108a、108b：導體層	
108c：阻障層	
110：頂蓋層	
112：阻擋層	
116a、116b：介電層結構	
118a、118b、118c：開口	

【特徵化學式】

無。

## 【發明說明書】

【中文發明名稱】動態隨機存取記憶體結構及其製造方法

【英文發明名稱】 DYNAMIC RANDOM ACCESS MEMORY  
STRUCTURE AND MANUFACTURING METHOD THEREOF

### 【技術領域】

【0001】 本發明是有關於一種記憶體結構及其製造方法，且特別是有關於一種動態隨機存取記憶體結構及其製造方法。

### 【先前技術】

【0002】 在傳統的動態隨機存取記憶體結構的周邊電路區中，電晶體元件的閘極材料採用摻雜多晶矽，因此容易產生多晶矽空乏效應(poly depletion effect)，而降低元件效能。

【0003】 因此，目前發展出一種以金屬閘極結構來取代摻雜多晶矽閘極的電晶體元件，其可有效地防止多晶矽空乏效應產生。

【0004】 然而，如何有效地將動態隨機存取記憶體的製程與具有金屬閘極結構的電晶體結構的製程進行整合為目前業界亟待解決的課題。此外，如何有效地降低動態隨機存取記憶體的製程複雜度也是目前業界不斷努力的目標。

### 【發明內容】

【0005】 本發明提供一種動態隨機存取記憶體結構的製造方法，

其可有效地將動態隨機存取記憶體製程與具有金屬閘極結構的電晶體結構製程進行整合。

**【0006】** 本發明提供一種動態隨機存取記憶體結構，其可有效地防止記憶胞區中的構件在形成過程中造成周邊電路區的電晶體結構受到損害。

**【0007】** 本發明提出一種動態隨機存取記憶體結構的製造方法，包括下列步驟。提供基底，其中基底包括記憶胞區與周邊電路區。於記憶胞區中形成動態隨機存取記憶體。動態隨機存取記憶體包括耦接至電容結構的電容接觸窗。於周邊電路區中形成具有金屬閘極結構的電晶體結構。金屬閘極結構是藉由使用虛擬閘極的製程所形成。電容接觸窗與虛擬閘極是由同一層導體層所形成。

**【0008】** 本發明提出一種動態隨機存取記憶體結構，包括基底、動態隨機存取記憶體與護環結構。基底包括記憶胞區。動態隨機存取記憶體位於記憶胞區中。動態隨機存取記憶體包括耦接至電容結構的電容接觸窗。護環結構圍繞記憶胞區的邊界。電容接觸窗與護環結構是源自於同一層導體層。

**【0009】** 基於上述，在本發明所提出的動態隨機存取記憶體結構的製造方法中，由於電容接觸窗與虛擬閘極是由同一層導體層所形成，因此可有效地將動態隨機存取記憶體的製程與具有金屬閘極結構的電晶體結構製程進行整合，且可有效地降低製程複雜度。

**【0010】** 此外，由於本發明所提出的動態隨機存取記憶體結構具

有圍繞記憶胞區邊界的護環結構，因此可有效地防止記憶胞區中的構件在形成周邊電路區的電晶體結構的過程中受到損害。另外，由於電容接觸窗與護環結構是源自於同一層導體層，因此可有效地降低製程複雜度。

【0011】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【圖式簡單說明】

#### 【0012】

圖 1A 至圖 1H 為本發明一實施例的動態隨機存取記憶體結構的製造流程剖面圖。

圖 2 為圖 1C 的上視圖。

圖 3 為本發明另一實施例的動態隨機存取記憶體結構的剖面圖。

### 【實施方式】

【0013】 圖 1A 至圖 1H 為本發明一實施例的動態隨機存取記憶體結構的製造流程剖面圖。

【0014】 請參照圖 1A，提供基底 100，其中基底 100 包括記憶胞區 R1 與周邊電路區 R2。此外，可於基底 100 中形成隔離結構 102。隔離結構 102 例如是淺溝渠隔離結構(STI)。

【0015】 於基底 100 中形成埋入式導線 104。埋入式導線 104 可用

以作為動態隨機存取記憶體的字元線使用。在圖 1 的剖面圖中，位於記憶胞區 R1 中的埋入式導線 104 可位於隔離結構 102 之間。埋入式導線 104 的形成方法例如是組合使用沉積製程、微影製程與蝕刻製程。埋入式導線 104 包括埋入式導體層 104a，且更可包括頂蓋層 104b 與介電層 104c。埋入式導體層 104a 設置於基底 100 中。埋入式導體層 104a 的材料例如是鎢等金屬材料。頂蓋層 104b 設置於埋入式導體層 104a 上。頂蓋層 104b 的材料例如是氮化矽。介電層 104c 設置於埋入式導體層 104a 與基底 100 之間。介電層 104c 的材料例如是氧化矽。

【0016】 部分埋入式導線 104 可位於周邊電路區 R2 中。舉例來說，埋入式導線 104 的導體層 104a 與頂蓋層 104b 可設置於周邊電路區 R2 的隔離結構 102 中。

【0017】 可於記憶胞區 R1 的基底 100 上形成介電層 106a。介電層 106a 的材料例如是氧化矽。可於周邊電路區 R2 的基底 100 上形成介電層 106b。介電層 106b 的材料例如是氧化矽。介電層 106a 與介電層 106b 的形成方法例如是熱氧化法或化學氣相沉積法。介電層 106a 的厚度例如是大於介電層 106b 的厚度，但本發明並不以此為限。

【0018】 於記憶胞區 R1 的基底 100 上形成導線結構 108。導線結構 108 可作為動態隨機存取記憶體的位元線使用。在圖 1 的剖面圖中，導線結構 108 可位於埋入式導線 104 之間，且部分導線結構 108 可位於介電層 106a 中。導線結構 108 的形成方法例如是組



合使用沉積製程與圖案化製程。導線結構 108 可為多層結構或單層結構。在此實施例中，導線結構 108 是以多層結構為例來進行說明，但本發明並不以此為限。導線結構 108 可包括導體層 108a、導體層 108b 與阻障層 108c。導體層 108a 設置於基底 100 上，且可位於介電層 106a 中。導體層 108a 的材料例如是摻雜多晶矽。導體層 108b 設置於導體層 108a 上。導體層 108b 的材料例如是鎢等金屬材料。阻障層 108c 設置於導體層 108a 與導體層 108b 之間。阻障層 108c 的材料例如是 Ti/TiN。

【0019】此外，可於導線結構 108 上形成頂蓋層 110。頂蓋層 110 的材料例如是氮化矽。頂蓋層 110 的形成方法例如是組合使用沉積製程與圖案化製程。

【0020】請參照圖 1B，可於介電層 106a、介電層 106b 與頂蓋層 110 上共形地形成阻擋層(blocking layer)112。阻擋層 112 的材料例如是氮化矽。阻擋層 112 的形成方法例如是化學氣相沉積法。

【0021】可於阻擋層 112 上形成介電層 114，而於記憶胞區 R1 的基底 100 上形成介電層結構 116a，且於周邊電路區 R2 的基底 100 上形成介電層結構 116b。介電層結構 116a 包括依序設置於基底 100 上的介電層 106a、阻擋層 112 與介電層 114。介電層結構 116b 包括依序設置於基底 100 上的介電層 106b、阻擋層 112 與介電層 114。在記憶胞區 R1 中，介電層 114 暴露出頂蓋層 110 上方的阻擋層 112。介電層 114 的材料例如是氧化矽。介電層 114 的形成方法例如是先於阻擋層 112 上形成介電材料層，再對介電材料層進

行平坦化製程(如，化學機械研磨製程)。

【0022】圖 2 為圖 1C 的上視圖，其中圖 1C 為沿著圖 2 中的 I-I' 剖面線(記憶胞區 R1)與 II-II'剖面線(周邊電路區 R2)的剖面圖。此外，在圖 2 中，為了清楚地進行說明，省略繪示記憶胞區 R1 中的介電層結構 116a、頂蓋層 110 以及記憶胞區 R1 與周邊電路區 R2 中的頂蓋層 104b。

【0023】請同時參照圖 1C 與圖 2，移除部分介電層結構 116a 與部分介電層結構 116b，而於記憶胞區 R1 中的介電層結構 116a 中形成暴露出基底 100 的開口 118a，且於周邊電路區 R2 中的介電層結構 116b 中形成暴露出阻擋層 112 的開口 118b。此外，更可移除部分介電層結構 116a，而於所述記憶胞區 R1 中的介電層結構 116a 中形成暴露出基底 100 的開口 118c，其中開口 118c 圍繞記憶胞區 R1 的邊界。開口 118a、開口 118b 與開口 118c 的形成方法例如是對介電層結構 116a 與介電層結構 116b 進行圖案化製程。

【0024】分別於開口 118a 與開口 118b 中形成電容接觸窗 120a 與虛擬閘極 120b。電容接觸窗 120a 與導線結構 108 分別位於於埋入式導體層 104a 的一側與另一側。此外，更可於開口 118c 中形成護環結構 120c。護環結構 120c 圍繞記憶胞區 R1 的邊界。電容接觸窗 120a、虛擬閘極 120b 與護環結構 120c 的形成方法例如是先形成填滿開口 118a、開口 118b 與開口 118c 的導體層，再對導體層進行平坦化製程(如，化學機械研磨製程)。

【0025】由此可知，電容接觸窗 120a 與虛擬閘極 120b 是由同一

層導體層所形成，因此可有效地將動態隨機存取記憶體的製程與具有金屬閘極結構的電晶體結構的製程進行整合，且可有效地降低製程複雜度。此外，電容接觸窗 120a 與護環結構 120c 可由同一層導體層所形成，因此可有效地降低製程複雜度。

【0026】請參照圖 1D，於記憶胞區 R1 中形成覆蓋電容接觸窗 120a、護環結構 120c 與介電層結構 116a 的阻止層(stopper layer)122。阻止層 122 的材料例如是與介電層 114 的材料不同。舉例來說，介電層 114 的材料例如是氧化矽，而阻止層 122 的材料例如是氮化矽。阻止層 122 的形成方法例如是於記憶胞區 R1 與周邊電路區 R2 中全面性地形成阻止材料層(未繪示)，再對阻止材料層進行圖案化製程，以移除周邊電路區 R2 中的阻止材料層。

【0027】移除周邊電路區 R2 中的介電層 114，而形成開口 126。介電層 114 的移除法例如是濕式蝕刻法。此時，護環結構 120c 與阻止層 122 可用以保護記憶胞區 R1 中的介電層 114，以避免記憶胞區 R1 中的介電層 114 受到損壞。

【0028】請參照圖 1E，可於虛擬閘極 120b 的側壁上形成間隙壁 128。間隙壁 128 的材料例如是氧化矽。間隙壁 128 的形成方法例如是先於虛擬閘極 120b 上形成共形的間隙壁材料層(未繪示)，再對間隙壁材料層進行回蝕刻製程。

【0029】可於虛擬閘極 120b 兩側的基底 100 中形成輕摻雜區 130。輕摻雜區 130 的形成方法例如是離子植入法。

【0030】於間隙壁 128 上形成間隙壁 132。間隙壁 132 的材料例如

是氧化矽。間隙壁 132 的形成方法例如是先於虛擬閘極 120b 與間隙壁 128 上形成共形的間隙壁材料層(未繪示)，再對間隙壁材料層進行回蝕刻製程。

【0031】 此外，在形成間隙壁 128 與間隙壁 132 的過程中，會移除未被虛擬閘極 120b、間隙壁 128 與間隙壁 132 所覆蓋的阻擋層 112 與介電層 106b。

【0032】 於虛擬閘極 120b 兩側的基底 100 中形成摻雜區 134，其中輕摻雜區 130 位於虛擬閘極 120b 與摻雜區 134 之間。摻雜區 134 的形成方法例如是離子植入法。

【0033】 於開口 126 中形成介電層 136。介電層 136 的材料例如是氧化矽。介電層 136 的形成方法例如是先形成填滿開口 126 的介電材料層(未繪示)，再對介電材料層進行平坦化製程(如，化學機械研磨製程)。此外，在對介電材料層進行平坦化製程的過程中，可能會移除部分阻止層 122，而使得阻止層 122 厚度變薄。

【0034】 請參照圖 1F，移除位於介電層 136 中的虛擬閘極 120b，而於介電層 136 中形成開口 138。虛擬閘極 120b 可藉由自對準的方式來進行移除。虛擬閘極 120b 的移除方法例如是乾式蝕刻法。

【0035】 移除由開口 138 所暴露出的阻擋層 112 與介電層 106b。由開口 138 所暴露出的阻擋層 112 與介電層 106b 的移除方法例如是乾式蝕刻法。

【0036】 請參照圖 1G，於開口 138 中形成金屬閘極結構 140。金屬閘極結構 140 包括依序設置於基底 100 上的閘介電層 142、高介

電常數介電層 144、功函數金屬層 146 與金屬閘極 148。閘介電層 142 的材料例如是氧化矽。高介電常數介電層 144 的材料例如是氧化鈺( $\text{HfO}_x$ )。功函數金屬層 146 可為 P 型功函數金屬層或 N 型功函數金屬層，依據所要形成的電晶體元件為 P 型或 N 型而定。P 型功函數金屬層的材料例如是 TiN。N 型功函數金屬層的材料例如是 TiAlN 或氧化鏷 ( $\text{La}_2\text{O}_3$ )。金屬閘極 148 的材料例如是鎢、TiAl/TiN/W 的複合層或摻雜多晶矽/TiN/W 的複合層。

● **【0037】** 金屬閘極結構 140 的形成方法例如是先依序於開口 138 中形成閘介電材料層、高介電常數介電材料層、功函數金屬材料層與金屬閘極材料層(未繪示)，再藉由平坦化製程(如，化學機械研磨製程)移除開口 138 以外的閘介電材料層、高介電常數介電材料層、功函數金屬材料層與金屬閘極材料層。閘介電材料層的形成方法例如是熱氧化法。高介電常數介電材料層的形成方法例如是原子層沉積法(ALD)。功函數金屬材料層的形成方法例如是原子層沉積法。金屬閘極材料層的形成方法例如是物理氣相沉積法或化學氣相沉積法。

● **【0038】** 由上述可知，金屬閘極結構 140 是藉由使用虛擬閘極 120b 的閘極後製製程 (gate last process) 所形成。此外，雖然金屬閘極結構 140 是藉由上述實施例的閘極後製製程所形成，但用以形成金屬閘極結構 140 的製程並不限於上述實施例所舉例的方法。

**【0039】** 請參照圖 1H，於記憶胞區 R1 與周邊電路區 R2 中形成介

電層 150 與介電層 152，且於記憶胞區 R1 的介電層 150 與介電層 152 中形成電容結構 154，於周邊電路區 R2 的介電層 150 與介電層 152 中形成內連線結構 156a~156d。電容結構 154 耦接至電容接觸窗 120a。此外，電容結構 154 更可耦接至護環結構 120c。介電層 150 的材料例如是氮化矽。介電層 152 的材料例如是氧化矽。在圖 1H 中，電容結構 154 僅為示意性的繪示，本發明並不以此為限。所屬技術領域具有通常知識者可依據實際需求對電容結構 154 進行設計與調整。

**【0040】** 內連線結構 156a 穿過介電層 136 與頂蓋層 104b 而連接至埋入式導體層 104a。內連線結構 156b、156c 穿過介電層 136 而分別連接至所對應的摻雜區 134。內連線結構 156d 連接至圖 1H 中最左側的金屬閘極結構 140。內連線結構 156a~156d 分別包括彼此連接的接觸窗 160 與導線 162。接觸窗 160 包括阻障層 160a 與導體層 160b，其中導體層 160b 設置於阻障層 160a 上。在圖 1H 的剖面圖中，僅繪示在此剖面圖中的內連線結構 156a~156d，然而於此技術領域具有通常知識者應可理解本實施例更可包括其他內連線結構。

**【0041】** 藉由上述實施例的方法可於所述記憶胞區 R1 中形成動態隨機存取記憶體 200，且可於周邊電路區 R2 中形成具有金屬閘極結構 140 的電晶體結構 300。動態隨機存取記憶體 200 包括耦接至電容結構 154 的電容接觸窗 120a。金屬閘極結構 140 是藉由使用虛擬閘極 120b 的製程所形成。此外，雖然動態隨機存取記憶體

200 與電晶體結構 300 是藉由上述實施例的方法所形成，但本發明並不以此為限。

【0042】 基於上述實施例可知，由於電容接觸窗 120a 與虛擬閘極 120b 是由同一層導體層所形成，因此可有效地將動態隨機存取記憶體 200 的製程與具有金屬閘極結構 140 的電晶體結構 300 的製程進行整合，且可有效地降低製程複雜度。

【0043】 以下，藉由圖 1H 來說明本實施例的動態隨機存取記憶體結構。

【0044】 請參照圖 1H 與圖 2，動態隨機存取記憶體結構包括基底 100、動態隨機存取記憶體 200 與護環結構 120c。基底 100 包括記憶胞區 R1。動態隨機存取記憶體 200 位於記憶胞區 R1 中，其中動態隨機存取記憶體 200 包括耦接至電容結構 154 的電容接觸窗 120a。護環結構 120c 圍繞記憶胞區 R1 的邊界，因此可有效地防止記憶胞區 R1 中的構件(如，介電層 114)在形成周邊電路區 R2 的電晶體結構 300 的過程中受到損害。電容接觸窗 120a 與護環結構 120c 是源自於同一層導體層，因此可有效地降低製程複雜度。

【0045】 在此實施例中，動態隨機存取記憶體 200 可包括埋入式導線 104、介電層結構 116a、導線結構 108、電容接觸窗 120a、電容結構 154 與阻止層 122。埋入式導線 104 設置於基底 100 中。埋入式導線 104 可包括埋入式導體層 104a，且更可包括頂蓋層 104b 與介電層 104c。埋入式導體層 104a 設置於基底 100 中。頂蓋層 104b 設置於埋入式導體層 104a 上。介電層 104c 設置於埋入

式導體層 104a 與基底 100 之間。介電層結構 116a 設置於基底 100 上。介電層結構 116a 包括依序設置於基底 100 上的介電層 106a、阻擋層 112 與介電層 114。導線結構 108 設置於基底 100 上，且位於介電層結構 116a 中。導線結構 108 可包括導體層 108a、導體層 108b 與阻障層 108c。導體層 108a 設置於基底 100 上，且可位於介電層 106a 中。導體層 108b 設置於導體層 108a 上。阻障層 108c 設置於導體層 108a 與導體層 108b 之間。電容接觸窗 120a 設置於介電層結構 116a 中，且連接至基底 100。電容結構 154 設置於電容接觸窗 120a 上。阻止層 122 設置於護環結構 120c 上且覆蓋記憶胞區 R1。護環結構 120c 與阻止層 122 可用以保護記憶胞區 R1 中的介電層 114，以避免介電層 114 在形成周邊電路區 R2 的電晶體結構 300 的過程中受到損害。

【0046】此外，基底 100 更包括周邊電路區 R2。動態隨機存取記憶體結構更包括位於周邊電路區 R2 中的電晶體結構 300。電晶體結構 300 可為 P 型電晶體結構或 N 型電晶體結構。在此實施例中，電晶體結構 300 是以 P 型電晶體結構為例來進行說明。

【0047】電晶體結構 300 包括金屬閘極結構 140 與兩個摻雜區 134。金屬閘極結構 140 設置於基底 100 上。金屬閘極結構 140 包括依序設置於基底 100 上的閘介電層 142、高介電常數介電層 144、功函數金屬層 146 與金屬閘極 148。摻雜區 134 設置於金屬閘極結構 140 兩側的基底 100 中。另外，電晶體結構 300 更可包括間隙壁 128、輕摻雜區 130 與間隙壁 132 中的至少一者。間隙壁



128 與間隙壁 132 依序設置於金屬閘極結構 140 的側壁上。輕摻雜區 130 設置於基底 100 中且位於金屬閘極結構 140 與摻雜區 134 之間。

【0048】此外，在動態隨機存取記憶體結構中，動態隨機存取記憶體 200 與電晶體結構 300 的各構件的材料、設置方式、形成方法與功效已於前文中進行詳盡地說明，故於此不再重複說明。

【0049】基於上述實施例可知，由於上述動態隨機存取記憶體結構具有圍繞記憶胞區 R1 邊界的護環結構 120c，因此可有效地防止記憶胞區 R1 中的構件在形成周邊電路區 R2 的電晶體結構 140 的過程中受到損害。另外，由於電容接觸窗 120a 與護環結構 120c 是源自於同一層導體層，因此可有效地降低製程複雜度。

【0050】圖 3 為本發明另一實施例的動態隨機存取記憶體結構的剖面圖。

【0051】請同時參照圖 1H 與圖 3，圖 3 與圖 1H 中的動態隨機存取記憶體結構的差異如下。在圖 3 的動態隨機存取記憶體結構中，基底 100 的周邊電路區 R2 可包括第一導電型電晶體區 R21 與第二導電型電晶體區 R22。第一導電型電晶體區 R21 與第二導電型電晶體區 R22 分別為 P 型電晶體區與 N 型電晶體區中的一者與另一者。此外，動態隨機存取記憶體結構包括具有不同導電型的電晶體結構 300 與電晶體結構 300a。電晶體結構 300 與電晶體結構 300a 分別位於第一導電型電晶體區 R21 與第二導電型電晶體區 R22 中。電晶體結構 300 與電晶體結構 300a 的差異在於電晶體結構

300a 更包括功函數金屬層 146a。功函數金屬層 146a 設置於高介電常數介電層 144 與功函數金屬層 146 之間。此外，圖 3 與圖 1H 中其他相似的構件使用相同的符號表示並省略其說明。

【0052】 在此實施例中，第一導電型電晶體區 R21 與第二導電型電晶體區 R22 分別是以 P 型電晶體區與 N 型電晶體區為例來進行說明，但本發明並不以此為限。在此情況下，電晶體結構 300 與電晶體結構 300a 分別為 P 型電晶體結構與 N 型電晶體結構，且功函數金屬層 146 與功函數金屬層 146a 分別為 P 型功函數金屬層與 N 型功函數金屬層。

【0053】 綜上所述，上述實施例所提出的動態隨機存取記憶體結構的製造方法可有效地將動態隨機存取記憶體的製程與具有金屬閘極結構的電晶體結構的製程進行整合，且可有效地降低製程複雜度。此外，上述實施例所提出的動態隨機存取記憶體結構可有效地防止記憶胞區中的構件在形成周邊電路區的電晶體結構的過程中受到損害，且可有效地降低製程複雜度。

【0054】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

#### 【符號說明】

【0055】

100：基底	144：高介電常數介電層
102：隔離結構	146、146a：功函數金屬層
104：埋入式導線	148：金屬閘極
104a：埋入式導體層	154：電容結構
104b：頂蓋層	156a~156d：內連線結構
104c、106a、106b、114、136、150、152：介電層	
108：導線結構	160：接觸窗
108a、108b、160b：導體層	162：導線
108c、160a：阻障層	R1：記憶胞區
110：頂蓋層	R2：周邊電路區
112：阻擋層	R21：第一導電型電晶體區
116a、116b：介電層結構	R22：第二導電型電晶體區
118a、118b、118c、126、138：開口	
120a：電容接觸窗	
120b：虛擬閘極	
120c：護環結構	
122：阻止層	
128、132：間隙壁	
130：輕摻雜區	
134：摻雜區	
140：金屬閘極結構	
142：閘介電層	

## 【發明申請專利範圍】

【第1項】一種動態隨機存取記憶體結構的製造方法，包括：

提供基底，其中所述基底包括記憶胞區與周邊電路區；

於所述記憶胞區中形成動態隨機存取記憶體，其中所述動態隨機存取記憶體包括耦接至電容結構的電容接觸窗；以及

於所述周邊電路區中形成具有金屬閘極結構的電晶體結構，其中所述金屬閘極結構是藉由使用虛擬閘極的製程所形成，其中

所述電容接觸窗與所述虛擬閘極是由同一層導體層所形成。

【第2項】如申請專利範圍第1項所述的動態隨機存取記憶體結構的製造方法，更包括於所述基底中形成埋入式導線，且所述電容接觸窗位於所述埋入式導線的一側。

【第3項】如申請專利範圍第2項所述的動態隨機存取記憶體結構的製造方法，更包括於所述基底上形成導線結構，其中所述導線結構位於所述埋入式導線的另一側。

【第4項】如申請專利範圍第1項所述的動態隨機存取記憶體結構的製造方法，其中所述電容接觸窗與所述虛擬閘極的形成方法包括：

於所述基底上形成介電層結構；

移除部分所述介電層結構，而於所述記憶胞區中的所述介電層結構中形成暴露出所述基底的第一開口，且於所述周邊電路區中的所述介電層結構中形成第二開口；以及

分別於所述第一開口與所述第二開口中形成所述電容接觸窗與所述虛擬閘極。

【第5項】如申請專利範圍第4項所述的動態隨機存取記憶體結構的製造方法，更包括：

移除部分所述介電層結構，而於所述記憶胞區中的所述介電層結構中形成暴露出所述基底的第三開口，其中所述第三開口圍繞所述記憶胞區的邊界；以及

於所述第三開口中形成護環結構，其中

所述電容接觸窗與所述護環結構是由同一層導體層所形成。

【第6項】如申請專利範圍第1項所述的動態隨機存取記憶體結構的製造方法，其中所述金屬閘極結構的形成方法包括：

移除位於介電層中的所述虛擬閘極，而於所述介電層中形成第四開口；以及

於所述第四開口中形成所述金屬閘極結構。

【第7項】一種動態隨機存取記憶體結構，包括：

基底，包括記憶胞區；

動態隨機存取記憶體，位於所述記憶胞區中，其中所述動態隨機存取記憶體包括耦接至電容結構的電容接觸窗；以及

護環結構，圍繞所述記憶胞區的邊界，其中

所述電容接觸窗與所述護環結構是源自於同一層導體層。

【第8項】如申請專利範圍第7項所述的動態隨機存取記憶體結構，更包括阻止層，其中所述阻止層設置於所述護環結構上且覆蓋所述記憶胞區。

【第9項】如申請專利範圍第7項所述的動態隨機存取記憶體結構，其中所述動態隨機存取記憶體包括：

埋入式導線，設置於所述基底中；

介電層結構，設置於所述基底上；

導線結構，設置於所述基底上，且位於所述介電層結構中；

所述電容接觸窗，設置於所述介電層結構中，且連接至所述基底；以及

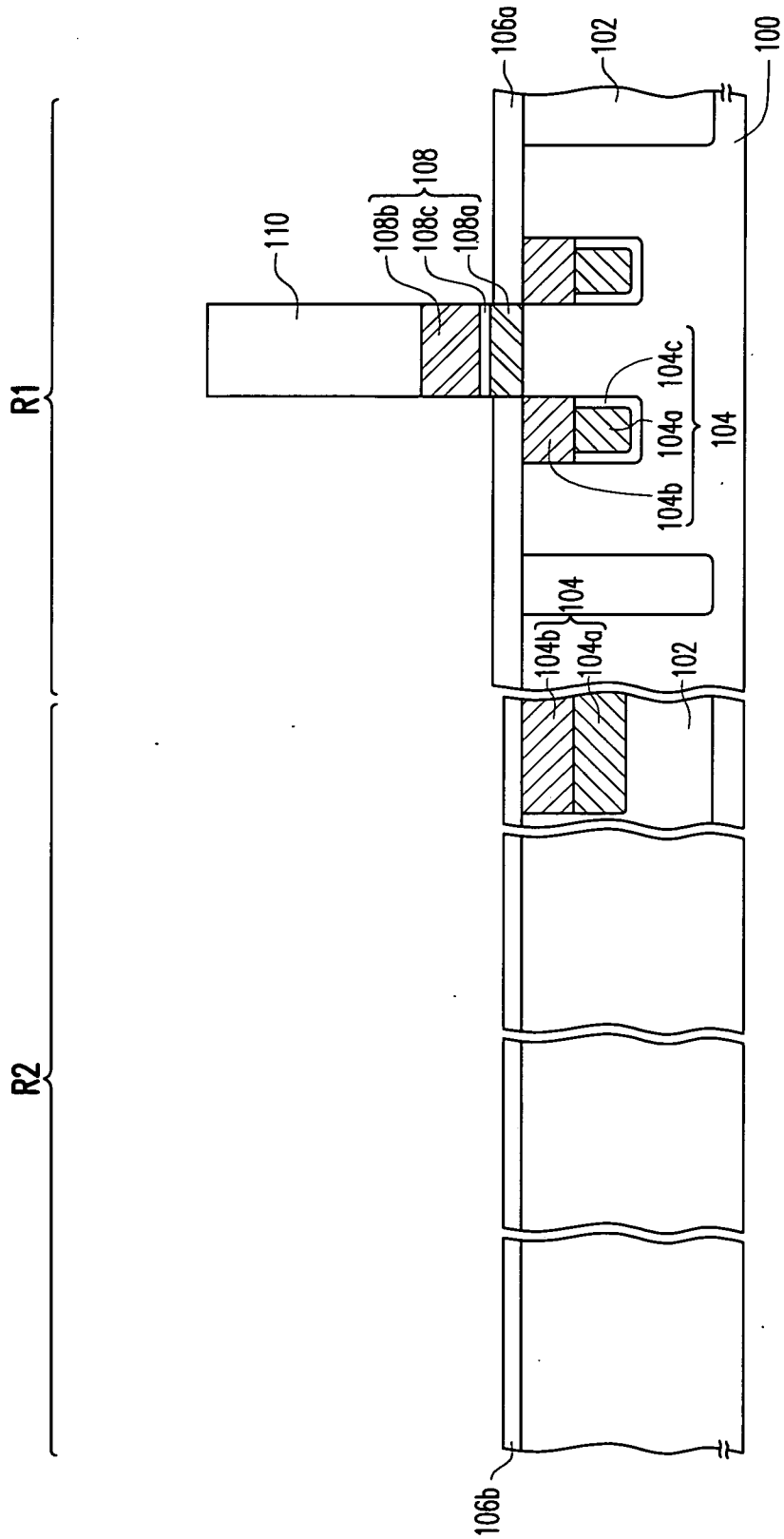
所述電容結構，設置於所述電容接觸窗上。

【第10項】如申請專利範圍第7項所述的動態隨機存取記憶體結構，其中所述基底更包括周邊電路區，且所述動態隨機存取記憶體結構更包括位於所述周邊電路區中的電晶體結構，其中所述電晶體結構包括：

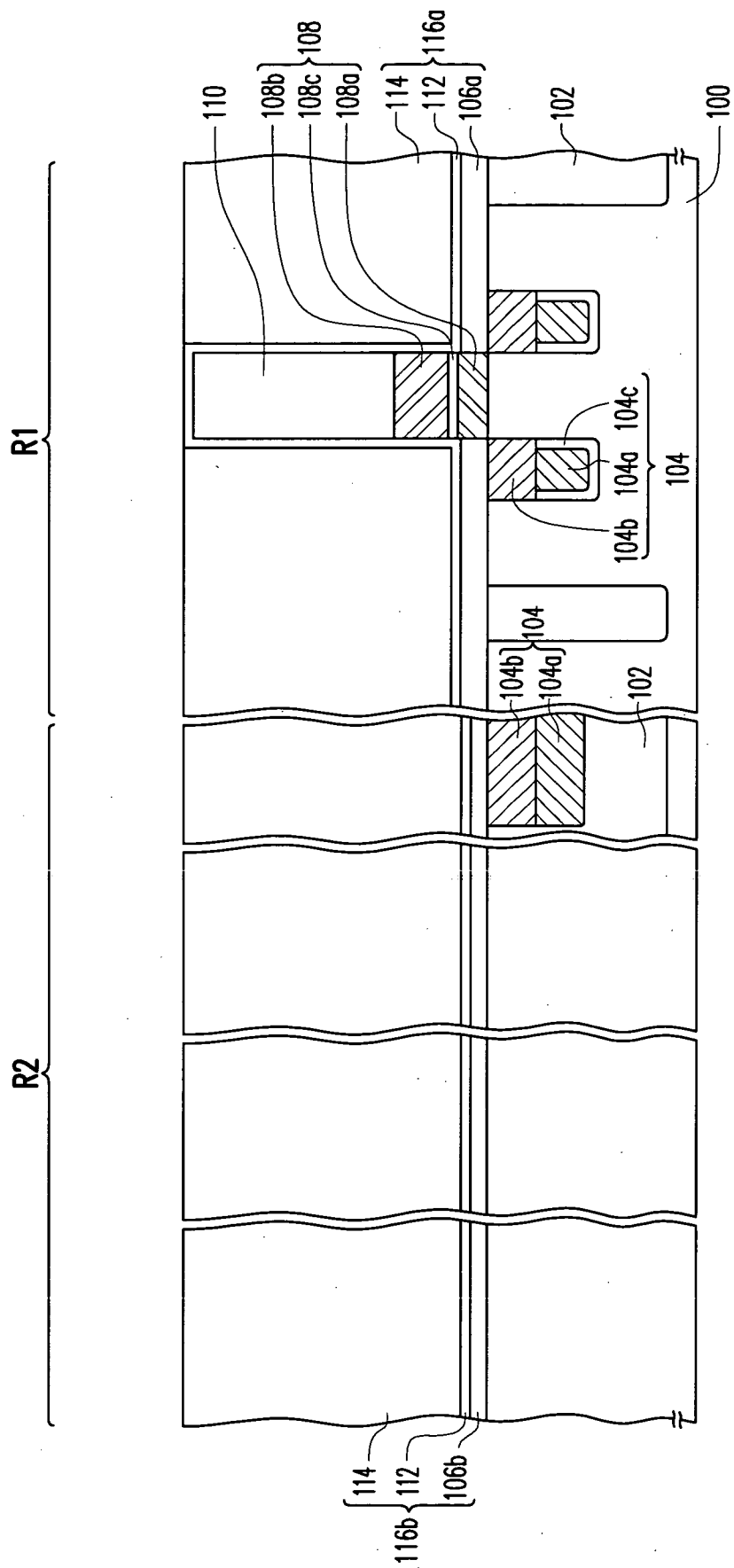
金屬閘極結構，設置於所述基底上；以及

兩個摻雜區，設置於所述金屬閘極結構兩側的所述基底中。

【發明圖式】

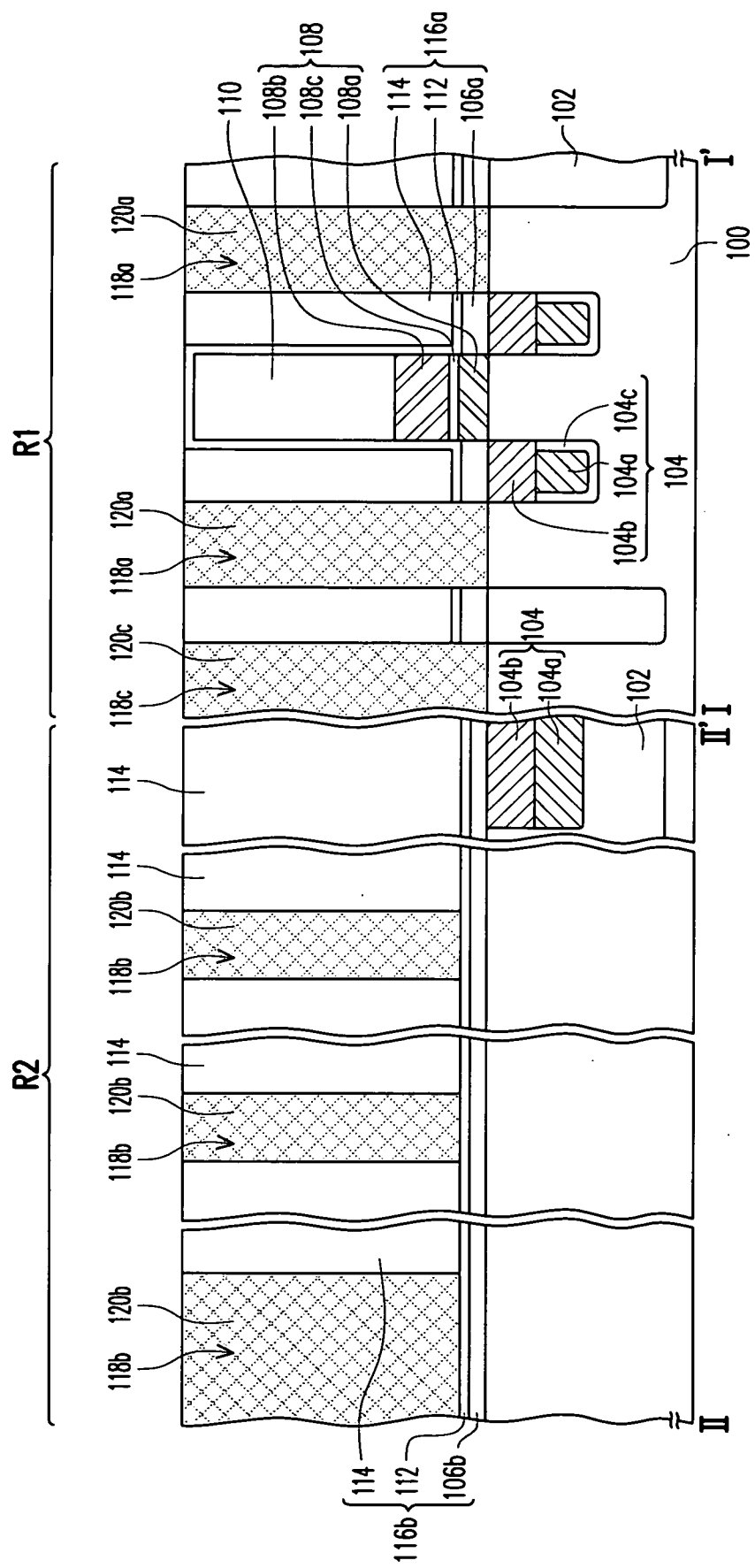


【圖1A】

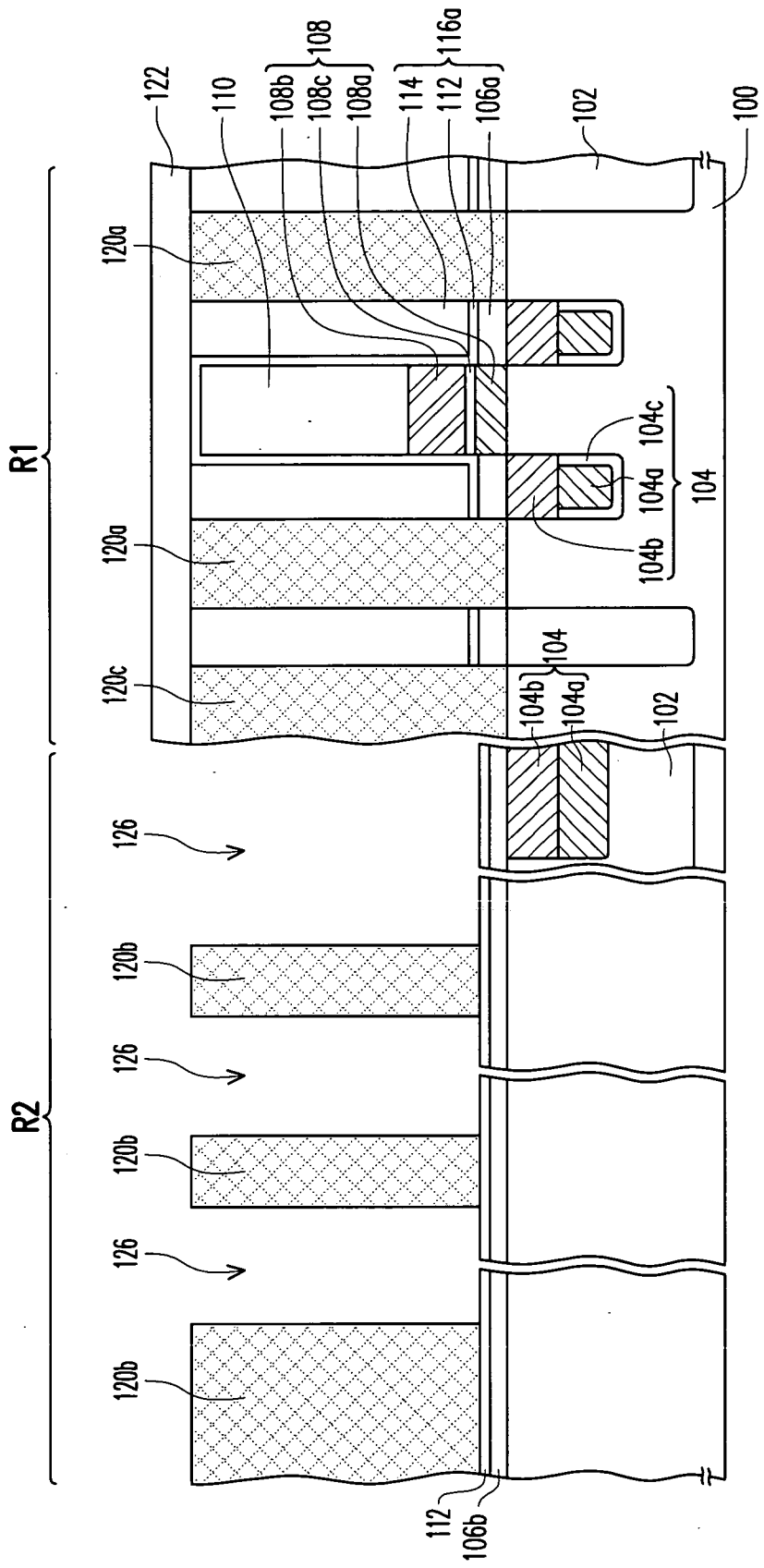


【圖1B】

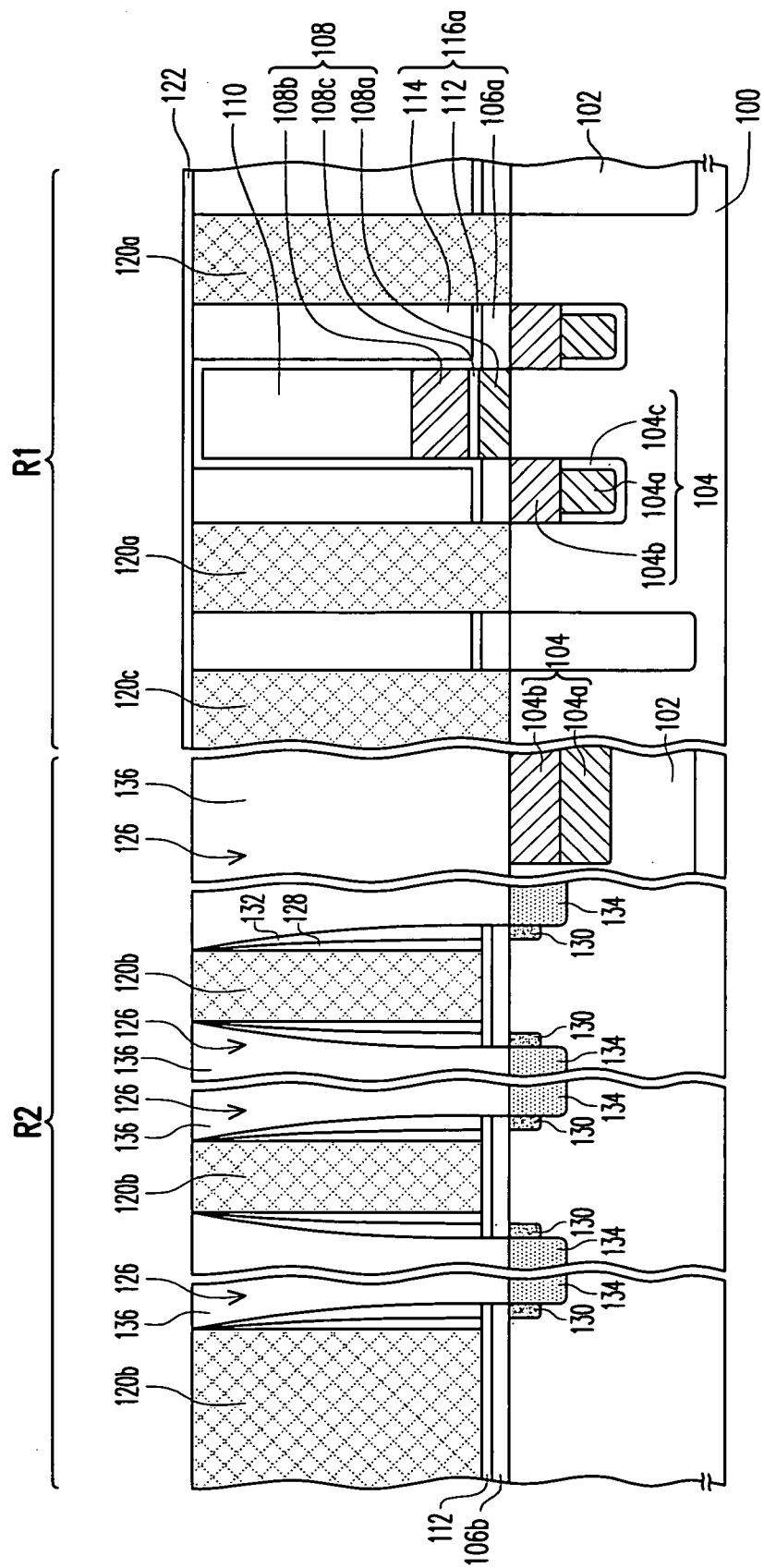




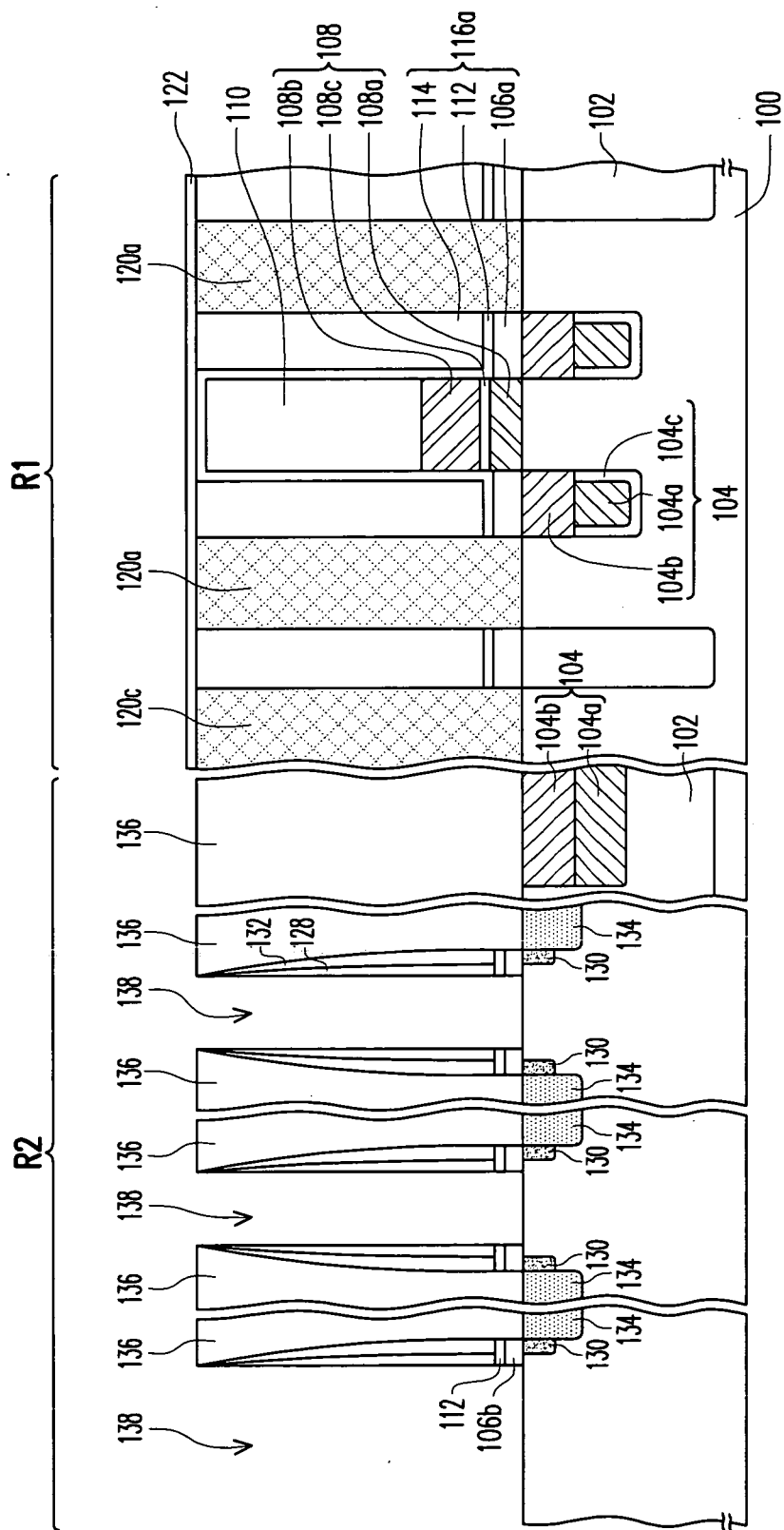
【圖1C】



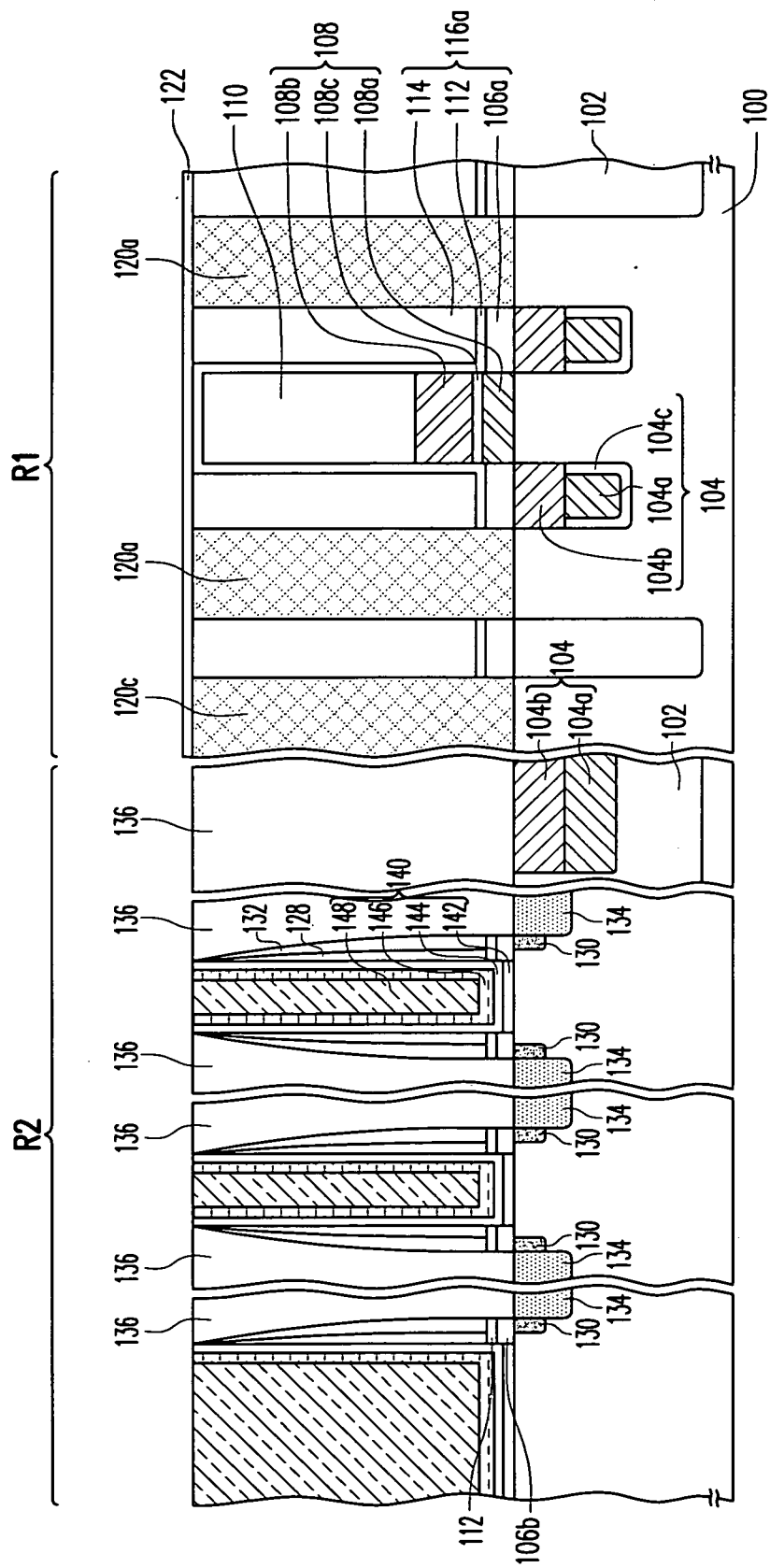
【圖1D】



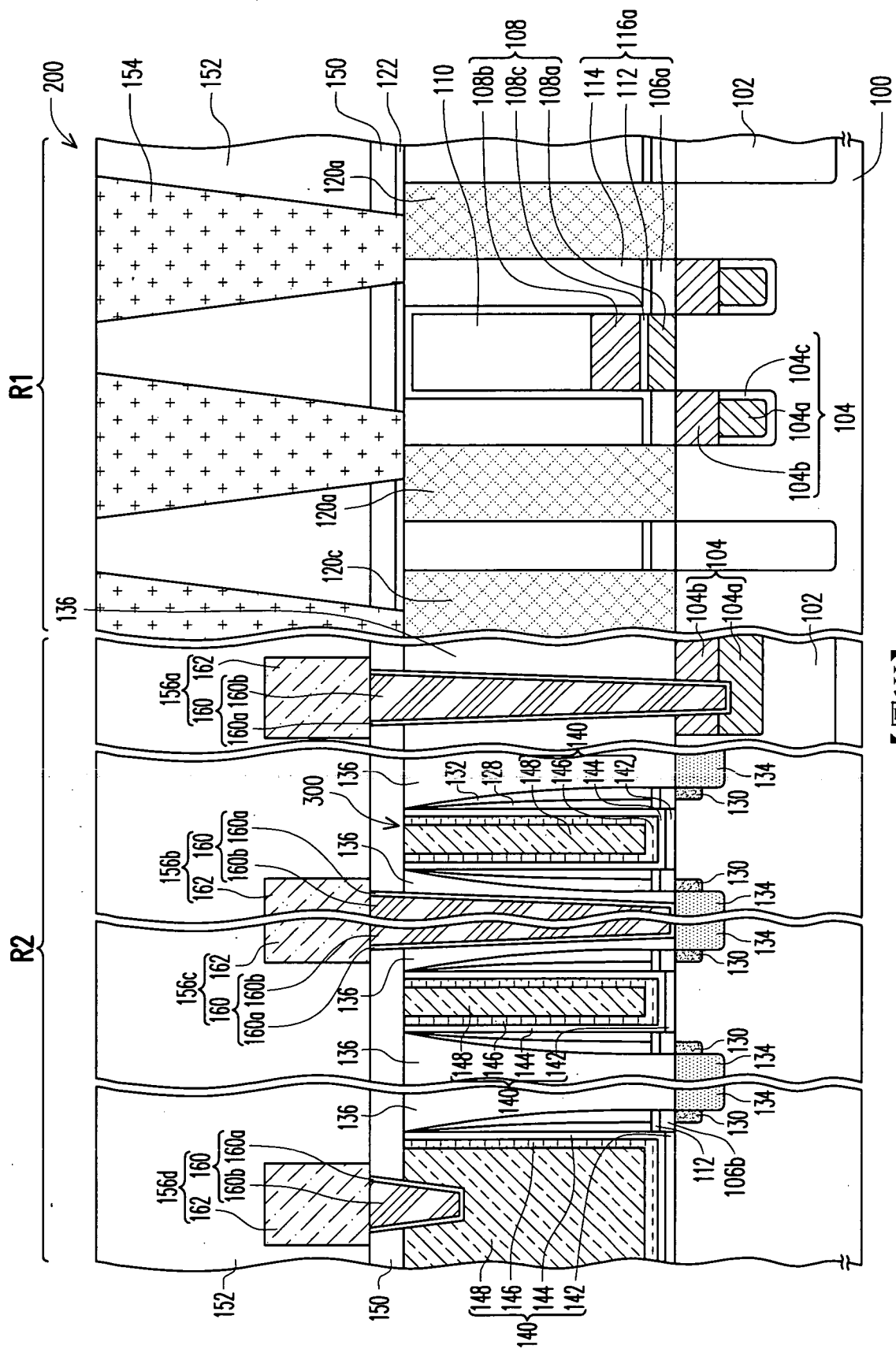
【圖1E】



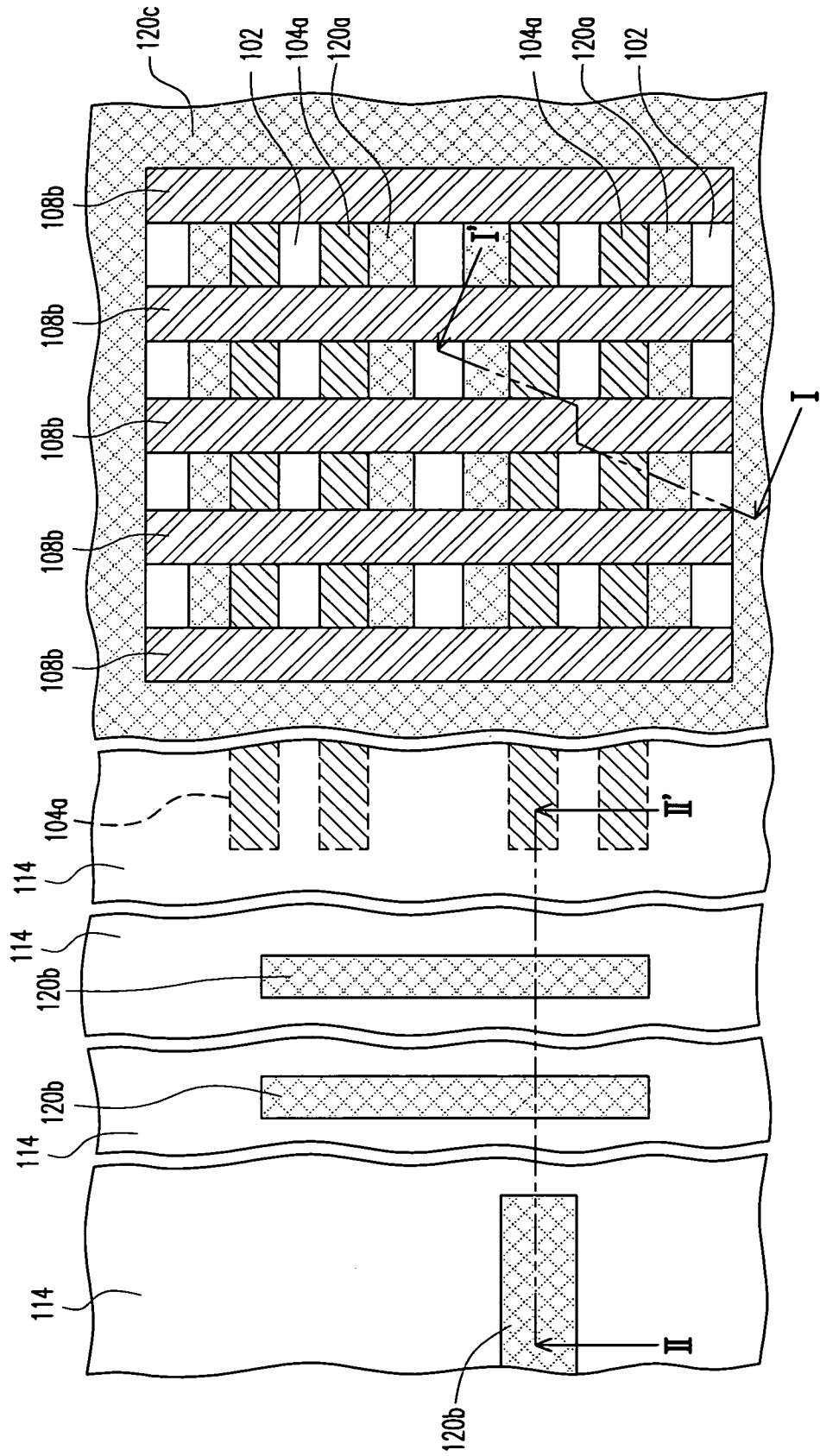
【圖1F】



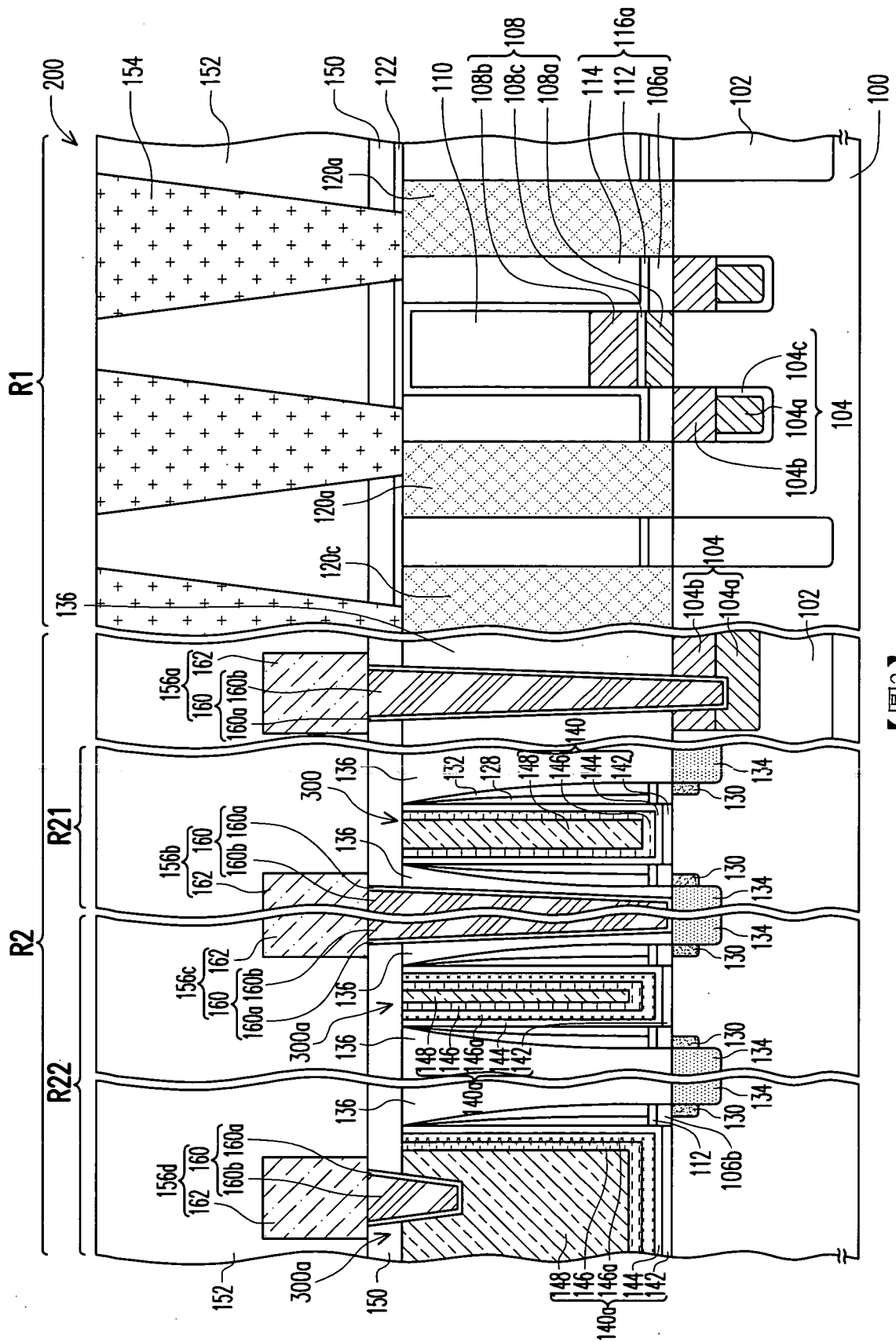
【圖1G】



【圖1H】



【圖2】



【圖3】