



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0050199
(43) 공개일자 2018년05월14일

- (51) 국제특허분류(Int. Cl.)
H01L 21/8234 (2006.01) H01L 21/324 (2017.01)
H01L 21/762 (2006.01) H01L 21/768 (2006.01)
H01L 21/8238 (2006.01)
- (52) CPC특허분류
H01L 21/8234 (2013.01)
H01L 21/324 (2013.01)
- (21) 출원번호 10-2017-0057310
- (22) 출원일자 2017년05월08일
심사청구일자 없음
- (30) 우선권주장
62/417,971 2016년11월04일 미국(US)
15/442,592 2017년02월24일 미국(US)

- (71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
왕 웨이-이
9532 에어 리브레 드라이브, 오스틴, 텍사스 78726, 미국
오브라도빅 보르나 제이.
3207 크리스탈 폴즈 파크웨이, 린더, 텍사스 78641, 미국
(뒷면에 계속)
- (74) 대리인
특허법인가산

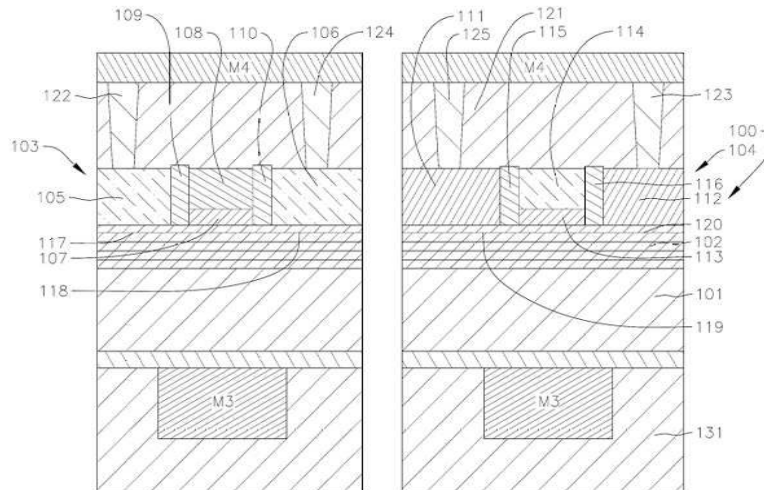
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 상부 금속 라우팅 층에 리피터 / 버퍼를 포함하는 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치는 금속 라우팅 층의 상부 금속 라우팅 층 상에 일련의 금속 라우팅 층 및 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터를 포함한다. 상부 금속 라우팅 층은 M3 이상이다. 각각의 전계 효과 트랜지스터는 결정 물질의 채널 영역을 포함한다. 결정 물질은 다결정 실리콘을 포함 할 수 있다. M3 금속 라우팅 층 이상의 상부 금속 라우팅 층은 코발트를 포함 할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/76227 (2013.01)

H01L 21/76259 (2013.01)

H01L 21/76838 (2013.01)

H01L 21/76877 (2013.01)

H01L 21/8238 (2013.01)

(72) 발명자

로더 마크 에스.

3518 로즈테일 애비뉴, 달러스, 텍사스 75205, 미국

락싱턴 타타시

10305 체스넛 리지 로드, 오스틴, 텍사스 78726, 미국

보우엔 크리스

5132 크리스탈 워터 드라이브, 오스틴, 텍사스 78735, 미국

명세서

청구범위

청구항 1

a가 4 이상의 정수로 선택되는 M1 금속 라우팅(routing)층 내지 Ma 금속 라우팅 층; 및

b가 3 이상이고 a보다 작도록 선택되는 Mb 금속 라우팅 층 상에 배치되는 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터를 포함하되,

각각의 상기 전계 효과 트랜지스터는 다결정 물질로 형성된 채널 영역을 포함하는 반도체 장치.

청구항 2

제 1항에 있어서,

b가 3인 경우, 상기 M3 금속 라우팅 층은 코발트(Co) 또는 루테튬(Ru)을 포함하는 반도체 장치.

청구항 3

제 1항에 있어서,

상기 Mb 금속 라우팅 층은 상기 Mb 금속 라우팅 층 상에 배치되는 절연 물질을 더 포함하고,

상기 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터는 상기 절연 물질 상에 배치되는 반도체 장치.

청구항 4

제 1항에 있어서,

상기 다결정 물질은 약 1eV 이상의 밴드갭(bandgap) 및 약 $100\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 이동도를 갖는 반도체 장치.

청구항 5

제 1항에 있어서,

서로 격리된 상기 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터 사이에 소자 분리막(shallow trench isolation)을 포함하지 않는 반도체 장치.

청구항 6

제 1항에 있어서,

각각의 상기 전계 효과 트랜지스터는 한 쌍의 금속 영역과 상기 소오스/드레인 영역 사이에서 규칙적인 살리사이드(salicide) 형성으로 상기 소오스/드레인 영역과 직접 접촉하는 한 쌍의 금속 영역을 더 포함하는 반도체 장치.

청구항 7

b가 3 이상의 정수로 선택되는 Mb 금속 라우팅 층 상에 제1 층간 유전체를 증착하되, 상기 Mb 금속 라우팅 층은 웨이퍼 상에 형성되고, 코발트(Co)를 포함하고,

코발트(Co)의 오염 제거를 수행하고,

400°C 이하의 온도에서 상기 제1 층간 유전체 상에 다결정 실리콘층을 증착하고,

400°C 이하의 온도에서 상기 다결정 실리콘층 상에 고유전율(high-K) 유전체 물질을 증착하고,

400°C 이하의 온도에서 상기 다결정 실리콘층 상에 NMOS 일 함수 물질을 증착하고,

400°C 이하의 온도에서 상기 다결정 실리콘층 상에 PMOS 일 함수 물질을 증착하는 것을 포함하는 반도체 장치의

제조 방법.

청구항 8

제 7항에 있어서,

상기 코발트(Co)의 오염 제거를 수행하는 것은,

습식 세정을 이용하여 상기 웨이퍼의 전면, 후면 및 경사 측면 상의 잠재적인(potential) 코발트(Co) 원자를 제거하고,

코발트 산화물을 형성하기 위해 산화 공정을 수행하고,

상기 웨이퍼 상에 약 10nm 이하의 두께를 갖는 유전체층을 증착하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 9

제 7항에 있어서,

400°C 이하의 온도에서 금속 쇼트키(Schottky) 소오스/드레인 콘택을 증착하는 것을 더 포함하는 반도체 장치의 제조 방법.

청구항 10

제 9항에 있어서,

NMOS 일 함수 물질 및 PMOS 일 함수 물질 상에 제2 층간 유전체를 증착하고,

상기 제2 층간 유전체를 관통하는 비아 홀을 식각하고,

비아를 형성하기 위해 식각된 상기 비아 홀에 금속을 증착하고,

상부 M(b+1) 금속 라우팅 층을 증착하는 것을 더 포함하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 상부 금속 라우팅 층에 리피터 / 버퍼를 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 전체적인 칩 성능은 스케일링된 노드, 예를 들어 7nm 노드 및 그 이상의 노드에서의 칩에 대한 백 엔드 오브 라인(back-end-of-line)(BEOL)의 상호 접속 성능에 의해 심각하게 제한될 수 있다. 이것은 최소 배선평(feature sizes)의 감소에 따라 라인 및 비아 저항이 크게 증가한다는 사실 때문이다. 최소 배선평이 조정됨에 따라 금속 피치와 트랜지스터 역시 조정된다. 금속 피치의 감소(즉, 금속 라인들 사이의 거리 감소)는 단위 길이 당 커패시턴스의 증가를 초래할 수 있다. 또한, 금속 피치의 감소와 관련하여, 배선의 단면적의 감소는 배선의 저항률이 비선형적으로 증가를 초래할 수 있고, 이로 인해 배선 비아 및 라인 저항을 증가(예를 들어, 성능 저하)시킬 수 있고 전반적인 칩 성능을 악화시킨다(예를 들어, 성능 저하). 요약하면, 장치의 간단한 기하학적 스케일링은 프론트 엔드 라인(front-end-of-line)(FEOL)에서 트랜지스터 성능을 향상시킬 수 있다. 그러나, 이러한 개선은 스케일링된 금속 피치에 기인하는 대응하는 훨씬 더 높은 커패시턴스 저항(RC) 지연으로 인해 쉽게 백 엔드 오브 라인(back-end-of-line)(BEOL)을 통해 변환될 수 없다.

[0003] 백 엔드 오브 라인(back-end-of-line)(BEOL)의 배선 성능을 향상시키기 위해 리피터(repeater)는 금속층보다 높은 배선과 같은 긴 라우팅 와이어에 대한 신호 레벨을 높여 대응하는 회로 성능을 증가시키거나 또는 최대화시키기 위해 삽입될 수 있다. 현재, 구리(Cu)는 금속층에 일반적으로 이용되며 리피터에 오염을 유발할 수 있다. 또한, 리피터를 상위 금속 라우팅 층에 연결하기 위해 사용되는 실패한 CMOS 기능으로 인해 리피터의 성능이 저하될 수 있다.

[0004] 이러한 배경 기술 분야에서 개시된 상기 정보는 본 발명의 배경 지식을 향상시키기 위해 제공되며, 따라서 종래 기술을 구성하지 않는 정보를 포함할 수 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명이 해결하고자 하는 과제는, 금속층으로부터 리피터까지의 배선 저항을 감소시켜 신뢰성이 향상된 반도체 장치를 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 다른 과제는, 금속층으로부터 리피터까지의 배선 저항을 감소시켜 신뢰성이 향상된 반도체 장치의 제조 방법을 제공하는 것이다.
- [0007] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0008] 본 발명은 반도체 장치의 다양한 실시예에 관한 것이다. 본 발명의 일 실시예에 따른 반도체 장치는, a가 4 이상의 정수로 선택되는 M1 금속 라우팅(routing)층 내지 Ma 금속 라우팅 층, 및 b가 3 이상이고 a보다 작도록 선택되는 Mb 금속 라우팅 층 상에 배치되는 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터를 포함하되, 각각의 상기 전계 효과 트랜지스터는 다결정 물질로 형성된 채널 영역을 포함한다.
- [0009] 몇몇 실시예에서, 상기 다결정 물질은 다결정 실리콘을 포함할 수 있다.
- [0010] 몇몇 실시예에서, b가 3인 경우, 상기 M3 금속 라우팅 층은 코발트(Co) 또는 루테튬(Ru)을 포함할 수 있다.
- [0011] 몇몇 실시예에서, 상기 M1 금속 라우팅 층, 상기 M2 금속 라우팅 층 및 상기 M3 금속 라우팅 층 각각은 독립적으로 코발트(Co) 또는 루테튬(Ru)을 포함할 수 있다.
- [0012] 몇몇 실시예에서, 상기 Mb 금속 라우팅 층은 상기 Mb 금속 라우팅 층 상에 배치되는 절연 물질을 더 포함하고, 상기 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터는 상기 절연 물질 상에 배치될 수 있다.
- [0013] 몇몇 실시예에서, 상기 다결정 물질은 약 1eV 이상의 밴드갭(bandgap) 및 약 $100\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 이동도를 가질 수 있다.
- [0014] 몇몇 실시예에서, 서로 격리된 상기 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터 사이에 소자 분리막(shallow trench isolation)을 포함하지 않을 수 있다.
- [0015] 몇몇 실시예에서, 상기 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터의 각각의 상기 전계 효과 트랜지스터는 채널 영역의 상기 다결정 물질을 포함하는 소오스/드레인 영역을 더 포함할 수 있다.
- [0016] 몇몇 실시예에서, 각각의 상기 전계 효과 트랜지스터는 한 쌍의 금속 영역과 상기 소오스/드레인 영역 사이에서 규칙적인 살리사이드(salicide) 형성으로 상기 소오스/드레인 영역과 직접 접촉하는 한 쌍의 금속 영역을 더 포함할 수 있다.
- [0017] 몇몇 실시예에서, 상기 금속 영역은 티타늄(Ti), 니켈(Ni), 백금(Pt) 및/또는 코발트(Co)를 포함할 수 있다.
- [0018] 몇몇 실시예에서, 상기 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터는 인버터 구성(inverter configuration)일 수 있다.
- [0019] 몇몇 실시예에서, 상기 전계 효과 트랜지스터는 비아의 1레벨 또는 비아가 없는 리피터(repeater) / 버퍼(buffer) 회로에 배치될 수 있다.
- [0020] 몇몇 실시예에서, 각각의 상기 전계 효과 트랜지스터는 비결정 물질을 포함하는 게이트 스택을 포함할 수 있다.
- [0021] 몇몇 실시예에서, 상기 다결정 물질은 약 5nm 내지 15nm 의 두께를 가질 수 있다.
- [0022] 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법은, b가 3 이상의 정수로 선택되는 Mb 금속 라우팅 층 상에 제1 층간 유전체를 증착하되, 상기 Mb 금속 라우팅 층은 웨이퍼 상에 형성되고, 코발트(Co)를 포함하고, 코발트(Co)의 오염 제거를 수행하고, 400°C 이하의 온도에서 상기 제1 층간 유전체 상에 다결정 실리콘층을 증착하고, 400°C 이하의 온도에서 상기 다결정 실리콘층 상에 고유전율(high-K) 유전체 물질을 증착하고, 400°C 이하의 온도에서 상기 다결정 실리콘층 상에 NMOS 일 함수 물질을 증착하고, 400°C 이하의 온도에서 상기 다결정

실리콘층 상에 PMOS 일 함수 물질을 증착하는 것을 포함한다.

- [0023] 몇몇 실시예에서, 상기 코발트(Co)의 오염 제거를 수행하는 것은, 습식 세정을 이용하여 상기 웨이퍼의 전면, 후면 및 경사 측면 상의 잠재적인(potential) 코발트(Co) 원자를 제거하고, 코발트 산화물을 형성하기 위해 산화 공정을 수행하고, 상기 웨이퍼 상에 약 10nm 이하의 두께를 갖는 유전체층을 증착하는 것을 포함할 수 있다.
- [0024] 몇몇 실시예에서, 400°C 이하의 온도에서 금속 쇼트키(Schottky) 소오스/드레인 콘택을 증착하는 것을 더 포함할 수 있다.
- [0025] 몇몇 실시예에서, NMOS 일 함수 물질 및 PMOS 일 함수 물질 상에 제2 층간 유전체를 증착하고, 상기 제2 층간 유전체를 관통하는 비아 홀을 식각하고, 비아를 형성하기 위해 식각된 상기 비아 홀에 금속을 증착하고, 상부 M(b+1) 금속 라우팅 층을 증착하는 것을 더 포함할 수 있다.
- [0026] 몇몇 실시예에서, 상기 상부 M(b+1) 금속 라우팅 층은 구리(Cu) 또는 텅스텐(W)을 포함할 수 있다.
- [0027] 몇몇 실시예에서, 상기 고유전율(high-K) 유전체 물질을 증착하는 것은, 중성 산소 빔(neutral oxygen beam)에 의해 보조되는 저온 산화를 이용하여 실리콘 산화물을 형성하는 것을 포함할 수 있다.
- [0028] 이러한 요약은 이하의 상세한 설명에서 더 설명되는 본 발명의 실시예의 특징 및 개념의 선택을 소개하기 위해 제공된다. 이러한 요약은 청구된 기술적 사상의 핵심 또는 필수적인 특징을 식별하기 위한 것이 아니며 청구된 기술적 사상의 범위를 제한하는데 사용되도록 의도되지도 않는다. 설명된 특징들 중 하나 이상은 작동 가능한 장치를 제공하기 위해 하나 이상의 다른 설명된 특징과 결합될 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 하나 이상의 실시예에 따른 상부 금속 라우팅 층 상에 삽입된 리피터를 포함하는 반도체 장치의 개략적인 단면도이다.
- 도 2는 본 발명의 몇몇 실시예에 따른 반도체 장치에 사용되는 리피터로서 기능하는 인버터 구성의 한 쌍의 NMOS 및 PMOS 트랜지스터의 개략적인 단면도이다.
- 도 3은 본 발명의 하나 이상의 실시예에 따른 도 1의 반도체 장치에서 리피터의 제조 방법을 순차적으로 도시한 순서도이다.
- 도 4는 본 발명의 하나 이상의 실시예에 따른 코발트(Co)의 오염 제거 공정을 순차적으로 도시한 순서도이다.
- 도 5a 내지 도 5h는 본 발명의 하나 이상의 실시예에 따른 반도체 장치에서 리피터의 제조 방법을 설명하기 위한 중간 단계 도면들이다.
- 도 6은 본 발명의 하나 이상의 실시예에 따른 리피터를 포함하는 전기 장치의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명은 반도체 장치의 상부 금속 라우팅 층들 또는 그 사이에 하나 이상의 트랜지스터들을 포함하는 반도체 장치의 다양한 실시예들에 관한 것이다. 하나 이상의 트랜지스터는 리피터(repeater) / 버퍼(buffer) 회로와 같은 회로를 형성하기 위해 다른 트랜지스터와 결합될 수 있다. 하나 이상의 트랜지스터는 저온에서 성장된 다결정 물질로부터 선택된 결정 물질을 포함할 수 있다. 또한, 본 발명의 하나 이상의 실시예에 따른 반도체 장치는 반도체 장치의 금속 라우팅 층 아래에 형성된 리피터 / 버퍼 회로와 비교하여 리피터 / 버퍼 회로에서 감소되거나 제한된 비아를 포함할 수 있다. 리피터 / 버퍼 회로를 M3 금속 라우팅 층 또는 그 이상의 라우팅 층에 배치하면 중간 라인(middle of line)(MOL) 커패시턴스에서 성능 손실을 복구할 수 있다. 리피터 / 버퍼 회로가 상부 금속 라우팅 층 내에 또는 그 사이에 배치되면, 리피터 / 버퍼 회로가 프론트 엔드 라인(front-end-of-line)(FEOL)에서 트랜지스터의 사용에 의해 형성된 회로만큼 고성능이 아니더라도, 그물 라우팅 지연(net routing delay)이 개선된다.
- [0031] 또한, 상부 금속 라우팅 층 내에 또는 사이에 리피터 / 버퍼 회로를 배치하면 리피터의 개수 및 연관된 배선 길이가 감소될 것이다. 따라서 칩 상에 다른 기능을 삽입하기 위한 영역을 개방한다.
- [0032] 이하에서, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명한다. 그러나, 본 발명의 기술적 사상은 다양한 다른 형태로 구체화될 수 있으며, 본 설명에 도시된 실시예만으로 제한되는 것으로 해석되어서는 안된다. 오히려, 이러한 실시예는 본 발명의 기술적 사상이 철저하고 완전하게 될 수 있도록 예로서

제공되며, 본 발명의 기술적 사상의 양상 및 특징을 당업자에게 충분히 전달할 것이다. 따라서, 본 발명의 기술적 사상의 양상들 및 특징들의 완전한 이해를 위해 당업자에게 필요하지 않은 공정들, 요소들 및 기술들은 설명되지 않을 수 있다. 다른 언급이 없는 한, 동일한 도면 부호는 첨부된 도면 및 상세한 설명 전반에 걸쳐 동일한 요소를 나타내므로, 그 설명은 반복되지 않을 수 있다.

[0033] 도면에서, 구성 요소, 층 및 영역의 상대적인 크기는 명확성을 위해 과장되거나 및/또는 간략화 될 수 있다. "아래(beneath)", "아래(below)", "아래(lower)", "하부(under)", "위(above)" "상부(upper)" 등과 같은 공간적으로 상대적인 용어는 본 명세서에서 설명의 편의를 위해 하나의 요소 또는 특징 도면에 도시된 바와 같이 구성 요소(들) 또는 특징(들)과의 관계를 용이하게 기술하기 위해 사용될 수 있다. 이러한 공간적으로 관련된 용어는 도면에 도시된 방위에 추가하여, 사용 또는 작동시 장치의 다른 방위를 포함하도록 의도된 것으로 이해될 것이다. 예를 들어, 도면의 장치가 뒤집힌다면, 다른 요소 또는 특징의 "아래(beneath)" 또는 "아래(below)" 또는 "하부(under)"로 기술된 구성 요소는 다른 구성 요소 또는 특징의 "위(above)"에 배향될 것이다. 따라서, "아래(below)" 및 "하부(under)"의 예시적인 용어는 위와 아래의 방향 모두를 포함 할 수 있다. 따라서, 장치는 다른 방향으로 배향될 수 있고(예를 들어, 90도 또는 다른 배향으로 회전될 수 있음), 본 명세서에서 사용된 공간적으로 상대적인 기술어는 그에 따라 해석되어야 한다.

[0034] 비록 "제1", "제2", "제3" 등의 용어가 본 명세서에서 다양한 구성 요소들, 구성들, 영역들, 층들 및/또는 섹션들을 설명하기 위해 사용될 수 있지만, 이들 구성 요소들, 구성들, 영역들, 층들 및/또는 섹션들은 이들 용어들에 의해 제한되어서는 안된다. 이들 용어는 하나의 구성 요소, 구성, 영역, 층 또는 섹션을 다른 구성 요소, 구성, 영역, 층 또는 섹션과 구별하기 위해서만 사용된다. 따라서, 이하에서 논의되는 제1 구성 요소, 구성, 영역, 층 또는 섹션은 본 발명의 사상 및 범위를 벗어나지 않고 제2 구성 요소, 구성, 영역, 층 또는 섹션으로 지칭될 수 있다.

[0035] 구성 요소 또는 층이 다른 구성 요소 또는 층의 "위에(on)", "연결된(connected to)" 또는 "결합된(coupled to)" 것으로 지칭될 때, 그것은 다른 구성 요소 또는 층에 직접적으로 연결될 수 있고, 연결되거나 또는 결합될 수 있거나, 하나 이상의 중간에 있는 구성 요소 또는 층이 존재할 수 있다. 또한, 하나의 구성 요소 또는 층이 2 개의 구성 요소 또는 층의 "사이에(between)" 있다고 언급 될 때, 2 개의 구성 요소 또는 층 사이의 유일한 구성 요소 또는 층, 또는 하나 이상의 개재하는 구성 요소 또는 층이 존재할 수도 있다.

[0036] 본 명세서에서 사용되는 용어는 특정 실시 예를 설명하기 위한 것이며, 본 발명을 제한하려는 것은 아니다. 본 명세서에 사용 된 바와 같이, 단수 형태는 문맥에 달리 명시되지 않는 한 복수 형태를 포함하는 것으로 의도된다. 본 명세서에서 사용되는 "포함하는(comprises)" 및/또는 "포함하는(comprising)"이라는 용어는 명시된 특징, 정수, 단계, 동작, 구성 요소 및/또는 구성의 존재를 나타내지만, 존재를 배제하지는 않는다는 것이 더 이해될 것이다. 또는 하나 이상의 다른 특징, 정수, 단계, 동작, 요소, 구성 요소 및/또는 구성의 추가를 포함 할 수 있다. 본 명세서에 사용된 바와 같이, "및/또는"이라는 용어는 하나 이상의 관련 열거된 항목의 임의 및 모든 조합을 포함한다. "적어도 하나"와 같은 표현식은 구성 요소 목록 앞에서 구성 요소의 전체 목록을 수정하고 목록의 개별 요소를 수정하지 않는다.

[0037] 본 명세서에 사용된 용어 "실질적으로", "약" 및 유사한 용어는 근사의 용어로서 사용되며 학위의 용어로서 사용되지 않으며, 이들에 의해 인식되는 측정 또는 계산된 값의 고유한 편차를 설명하기 위한 것이다. 또한, 본 발명의 개념의 실시예를 기술할 때 "할 수 있다"를 사용하는 것은 "본 발명의 하나 이상의 실시예"를 의미한다. 본 명세서에 사용된 바와 같이, 용어 "사용하는(use)", "사용(using)" 및 "사용된(used)"은 각각 "이용하는(utilize)", "이용(utilizing)" 및 "이용된(utilized)"과 동의어로 간주될 수 있다. 또한, "예를 들어"라는 용어는 예 또는 설명을 의미한다.

[0038] 달리 정의되지 않는 한, 본 명세서에서 사용된 모든 용어(기술 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술 및/또는 본 명세서와 관련하여 그 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 여기에 명시적으로 정의되지 않은 이상 이상적이거나 지나치게 형식적인 의미로 해석되어서는 안된다.

[0039] 도 1은 본 발명의 하나 이상의 실시예에 따른 상부 금속 라우팅 층(예를 들어, M3 금속 라우팅 층 이상) 상에 삽입된 리피터(100)를 포함하는 반도체 장치의 개략적인 단면도이다. 도시된 실시 예에서, 리피터(100)는 M3 금속 라우팅 층과 M4 금속 라우팅 층 사이에 삽입된다. 그러나, 본 발명의 실시예들은 이에 제한되지 않는다. 하나 이상의 실시예에서, 리피터(100)는 예를 들어, M3 금속 라우팅 층과 M3 금속 라우팅 층 사이 또는 M4 금속

라우팅 층과 M5 금속 라우팅 층 사이와 같은 임의의 다른 적절한 상부 금속 라우팅 층 사이에 삽입될 수 있다. 상술한 바와 같이, 리피터(100)는 비선형 저항 증가로 인해 긴 라우팅 배선의 신호 레벨을 높이기 위해 7nm 노드 이상에 더 자주 삽입될 수 있다. 그러나 리피터(100)는 높은 비아 저항으로 인해 성능이 저하될 수 있으며 중요한 영역을 소모할 수 있다. 본 발명에 따른 하나 이상의 예시적인 실시예에서와 같이, 상부 금속 라우팅 층에 리피터(100)를 삽입하는 것은 또한 높은 비아 저항의 효과를 감소시키거나 최소화하도록 구성된다.

[0040] 리피터(100)가 형성되는 금속 라우팅 층(예를 들어, M3 금속 라우팅 층)은 비-구리(Cu) 금속, 예를 들어 코발트(Co)로 형성될 수 있다. 하나 이상의 실시예에 따르면, 리피터(100)가 형성되는 층까지의 선행 금속 라우팅 층 각각은 비-구리(Cu) 금속, 예를 들어, 코발트(Co)로 형성될 수 있다. 예를 들어, M1 금속 라우팅 층, M2 금속 라우팅 층 및 M3 금속 라우팅 층 각각은 코발트(Co)로 형성될 수 있다.

[0041] 구리(Cu)가 금속 라우팅 층에 이용되는 경우, 구리(Cu)는 웰 캡슐화된 구조(예를 들어, 구리(Cu) 확산을 피하기 위해 특정 확산 장벽 층을 갖는 듀얼 다 마신) 내로 전기 도금될 것이다. 전기 도금 공정 중, 실리콘 웨이퍼의 후면 및 측면은 전기 도금 조(electro-plating bath)에서 구리(Cu)로 오염되고, 이러한 구리(Cu)로 오염된 공구와 기계적 상호 작용으로 오염된다. 또한 구리(Cu)는 많은 물질에서 표면 / 벌크 확산성이 높다. 따라서, 리피터가 구리(Cu) 라우팅 층 상에 형성되면, 구리(Cu) 오염이 발생하기 쉽다. 사실, 구리(Cu) 오염은 대량 생산(high-volume manufacturing)(HVM) 제조에 대한 위험 중 하나로 간주되어 왔다. 구리(Cu)는 주의를 기울이지 않는다면, 오염된 트랜지스터를 치명적으로 손상시킬 뿐만 아니라 다른 공구 셋을 쉽게 오염시켜서 제조 라인 전체를 오염시킬 수 있다.

[0042] 코발트(Co)는 비교적 낮은 전기적 저항으로 인해 적절한 금속층에서 구리(Cu)를 대체하기 위해 이용될 수 있다. 또한, 구리(Cu)가 금속 라우팅 층으로 사용될 때, 구리(Cu)의 다른 층으로의 오염을 줄이기 위해 라이너(liner)(TiN 또는 TaN과 같은 배리어)가 필요하다. 반면에 코발트(Co)와 같은 비-구리(Cu) 금속을 사용하는 배선은 반드시 라이너가 필요하지는 않다. 일 실시예에서, 코발트(Co)는 하나 이상의 금속층을 형성하기 위해 구리(Cu)를 대체하기 위해 사용되고 라이너는 ILD로부터 코발트(Co)를 분리하기 위해 사용된다. 다른 실시예에서, 코발트(Co)는 구리(Cu)를 사용하는 경우보다 얇은 라이너로 하나 이상의 금속층을 형성하기 위한 구리(Cu)를 대체하기 사용되거나, 또는 ILD로부터 코발트(Co)를 분리하기 위해 사용되고, 극단적인 차원을 위해 매우 스케일된 노드에서 금속층의 전기 저항을 더욱 낮추기 위해 사용된다.

[0043] 또한, 금속 배선층을 형성하기 위해 비-구리(Cu) 금속, 예를 들어 코발트(Co)가 사용될 때, 리피터 상의 구리(Cu) 오염이 감소되거나 회피될 수 있다. 그러나, 실리콘 내의 특정 확산성을 갖는 전이 금속으로서, 코발트(Co)는 전계 효과 트랜지스터의 게이트 스택에서 고유전율(HK) 유전체 물질로 확산될 수 있다. 그러므로, 후술하는 세 단계 오염 제거 공정은 리피터 상의 잠재적인 코발트(Co) 오염을 감소시키거나 피하기 위해 적용될 수 있다.

[0044] 도 1에 도시된 바와 같이, 본 발명의 하나 이상의 실시예에 따른 리피터(100)는 M3 금속 라우팅 층(M3) 상에 제 1 층간 유전체(ILD)층(101)(즉, 제1 ILD 층) 및 M3 금속 라우팅 층(M3)이 내장되는 절연층(131)을 포함한다. 하나 이상의 실시예에서, 제1 ILD 층(101)은 임의의 적절한 물질, 예를 들어, 플루오르가 도핑된 이산화 규소 또는 탄소가 도핑된 이산화 규소와 같이 적절하게 작은 유전 상수를 갖는 물질로 제조될 수 있다.

[0045] 도 1에 도시된 바와 같이, 본 발명의 하나 이상의 실시예에 따른 리피터(100)는 또한 제1 ILD 층(101) 상에 형성된 결정 물질층(102)을 포함한다. 하나 이상의 실시예에 따른 결정 물질층(102)은 다결정 물질로 만들어진다. 하나 이상의 실시예에서, 결정 물질층(102)은 동일한 웨이퍼 상의 프론트 엔드 라인(front-end-of-line)(FEOL)에서 상호 보완성 금속 산화물 반도체(complementary metal-oxide-semiconductor)(CMOS)의 상부에 순차적으로 형성된 다결정 실리콘(폴리 실리콘(polysilicon) 또는 폴리-실리콘(poly-Si))으로도 지칭됨) 저온 증착 공정을 이용한다. 다결정 실리콘층은 5nm 내지 15nm 두께 일 수 있다.

[0046] 도 1에 도시된 바와 같이, 본 발명의 하나 이상의 실시예에 따른 리피터(100)는 또한 결정 물질층(102)을 이용하여 형성된 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터(103, 104)(예를 들어, 각각 NMOS 트랜지스터 및 PMOS 트랜지스터)를 포함한다. 각각의 평면 전계 효과 트랜지스터(103, 104)는 결정 물질층(102)의 부분들로 만들어진 채널 영역을 갖는다. 본 발명의 하나 이상의 실시예에 따른 결정 물질층(102)을 활성층(예컨대, 채널 층)으로 이용하면, NMOS 트랜지스터(103) 및 PMOS 트랜지스터(104)는 각각 CMOS 형태로 형성된다. 또한, 상호 보완적인 한 쌍의 평면 전계 효과 트랜지스터들(103, 104)은 도 2에 도시된 바와 같이 리피터로서 기능하도록 인버터 구성으로 형성될 수 있다. 전계 효과 트랜지스터들(103, 104)이 리피터로서 기능하도록 구성된 인버터 구성일 때, 파워 라인(201)은 PMOS 트랜지스터(104)에 접속되고, 접지 라인(202)은 NMOS 트랜지스터(103)에 접

속되고, 게이트 및 드레인 라인(203, 204)은 NMOS 및 PMOS 트랜지스터(103, 104)를 각각 연결시킨다.

- [0047] NMOS 트랜지스터(103)는 결정 물질층(102)의 대응 부분 이외에 소오스/드레인(S/D) 전극(117, 118)과, 결정 물질층(102)상의 게이트 절연층(107)과, 게이트 절연층(107) 상의 게이트 전극(108)과, 저온 콘택(105, 106)로부터 게이트 전극(108)을 분리하는 스페이서(109, 110)를 포함한다. 스페이서(109, 110)는 예를 들어, 질화물로 제조될 수 있다. 소오스/드레인(S/D) 전극(117, 118)은, 예를 들어, 채널 영역과 동일한 결정 물질로 이루어질 수 있다. 일 실시예에서, 소오스/드레인(S/D) 전극(117, 118)은 시트(sheet) 저항을 감소시키고 소자 성능을 향상시키기 위해 실란(silane) 또는 게르만(germane) 대신 고차 전구체(higher order precursor)를 이용하는 선택적 에피택셜(EPI) 재성장 공정을 통해 형성될 수 있다. 선택적 에피택셜 재성장 공정에 적절한 전구체는 400°C 이하의 온도에서 증착된 Si_2H_6 , Si_3H_8 , Si_4H_{10} , Ge_2H_6 , Ge_4H_{10} 등을 포함할 수 있다. 또한, 본 발명의 하나 이상의 실시예에 따른 게이트 전극(108)은 다결정 Si, Ge 및/또는 InGaAs와 같은 다결정 반도체로 이루어질 수 있으며, N형으로 도핑될 수 있다. 금속 영역으로도 지칭되는 저온 콘택(105, 106)은 저온 콘택(105, 106)과 소오스/드레인 영역 사이에서 규칙적인 살리사이드(salicide) 형성으로 소오스/드레인 전극(117, 118)(소오스/드레인 영역이라고도 함)과 직접 연결될 수 있다. 저온 콘택(105, 106)은 소오스/드레인 영역에 대한 배리어를 감소시키거나 최소화하기 위해 선택된 금속으로 형성될 수 있다. 적절한 금속은 Ti, Ni, Pt 및/또는 Co, 또는 당업자에게 공지된 임의의 다른 적절한 금속 또는 금속들을 포함한다.
- [0048] PMOS 트랜지스터(104)는 결정 물질층(102)의 대응 부분에 추가하여 소오스/드레인(S/D) 전극(119, 120)과, 결정 물질층(102)상의 게이트 절연층(113)과, 게이트 절연층(113) 상의 게이트 전극(114)과, 저온 콘택(111, 112)로부터 게이트 전극(114)을 분리하는 스페이서(115, 116)를 포함한다. 저온 콘택(111, 112)은 예를 들어 Ti, Ni, Pt 및/또는 Co, 또는 당업자에게 공지된 임의의 다른 적절한 금속 또는 금속들로 제조될 수 있다.
- [0049] PMOS 트랜지스터(104)의 소오스/드레인 전극(119)은 NMOS 트랜지스터(103)의 소오스/드레인 전극(118)과 접촉하여 CMOS 형성을 위한 전기적 콘택을 만든다. 본 발명의 하나 이상의 실시예에 따른 한 쌍의 평면 전계 효과 트랜지스터(103, 104)(예를 들어, NMOS 및 PMOS 트랜지스터)는 이들을 서로로부터 격리시키기 위해 이들 사이에 임의의 소자 분리 영역(STI)없이 형성된다.
- [0050] 본 발명의 하나 이상의 실시예에 따른 한 쌍의 전계 효과 트랜지스터(103, 104) 중 하나 또는 둘 모두에서, 게이트 스택을 정의하는 게이트 전극(108, 114) 및 대응하는 게이트 절연층(107, 113)은 하나 이상의 보다 적절한 비결정 물질을 포함할 수 있다. 비결정 게이트 물질은 0nm 이상의 게이트 공핍(depletion) 폭을 가질 수 있다. 하나 이상의 실시예에서, NMOS 및 PMOS 트랜지스터(103, 104) 각각의 게이트 스택은 NMOS 및 PMOS 트랜지스터(103, 104)의 누설 및 성능을 제어하기 위해 상이한 일 함수를 갖도록 상이한 비결정 물질로 제조될 수 있다.
- [0051] 본 발명의 하나 이상의 실시예에 따른 전계 효과 트랜지스터(103, 104)는 결정 물질층(102)에서 결정 물질을 이용하여 형성된다. 여기서, 결정 물질은 충분히 큰 밴드갭(bandgap) 및 평면 전계 효과 트랜지스터들(103, 104)의 쌍 또는 다수 쌍으로 구성된 회로의 성능을 가능하게 하기에 충분히 높은 이동도를 가질 수 있다. 충분히 큰 밴드갭은 일반적으로 약 1eV 이상일 수 있고, 충분히 높은 이동도는 일반적으로 약 $100\text{cm}^2/\text{V}\cdot\text{sec}$ 이상일 수 있다. 또한, 본 발명의 하나 이상의 실시예에 따른 저온 콘택(105, 106 및 111, 112)은 각각 소오스/드레인(117, 118 및 119, 120)과 직접 접촉할 수 있다. 예를 들어, 저온 콘택(105, 106 및 111, 112)과 소오스/드레인(117, 118 및 119, 120) 사이에는 규칙적인 살리사이드 형성이 있을 수 있다.
- [0052] 본 발명의 하나 이상의 실시예에 따른 결정 물질층(102)과 그에 따른 NMOS 및 PMOS 트랜지스터(103, 104)는 제1 ILD 층(101)(예를 들어, 산화물 재료를 포함하는)의 절연 물질 상에 웨이퍼 본딩의 이용 없이 형성될 수 있다.
- [0053] 본 발명의 하나 이상의 실시예에 따른 전계 효과 트랜지스터(103, 104)는 반도체 장치의 상부 금속 라우팅 층 아래에 형성된 최소 게이트 길이 및 최소 접촉 피치를 갖는 전계 효과 트랜지스터보다 길거나 동일한 게이트 길이 및 더 긴(예를 들어, 2 배 더 길다) 또는 동일한 접촉된 게이트 피치를 가질 수 있다. 여기서, 전계 효과 트랜지스터(103, 104)의 더 긴 게이트 길이 및 더 긴 접촉된 게이트 피치는 예를 들어, 보다 낮은 단 채널 효과 및 더 낮은 기생 소오스/드레인 저항을 포함하는 원하는 특성을 가능하게 할 수 있다. 또한, 전계 효과 트랜지스터(103, 104)는 충분히 넓은 영역에 형성되어, 일반적으로 전계 효과 트랜지스터의 금속 라우팅 층 아래에 형성된 전계 효과 트랜지스터보다 작은 이동도를 갖는 캐리어와 호환 가능한 충분히 높은 구동 전류를 전달할 수 있는 장치 폭을 가질 수 있다. 본 발명의 하나 이상의 실시예에 따른 전계 효과 트랜지스터들(103, 104)은 일반적으로 $3\mu\text{m}$ 보다 크거나 같은 금속 길이를 가질 수 있는 금속 라인들에 접속되고(예를 들어, 전기적으로 접속된다) 금속 길이가 $10\mu\text{m}$ 이상 일 수 있다.

- [0054] 본 발명의 하나 이상의 실시예에 따른 전계 효과 트랜지스터(103, 104)는 M3 금속 라우팅 층(M3)에 근접하기 때문에 비아 접속이 제한된다. 본 발명의 하나 이상의 실시예에 따른 리피터 / 버퍼 회로는 하나 이상의 실시예를 참조하여 설명된 금속 및 임의의 비아 영역과 함께 전계 효과 트랜지스터(103, 104)에 의해 형성된다. 본 발명의 하나 이상의 실시예에 따른 리피터 / 버퍼 회로는 반도체 장치의 상부 금속 라우팅 층 아래에 전계 효과 트랜지스터로 형성된 리피터 / 버퍼 회로보다 훨씬 작은 비아(즉, 비아 레벨이 더 작음)를 가질 수 있다. 예를 들어, 본 발명의 하나 이상의 실시예에 따른 리피터 / 버퍼 회로는 1보다 작거나 같은 비아 레벨을 가질 수 있다.
- [0055] 본 발명의 하나 이상의 실시예에 따른 반도체 장치에서, 상부 금속 라우팅 층(M3) 및 상부 금속 배선층의 배선 길이는 그러한 하나 이상의 실시예에 도시되지 않는 배선 길이보다 짧을 수 있다.
- [0056] 도 1에 도시된 바와 같이, 리피터(100)는 전계 효과 트랜지스터들(103,104) 상에 제2 층간 절연막(ILD) 층(제2 ILD 층)(121)을 포함한다. 비아 개구부(또는 비아 홀)은 NMOS 트랜지스터(103)의 저온 콘택(105, 106)과 PMOS 트랜지스터(104)의 저온 콘택(111, 112)에 대응하여 이들을 전기적으로 접속시키고, 이들을 제2 ILD 층(121)에 노출시키기 위해 형성된다. 이들 비아 홀을 통해, 금속 비아 또는 콘택(122, 123, 124 및 125)이 각각 형성된다. 비아는 임의의 적절한 재료, 예를 들어, 텅스텐(W), 구리(Cu) 등으로 형성될 수 있다.
- [0057] 도 3의 순서도를 참조하여 보다 상세하게 설명되는 바와 같이, 본 발명의 하나 이상의 실시예에 따른 전계 효과 트랜지스터들(103, 104)은 하부 금속 재료 및 프론트 엔드 라인(front-end-of-line)(FEOL)의 특성과 양립 할 수 있도록 일반적으로 500°C 이하의 온도에서 처리될 수 있고, 보다 구체적으로 400°C 이하의 온도에서 처리될 수 있다. 전계 효과 트랜지스터 장치의 제조는 500°C보다 낮은 온도, 예를 들어 400°C보다 낮은 온도에서 증착 및 선택적 식각과 같은 공정 기술을 사용하여 용이하게 할 수 있다.
- [0058] 도 3은 본 발명의 하나 이상의 실시예에 따른 도 1의 반도체 장치에서 리피터의 제조 방법을 순차적으로 도시한 순서도이다.
- [0059] 단계(300)에서, 반도체 장치의 상부 금속 라우팅 층(예를 들어, M3 금속 라우팅 층(M3) 이상)의 상부에 제1 층간 유전체(ILD) 층이 증착된다. M3 금속 라우팅 층(M3) 또는 그 이상의 층들은 다마신 공정과 같은 당업자에게 공지된 임의의 적절한 또는 표준 공정을 이용하여 웨이퍼 상에 형성될 수 있으며, 이에 대한 상세한 설명은 여기에서 반복되지 않는다. ILD 층은 임의의 적절한 제조 공정 또는 기술에 의해 증착될 수 있다. 또한, 알려진 또는 이후에 개발된 임의의 표준 공정 또는 공정들은 제1 ILD 층이 증착되는 상부 금속 라우팅 층(M3) 또는 그 이상까지 반도체 장치를 제조하는데 이용될 수 있다.
- [0060] 본 발명의 하나 이상의 실시예에 따른 M3 금속 라우팅 층(M3), 또는 M4 이상의 금속 라우팅 층, 또는 M2 이하의 금속 라우팅 층 각각은 코발트(Co)로 형성된다. 예를 들어, 리피터가 M3 금속 라우팅 층(M3)과 M4 금속 라우팅 층(M4)사이에서 형성되면, M1 금속 라우팅 층 내지 M3 금속 라우팅 층 각각은 코발트(Co)로 형성된다. 나중에 형성될 리피터에 대한 잠재적인 코발트(Co)를 피하기 위해, 단계(302)에서 오염 제거 공정이 수행된다.
- [0061] 도 4는 본 발명의 하나 이상의 실시예에 따른 코발트(Co)의 오염 제거 공정을 순차적으로 도시한 순서도이다. 단계(401)에서, 웨이퍼 상에 형성된 금속층 및 제1 ILD 층에 대하여 습식 세정이 수행된다. 습식 세정은 SC1/SC2, DHF 또는 금속 오염물을 제거하기 위한 다른 적절한 반도체 세정 방법과 같은 임의의 적절한 방법을 이용하여 웨이퍼의 전면, 후면 및 측면으로부터 코발트(Co) 오염의 대부분을 제거할 수 있다. SC1/SC2는 당업자에게 알려진 표준 웨이퍼 세정 절차이며, 이에 대한 상세한 설명은 여기에 제공되지 않는다.
- [0062] 단계(403)에서, 산화 공정이 웨이퍼 상에서 수행된다. 산화 공정은 400°C 이하의 온도에서 웨이퍼 표면(예를 들어, 제1 ILD 층의 표면 또는 웨이퍼의 후면) 상에 잔류하는 코발트(Co) 원자(예를 들어, 모든 코발트(Co) 원자)를 코발트 산화물로 변환 전환시키기 위해 플라즈마(예를 들어, O₂, N₂O 등)를 포함하는 산소, O₃/ UV 산화 처리 또는 다른 산화 환경을 이용하여 수행될 수 있다. 이와 같이, 습식 세정 공정 후에 미량의 코발트(Co) 원자가 여전히 웨이퍼의 표면 상에 존재할지라도(예를 들어, 세정된 육조로부터의 재증착), 이들 미량의 코발트(Co)는 이러한 산화 공정을 통해 코발트 산화물로 전환될 것이다.
- [0063] 단계(405)에서, 지정된 폴리 실리콘 CVD 채널 형성 공정 이전에 10nm 이상의 두께를 갖는 유전체의 얇은 층이 증착된다. 유전체는 SiO₂ 또는 Si₃N₄와 같은 임의의 적절한 재료 일 수 있다. 코발트 산화물은 그것의 큰 크기로 인해 산화물 및 실리콘에서 매우 낮은 확산성을 가지며, 따라서 게이트 스택의 고유전율(HK)에 도달하기 위해 유전체층 또는 폴리 실리콘의 벌크 또는 입계(grain boundaries)를 통한 확산이 감소되거나 방지된다.
- [0064] 오염 제거 공정을 통해, 코발트 산화물이 웨이퍼 상에 존재한다면, 유전체 층 아래에 매립될 것이고, 폴리 실리

콘을 통한 그의 확산 및 고유전율(HK)까지의 확산은 장치 성능에 영향을 미치도록 상당히 감소되거나 제거될 수 있다. 또한, 본 발명의 하나 이상의 실시예에 따르면, 패립된 코발트 산화물의 움직임 유도를 할 수 있는 후속 공정 단계에서 고온 어닐링이 존재하지 않는다. 그러므로, 후속적으로 형성된 리피터 상의 코발트(Co) 오염은 상당히 감소되거나 최소화된다.

- [0065] 단계(304)에서, 결정 물질이 제1 ILD 층 상에 형성된다. 결정 물질은 예를 들어, 다결정 실리콘에 대한 저온 화학 기상 증착(CVD)과 같은 임의의 적절한 제조 공정 또는 기술에 의해 제1 ILD 층 상에 형성될 수 있다.
- [0066] 다결정 물질은 임의의 적절한 온도, 예를 들어, 500°C 이하(예를 들어, 400°C 이하)에서 제1 ILD 층 상에 형성될 수 있다. 다결정 물질이 제1 ILD 층 상에 형성되는 적절한 온도는 예를 들어, 하부 배선 시스템 및 프론트 엔드 라인(front-end-of-line)(FEOL)의 물질이 견딜 수 있는 온도 일 수 있다. 또한, 후속 장치 제조 작업은 예를 들어, 400°C 이하와 같은 동일하거나 유사한 저온에서 수행될 수 있다. 일 실시예에서, 다결정 실리콘은 Si₃H₈을 이용하여 350°C에서 CVD 공정을 통해 형성된다.
- [0067] 다결정 물질층은 전계 효과 트랜지스터의 채널 및 소오스/드레인 전극으로서 기능할 수 있다. 일 실시예에서, 증착된 다결정 물질층은 추가로 어닐링되어 결정립 크기(grain sizes)를 증가시킬 수 있다. 예를 들어, 증착된 다결정 실리콘층은 저온에서의 고상 에피택셜 재성장(solid phase epitaxial regrowth)(SPER) 또는 400°C 이하에서의 마이크로파 어닐링을 이용하여 어닐링될 수 있다.
- [0068] 여기서, 선택적으로, 전계 효과 트랜지스터들을 서로 분리시키기 위한 분리 영역들이 마스크 될 수 있다. 따라서, 전계 효과 트랜지스터들을 서로 분리시키는 소자 분리 영역 증착이 필요하지 않다. 그러나, 본 발명의 실시예가 이에 제한되는 것은 아니며, 전계 효과 트랜지스터들을 서로 분리시키기 위한 소자 분리 영역이 형성될 수 있다.
- [0069] 단계(306)에서, NMOS 및 PMOS 트랜지스터 영역을 형성하기 위해 단계(304)에서 형성된 결정 물질 상에 고유전율(HK) 물질이 증착된다. 하나 이상의 실시예에서, 고유전율(HK) 물질의 증착은 저온 예를 들어, 400°C 이하의 온도에서 수행될 수 있다. 일 실시예에서, 유전체 물질 예를 들어, SiO₂와 같은 고품질 실리콘 산화물은 저온, 예를 들어 200°C 내지 400°C에서 중성 산소 빔으로 실리콘을 조사함으로써 형성된다. 400°C보다 낮은 온도에서 고유전율(HK) 유전체층을 증착하는 것은 중성 산소 빔에 의해 보조되는 저온 산화를 이용하여 실리콘 산화물을 형성하는 것을 포함할 수 있다. 비교 가능한 열 게이트 산화물 SiO₂ 형성 공정은 1000°C 이상에서 이루어지며, 이는 백 엔드 오브 라인(back-end-of-line)(BEOL)을 형성하는 물질과 양립할 수 없다.
- [0070] 단계(308)에서, 상기 방법은 NMOS 및 PMOS 트랜지스터 영역에 대한 패터닝 영역을 포함한다. 단계(310)에서, 다결정 물질층의 PMOS 영역이 마스크 된다. 마스크는 임의의 적절한 제조 기술 또는 공정에 의해 다결정 물질층 상에 형성될 수 있다.
- [0071] 단계(312)에서, 저온 NMOS 일 함수 물질이 단계(310)에서 형성된 마스크에 의해 커버되지 않은 결정 물질층의 노출된 부분 상에 증착된다. 하나 이상의 실시예에서, 폴리-반도체 NMOS 일 함수 물질은 게이트-제1 공정으로 증착될 수 있다.
- [0072] 단계(314)에서, 다결정 물질층의 NMOS 영역은 마스크 된다. 마스크는 임의의 적절한 제조 기술 또는 공정에 의해 다결정 물질층 상에 형성될 수 있다.
- [0073] 단계(316)에서, 저온 PMOS 일 함수 물질은 단계(314)에서 형성된 마스크에 의해 커버되지 않은 결정 물질층의 노출된 부분 상에 증착된다. 선택적으로, 고차 전구체(higher order precursors)를 이용하는 소오스/드레인의 선택적 에피택셜 재성장은 저온 예를 들어, PMOS 일 함수 재료의 증착 이후에 400°C 이하의 온도에서 수행될 수 있다. 선택적 에피택셜 재성장 공정에 적절한 전구체는 Si₂H₆, Si₃H₈, Si₄H₁₀, Ge₂H₆, Ge₄H₁₀ 등을 포함할 수 있다. 일 실시예에서, 선택적 에피택셜 재성장 공정은 에피택셜 성장 동안 적절한 선택성을 보장하기 위해 HCl과 같은 특정 식각 가스 혼합될 수 있다.
- [0074] 단계(318)에서, 패터닝된 하드 마스크(예를 들어, 카본 하드 마스크)가 후속 식각 공정에서 사용하기 위해 증착된다.
- [0075] 단계(320)에서, 저온 스페이서가 증착된다.
- [0076] 선택적으로, 이온 주입(I/I)은 600°C에서의 저온 고체상 에피택셜 재성장(solid phase epitaxial regrowth)(SPER)과 같은 저온 공정 또는 300°C 내지 400°C에서의 저온 마이크로파 어닐링(MWA)을 이용하는 높은

소오스/드레인 도펀트 활성화를 위한 저온 스페이서의 증착 후에 수행될 수 있다. 일 실시예에서, 높은 소오스/드레인 도펀트 활성화는 수행되지 않는다.

- [0077] 단계(322)에서, 저온 금속 쇼트키(Schottky) 소오스/드레인 콘택은 예를 들어 450℃ 또는 그 이하에서 패터닝된다. 하나 이상의 실시예에서, 도펀트 활성화 또는 에피택시가 이용될 수 없다.
- [0078] 단계(324)에서, 제2 층간 유전체(ILD) 층이 트랜지스터 층 상에(예를 들어, NMOS 및 PMOS 트랜지스터 상에) 증착된다. 제2 ILD 층은 임의의 적절한 제조 공정 또는 기술에 의해 NMOS 및 PMOS 트랜지스터 상에 증착될 수 있다.
- [0079] 단계(326)에서, 하나 이상의 비아 개구부(또는 비아 홀)가 트랜지스터 층상의 제2 ILD 층을 관통하도록 식각된다. 하나 이상의 비아 개구부는 임의의 적절한 식각 기술, 예를 들어 건식 식각 공정(예를 들어, 플라즈마 식각)에 의해 형성될 수 있다.
- [0080] 단계(328)에서, 전력 및 신호 접속을 위한 하나 이상의 비아는 하나 이상의 비아들(비아 개구부 내부에 형성된 금속)이 PMOS 및 NMOS 트랜지스터로부터 제2 ILD 층을 통해 연장되도록 제2 ILD 층의 하나 이상의 비아 개구부에 증착(예를 들어, 금속 증착에 의해 형성)된다.
- [0081] 단계(330)에서, 상부 금속 라우팅 층(예를 들어, M4 금속 라우팅 층(M4) 또는 그 이상)이 제2 ILD 층 상에 형성된다. 상부 금속 라우팅 층(M4 금속 라우팅 층(M4) 또는 그 이상)은 구리(Cu)와 같은 임의의 적절한 물질로 형성될 수 있고, 상부 금속 라우팅 층은 부가적인 패터닝(예를 들어, 다마신 공정)과 같은 임의의 적절한 제조 공정 또는 기술에 의해 형성될 수 있다. 일 실시예에서, 리피터 아래의 금속 라우팅 층은 코발트(Co)와 같은 제1 금속으로 형성되고 리피터 위의 금속 라우팅 층은 구리(Cu)와 같은 제2 금속으로 형성된다. 즉, 리피터 아래의 금속 라우팅 층은 리피터 위의 금속 라우팅 층과 다른 금속으로 형성된다.
- [0082] 본 발명의 하나 이상의 실시예에 따르면, 상부 금속 라우팅 층에 삽입된 리피터는 하부 물질의 특성에 적합한 저온 공정을 이용하여 제조되며, 전체 리피터 형성 공정을 위한 온도는 500℃ 이하(예를 들어, 400℃ 이하)이다.
- [0083] 도 5a 내지 도 5h는 본 발명의 하나 이상의 실시예에 따른 반도체 장치에서 리피터의 제조 방법을 설명하기 위한 중간 단계 도면들이다. 도 5a를 참조하면, 코발트(Co)로 형성된 금속 라우팅 층(505)(예를 들어, M3 금속 라우팅 층)을 포함하는 웨이퍼는 금속 라우팅 층(505) 상에 형성된 질화물층(507)(예를 들어, TiN 또는 TaN)을 포함한다. 코발트(Co)는 상부면을 제외하고 ILD 층(501)에 의해 둘러싸일 수 있다. 코발트(Co)는 다마신 공정과 같은 임의의 적절한 공정을 이용하여 형성될 수 있다. 배리어(라이너)(503)는 ILD 층(501)과 금속 라우팅 층(505) 사이에 형성될 수 있다. 배리어(503)는 TiN 또는 TaN과 같은 적절한 배리어 물질로 형성될 수 있다.
- [0084] 도 5b를 참조하면, 제1 층간 유전체(ILD) 층(501a)은 금속 라우팅 층(505)의 상부에 증착되고 폴리 실리콘층(509)은 제1 ILD 층(501a) 상에 형성된다. 폴리 실리콘층(509)은 예를 들어, 500℃ 이하(예를 들어, 400℃ 이하)와 같은 임의의 적절한 온도에서 제1 ILD 층(501a) 상에 형성될 수 있다.
- [0085] 도 5c를 참조하면, 고유전율(HK) 물질은 NMOS 및 PMOS 트랜지스터 영역에 대응하는 영역에서 결정 물질 상에 증착되어 고유전율(HK) 층(511)을 형성한다.
- [0086] 도 5d를 참조하면, 각각의 NMOS 및 PMOS 트랜지스터 영역의 고유전율(HK) 층(511) 상에 NMOS 일 함수 물질(513) 및 PMOS 일 함수 물질(515)이 증착되어 게이트 전극을 형성한다. NMOS 일 함수 물질(513) 및 PMOS 일 함수 물질(515)은 예를 들어, 500℃ 이하(예를 들어, 400℃ 이하)와 같은 임의의 적절한 온도에서 고유전율(HK) 층(511) 상에 형성될 수 있다.
- [0087] 도 5e를 참조하면, 스페이서(517)가 게이트 전극 주변에 형성된다. 스페이서(517)는 예를 들어, 500℃ 이하(예를 들어, 400℃ 이하)와 같은 임의의 적절한 온도에서 형성될 수 있다. 도 5f를 참조하면, 콘택(519)은 예를 들어, 400℃ 이하에서 NMOS 및 PMOS 트랜지스터의 소오스/드레인 영역에 대응하는 영역에 형성된다. 콘택(519)은 Ti와 같은 적절한 재료로 형성될 수 있다.
- [0088] 도 5g를 참조하면, 제2 층간 유전체(ILD) 층(501b)이 트랜지스터 층 상에(예를 들어, NMOS 및 PMOS 트랜지스터 상에) 증착된다. 비아 개구부(또는 비아 홀)(521)는 그 아래의 콘택(519)에 대응하도록 트랜지스터 층 상의 제2 ILD 층(501b)을 관통하여 식각된다.
- [0089] 도 5h를 참조하면, 전력 및 신호 접속을 위한 비아(523)는 비아(523)가 제2 ILD 층(501b)을 관통하여 PMOS 및

NMOS 트랜지스터로부터 연장되도록 제2 ILD 층(501b)의 비아 개구부(521) 내에 증착된다(예를 들어, 금속 증착에 의해 형성). 또한, 제2 ILD 층(501b) 상에 구리(Cu)로 이루어진 상부 금속 라우팅 층(525)(예컨대, M4 금속 라우팅 층)이 형성된다.

[0090] 도 6을 참조하면, 전자 장치(600)는 메모리(610), 주문형 집적 회로(ASIC)(620), 중앙 처리 장치(CPU)(630), 필드 프로그래머블 게이트 어레이(FPGA)(640) 및 그래픽 프로세싱 유닛(GPU)(650)를 포함한다. 리피터 / 버퍼 회로(100)는 메모리(610), 주문형 집적 회로(ASIC)(620), 중앙 처리 장치(CPU)(630), 필드 프로그래머블 게이트 어레이(FPGA)(640) 및 그래픽 프로세싱 유닛(GPU)(650) 중 어느 하나에 포함될 수 있다.

[0091] 전자 장치(600)는 리피터 / 버퍼 회로(100)를 사용하여 하나 이상의 전기적 기능을 수행하는 독립형 시스템일 수 있다. 선택적으로, 전자 장치(600)는 보다 큰 시스템의 하위 구성 요소일 수 있다. 예를 들어, 전자 장치(600)는 컴퓨터, 셀룰러 폰, 개인 휴대 정보 단말기(PDA), 디지털 비디오 카메라(DVC) 또는 다른 전자 통신 장치의 일부일 수 있다. 선택적으로, 전자 장치(600)는 메모리(610), 주문형 집적 회로(ASIC)(620), 중앙 처리 장치(CPU)(630), 필드 프로그래머블 게이트 어레이(FPGA)(640) 및 그래픽 프로세싱 유닛(GPU)(650), 네트워크 인터페이스 카드 또는 컴퓨터에 삽입되거나 포함될 수 있는 다른 신호 처리 카드 체계일 수 있다.

[0092] 본 발명의 하나 이상의 실시예에 따르면, 결정 물질층을 포함하는 CMOS 리피터는 적절하게 높은 소자 성능을 가지며, 백 엔드 오브 라인(back-end-of-line)(BEOL)과 호환 가능하고 구리(Cu) 오염 우려가 없다. 또한, 본 발명의 하나 이상의 실시예에 따라 제조된 반도체 장치는 금속층으로부터 리피터까지의 비아의 감소 및 저 레벨 배선 금속층의 감소로 인한 배선 저항 및 커패시턴스 감소에 의해 배선 저항이 감소된다. 또한, 감소된 저항으로 인해, 리피터의 사용 빈도가 더 높아지며, 이는 리피터 스테이지들 사이의 배선 길이를 감소시키고, 따라서 온-칩(on-chip)의 다른 기능을 삽입하기 위한 영역을 개방한다. 감소된 배선 길이는 백 엔드 오브 라인(back-end-of-line)(BEOL) 커패시턴스의 감소 및 라우팅 리소스의 증가를 가져온다. 동등한 저항 성능을 갖는 코발트(Co)를 사용함으로써 구리(Cu) 오염이 감소되거나 회피된다. 또한, 코발트(Co) 교차 오염은 고도로 제조 가능한 세 단계 오염 제거 공정으로 해결된다. 저온 다결정 실리콘 CMOS는 본 발명의 기술적 사상의 하나 이상의 실시예에 따라 가능해진다.

[0093] 본 발명의 하나 이상의 실시예에 따르면, 완전히 공핍된(depleted) 트랜지스터는 코발트(Co)가 하부 금속 라우팅 층 용 금속으로 활용된 상부 금속 라우팅 층(예를 들어, M3 금속 라우팅 층(M3)에서) 상에서 저온(즉, 500°C 이하의 하부층과 호환되는 임의의 온도)에서 절연체 상에 증착된 다결정 실리콘을 이용하여 형성된다. 트랜지스터는 회로를 구성하기 위해 다른 유사한 트랜지스터와 결합되고, 일 실시예에서 회로는 제거되거나(예를 들어, 리피터 / 버퍼 회로로부터) 비아 연결이 제거되거나 실질적으로 제거되는 리피터 / 버퍼이다.

[0094] 본 발명은 예시적인 실시예를 참조하여 설명되었지만, 당업자는 모두 본 발명의 기술적 사상 및 범위를 벗어나지 않고 기술된 실시예에 대한 다양한 변경 및 수정이 수행될 수 있다는 것을 인식할 것이다. 예를 들어, M3 금속 라우팅 층과 같은 금속 라우팅 층 상에 제조된 결정 물질 트랜지스터가 설명되었지만, 본 발명의 기술적 사상은 다른 실시예들은 이에 한정되지 않는다. 일 실시예에서, 결정 물질 트랜지스터는 금속 라우팅 층과 동일한 레벨로 제조될 수 있으며, 예를 들어, 결정 물질 트랜지스터는 금속 라우팅 층 상에 추가 층을 형성하지 않고 금속 라우팅 층과 동일한 층에 위치될 수 있다. 또한, 리피터가 형성되는 금속 라우팅 층 및 그 아래의 금속 라우팅 층을 형성하기 위해 코발트(Co)가 설명되었지만, 적용 가능한 경우 텅스텐(W) 또는 루테튬(Ru)과 같은 다른 적절한 금속이 코발트(Co) 대신에 사용될 수 있다. 또한, 제2 ILD 층 상에 형성된 금속 라우팅 층(M3 또는 M4)이 설명되었지만, 후속 공정에서 M5 금속 라우팅 층, M6 금속 라우팅 층 등과 같이 M3 금속 라우팅 층(M3) 또는 M4 금속 라우팅 층(M4) 상에 추가적인 상부 금속층이 추가로 형성될 수 있다.

[0095] 또한, 다양한 기술 분야의 당업자는 본원에 기재된 본 발명의 기술적 사상이 다른 애플리케이션에 대한 다른 테스트 및 적용에 대한 해결책을 제안할 것이라는 것을 인식할 것이다. 본 명세서의 청구 범위, 본 명세서의 모든 사용 및 본원의 개시 내용을 위해 선택된 본 발명의 예시적인 실시예에 대해 행해질 수 있는 변경 및 수정이 모두 본 출원인의 의도이며, 본 발명의 기술적 사상 및 범위를 벗어나지 않는다. 따라서, 본 개시의 예시적인 실시예들은 모든 점에서 예시적인 것으로서 제한적이지 않게 고려되어야 하며, 본 개시의 사상 및 범위는 첨부된 청구 범위 및 그 등가물에 의해 표시되어야 한다.

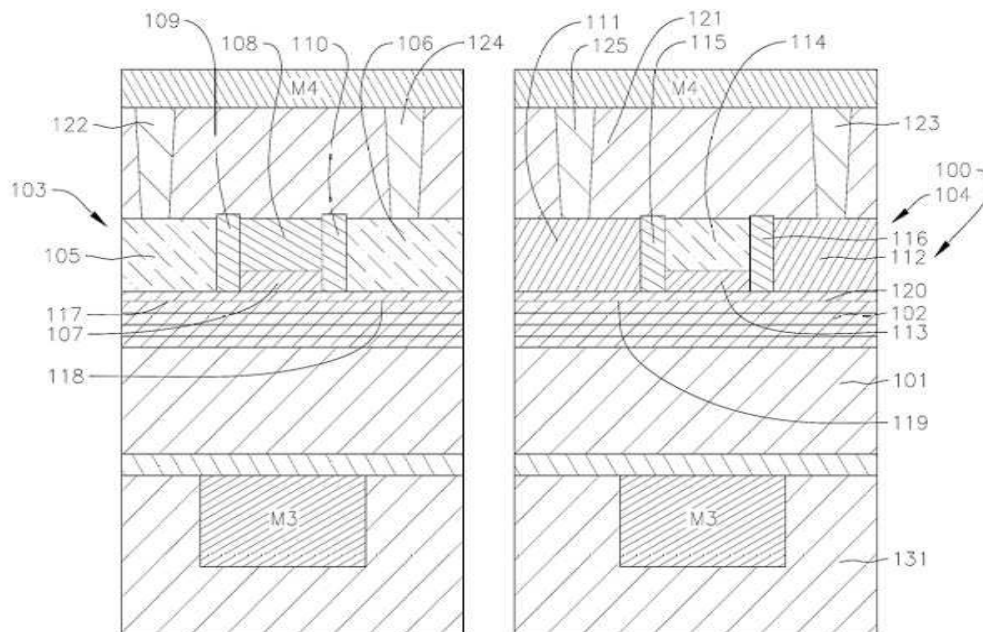
부호의 설명

[0096] M3: M3 금속 라우팅 층 M4: M4 금속 라우팅 층

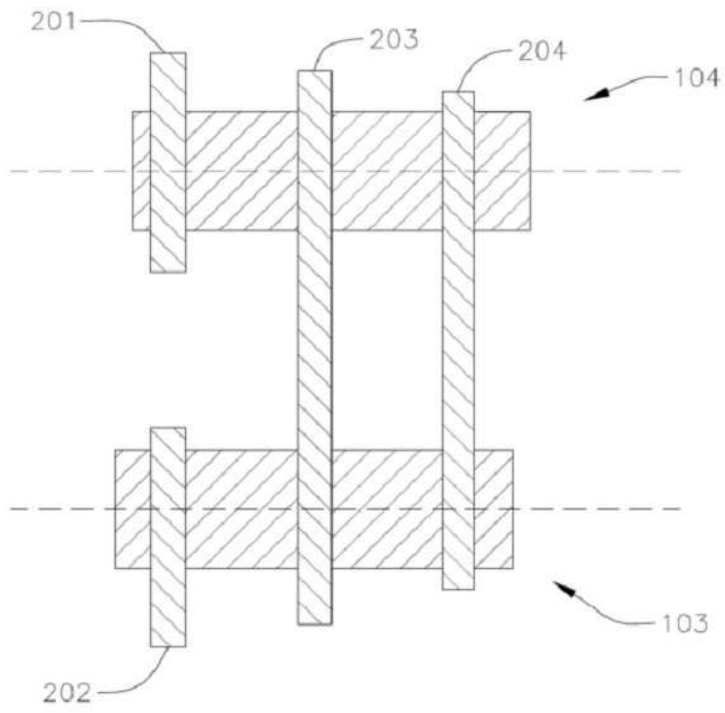
- 101: 제1 ILD 층 102: 결정 물질층
- 103: NMOS 전계 효과 트랜지스터 104: PMOS 전계 효과 트랜지스터
- 105, 106, 111, 112: 저온 콘택 107, 113: 게이트 절연층
- 108, 114: 게이트 전극 109, 110, 115, 116: 스페이서
- 117, 118, 119, 120: 소오스/드레인 전극
- 121: 제2 ILD 층 122, 123, 124, 125: 콘택
- 131: 절연층

도면

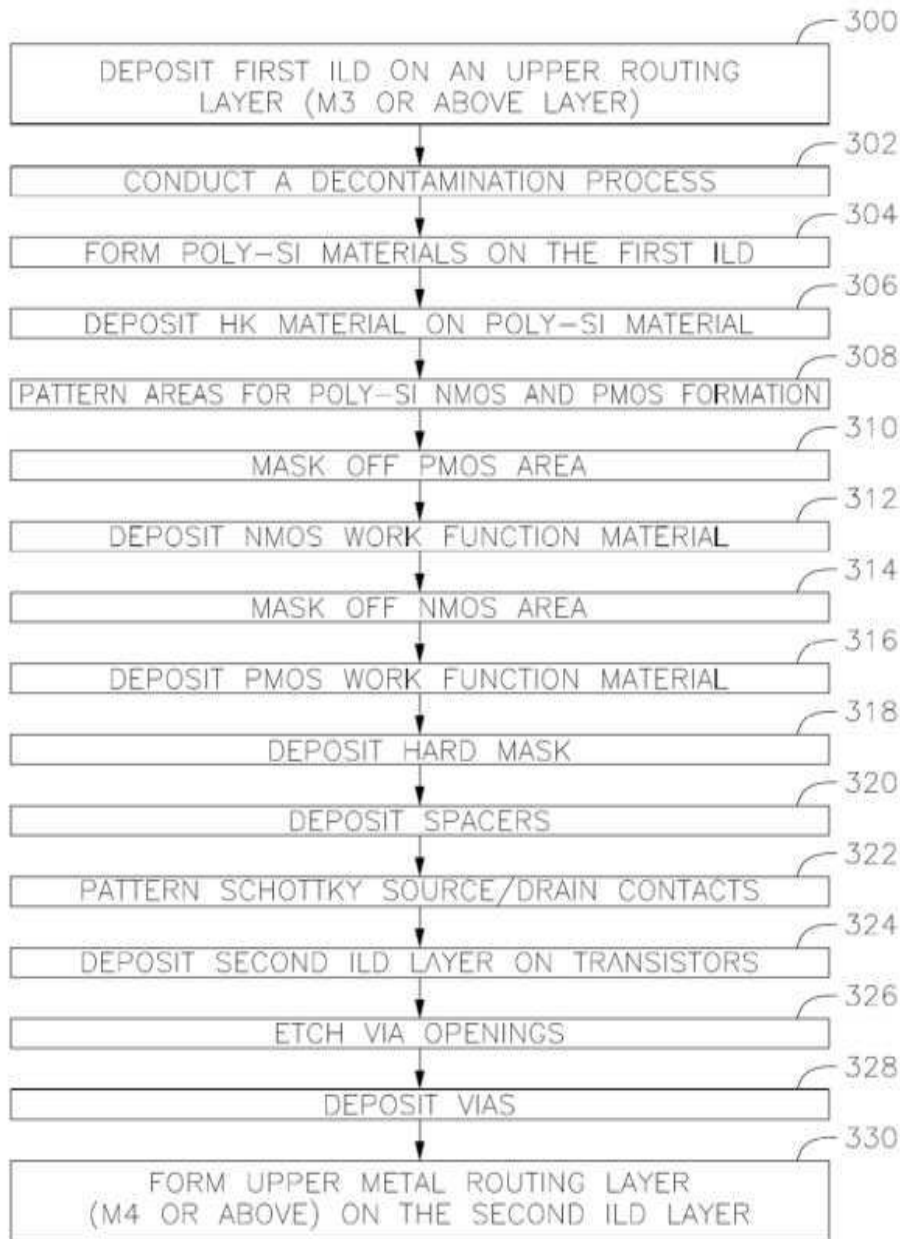
도면1



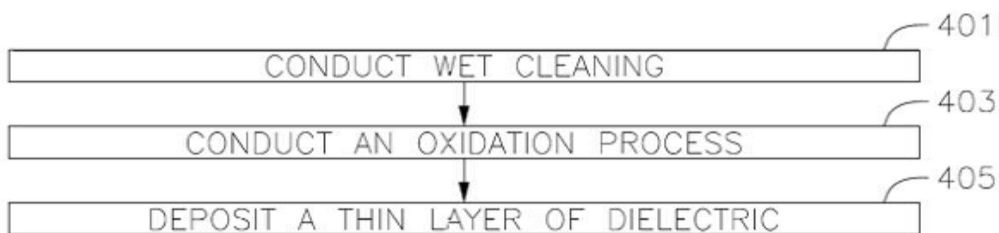
도면2



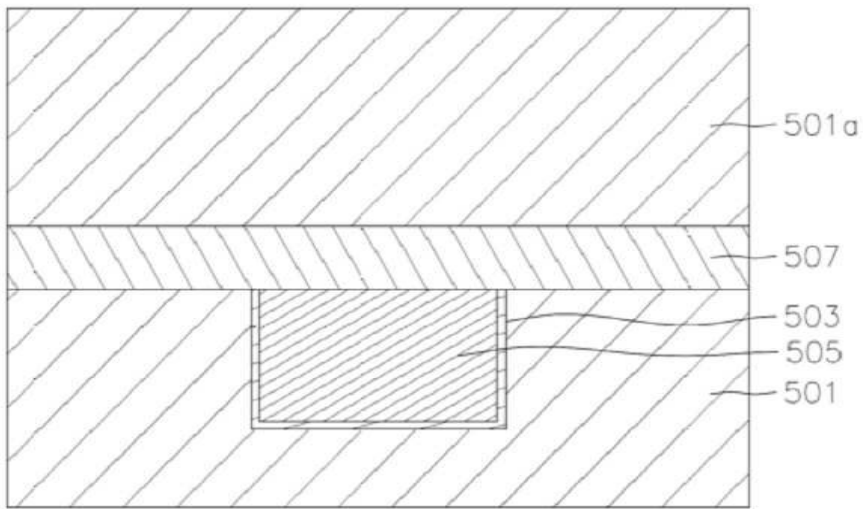
도면3



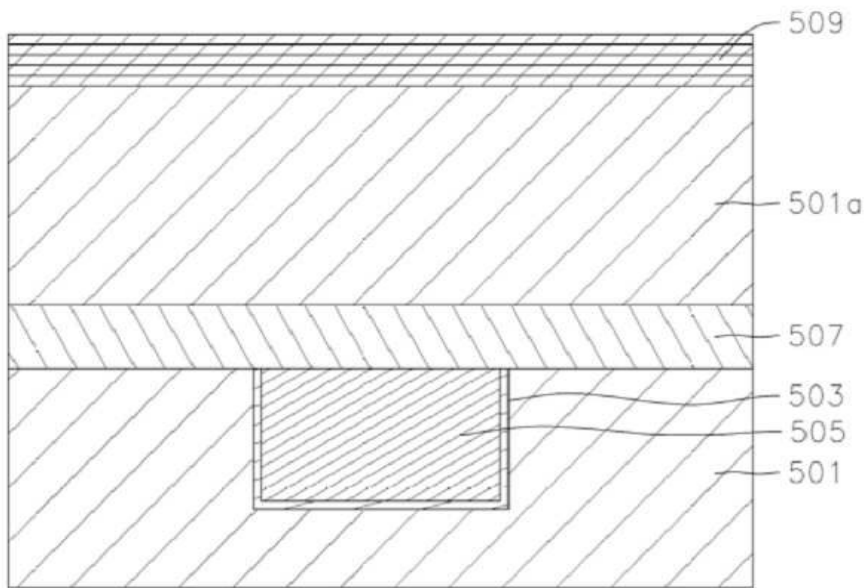
도면4



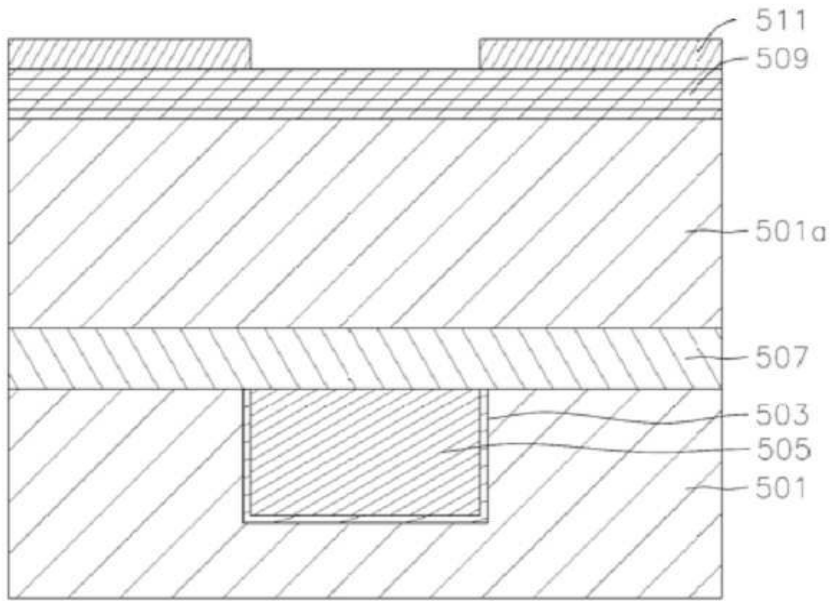
도면5a



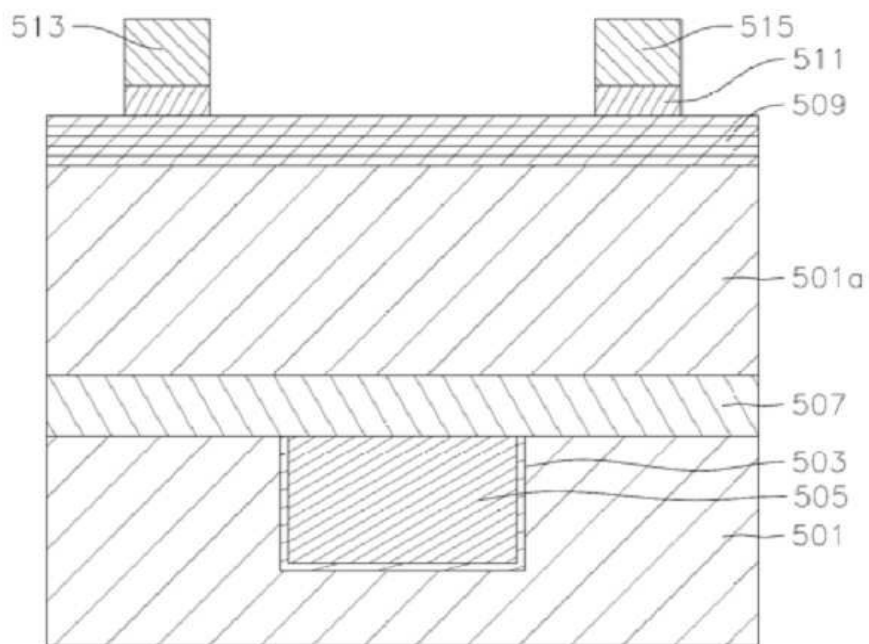
도면5b



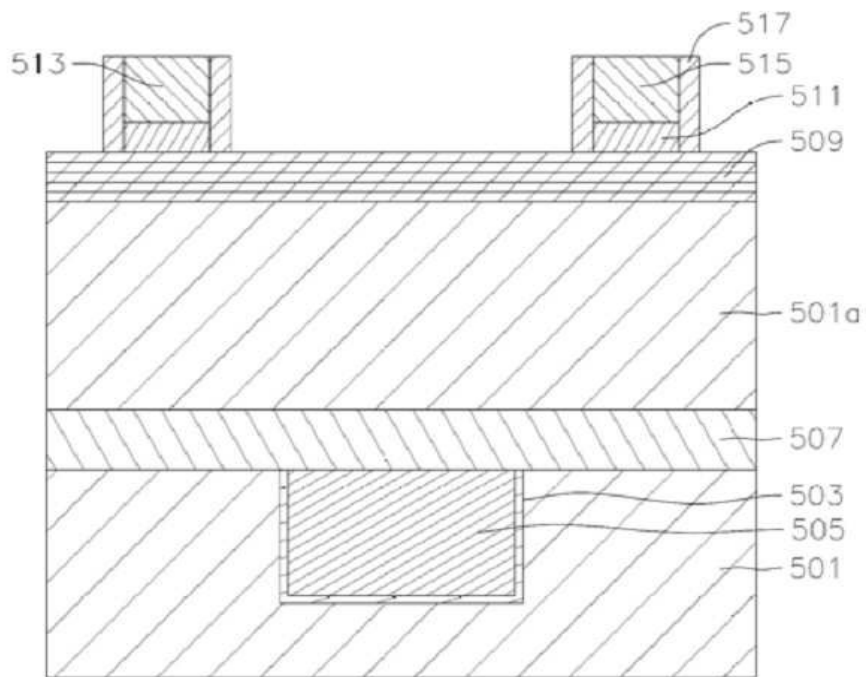
도면5c



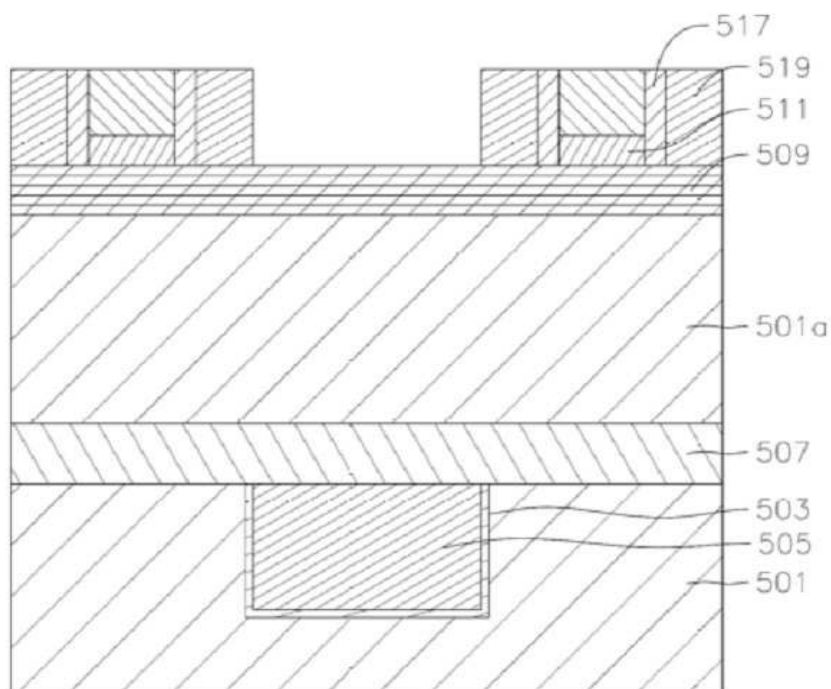
도면5d



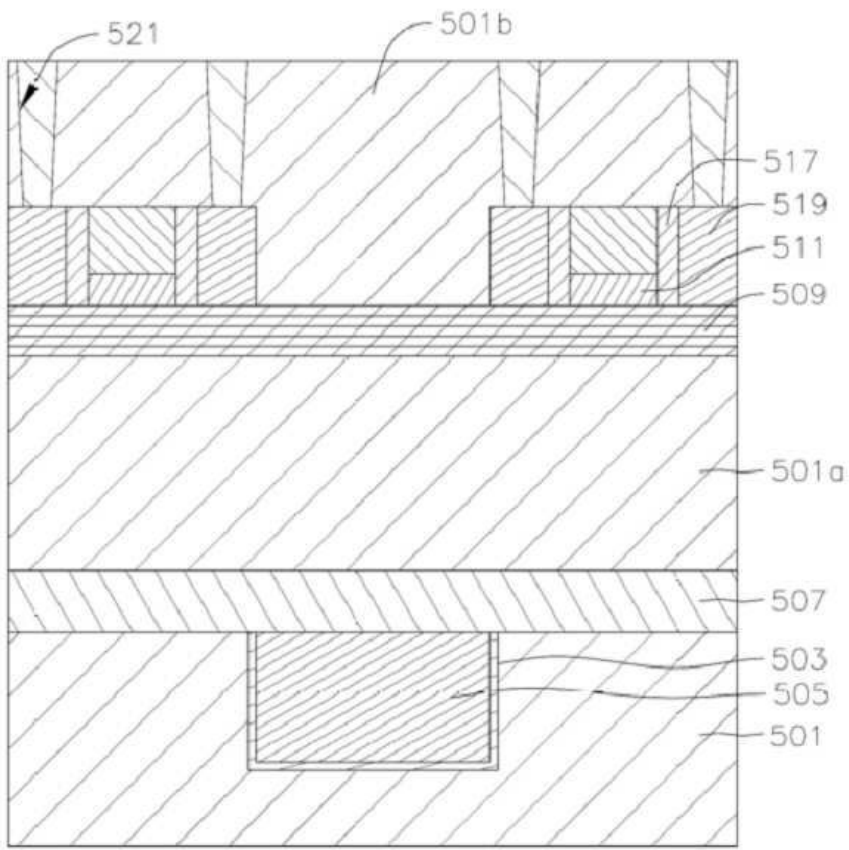
도면5e



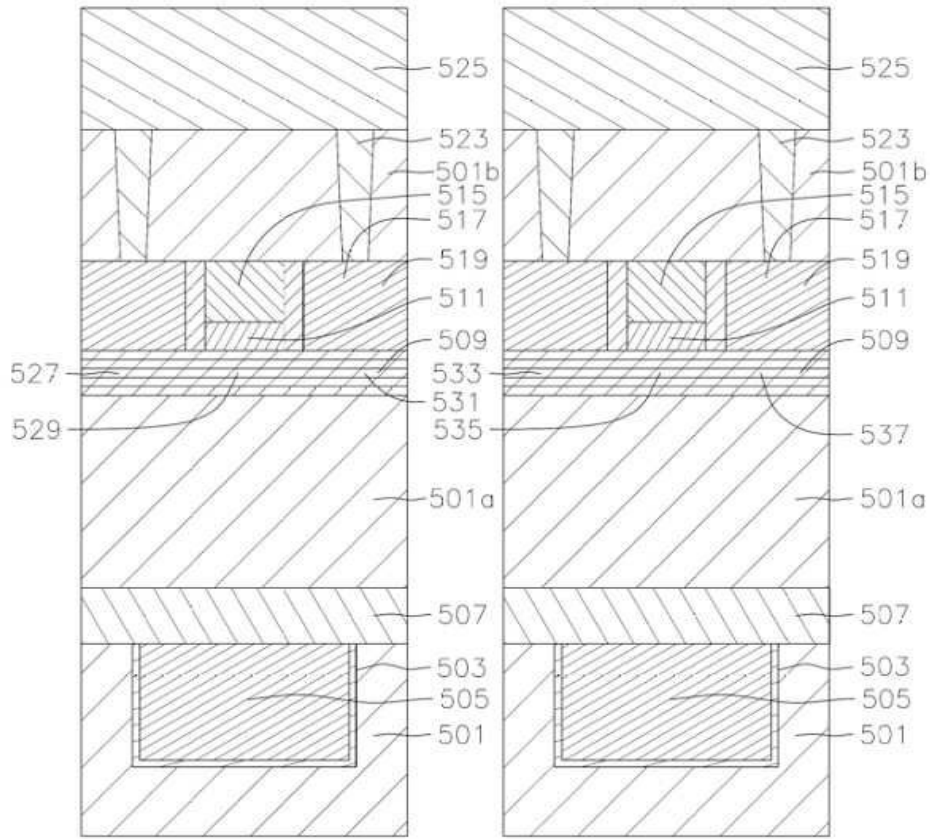
도면5f



도면5g



도면5h



도면6

