

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-251344

(P2010-251344A)

(43) 公開日 平成22年11月4日(2010.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 1	5 F 0 3 2
HO 1 L 21/76 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 4 8
HO 1 L 27/08 (2006.01)	HO 1 L 21/76 L	5 F 1 1 0
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78 6 1 3 A	
HO 1 L 27/092 (2006.01)	HO 1 L 29/78 6 2 6 C	

審査請求 未請求 請求項の数 19 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2009-95755 (P2009-95755)
 (22) 出願日 平成21年4月10日 (2009. 4. 10)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 森田 祐介
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 土屋 龍太
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 石垣 隆士
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

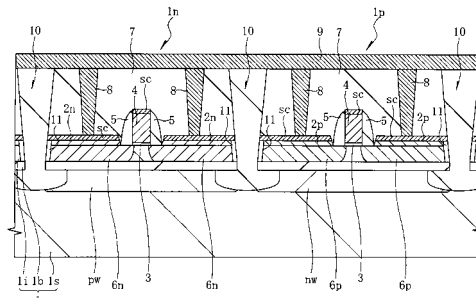
(57) 【要約】

【課題】 薄膜BOX-SOI基板に形成される電界効果型トランジスタの信頼性および動作特性の劣化を防ぐことのできる技術を提供する。

【解決手段】 薄膜BOX-SOI基板の主面上に所定の間隔で配置されたnウェルnwおよびpウェルpwが形成されており、pウェルpwに形成されたnMIS1nは、SOI層1iの主面上に所定の距離を隔てて積み上げられた半導体層に形成された一対のn型ソース・ドレイン領域2nと、一対のn型ソース・ドレイン領域2nに挟まれたゲート絶縁膜3、ゲート電極4、およびサイドウォール5とを有しており、nウェルnwとpウェルpwとの間に素子分離10を形成し、素子分離10の側端部が、n型ソース・ドレイン領域2nの側端部(BOX層1bの側壁部)よりもゲート電極4側に広がっている。

【選択図】 図1

図 1



2n: n型ソース・ドレイン領域
 4: ゲート電極
 10: 素子分離

【特許請求の範囲】

【請求項 1】

半導体基板の主面に所定の間隔で配置された第 1 導電型の第 1 半導体領域および前記第 1 導電型と異なる第 2 導電型の第 2 半導体領域と、
 前記第 1 半導体領域の主面上に所定の距離を隔てて配置された一对の半導体層と、
 前記一对の半導体層に形成された前記第 2 導電型的一对のソース・ドレイン領域と、
 前記一对のソース・ドレイン領域に挟まれたゲート電極と、
 前記第 1 半導体領域と前記第 2 半導体領域との間に形成された素子分離と、
 を有し、

前記素子分離の側端部が、前記ソース・ドレイン領域の側端部よりも前記ゲート電極側に広がっていることを特徴とする半導体装置。 10

【請求項 2】

請求項 1 記載の半導体装置において、前記素子分離は、分離溝と、前記分離溝の内部に埋め込まれた酸化シリコンの比誘電率よりも低い比誘電率を示す絶縁材料とから構成されることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、前記絶縁材料は、SiOC、SiOF、SiOB、または有機ポリマー系の材料であることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、前記素子分離は、分離溝と、前記分離溝の内部に埋め込まれた酸化シリコンの比誘電率よりも低い比誘電率を示す絶縁材料から構成され、前記素子分離の一部には、前記絶縁材料が埋め込まれていない空洞が形成されていることを特徴とする半導体装置。 20

【請求項 5】

請求項 1 記載の半導体装置において、前記半導体層は、シリコン、シリコンとゲルマニウムとの混晶、またはシリコンとカーボンとの混晶を含むことを特徴とする半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、前記半導体層の表面に金属シリサイド層が形成されていることを特徴とする半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、前記半導体層の厚さは 20 nm ~ 30 nm であることを特徴とする半導体装置。 30

【請求項 8】

請求項 1 記載の半導体装置において、前記ゲート電極は、第 1 ゲート電極と第 2 ゲート電極とからなり、前記第 2 ゲート電極の側面と底面に前記第 1 ゲート電極が形成されていることを特徴とする半導体装置。

【請求項 9】

請求項 1 記載の半導体装置において、前記半導体基板と前記ゲート電極との間に形成されたゲート絶縁膜は、酸化タンタル、酸化チタン、酸化アルミニウム、酸化ハフニウム、または酸窒化ハフニウムシリコンを主体とする絶縁膜であることを特徴とする半導体装置 40

【請求項 10】

請求項 1 記載の半導体装置において、前記半導体基板は、シリコン基板と、前記シリコン基板の主面にBOX層を介して形成されたSOI層とからなり、前記ゲート電極が形成されていない前記SOI層の主面上に前記半導体層が形成されていることを特徴とする半導体装置。

【請求項 11】

請求項 10 記載の半導体装置において、前記SOI層の厚さは 4 nm ~ 100 nm であることを特徴とする半導体装置。

【請求項 12】

請求項 10 記載の半導体装置において、前記 BOX 層の厚さは 3 nm ~ 50 nm であることを特徴とする半導体装置。

【請求項 13】

(a) シリコン基板、および前記シリコン基板の主面上に BOX 層を介して形成された SOI 層を有する基板を準備する工程と、

(b) 前記基板の主面に所定の間隔で配置された第 1 導電型の第 1 半導体領域および前記第 1 導電型と異なる第 2 導電型の第 2 半導体領域を形成する工程と、

(c) 前記第 1 半導体領域の前記 SOI 層の主面上にゲート絶縁膜およびゲート電極を形成し、さらに前記ゲート電極の側壁に絶縁膜からなるサイドウォールを形成する工程と、

(d) 前記ゲート電極および前記サイドウォールが形成されていない前記 SOI 層の主面上に半導体層を形成する工程と、

(e) 前記半導体層に前記第 2 導電型の一对のソース・ドレイン領域を形成する工程と、

(f) 前記基板の主面上に層間絶縁膜を形成する工程と、

(g) 前記第 1 半導体領域と前記第 2 半導体領域との間の上に位置する前記層間絶縁膜、前記半導体層、および前記 SOI 層を順次エッチングして、前記層間絶縁膜、前記半導体層、および前記 SOI 層に第 1 分離溝を形成する工程と、

(h) 前記第 1 分離溝の側壁に露出する前記半導体層および前記 SOI 層に酸化膜側壁を形成する工程と、

(i) 前記第 1 分離溝下に位置する前記 BOX 層を除去して第 2 分離溝を形成する工程と、

(j) 前記 BOX 層が除去された領域から前記シリコン基板をエッチングして、前記シリコン基板に第 3 分離溝を形成する工程と、

(k) 前記第 1、第 2、および第 3 分離溝の内部に絶縁材料を埋め込む工程と、を有し、

前記 (j) 工程では、前記第 3 分離溝の側端部が、前記ソース・ドレイン領域の側端部よりも前記ゲート電極側に広がって形成されることを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 13 記載の半導体装置の製造方法において、前記 (j) 工程における前記シリコン基板のエッチングは、等方性エッチングであることを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 13 記載の半導体装置の製造方法において、前記 (g) 工程における前記層間絶縁膜、前記半導体層、および前記 SOI 層のエッチングは、異方性エッチングであることを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 13 記載の半導体装置の製造方法において、前記 (e) 工程と前記 (f) 工程との間に、さらに以下の工程を含むことを特徴とする半導体装置の製造方法；

(l) 前記半導体層の表面に金属シリサイド層を形成する工程。

【請求項 17】

請求項 13 記載の半導体装置の製造方法において、前記第 1、第 2、および第 3 分離溝の内部に埋め込まれる前記絶縁材料は、SiOC、SiOF、SiOB、または有機ポリマー系の材料であることを特徴とする半導体装置の製造方法。

【請求項 18】

請求項 13 記載の半導体装置の製造方法において、前記 SOI 層の厚さは 4 nm ~ 100 nm であることを特徴とする半導体装置の製造方法。

【請求項 19】

請求項 13 記載の半導体装置の製造方法において、前記 BOX 層の厚さは 3 nm ~ 50 nm であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、第1導電型の第1半導体領域と第1導電型と異なる第2導電型の第2半導体領域とを電氣的に分離するために基板に設けられる素子分離の製造に適用して有効な技術に関するものである。

【背景技術】

【0002】

デジタル家電用マイコンまたはパーソナルコンピュータなどに用いられる大規模集積回路、あるいは移動体通信端末に用いられるアナログ高周波用電子部品（例えば送信用アンプ、受信用集積回路など）には高速化、低消費電力化、多機能化、および低コスト化が求められている。回路を構成する電子素子、例えば電界効果型トランジスタにおいては、これまでリソグラフィ技術を駆使し、主にゲート長を短くすることによって、その高性能化（電流駆動力の向上、消費電力の低減など）が実現されてきた。しかしながら、例えば電界効果型トランジスタを代表するMISFET（Metal Insulator Semiconductor Field Effect Transistor）においては、ゲート長が100nm以下となると、ゲート長などの素子寸法のばらつきまたは不純物の統計揺らぎに起因したしきい値電圧のばらつきが、MISFETの高性能化の妨げとなってしまう。

10

【0003】

そこで、上記問題を回避するために、例えばInternational Electron Devices Meeting 2004 Technical Digest、2004年、p. 631~634（非特許文献1）に記載されているように、SOI（Silicon On Insulator）層およびBOX（Buried Oxide）層をそれぞれ10nm以下と薄くしたSOI基板（以下、薄膜BOX-SOI基板と記す）を用い、この薄膜BOX-SOI基板に電界効果型トランジスタを形成し、チャンネル不純物濃度を低くし、そしてBOX層下の支持基板の不純物濃度を調整して、電界効果型トランジスタのしきい値電圧を制御する技術が研究されている。

20

【0004】

薄膜BOX-SOI基板に形成した電界効果型トランジスタでは、チャンネル不純物濃度を低くできるので、不純物の統計揺らぎに起因したしきい値電圧のばらつきを低減することができる。また、BOX層が約10nmと薄いことから、BOX層下の支持基板の不純物濃度を調整することによってしきい値電圧を制御することが可能である。また、BOX層を介して支持基板側からバックゲートバイアスを制御することによって、ゲート長やSOI層の厚さなどの変調に起因したしきい値電圧のばらつき（統計ばらつき）をなくすることもできる。

30

【0005】

しかしながら、薄膜BOX-SOI基板に形成された電界効果型トランジスタはSOI層が約10nmと薄いため、ソース・ドレイン領域の寄生抵抗が増大する。なお、この寄生抵抗の増大は、例えば選択エピタキシャル成長（SEG: Selective Epitaxial Growth）を施して、そこにシリサイドーションにより低抵抗のシリサイド層を形成することによって防ぐことができる。

【先行技術文献】

【非特許文献】

40

【0006】

【非特許文献1】International Electron Devices Meeting 2004 Technical Digest、2004年、p. 631~634

【発明の概要】

【発明が解決しようとする課題】

【0007】

多様なアプリケーションに対応するために、SOI素子と高耐圧用のバルク素子とを同一の薄膜BOX-SOI基板上に混載することが必要となる場合がある。薄膜BOX-SOI基板上にバルク素子を形成する方法には、SOI層とBOX層とを除去した領域にバルク素子を形成するハイブリッド技術がある。この技術を適用すると、薄膜BOX-SOI

50

I 基板上にバルク素子を設けることが可能である。しかし、SOI 層（厚さ約 10 nm）と BOX 層（厚さ約 10 nm）とを除去しているために、バルク素子が形成される領域（バルク素子領域）における素子分離の上面と支持基板の上面との高さの差（段差）が、SOI 素子が形成される領域（SOI 素子領域）における素子分離の上面と支持基板の上面との高さの差（段差）よりも、SOI 層と BOX 層とを足し合わせた厚さ分大きくなる。

【0008】

ところで、薄膜 BOX - SOI 基板に形成された電界効果型トランジスタの場合、選択エピタキシャル成長やシリサイドーションを行う際には、ゲート電極上のキャップ酸化膜（例えば SiO₂ 膜）、ならびに支持基板の上面および SOI 層の上面に付着した自然酸化膜を除去するために、直前の工程としてフッ硝酸（HF）溶液を用いた洗浄を必ず行う。ところが、この HF 洗浄により、支持基板の上面および SOI 層の上面に付着した自然酸化膜だけでなく、素子分離の酸化膜（例えば SiO₂ 膜）もエッチングされる。

10

【0009】

素子分離の酸化膜がエッチングされて後退（低くなる）すると、SOI 層と素子分離下の支持基板とが物理的に結合して、ソース・ドレイン領域から支持基板へリーク電流が流れることがある。この基板リーク電流は、素子分離の酸化膜を高くすることにより防止できるが、素子分離の酸化膜が高くなると、同時に、SOI 素子領域では素子分離の上面および SOI 層の上面との段差、バルク素子領域では素子分離の上面と支持基板の上面との段差が大きくなる。これら段差が大きい状態でゲート電極を加工すると、その段差部分にゲート電極材料の残渣が発生する。残渣を無くするためにはオーバーエッチングが必要であるが、オーバーエッチ量を増加させると、例えば SOI 素子領域においてゲート電極と SOI 層とが直行した部分に基板抜けが発生する。

20

【0010】

ゲート電極を加工する際に、残渣または基板抜けが発生させないための素子分離の上面と SOI 層の上面との段差または素子分離の上面と支持基板の上面との段差の上限は、ゲート電極材料やエッチング条件などにより厳密に定義することは困難であるが、約 20 nm である。また、基板リーク電流を防止するための素子分離の上面と SOI 層の上面との段差の下限は、ゲート電極上のキャップ酸化膜の厚さに依存するので厳密に定義することは困難であるが、約 10 nm である。つまり、素子分離の上面と SOI 層の上面との段差および素子分離の上面と支持基板の上面との段差は 10 ~ 20 nm に設計しなければならない。

30

【0011】

しかしながら、前述したように、ハイブリッド構造を形成する場合には、SOI 素子領域における SOI 層の上面とバルク素子領域における支持基板の上面との間で約 20 nm の段差が生じる。このため、素子分離の上面と SOI 層の上面との段差または素子分離の上面と支持基板の上面との段差を 10 ~ 20 nm にするには、設計上に矛盾が生じてくる。従って、ハイブリッド構造を形成するにはプロセス上の工夫が必要である。

【0012】

また、薄膜 BOX - SOI 基板に形成した電界効果型トランジスタには、前述したプロセス上の課題のみでなく、厚膜 BOX - SOI 基板に形成した電界効果型トランジスタと比較すると、その特性に劣る箇所もある。それは、ソース・ドレイン領域と支持基板との間に生じる接合容量の増加の問題である。この接合容量は、BOX 層が十分厚い場合には無視できるほど小さいので、回路遅延時間への影響は小さい。しかし、この接合容量は、BOX 層の厚さが薄くなることに従って大きくなり、BOX 層の厚さが約 10 nm では、その接合容量の大きさはバルク素子領域に形成される電界効果型トランジスタの接合容量と同程度となる。接合容量が大きくなると高速回路動作に影響を与えるので、バルク素子領域に形成される電界効果型トランジスタに対する優位性を示すためには構造上の工夫が必要である。

40

【0013】

このように、薄膜 BOX - SOI 基板に電界効果型トランジスタを作製するためのプロ

50

セス上の課題として、基板リーク電流の防止およびゲート電極を加工する時の基板抜けまたは残渣の発生の防止がある。また、構造上の課題として、ソース・ドレイン領域と支持基板との間の接合容量の低減がある。

【0014】

本発明の目的は、薄膜BOX-SOI基板に形成される電界効果型トランジスタの信頼性および動作特性の劣化を防ぐことのできる技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0016】

本願において開示される発明のうち、代表的なものの一実施の形態を簡単に説明すれば、次のとおりである。

【0017】

この実施の形態は、シリコン基板と、シリコン基板の主面上にBOX層を介して形成されたSOI層とからなる薄膜BOX-SOI基板に形成された電界効果型トランジスタを有する半導体装置である。電界効果型トランジスタは、薄膜BOX-SOI基板の主面に所定の間隔で配置された第1導電型の第1半導体領域および第1導電型と異なる第2導電型の第2半導体領域と、第1半導体領域の主面上に所定の距離を隔てて配置された一对の半導体層と、一对の半導体層に形成された第2導電型的一对のソース・ドレイン領域と、一对のソース・ドレイン領域に挟まれたゲート電極と、第1半導体領域と第2半導体領域との間に形成された素子分離とを有しており、素子分離の側端部が、ソース・ドレイン領域の側端部よりもゲート電極側に広がっている。

【0018】

また、この実施の形態は、シリコン基板と、シリコン基板の主面上にBOX層を介して形成されたSOI層とからなる薄膜BOX-SOI基板に電界効果型トランジスタを形成する半導体装置の製造方法である。薄膜BOX-SOI基板の主面に所定の間隔で配置された第1導電型の第1半導体領域および第1導電型と異なる第2導電型の第2半導体領域を形成した後、第1半導体領域のSOI層の主面上にゲート絶縁膜およびゲート電極を形成し、さらにゲート電極の側壁に絶縁膜からなるサイドウォールを形成する。続いて、ゲート電極およびサイドウォールが形成されていないSOI層の主面上に半導体層を形成し、その半導体層に第2導電型的一对のソース・ドレイン領域を形成する。続いて、薄膜BOX-SOI基板の主面上に層間絶縁膜を形成した後、第1半導体領域と第2半導体領域との間の上に位置する層間絶縁膜、半導体層、およびSOI層を順次エッチングして、層間絶縁膜、半導体層、およびSOI層に第1分離溝を形成する。続いて、第1分離溝の側壁に露出する半導体層およびSOI層に酸化膜側壁を形成した後、第1分離溝下に位置するBOX層を除去して第2分離溝を形成し、さらにBOX層が除去された領域からシリコン基板を等方エッチングして、シリコン基板に第3分離溝を形成する。その第3分離溝の側端部は、ソース・ドレイン領域の側端部よりもゲート電極側に広がって形成される。その後、第1、第2、および第3分離溝の内部を絶縁材料で埋め込む。

【発明の効果】

【0019】

本願において開示される発明のうち、代表的なものの一実施の形態によって得られる効果を簡単に説明すれば以下のとおりである。

【0020】

基板リーク電流を防止し、ゲート電極を加工する時の基板抜けや残渣の発生を防止し、ソース・ドレイン領域と支持基板との間の接合容量を低減することにより、薄膜BOX-SOI基板に形成される電界効果型トランジスタの信頼性および動作特性の劣化を防ぐことができる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 2 1 】

【図 1】本発明の実施の形態 1 による半導体装置の要部断面図である。

【図 2】本発明の実施の形態 1 による半導体装置の要部平面図である。

【図 3】本発明の実施の形態 1 による半導体装置の製造工程中における要部断面図である。

【図 4】図 3 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 5】図 4 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 6】図 5 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 7】図 6 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 8】図 7 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

10

【図 9】図 8 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 10】図 9 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 11】図 10 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 12】図 11 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 13】図 12 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 14】図 13 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 15】図 14 に続く半導体装置の製造工程中の図 3 と同じ箇所の要部断面図である。

【図 16】本発明の実施の形態 2 による半導体装置の要部断面図である。

【図 17】本発明の実施の形態 2 による半導体装置の製造工程中における要部断面図である。

20

【図 18】図 17 に続く半導体装置の製造工程中の図 17 と同じ箇所の要部断面図である。

【図 19】図 18 に続く半導体装置の製造工程中の図 17 と同じ箇所の要部断面図である。

【図 20】図 19 に続く半導体装置の製造工程中の図 17 と同じ箇所の要部断面図である。

【図 21】図 20 に続く半導体装置の製造工程中の図 17 と同じ箇所の要部断面図である。

【図 22】図 21 に続く半導体装置の製造工程中の図 17 と同じ箇所の要部断面図である。

30

【図 23】図 22 に続く半導体装置の製造工程中の図 17 と同じ箇所の要部断面図である。

【図 24】図 23 に続く半導体装置の製造工程中の図 17 と同じ箇所の要部断面図である。

【図 25】図 24 に続く半導体装置の製造工程中の図 17 と同じ箇所の要部断面図である。

【発明を実施するための形態】

【 0 0 2 2 】

以下の実施の形態において、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

40

【 0 0 2 3 】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとす

50

る。このことは、上記数値および範囲についても同様である。

【0024】

また、以下の実施の形態においては、電界効果型トランジスタを代表するMISFETをMISと略し、pチャネル型のMISFETをpMISと略し、nチャネル型のMISFETをnMISと略す。また、以下の実施の形態を説明するための全図において、同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0025】

(実施の形態1)

本実施の形態1による半導体装置およびその製造方法を、図1~図15を用いて詳しく説明する。

10

【0026】

まず、本実施の形態1による半導体装置の構成に関して図1を用いて説明する。図1には、本実施の形態1による半導体装置の要部断面図を示している。

【0027】

本実施の形態1による半導体装置は、薄膜BOX-SOI基板1上に形成された、nチャネル型MISトランジスタ1n(以下、単にnMIS1nと記す)およびpチャネル型MISトランジスタ1p(以下、単にpMIS1pと記す)を有している。薄膜BOX-SOI基板1は、シリコン基板1sの主面にBOX層1bを介してSOI層1iが形成された基板である。BOX層1bの厚さは、例えば3nm~50nmであり、代表的な厚さは、例えば10nmである。また、SOI層1iの厚さは、例えば4nm~100nmであり、代表的な厚さは、例えば12nmである。ここで、n型とは、多数キャリアが電子であるような半導体領域の導電型または導電状態を表し、p型とは、多数キャリアが正孔であるような半導体領域の導電型または導電状態を表す。なお、薄膜BOX-SOI基板1を構成するシリコン基板1sおよびSOI層1iの導電型は、p型であってもn型であっても良い。

20

【0028】

nMIS1nは、薄膜BOX-SOI基板1のSOI層1i(pウェルpw)の主面上に積み上げるように形成された、n型の半導体層からなる一対のn型ソース・ドレイン領域2nを有する。一対のn型ソース・ドレイン領域2nは、薄膜BOX-SOI基板1の主面上に所定の距離を隔てて配置されている。pMIS1pは、薄膜BOX-SOI基板1のSOI層1i(nウェルnw)の主面上に積み上げるように形成された、p型の半導体層からなる一対のp型ソース・ドレイン領域2pを有する。一対のp型ソース・ドレイン領域2pは、薄膜BOX-SOI基板1の主面上に所定の距離を隔てて配置されている。

30

【0029】

次に、本実施の形態1による半導体装置が有するnMIS1nおよびpMIS1pの構成を前述の図1、ならびに図2を用いて詳しく説明する。図2は、本実施の形態1による半導体装置の要部平面図を示している。本実施の形態1のnMIS1nおよびpMIS1pは、以下の構成を有する。

40

【0030】

図1に示すように、nMIS1nは、薄膜BOX-SOI基板1の主面に形成されたp型の半導体領域であるpウェルpw内に配置されている。pMIS1pは、薄膜BOX-SOI基板1の主面に形成されたn型の半導体領域であるnウェルnw内に配置されている。

【0031】

nMIS1nは、SOI層1i(pウェルpw)の主面上に積み上げるようにして形成された、n型の半導体層からなる一対のn型ソース・ドレイン領域2nを有する。一対のn型ソース・ドレイン領域2nは、SOI層1iの主面上に所定の距離を隔てて配置されている。

50

【0032】

また、 $nMIS1n$ は、 SOI 層 $1i$ の主面上において、ゲート絶縁膜 3 を隔てて配置されたゲート電極 4 を有する。ゲート電極 4 の両側壁にはサイドウォール 5 を有している。従って、ゲート電極 4 は、 SOI 層 $1i$ の主面上のうち、一对の n 型ソース・ドレイン領域 $2n$ の間であって、サイドウォール 5 に平面的に挟まれた位置に配置している。

【0033】

また、 $nMIS1n$ は、 SOI 層 $1i$ の主面に形成された n 型の半導体領域である、 n 型エクステンション領域 $6n$ を有する。 n 型エクステンション領域 $6n$ と n 型ソース・ドレイン領域 $2n$ とは同じ n 型の導電型であり、互いに平面的に重なる位置において電氣的に接続されている。このような n 型エクステンション領域 $6n$ は、ゲート電極 4 下の SOI 層 $1i$ にあるチャンネル領域と、 n 型ソース・ドレイン領域 $2n$ との間で、キャリアを円滑に授受するために形成されている。

10

【0034】

上記の構成を有する $nMIS1n$ は、薄膜 $BOX-SOI$ 基板 1 上において層間絶縁膜 7 で覆われ、層間絶縁膜 7 に形成されたコンタクトプラグ 8 を介して、層間絶縁膜 7 上に形成された配線層 9 に電氣的に接続している。より具体的には、 $nMIS1n$ の n 型ソース・ドレイン領域 $2n$ やゲート電極 4 には導電性のコンタクトプラグ 8 が電氣的に接続されており、配線層 9 を通じて、外部から電氣的に導通し得る構造となっている。これらの層間絶縁膜 7 、コンタクトプラグ 8 、および配線層 9 からなる配線構造は、さらに上層にも同様に形成され、多層配線構造を有していても良い。以上が、本実施の形態 1 による半導体装置が有する $nMIS1n$ および配線構造の基本的な構成である。

20

【0035】

$pMIS1p$ は、 $nMIS1n$ を構成する半導体層（または半導体領域）においては極性が逆であり、他は同様であるような構成を有する。より具体的には、 p 型 $MIS1p$ は、 $nMIS1n$ と同様の構成ゲート絶縁膜 3 、ゲート電極 4 、およびサイドウォール 5 を有する。また、 $pMIS1p$ は、 $nMIS1n$ の n 型ソース・ドレイン領域 $2n$ および n 型エクステンション領域 $6n$ とは極性が逆であり、かつ同様の形状の p 型ソース・ドレイン領域 $2p$ および p 型エクステンション領域 $6p$ を有する。そして、 $pMIS1p$ は、 $nMIS1n$ と同様の配線構造（層間絶縁膜 7 、コンタクトプラグ 8 、および配線層 9 ）によって、外部との電氣的な導通が可能となっている。

30

【0036】

$nMIS1n$ および $pMIS1p$ は、それぞれ薄膜 $BOX-SOI$ 基板 1 の主面に形成された素子分離 10 によって規定された、活性領域（アクティブ領域）に配置されており、素子分離 10 によって電氣的に絶縁されている。

【0037】

ここで、その素子分離 10 は、浅溝に酸化シリコンよりも比誘電率の低い $low-k$ 絶縁膜を埋め込んだ、所謂 STI （Shallow Trench Isolation）構造である。図 1 では、 $nMIS1n$ と $pMIS1p$ とは、素子分離 10 を隔てて隣り合って配置された p ウェル pw と n ウェル nw とに形成された場合を示しているが、この限りではない。

【0038】

次に、本実施の形態 1 による半導体装置が有する $nMIS1n$ と $pMIS1p$ とを互いに絶縁するための素子分離 10 の構成を前述の図 1 を用いて詳しく説明する。

40

【0039】

$nMIS1n$ の n 型ソース・ドレイン領域 $2n$ および $pMIS1p$ の p 型ソース・ドレイン領域 $2p$ のそれぞれの側端部と素子分離 10 とが接触する部分には、酸化膜側壁 11 を有している。また、上面から見て BOX 層 $1b$ 下のシリコン基板 $1s$ では、素子分離 10 の側端部が、 $nMIS1n$ の n 型ソース・ドレイン領域 $2n$ の側端部または $pMIS1p$ の p 型ソース・ドレイン領域 $2p$ の側端部よりもゲート電極 4 側に広がっている。このゲート電極 4 側に広がった素子分離 10 の側端部は、サイドウォール 5 の直下付近まで広げることが可能である。図 1 では、その素子分離 10 の側端部の形状は楕円形状となっ

50

いるが、直線的な形状であっても良い。また、BOX層1b下の素子分離10はlow-k絶縁膜で構成しなくても良く、あるいは空洞であっても良い。以上が、本実施の形態1による半導体装置が有するnMIS1n、pMIS1p、素子分離10、および配線構造の基本的な構造である。

【0040】

ところで、図2に示すように、BOX層1bを介してシリコン基板1s側からバイアスを掛けて、素子特性を制御するためのバックゲートバイアス領域BGを設ける場合、ゲート電極4が、ソース・ドレイン領域ACT、素子分離10、およびバックゲートバイアス領域BGを横切るようなレイアウトになることがある。この場合、ゲート電極4を加工した後に素子分離10を形成すると、ゲート電極4直下のSOI層1iとバックゲートバイアス領域BGとが物理的につながり、バックゲートバイアス領域BGとソース・ドレイン領域ACTとの間にリーク電流が流れる、あるいはバックゲートバイアス領域BGにバイアスを掛けた時に、BOX層1b下のシリコン基板1s側からではなく、ゲート電極4直下のSOI層1iを介して直接バイアスが掛かることがある。このような状態では、上記リーク電流のために良好なオン/オフ特性が得られず、また、バックゲートバイアスによる素子特性の制御も不能になる。

10

【0041】

そこで、本実施の形態1では、ゲート電極4が素子分離10をまたぐ部分のみ、ウェルを形成する前に、通常のリソグラフィ法およびドライエッチング法を用いて分離部分ISOを形成する。分離部分ISOを構成する絶縁材料には、熱プロセスに対する耐性が必要となるので、酸化シリコン膜を用いる。なお、分離部分ISOを構成する絶縁材料に酸化シリコンよりも比誘電率の低いlow-k絶縁膜を用いても良い。low-k絶縁膜を用いても、ソース・ドレイン領域ACT直下ではないこと、また微小領域であることから、回路動作には影響を及ぼさない。

20

【0042】

次に、本実施の形態1によるnMIS1nおよびpMIS1pが前述した構成であることの効果に関して詳しく説明する。なお、本実施の形態1によるnMIS1nおよびpMIS1pのプロセス上の特徴によってもたらされる効果に関しては、後の製造方法の説明とともに詳しく説明する。

【0043】

本実施の形態1による半導体装置が有するnMIS1nおよびpMIS1pでは、前述した分離構造の適用により、以下のような効果をもたらす。すなわち、シリコン基板1sに形成された素子分離10の側端部をゲート電極4側に広げ、素子分離10を構成する絶縁膜を酸化シリコンよりも比誘電率の低いlow-k絶縁膜で構成することにより、nMIS1nのn型ソース・ドレイン領域2nとpウェルpwとの間に発生する寄生容量およびpMIS1pのp型ソース・ドレイン領域2pとnウェルnwとの間に発生する寄生容量を低減させることができる。

30

【0044】

ここで、nMIS1nとpMIS1pとにより構成されるCMISデバイスの回路動作速度は、 $t_{pd} = RC$ で表される。 t_{pd} は回路遅延時間と呼ばれ、インバータが1周期動作するのに掛かる時間を表しており、トランジスタの抵抗Rと容量Cとの積である。つまり、抵抗Rおよび容量Cが小さいほど、回路は高速に動作する。従って、本実施の形態1では、分離構造に前述した素子分離10の形状を採用することにより寄生容量が低減し、薄膜BOX-SOI基板1上に作製したnMIS1nおよびpMIS1pを有する半導体装置の性能を向上させることができる。

40

【0045】

本実施の形態1による半導体装置が有するnMIS1nおよびpMIS1pは、前述した基本的な構成に加え、以下のような構成を有している方が、より好ましい。

【0046】

ゲート絶縁膜3を構成する絶縁材料は、酸化シリコンを主体とする絶縁膜であっても良

50

いが、酸化シリコンよりも比誘電率の高い、所謂 high - k 絶縁膜である方が、より好ましい。酸化シリコンよりも比誘電率の高いゲート絶縁膜 3 として、例えば、窒化シリコン (SiO_xN_y)、窒化シリコン (Si_xN_y)、酸化タンタル (Ta_2O_5)、酸化チタン (TiO_2)、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO_2)、または窒化ハフニウムシリコン (HfSiON) を主体とする絶縁膜を例示することができる。このような high - k 絶縁膜によってゲート絶縁膜 3 を形成することで、等価酸化膜厚 (EOT : Equivalent Oxide Thickness) を減少させることができる。すなわち、酸化シリコン膜を用いた場合と比較して、ゲート絶縁膜 3 の物理膜厚を厚くしても同等の電界効果をもたらすことができる。これにより、前述したような効果を有する本実施の形態 1 の nMIS1n および pMIS1p においてリーク電流を低減することができる。その結果として、nMIS1n および pMIS1p を有する半導体装置の信頼性をより向上させることができる。

10

【0047】

また、ゲート電極 4 を構成する導電材料は、不純物を含む多結晶シリコンを主体とする導体膜であっても良いが、窒化チタン (TiN)、窒化モリブデン (MoN)、またはハフニウムシリサイド (HfSi) などを主体とする導体膜を用いた、所謂メタルゲート電極材料である方が、より好ましい。なぜなら、このようなメタルゲート電極材料によってゲート電極 4 を形成することにより、多結晶シリコン膜のみを用いた場合よりも、空乏化し難いゲート電極 4 が得られるからである。これにより、前述したような効果を有する本実施の形態 1 の nMIS1n および pMIS1p において、駆動電流を向上させることができる。その結果として、nMIS1n および pMIS1p を有する半導体装置の性能を向上させることができる。

20

【0048】

また、n 型ソース・ドレイン領域 2n および p 型ソース・ドレイン領域 2p は、シリコンを主体とする半導体層であっても良いが、n 型ソース・ドレイン領域 2n は、シリコンとゲルマニウム (Ge) との混晶を主体とする半導体層、p 型ソース・ドレイン領域 2p は、シリコンとカーボン (C) との混晶を主体とする半導体層である方が、より好ましい。なぜなら、シリコン基板 1s 上に新たに積み上げることで形成される n 型ソース・ドレイン領域 2n をシリコンとゲルマニウムとの混晶とし、p 型ソース・ドレイン領域 2p をシリコンとカーボンの混晶とすることにより、単結晶シリコンからなるチャネル移動度 (チャネル領域におけるキャリア移動度) を向上させる効果がある。これにより、前述したような効果を有する本実施の形態 1 の nMIS1n および pMIS1p において、駆動電流をより向上させることができる。その結果として、nMIS1n および pMIS1p を有する半導体装置の性能を向上させることができる。

30

【0049】

また、n 型ソース・ドレイン領域 2n および p 型ソース・ドレイン領域 2p は、前述したようなシリコン、シリコンとゲルマニウムとの混晶からなる半導体層またはシリコンとカーボンとの混晶からなる半導体層のみであっても良いが、その表面側の一部または全部が、金属シリサイド層 sc によって形成されている方が、より好ましい。なぜなら、n 型ソース・ドレイン領域 2n および p 型ソース・ドレイン領域 2p のそれぞれの表面に半導体層よりも抵抗値の低い金属シリサイド層 sc を設けることで、コンタクトプラグ 8 とのオーミック接続が実現できるからである。これにより、前述したような効果を有する本実施の形態 1 の nMIS1n および pMIS1p において、駆動電流をより向上させることができる。その結果として、nMIS1n および pMIS1p を有する半導体装置の性能をより向上させることができる。

40

【0050】

ここで、n 型ソース・ドレイン領域 2n および p 型ソース・ドレイン領域 2p のそれぞれの一部が金属シリサイド層 sc によって形成された構造とした場合、n 型ソース・ドレイン領域 2n および p 型ソース・ドレイン領域 2p においては、金属シリサイド層 sc 以外の領域が半導体層となる。金属シリサイド層 sc としては、例えば、コバルトシリサイ

50

ド (CoSi_2)、ニッケルシリサイド (NiSi)、白金シリサイド (PtSi)、タングステンシリサイド (WSi_2)、またはモリブデンシリサイド (MoSi_2) などがある。なお、前述の図 1 では、 n 型ソース・ドレイン領域 $2n$ および p 型ソース・ドレイン領域 $2p$ のそれぞれの一部、さらにゲート電極 4 の一部が金属シリサイド層 sc によって形成された場合を示している。以上が、本実施の形態 1 による半導体装置が有する $n\text{MIS1n}$ および $p\text{MIS1p}$ のより好ましい構成である。

【0051】

次に、本実施の形態 1 による半導体装置の製造方法について、図 3 ~ 図 15 を用いて詳しく説明する。なお、以下の工程によって形成される構成において、これまで説明したものと同様の構成に関しては同様の効果を有するものとし、ここでの重複した説明は省略する。

10

【0052】

まず、図 3 に示すように、シリコン基板 $1s$ の主面に埋め込み BOX 層 $1b$ を形成し、さらにその BOX 層 $1b$ の上に、 SOI 層 $1i$ を形成する。

【0053】

次に、図 4 に示すように、シリコン基板 $1s$ の主面および SOI 層 $1i$ の主面に、 p ウェル pw および n ウェル nw を形成する。さらに SOI 層 $1i$ の主面に n 型エクステンション領域 $6n$ および p 型エクステンション領域 $6p$ を形成し、 SOI 層 $1i$ の主面上にゲート絶縁膜 3 およびゲート電極 4 を形成する。

【0054】

p ウェル pw および n ウェル nw は、イオン注入法により互いに異なる領域に不純物を注入し、これを熱処理により活性化および拡散させることで形成する。互いに異なる領域に互いに異なる導電型となる不純物を注入するときは、フォトリソグラフィ法などによってパターンニングしたフォトレジスト膜 (図示しない) を形成し、これをイオン注入用のマスクとして、不純物を打ち分ける。また、不純物の活性化および拡散のための熱処理は、他の工程で必要となる熱処理と共通して施しても良い。これにより、工程数を削減することができる。以後、種々の導電型を有する半導体領域を形成する方法は同様とする。

20

【0055】

次に、 SOI 層 $1i$ の主面上において、 p ウェル pw および n ウェル nw の両領域の主面上に、ゲート絶縁膜 3 を介してゲート電極 4 を形成する。これらは、以下のような方法によって形成する。

30

【0056】

まず、 SOI 層 $1i$ の主面を熱酸化法などによって酸化することで、後にゲート絶縁膜 3 となる膜状の酸化シリコン膜を形成する。その後、この酸化シリコン膜を覆うようにして、化学気相成長 (CVD : Chemical Vapor Deposition) 法などによって、後にゲート電極 4 となる膜状の多結晶シリコン膜 (またはシリコンゲルマニウム膜、金属シリサイド膜、金属膜などでも良い) を形成する。その後、この多結晶シリコン膜を覆うようにして、 CVD 法などによって、酸化シリコンを主体とする絶縁膜からなるキャップ絶縁膜 12 を形成する。

【0057】

続いて、フォトリソグラフィ法およびドライエッチング法によってキャップ絶縁膜 12 を加工する。そして、このキャップ絶縁膜 12 をエッチングマスクとした異方性エッチングにより、下層の多結晶シリコン膜および酸化シリコン膜を順に加工して、ゲート電極 4 およびゲート絶縁膜 3 をそれぞれ形成する。

40

【0058】

ゲート絶縁膜 3 としては、酸窒化シリコン、窒化シリコン、酸化タンタル、酸化チタン、酸化アルミニウム、酸化ハフニウム、または酸窒化ハフニウムシリコンを主体とする絶縁膜であっても良い。ゲート絶縁膜 3 には、酸化シリコンを主体とする絶縁膜を用いるよりも、酸化シリコンよりも比誘電率の $low-k$ 絶縁膜を用いた方が、より好ましい。その理由および効果に関しては前述の図 1 を用いた説明と同様である。

50

【0059】

ゲート電極4としては、窒化チタン、窒化モリブデン、またはハフニウムシリサイドなどを主体とする導体膜を用いた所謂メタルゲート電極材料である方が、より好ましい。その理由および効果に関しては前述の図1を用いた説明と同様である。

【0060】

続いて、ゲート電極4の側壁を覆うようにして、サイドウォール5を形成する。これには、まず、SOI層1iの主面上にCVD法などによって、20~40nm程度の膜厚の窒化シリコンを主体とする絶縁膜を形成する。その後、当該窒化シリコン膜に対して、例えば反応性イオンエッチング(RIE: Reactive Ion Etching)法のようなドライエッチングを施す。ここでは、エッチングマスクなどは形成せずに、窒化シリコン膜に対して全面的に異方性エッチングを施す。

10

【0061】

ここで、ゲート電極4の段差部では、平坦な部分と比較して厚く窒化シリコン膜が形成されている。従って、全面的に異方性エッチングを施した場合、平坦部の窒化シリコン膜を除去しても、ゲート電極4の側壁を覆うようにして窒化シリコン膜を残すことができる。このようにして、ゲート電極4の側壁を覆う窒化シリコン膜からなるサイドウォール5を形成する。前述のようにして、所望の膜を段差部の側壁にサイドウォール状に残すために、当該膜に全面的に異方性エッチングを施す方法を、エッチバックと記す。

【0062】

次に、図5に示すように、SOI層1iの主面が露出した箇所に、20~30nm程度の膜厚の半導体層からなるソース・ドレイン領域2を形成する。すなわち、本工程では、SOI層1iの主面のうち、ゲート電極4およびサイドウォール5に覆われていない領域に半導体層を積み上げることで、ソース・ドレイン領域2を形成したことになる。

20

【0063】

これには、例えば、ジクロールシラン(SiH_2Cl_2)および塩化水素(HCl)ガスを用いた減圧CVD法によってシリコン層を堆積する。この方法によれば、前述のSOI層1iが露出した部分に堆積されるシリコン層は、SOI層1iの単結晶に倣ってエピタキシャル成長する。このような選択エピタキシャル成長法によって、SOI層1iの主面上に、所定の距離を隔てて配置された、シリコン層からなる一対のソース・ドレイン領域2を形成する。なお、本工程でソース・ドレイン領域2として結晶成長させたシリコン層には、所定の不純物を含ませない。

30

【0064】

また、前述した工程では、シリコン層を選択エピタキシャル成長によって積み上げることで、ソース・ドレイン領域2を形成する方法を示した。しかし、本実施の形態1の製造方法では、シリコンとゲルマニウムとの混晶またはシリコンとカーボンとの混晶を主体とする半導体層を積み上げることで、ソース・ドレイン領域2を形成する方が、より好ましい。その理由は、ソース・ドレイン領域2としてシリコンとゲルマニウムとの混晶またはシリコンとカーボンとの混晶を用いることで、前述の図1を用いて説明した効果を有するからである。

【0065】

シリコンとゲルマニウムとの混晶からなる半導体層(以下、シリコンゲルマニウム混晶層と記す)は、選択エピタキシャル成長法を用いて形成する。より具体的には、例えばジクロールシラン、モノゲルマン(GeH_4)、および塩化水素ガスを用いた減圧CVD法によって、シリコンゲルマニウム混晶層をエピタキシャル成長させることができる。

40

【0066】

シリコンとカーボネイトとの混晶からなる半導体層(以下、シリコンカーボネイト混晶層と記す)は、選択エピタキシャル成長法を用いて形成する。より具体的には、例えばジクロールシラン、アセチレン(C_3H_8)、および水素ガスを用いた気相エピタキシャル成長法によって、シリコンカーボネイト混晶層をエピタキシャル成長させることができる。

50

【0067】

ここで成長させたソース・ドレイン領域2は、シリコンを結晶成長させた半導体層であり、イオン注入およびその後の熱処理によって、同様にn型導電化またはp型導電化される。以後、イオン注入によってn型導電化したソース・ドレイン領域2を、n型ソース・ドレイン領域2nと記述する。また、イオン注入によってp型導電化したソース・ドレイン領域2を、p型ソース・ドレイン領域2pと記述する。前述のように、n型ソース・ドレイン領域2nとn型エクステンション領域6nとは、その端部において平面的に重なっており、電氣的に接続されている。同様に、p型ソース・ドレイン領域2pとp型エクステンション領域6pとは、その端部において平面的に重なっており、電氣的に接続されている。

10

【0068】

次に、図6に示すように、SOI層1iの主面のうち、後にpMIS1p（前述の図1参照）を形成するnウェルnwの領域を覆うように、フォトリソグラフィ法などによってフォトレジスト膜13を形成する。その後、フォトレジスト膜13をイオン注入マスクとして、SOI層1iの主面のうち、後にnMIS1n（前述の図1参照）を形成するpウェルpwの領域にイオン注入DNを施す。イオン注入DNでは、n型不純物として、例えばヒ素（As）やリン（P）などを、加速電圧5keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 程度で注入する。イオン注入DNを施した後、フォトレジスト膜13を除去する。

【0069】

次に、図7に示すように、SOI層1iの主面のうち、後にnMIS1n（前述の図1参照）を形成するpウェルpwの領域を覆うように、フォトリソグラフィ法などによってフォトレジスト膜14を形成する。その後、フォトレジスト膜14をイオン注入マスクとして、SOI層1iの主面のうち、後にpMIS1p（前述の図1参照）を形成するnウェルnwの領域にイオン注入DPを施す。イオン注入DPでは、p型不純物として、例えばホウ素（B）などを、前述の図6のイオン注入DNと同様の加速電圧、ドーズ量で注入する。その後、フォトレジスト膜14を除去する。

20

【0070】

その後、例えばRTA（Rapid Thermal Annealing）法などにより、1000で1秒程度の熱処理を施す。この熱処理により、注入した不純物を活性化および拡散させる。以上の工程により、イオン注入DN、DPによって不純物が注入された領域に、n型ソース・ドレイン領域2nまたはp型ソース・ドレイン領域2pが形成される。

30

【0071】

次に、図8に示すように、半導体層からなるn型ソース・ドレイン領域2nおよびp型ソース・ドレイン領域2pの表面、ならびにゲート電極4の表面にSOI層1iの主面上の金属シリサイド層scを、所謂シリサイド技術によって形成する。まず、ゲート電極4上のキャップ絶縁膜12を除去した後、例えばコバルト（Co）、ニッケル（Ni）、白金（Pt）、タングステン（W）、またはモリブデン（Mo）などの金属材料をSOI層1iの主面上に堆積する。続いて、熱処理を施すことにより、前述した金属材料と、SOI層1iの主面に露出したシリコンの部分（本実施の形態1では、n型ソース・ドレイン領域2n、p型ソース・ドレイン領域2p、およびゲート電極4）とが化合（金属シリサイド化）反応を起こし、金属シリサイド（コバルトシリサイド、ニッケルシリサイド、白金シリサイド、タングステンシリサイド、またはモリブデンシリサイドなど）が形成される。その後、シリサイド化されなかった金属膜の部分をエッチングにより除去することで、金属シリサイド層scを形成する。

40

【0072】

また、前述のようにして金属シリサイド層scを形成する過程で、n型ソース・ドレイン領域2nまたはp型ソース・ドレイン領域2pに注入した不純物は、表面からの金属シリサイドの侵入に伴い、下端のシリコン層/金属シリサイド層sc界面に偏析する（雪かき効果）。従って、シリコン層/金属シリサイド層sc界面の不純物濃度は高濃度（例えば、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上）になる。これにより、n型ソース・ドレイン領域2nお

50

よび p 型ソース・ドレイン領域 2 p のそれぞれの内部での、シリコン層と金属シリサイド層 s c との間のコンタクト抵抗は、n M I S 1 n および p M I S 1 p の高速動作に影響しないほど十分に低い値となる。これは、シリコンゲルマニウム混晶層を積み上げることで n 型ソース・ドレイン領域 2 n を形成した場合およびシリコンカーボネイト混晶層を積み上げることで p 型ソース・ドレイン領域 2 p を形成した場合でも同様である。

【0073】

なお、上記の雪かき効果によって、n 型エクステンション領域 6 n の不純物濃度は、n 型ソース・ドレイン領域 2 n の不純物濃度よりも低くなり、同様に、p 型エクステンション領域 6 p の不純物濃度は、p 型ソース・ドレイン領域 2 p の不純物濃度よりも低くなる。

10

【0074】

次に、図 9 に示すように、S O I 層 1 i の主面上に層間絶縁膜 7 を積層させる。この時積層される層間絶縁膜 7 は、酸化シリコン (4 . 2 ~ 4 . 0) よりも比誘電率の低い L o w - k 絶縁膜で形成される。例えば、S i O₂ にカーボン C を添加した S i O C (2 . 8 ~ 2 . 5)、S i O F (3 . 7 ~ 3 . 5)、S i O B (3 . 5)、有機ポリマー系の材料 (2 . 5 ~ 2 . 0) 等を例示することができる。

【0075】

次に、図 10 に示すように、フォトリソグラフィ法およびドライエッチング法などによって、n M I S 1 n と p M I S 1 p とを電氣的に絶縁するための素子分離 10 を形成する。この工程では、層間絶縁膜 7、金属シリサイド層 s c、n 型ソース・ドレイン領域 2 n または p 型ソース・ドレイン領域 2 p が形成されたシリコン層、および S O I 層 1 i を異方性エッチングすることにより第 1 分離溝 11 a を形成する。この時、B O X 層 1 b は除去せずに、B O X 層 1 b 上で異方性エッチングが止まるように、エッチングガス混合比を調整して第 1 分離溝 11 a を形成する。

20

【0076】

次に、図 11 に示すように、前述した工程により第 1 分離溝 11 a の側壁に露出した S O I 層 1 i およびシリコン層 (n 型ソース・ドレイン領域 2 n および p 型ソース・ドレイン領域 2 p) を低温プラズマ酸化法により、例えば 3 n m 程度酸化して、酸化膜側壁 11 を形成する。

【0077】

次に、図 12 に示すように、前述した第 1 分離溝 11 a を形成した時に除去せずに残した B O X 層 1 b を、異方性エッチングにより除去し、シリコン基板 1 s を露出させて第 2 分離溝 11 b を形成する。この時、前述した低温プラズマ酸化法により形成した酸化膜側壁 11 が除去されないように、エッチングガス流量比等を調整する。

30

【0078】

次に、図 13 に示すように、第 2 分離溝 11 b 下の B O X 層 1 b が除去された領域からシリコン基板 1 s を、例えばフッ硝酸などを用いて等方性エッチングして、第 3 分離溝 11 c を形成する。この時、シリコン基板 1 s 以外の露出した領域である層間絶縁膜 7、金属シリサイド層 s c、酸化膜側壁 11、および B O X 層 1 b とは十分に選択比が取れるように濃度を調整 (H F : H N O₂ : C H₃ C O O H = 1 : 3 : 8 など) する。この時、フッ硝酸によるエッチングは等方性であるので、形成された第 3 分離溝 11 c は楕円形状になるが、他の方法を用いて楕円形状以外の形状、例えば長方形等の形状としても良い。また、この時形成される第 3 分離溝 11 c の側端部は、B O X 層 1 b の側端部 (n 型ソース・ドレイン領域 2 n の側壁部または p 型ソース・ドレイン領域 2 p の側壁部) よりもゲート電極 4 側に広がっており、かつ、サイドウォール 5 の側端部よりも第 1 分離溝 11 a または第 2 分離溝 11 b 側に広がっている。具体的には、図 13 に示したように、サイドウォール 5 の側端部と B O X 層 1 b の側端部 (n 型ソース・ドレイン領域 2 n の側壁部または p 型ソース・ドレイン領域 2 p の側壁部) との間に、第 3 分離溝 11 c の側端部が形成されることが、n M I S 1 n および p M I S 1 p のそれぞれの高速動作には好適である。

40

【0079】

50

次に、図 1 4 に示すように、エッチングにより掘り込んだ第 1 分離溝 1 1 a、第 2 分離溝 1 1 b、および第 3 分離溝 1 1 c の内部に酸化シリコンよりも比誘電率の低い絶縁材料 1 1 d を埋め込むことにより、素子分離 1 0 を形成する。例えば前述した層間絶縁膜 7 と同じ絶縁材料を埋め込んでも良いが、酸化シリコンよりも比誘電率の低い絶縁材料ならば層間絶縁膜 7 と異なる絶縁材料であっても良い。絶縁材料 1 1 d のカバレッジが悪い場合は、第 3 分離溝 1 1 c の側端部まで絶縁材料 1 1 d が埋め込まれず、第 3 分離溝 1 1 c の内部に空洞が形成される場合がある。しかし、空気の誘電率は約 1 . 0 なので、n M I S 1 n および p M I S 1 p を高速動作させるためには好適である。

【 0 0 8 0 】

次に、図 1 5 に示すように、フォトリソグラフィ法およびエッチング法などによって層間絶縁膜 7 にコンタクトプラグ 8 を形成し、さらに前述の図 1 を用いて説明した構成の配線層 9 からなる配線構造を形成する。本実施の形態 1 の製造方法では、以上の工程によって、前述の図 1 に示した構造の半導体装置を形成する。以上が、本実施の形態 1 による n M I S 1 n および p M I S 1 p を有する半導体装置の製造方法である。

【 0 0 8 1 】

このように、本実施の形態 1 の製造方法によれば、ゲート絶縁膜 3 およびゲート電極 4 を形成してから、素子分離 1 0 を形成する。すなわち、素子分離 1 0 の上面と S O I 層 1 i の上面との境界の高さの違い（段差）が無い状態で、ゲート絶縁膜 3 およびゲート電極 4 を形成することができる。従って、ゲート絶縁膜 3 およびゲート電極 4 を加工する時に起きる基板抜け（エッチング過剰により、ゲート電極 4 と直交する部分の S O I 層 1 i が抉れてしまうこと）または残渣（エッチング不足により、素子分離 1 0 の上面と S O I 層 1 i の上面との段差部分に、ゲート電極 4 の材料やゲート絶縁膜 3 の材料が残留してしまうこと）を無くすることができる。これにより、基板抜けによる基板リーク電流の増大を防ぐことができ、また、残渣により形成される寄生容量に起因した n M I S 1 n および p M I S 1 p のデバイス特性の劣化を防止できる。

【 0 0 8 2 】

また、本実施の形態 1 の製造方法によれば、前述の図 8 の工程で金属シリサイド層 s c を形成した後に、素子分離 1 0 を形成する。すなわち、金属シリサイド層 s c を形成する直前に H F 洗浄を行っても、素子分離 1 0 を構成する絶縁材料 1 1 d は後退しない。従って、B O X 層 1 i 下のシリコン基板 1 s と S O I 層 1 i とが、金属シリサイドの拡散により物理的に結合することが無くなる。これにより、S O I 層 1 i からシリコン基板 1 s へ流れる基板リーク電流によるデバイス特性の劣化を防止できる。

【 0 0 8 3 】

以上のように、ゲート電極 4 および金属シリサイド層 s c を形成した後に素子分離 1 0 を形成することにより、ゲート電極 4 を加工する際の基板抜けおよび残渣の発生を抑制し、金属シリサイド層 s c を形成する際の S O I 層 1 i とシリコン基板 1 s との物理的結合を防止することができる。これにより、オン / オフ特性などといったトランジスタ特性を劣化させること無く、薄膜 B O X - S O I 基板 1 の主面に n M I S 1 n および p M I S 1 p を形成することができる。

【 0 0 8 4 】

（実施の形態 2）

本実施の形態 2 による半導体装置に関して、前述した実施の形態 1 の半導体装置と比較しながら説明する。

【 0 0 8 5 】

図 1 6 に示すように、本実施の形態 2 による半導体装置が有する n M I S 1 n および p M I S 1 p は、そのゲート電極 4 の要部において、前述した実施の形態 1 の半導体装置（前述の図 1 参照）と異なる構造を有する。なお、本実施の形態 2 による半導体装置は、以下で説明する構成以外においては、前述した実施の形態 1 の半導体装置と同様の構成を有し、その効果も同様であるとし、ここでの重複した説明は省略する。

【 0 0 8 6 】

10

20

30

40

50

本実施の形態 2 による半導体装置が有する n M I S 1 n および p M I S 1 p は、サイドウォール 5 の内側に沿うようにゲート絶縁膜 3 と、その内側に第 1 ゲート電極 1 2 a および第 2 ゲート電極 1 2 b が埋め込まれている。この構成は、後ほど製造方法に記述するように、ダマシ技術を用いたゲートラストプロセスにより作られている。このプロセスにより、ゲート絶縁膜 3 に比誘電率の高い h i g h - k 絶縁膜を適用することが可能となる。比誘電率が高いので、これまでゲート絶縁膜 3 に使われてきた酸化シリコン膜と比べて、等価酸化膜厚を比較的厚い膜厚で実現することができる。ゲート絶縁膜 3 が厚くなるので、第 1 および第 2 ゲート電極 1 2 a , 1 2 b から S O I 層 1 i へ流れるゲートリーク電流が抑制される。さらに、スケール則にそってゲート長をシュリンクすることができるので、オン電流 (I o n) が上昇する。そして、このゲートラストプロセスは、本実施の形態 2 で説明するように、S T I ラストプロセスとも併用することが可能である。このように、本実施の形態 2 を適用することで、n M I S 1 n および p M I S 1 p のゲートリーク電流が抑制され、I o n 特性が上昇する。従って、本実施の形態 2 を適用することで、n M I S 1 n および p M I S 1 p のトランジスタ特性を向上させることができる。

10

【 0 0 8 7 】

次に、前述のような効果を有する半導体装置の製造方法を説明する。本実施の形態 2 において、その製造方法に関して特筆しない工程は、前述した実施の形態 1 の製造方法 (前述の図 3 ~ 図 1 5) と同様である。本実施の形態 2 による半導体装置の製造方法の各工程が有する効果に関しても、前述した実施の形態 1 の製造方法と同様の工程であれば同様の効果を有することとし、ここでの重複した説明は省略する。

20

【 0 0 8 8 】

まず、本実施の形態 2 による半導体装置の製造方法では、前述の図 2 に示したように、薄膜 B O X - S O I 基板 1 を準備する。

【 0 0 8 9 】

次に、図 1 7 に示すように、p ウェル p w 、 n ウェル n w 、ダミーゲート絶縁膜 D I 、ダミーゲート電極 D G 、およびダミーゲートキャップ膜 D C を形成し、さらに n 型エクステンション領域 6 n および p 型エクステンション領域 6 p を形成する。

【 0 0 9 0 】

p ウェル p w および n ウェル n w のそれぞれの S O I 層 1 i の主面上に、ダミーゲート絶縁膜 D I を介してダミーゲート電極 D G を形成する。これらは、前述した実施の形態 1 で説明したものと同様の方法で形成する。まず、S O I 層 1 i の主面を熱酸化法などによって酸化することで、後にダミーゲート絶縁膜 D I となる膜状の酸化シリコン膜を形成する。その後、この酸化シリコン膜を覆うようにして、C V D 法などによって、後にダミーゲート電極 D G となる膜状の多結晶シリコン膜 (シリコンゲルマニウム膜、金属シリサイド膜、または金属膜などでも良い) を形成する。その後、この多結晶シリコン膜を覆うようにして、C V D 法などによって、酸化シリコンを主体とする絶縁膜からなるダミーゲートキャップ膜 D C を形成する。

30

【 0 0 9 1 】

続いて、フォトリソグラフィ法および異方性エッチング法によってダミーゲートキャップ膜 D C を加工する。そして、このダミーゲートキャップ膜 D C をエッチングマスクとした異方性エッチングにより、下層の多結晶シリコン膜および酸化シリコン膜を順に加工して、ダミーゲート電極 D G およびダミーゲート絶縁膜 D I を形成する。続いて、ダミーゲート電極 D G の側壁を覆うようにして、サイドウォール 5 を形成する。

40

【 0 0 9 2 】

次に、図 1 8 に示すように、S O I 層 1 i の主面上に選択エピタキシャル成長法により半導体層を積み上げてソース・ドレイン領域 2 を形成する。

【 0 0 9 3 】

次に、図 1 9 ~ 2 1 に示すように、S O I 層 1 i の主面上にダミー膜 D M を堆積させ、そのあとダミーゲート電極 D G の表面側が露出するまで、ダミー膜 D M およびダミーゲートキャップ膜 D C を C M P (Chemical Mechanical Polishing) 法により研削し、さらに

50

その後、ダミーゲート電極 D G およびダミーゲート絶縁膜 D I をウェットエッチングにより除去する。

【0094】

次に、図 2 2 に示すように、SOI 層 1 i の主面上にゲート絶縁膜 3、第 1 導電膜 1 2 a d、および第 2 導電膜 1 2 b d を順次 C V D 法により堆積させる。この際、堆積させるゲート絶縁膜 3 は、酸化シリコンよりも比誘電率の高い、所謂 high - k 絶縁膜である方が、より好ましい。酸化シリコンよりも比誘電率の高い high - k 絶縁膜として、例えば酸化タンタル、酸化チタン、酸化アルミニウム、酸化ハフニウム、または窒化ハフニウムシリコンを主体とする絶縁膜を例示することができる。また、第 1 導電膜 1 2 a d を形成する導電材料は、窒化チタン、窒化モリブデン、またはハフニウムシリサイドなどを主体とする導体膜を用いた所謂メタルゲート電極材料である方が、より好ましい。また、この第 1 導電膜 1 2 a d は、n M I S 1 n および p M I S 1 p のしきい電圧に影響を与える仕事関数調整の役割も担うため、n M I S 1 n および p M I S 1 p のトランジスタ特性に適した仕事関数を持った金属材料である方が、より好ましい。また、第 2 導電膜 1 2 b d は、仕事関数調整には関係なく、より電気抵抗率の低い金属材料、例えばアルミニウム (A l)、銅 (C u)、タングステン (W)、チタン (T i) などを主体とする導体膜を用いた所謂メタルゲート電極材料である方が、より好ましい。

10

【0095】

次に、図 2 3 に示すように、CMP 法により、前述の工程で堆積したゲート絶縁膜 3、第 1 導電膜 1 2 a d、および第 2 導電膜 1 2 b d を、ダミー膜 D M の高さまで削り、さらに、図 2 4 に示すように、ダミー膜 D M を除去する。これにより、第 1 ゲート電極 1 2 a および第 2 ゲート電極 1 2 b が形成され、第 1 ゲート電極 1 2 a および第 2 ゲート電極 1 2 b からなるゲート電極 4 が形成される。次に、n M I S 1 n の領域に n 型不純物をイオン注入し、p M I S 1 p の領域に p 型不純物をイオン注入した後、熱処理を施すことにより、n 型ソース・ドレイン領域 2 n および p 型ソース・ドレイン領域 2 p を形成する。

20

【0096】

次に、図 2 5 に示すように、前述した実施の形態 1 で説明と同様の方法により、金属シリサイド層 s c を形成する。その後、コンタクトプラグ 8 および配線層 9 は、前述した実施の形態 1 と同様の工程を施すことで、前述の図 1 6 で説明した構造の半導体装置が形成される。以上が、本実施の形態 2 による n M I S 1 n および p M I S 1 p を有する半導体装置の製造方法である。

30

【0097】

次に、本実施の形態 2 による半導体装置の製造方法が有する前述の構成がもたらす効果について、より詳しく説明する。

【0098】

このように、本実施の形態 2 による半導体装置の製造方法によれば、ダミーゲート電極 D G を除去した後に、ゲート絶縁膜 3、第 1 ゲート電極 1 2 a、および第 2 ゲート電極 1 2 b のそれぞれを構成する材料を堆積する際に、SOI 層 1 i の上面と素子分離 1 0 の上面との段差部分が無いので、ゲートエッジ部分の材料の埋め込み性が向上し、有効なゲート電極の幅の減少を抑制できる。有効なゲート電極の幅の減少を抑制できるので、本実施の形態 2 による半導体装置の製造方法を適用して製造された n M I S 1 n および p M I S 1 p は、本実施の形態 1 による半導体装置の製造方法を適用せずにダマシゲートプロセスのみで製造した n M I S 1 n および p M I S 1 p に比べて、良好な I o n 特性を示す。その結果として、半導体装置の性能をより向上させることができる。

40

【0099】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0100】

例えば前述した実施の形態 1、2 で説明したエクステンション領域 (n 型エクステンシ

50

オン領域 6 n および p 型エクステンション領域 6 p) を形成する工程 (例えば前述の図 3 を用いて説明した工程) の後に、ハロー領域を形成しても良い。これには、まず、適宜 n 型または p 型となる不純物を、例えば加速電圧 5 keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度の条件で斜めイオン注入する。その後、例えば RTA 法などにより、1000 で 1 秒程度の熱処理を施すことにより形成することができる。

【産業上の利用可能性】

【0101】

本発明は、例えば、パーソナルコンピュータやモバイル機器等において、情報処理を行うために必要な半導体産業に適用することができる。

【符号の説明】

【0102】

1 薄膜 BOX - SOI 基板

1 b BOX 層

1 i SOI 層

1 s シリコン基板

1 n n 型チャンネル型 MIS トランジスタ (n MIS)

1 p p 型チャンネル型 MIS トランジスタ (p MIS)

2 ソース・ドレイン領域

2 n n 型ソース・ドレイン領域

2 p p 型ソース・ドレイン領域

3 ゲート絶縁膜

4 ゲート電極

5 サイドウォール

6 n n 型エクステンション領域

6 p p 型エクステンション領域

7 層間絶縁膜

8 コンタクトプラグ

9 配線層

10 素子分離

11 酸化膜側壁

11 a 第 1 分離溝

11 b 第 2 分離溝

11 c 第 3 分離溝

11 d 絶縁材料

12 キャップ絶縁膜

12 a 第 1 ゲート電極

12 a d 第 1 導電膜

12 b 第 2 ゲート電極

12 b d 第 2 導電膜

13, 14 フォトレジスト膜

ACT ソース・ドレイン領域

BG バックゲートバイアス領域

DC ダミーゲートキャップ膜

DG ダミーゲート電極

DI ダミーゲート絶縁膜

DM ダミー膜

DN, DP イオン注入

ISO 分離部分

nw n ウェル

pw p ウェル

10

20

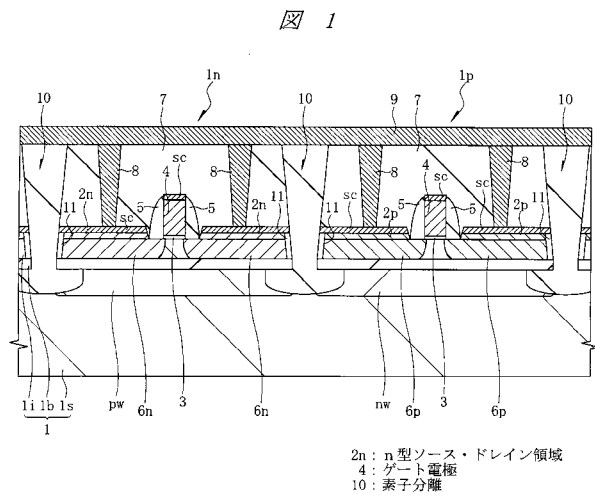
30

40

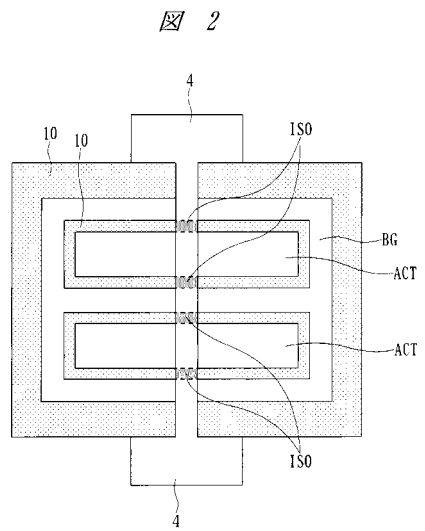
50

s c 金属シリサイド層

【図1】

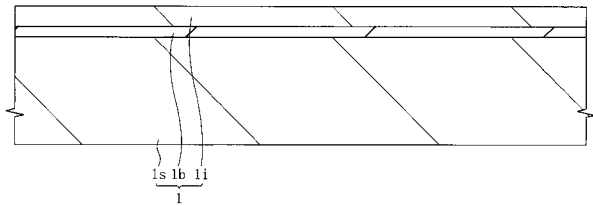


【図2】



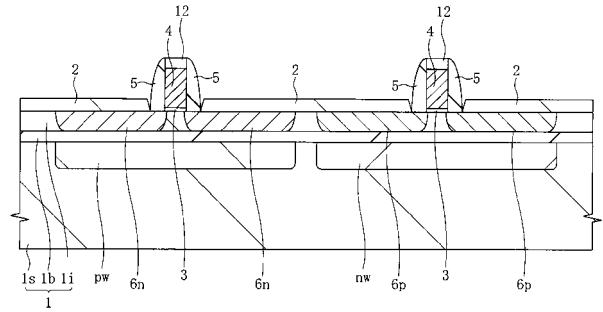
【 図 3 】

図 3



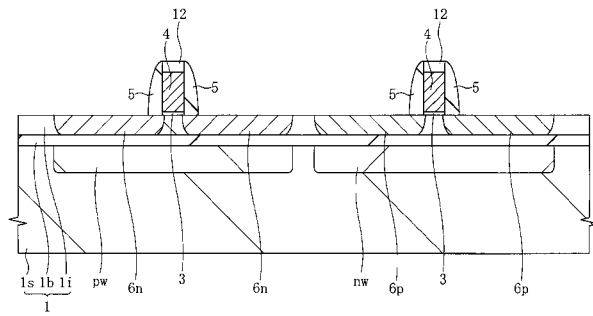
【 図 5 】

図 5



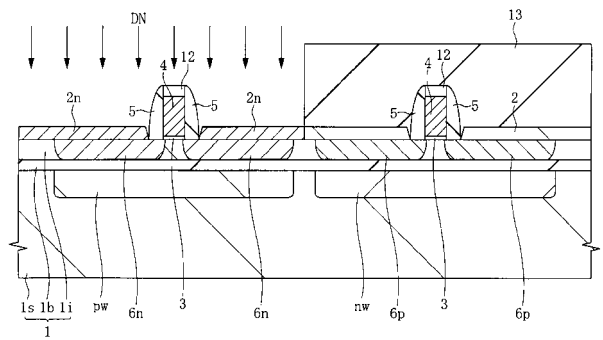
【 図 4 】

図 4



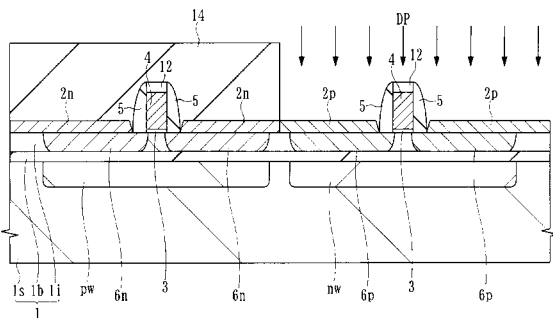
【 図 6 】

図 6



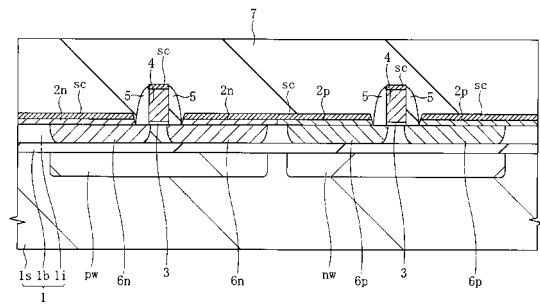
【 図 7 】

図 7



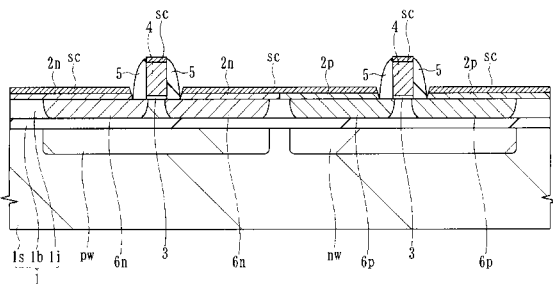
【 図 9 】

図 9



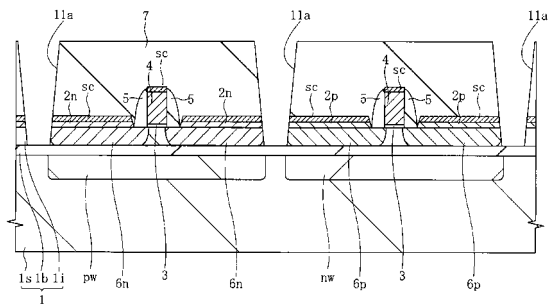
【 図 8 】

図 8



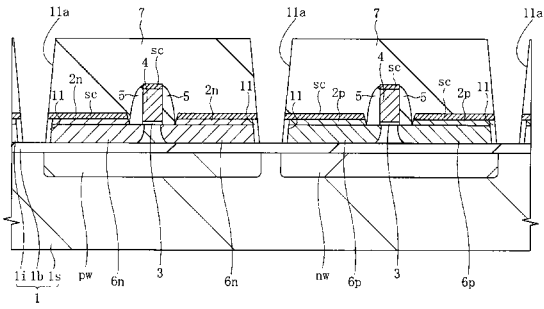
【 図 10 】

図 10



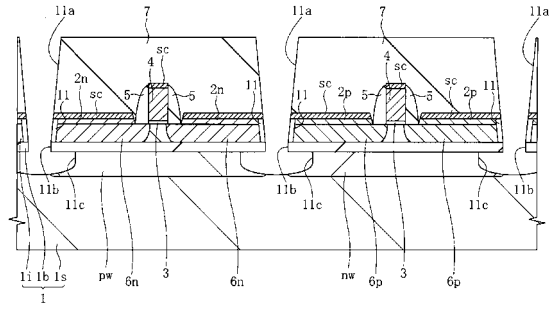
【 図 1 1 】

図 11



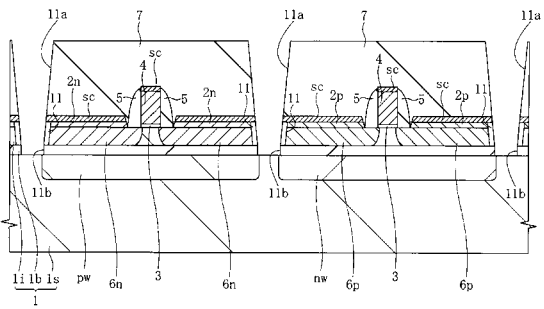
【 図 1 3 】

図 13



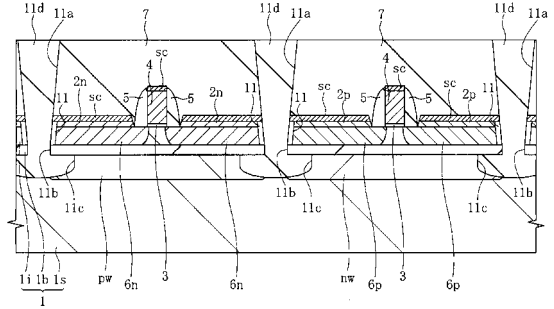
【 図 1 2 】

図 12



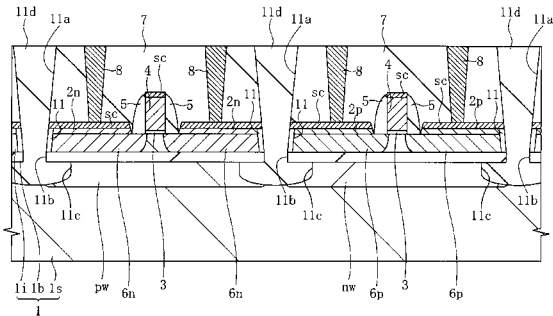
【 図 1 4 】

図 14



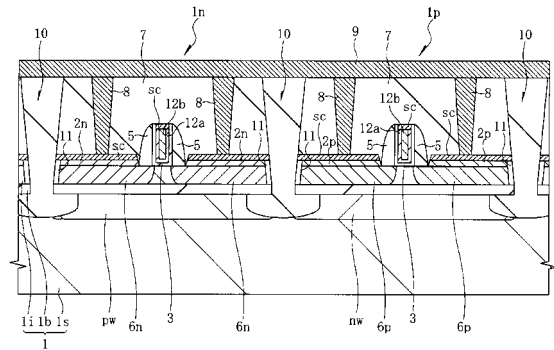
【 図 1 5 】

図 15



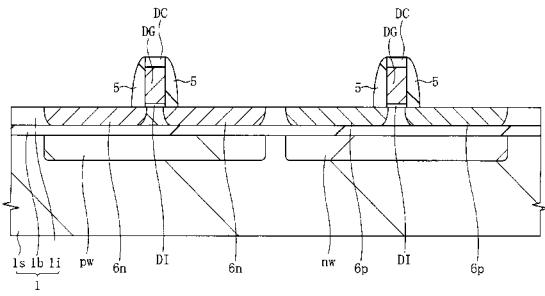
【 図 1 6 】

図 16



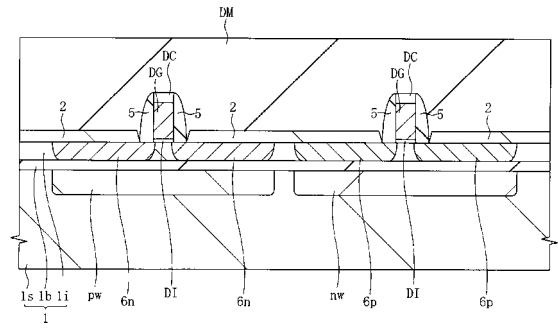
【 図 17 】

図 17



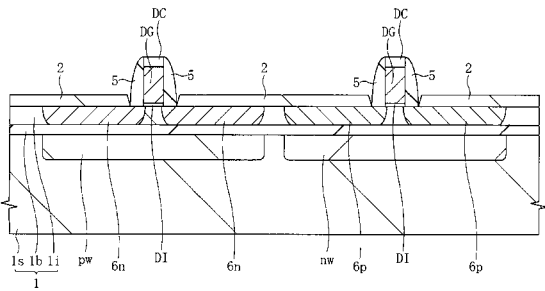
【 図 19 】

図 19



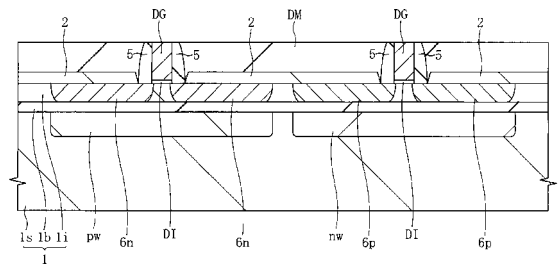
【 図 18 】

図 18



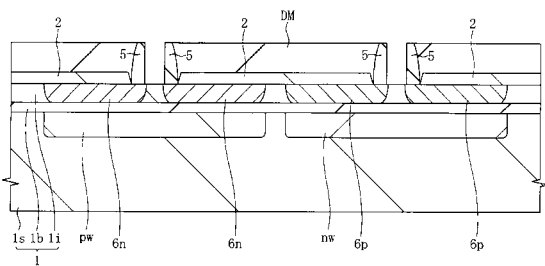
【 図 20 】

図 20



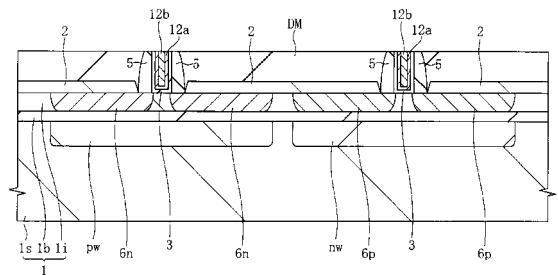
【 図 21 】

図 21



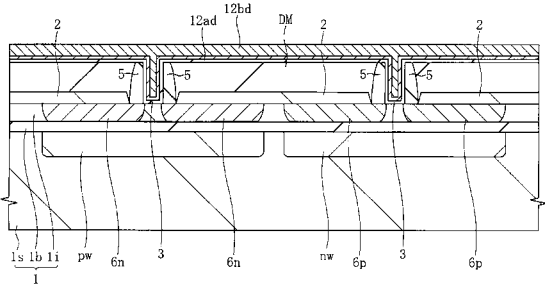
【 図 23 】

図 23



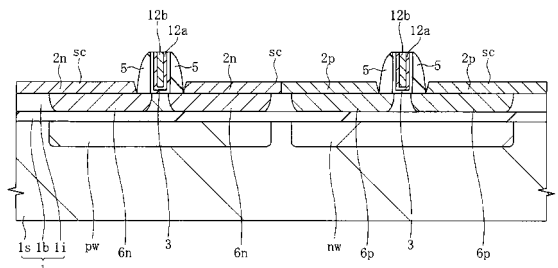
【 図 22 】

図 22



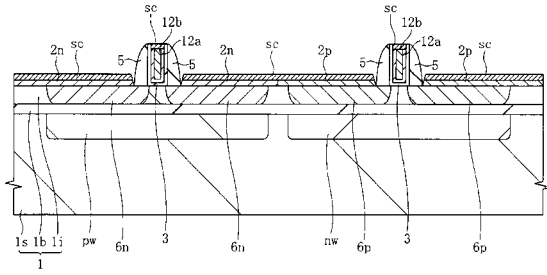
【 図 24 】

図 24



【 図 25 】

図 25



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

	H 0 1 L	27/08	3 3 1 E
	H 0 1 L	27/08	3 3 1 A
	H 0 1 L	27/08	3 2 1 N

(72)発明者 吉元 広行
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

(72)発明者 杉井 信之
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

(72)発明者 木村 紳一郎
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

F ターム(参考) 5F032 AA01 AA34 AA37 AA39 AA44 AA45 AA50 AA54 AA64 CA03
CA05 CA17 CA20 DA03 DA12 DA16 DA23 DA24 DA25 DA26
DA53
5F048 AA04 AA07 AC04 BA14 BA16 BB06 BB07 BB08 BB09 BB11
BB12 BC01 BC06 BC15 BC18 BD04 BE03 BE09 BF01 BF06
BF16 BF18 BG01 BG14 DA27
5F110 AA02 BB04 CC02 DD05 DD12 DD21 DD22 EE01 EE02 EE03
EE04 EE05 EE09 EE14 EE30 EE32 EE47 FF01 FF02 FF03
FF04 FF23 GG01 GG02 GG12 GG25 GG52 HJ01 HJ04 HJ06
HJ13 HJ14 HJ23 HK05 HK08 HK09 HK13 HK32 HK37 HK40
HM02 HM15 NN02 NN22 NN27 NN62 NN65 QQ10 QQ11 QQ19