



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/73 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년08월01일 10-0744845 2007년07월25일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0068375 2006년07월21일 2006년07월21일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자	고려대학교 산학협력단 서울 성북구 안암동5가1 고려대학교 내
(72) 발명자	성만영 서울 중랑구 목동 신내 두산아파트 521-604 이한신 경기 용인시 기흥구 보정동 죽현마을 동원로알듀크아파트306-1302 박형석 경기 광명시 철산3동 주공아파트 1301-1503
(74) 대리인	현종철
(56) 선행기술조사문헌	JP2002270841 A JP2004335719 A JP2003051593 A

심사관 : 배진용

전체 청구항 수 : 총 11 항

(54) 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터 및 그 제조 방법

(57) 요약

다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터 및 그 제조 방법이 개시된다.

본 발명은 반도체 소자에 있어서, 하나의 셀 피치 내에서, 상기 셀의 중심에 형성된 제1 폴리 실리콘 게이트, 상기 셀의 가장자리의 측벽으로 형성된 제2 폴리 실리콘 게이트, 상기 제1 폴리 실리콘 게이트와 제2 폴리 실리콘 게이트 사이에 도전체로 형성된 제1 전극 및 상기 셀 외곽에 제2 폴리 실리콘 게이트와 인접하게 도전체로 형성된 제2 전극을 포함한다.

본 발명에 의하면, 절연 게이트 바이폴라 트랜지스터의 정방향 차단 전압(Forward Blocking Voltage) 특성, 온 상태 전압 강하(On-State Voltage Drop) 특성, 래치업 전압 및 래치업 전류 특성이 향상시킬수 있고, 전류용량을 최대화할 수 있으며, 제조 공정을 단순화 시킬 수 있다.

대표도

도 2

특허청구의 범위

청구항 1.

반도체 소자에 있어서,

하나의 셀 피치 내에서, 상기 셀의 중심에 형성된 제1 폴리 실리콘 게이트;

상기 셀의 가장자리의 측벽으로 형성된 제2 폴리 실리콘 게이트;

상기 제1 폴리 실리콘 게이트와 제2 폴리 실리콘 게이트 사이에 도전체로 형성된 제1 전극; 및

상기 셀 외곽에 제2 폴리 실리콘 게이트와 인접하게 도전체로 형성된 제2 전극을 포함하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터.

청구항 2.

제 1 항에 있어서,

상기 제1 폴리 실리콘 게이트는

고농도의 N 타입 영역 및 P 타입 영역을 관통하고, 저농도의 N 타입 영역에 도달하는 깊이로 형성된 것을 특징으로 하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터.

청구항 3.

제 1 항에 있어서,

상기 제2 폴리 실리콘 게이트는

고농도의 N 타입 영역 및 P 타입 영역을 관통하고, 저농도의 N 타입 영역에 도달하는 깊이로 형성된 것을 특징으로 하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터.

청구항 4.

제 1 항에 있어서,

상기 제1 폴리 실리콘 게이트 및 제2 폴리 실리콘 게이트는

측벽에 형성된 절연막으로 둘러싸인 형태로서, 상기 절연막은 옥사이드, 옥시 나이트라이드, 실리콘 나이트라이드 또는 하프늄 옥사이드 중 적어도 하나를 포함하는 것을 특징으로 하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터.

청구항 5.

제 1 항에 있어서,

상기 제1 전극 및 제2 전극은

고농도의 N 타입 영역 및 P 타입 영역을 관통하고, 저농도의 N 타입 영역보다 낮은 깊이로 형성되고, 상기 도전체가 알루미늄, 텅스텐 또는 카바 중 적어도 하나를 포함하는 것을 특징으로 하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터.

청구항 6.

실리콘 위에 에피 실리콘을 형성하고, 상기 에피 실리콘에 P 타입 불순물 및 N 타입 불순물을 주입하는 단계;

상기 에피 실리콘을 열처리하는 단계;

상기 실리콘의 하나의 셀 피치 내에서, 상기 셀의 중심과 상기 셀의 가장자리에 각각 제1 트렌치를 형성하고, 상기 제1트렌치 내부에 폴리 실리콘을 채우며, 상기 폴리 실리콘을 에치백하는 단계;

상기 셀의 중심에 형성된 제1 트렌치와 상기 셀의 가장자리에 형성된 제1 트렌치 사이 및 상기 셀 외곽에 제2 폴리 실리콘 게이트와 인접한 위치에 제2 트렌치를 형성하는 단계; 및

상기 제2 트렌치 내부에 도전체를 채우며, 상기 도전체를 에치백하는 단계를 포함하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 폴리 실리콘을 에치백하는 단계는

상기 제1 트렌치를 고농도의 N 타입 영역 및 P 타입 영역을 관통하고, 저농도의 N 타입 영역에 도달하는 깊이로 형성하는 단계를 포함하는 것을 특징으로 하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 8.

제 6 항에 있어서,

상기 폴리 실리콘을 에치백하는 단계는

측벽에 절연막을 형성하는 단계를 포함하고,

상기 절연막은

옥사이드, 옥시 나이트라이드, 실리콘 나이트라이드 또는 하프늄 옥사이드 중 적어도 하나를 포함하는 것을 특징으로 하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 9.

제 6 항에 있어서,

상기 도전체를 에치백하는 단계는

상기 제2 트랜치를 고농도의 N 타입 영역 및 P 타입 영역을 관통하고, 저농도의 N 타입 영역보다 낮은 깊이로 형성하는 단계를 포함하는 것을 특징으로 하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 10.

제 6 항에 있어서,

상기 도전체를 에치백하는 단계는

상기 도전체가 알루미늄, 텅스텐 또는 카파 중 적어도 하나를 포함하는 것을 특징으로 하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법.

청구항 11.

저농도의 N 타입 웨이퍼에 P 타입 불순물 및 N 타입 불순물을 주입하는 단계;

상기 웨이퍼를 열처리하는 단계;

상기 웨이퍼의 하나의 셀 피치 내에서, 상기 셀의 중심과 상기 셀의 가장자리에 각각 제1 트랜치를 형성하고, 상기 제1트랜치 내부에 폴리 실리콘을 채우며, 상기 폴리 실리콘을 에치백하는 단계;

상기 셀의 중심에 형성된 제1 트랜치와 상기 셀의 가장자리에 형성된 제1 트랜치 사이 및 상기 셀 외곽에 제2 폴리 실리콘 게이트와 인접한 위치에 제2 트랜치를 형성하는 단계;

상기 웨이퍼에 하부 실리콘을 에치백하고, 상기 하부 실리콘에 불순물을 주입하여 N 타입 층 및 고농도의 P 타입 층을 형성하는 단계;

상기 N 타입 층 및 고농도의 P 타입 층을 열처리하는 단계; 및

상기 제2 트랜치 내부에 도전체를 채우며, 상기 도전체를 에치백하는 단계를 포함하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전력용 반도체 소자에 관한 것으로, 특히, 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터 및 그 제조 방법에 관한 것이다.

절연 게이트 바이폴라 트랜지스터는 저전압강하 및 고속스위칭이 용이한 장점을 갖는다. 일반적으로, 모오스 전계효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor: 이하 MOSFET라 칭함)가 갖는 빠른 스위칭 특성과 바이폴라(Bipolar) 트랜지스터가 갖는 낮은 온 저항 특성을 함께 갖는 소자의 개념을 도입한 절연 게이트 바이폴라 트랜지스터는 낮은 온(ON)-저항과 빠른 스위칭 속도, 우수한 SOA(Safe Operating area)의 장점으로 인해 전력 응용 분야에 적용되는 바이폴라 트랜지스터의 역할을 대체하고 있다.

이러한 절연 게이트 바이폴라 트랜지스터에서 가지는 가장 큰 문제점은 구조적으로 기생 싸이리스터가 형성됨에 따라 래치업에 대단히 취약하다는 것이고, 그에 따라 래치업을 개선하기 위한 여러가지 기술들이 개발되어 왔다.

래치업을 억제하기 위한 대표적인 기술로서는 p형 몸체(body)가 갖는 저항을 줄이거나 또는 p형 몸체를 통하여 흐르는 전류를 줄임으로써 래치업을 개선하는 방법이 있다. 저항을 줄이는 효과적인 방법으로 p형 몸체의 중앙부에 고농도로 도핑된 p++ 확산영역을 형성하는 방법이 있다. 그러나, 상기한 p++ 확산영역을 형성하게 되면 모오스(MOS) 트랜지스터의 문턱전압의 조절이 곤란하기 때문에, p형 몸체를 완전히 둘러쌀도록 형성할 수 없다. 그에 따라 래치업 개선에 한계를 갖는다.

종래의 절연 게이트 바이폴라 트랜지스터는 기본적인 트랜치 게이트 구조로만 이루어져 있다. 수평방향 게이트 구조와 트랜치 게이트 구조를 한 셀 피치에 제작함으로써 기본적인 절연 게이트 바이폴라 트랜지스터 구조보다 래치업 특성을 개선시켰고 온-저항도 낮출 수 있었다.

도 1은 종래의 트랜치형 절연 게이트 바이폴라 트랜지스터의 구조를 도시한 것이다.

종래의 트랜치형 절연 게이트 바이폴라 트랜지스터는 홀 전류 경로(hole current path)가 발생하는 부분에 의해 래치업(Latch-up) 특성이 저하된다. 즉, 전류 경로(current path)의 증가로 PN 접합(junction) 부분이 턴 온(turn-on) 되어 래치업이 발생할 수 있다. 따라서, 래치업 전류가 감소된다.

따라서, 종래의 절연 게이트 바이폴라 트랜지스터는 구조적인 특성상 래치업 특성 개선에 한계를 갖는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 첫번째 기술적 과제는 정방향 차단 전압(Forward Blocking Voltage) 특성, 온 상태 전압 강하(On-State Voltage Drop) 특성, 래치업 전압 및 래치업 전류 특성이 향상시킬수 있는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터를 제공하는데 있다.

본 발명이 이루고자 하는 두번째 기술적 과제는 상기의 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법을 제공하는데 있다.

발명의 구성

상기의 첫번째 기술적 과제를 이루기 위하여, 본 발명은 반도체 소자에 있어서, 하나의 셀 피치 내에서, 상기 셀의 중심에 형성된 제1 폴리 실리콘 게이트, 상기 셀의 가장자리의 측벽으로 형성된 제2 폴리 실리콘 게이트, 상기 제1 폴리 실리콘 게이트와 제2 폴리 실리콘 게이트 사이에 도전체로 형성된 제1 전극 및 상기 셀 외곽에 제2 폴리 실리콘 게이트와 인접하게 도전체로 형성된 제2 전극을 포함하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터를 제공한다.

한편, 상기의 두번째 기술적 과제를 이루기 위하여, 본 발명은 실리콘 위에 에피 실리콘을 형성하고, 상기 에피 실리콘에 P 타입 불순물 및 N 타입 불순물을 주입하는 단계, 상기 에피 실리콘을 열처리하는 단계, 상기 실리콘의 하나의 셀 피치 내에서, 상기 셀의 중심과 상기 셀의 가장자리에 각각 제1 트랜치를 형성하고, 상기 제1트랜치 내부에 폴리 실리콘을 채우며, 상기 폴리 실리콘을 에치백하는 단계, 상기 셀의 중심에 형성된 제1 트랜치와 상기 셀의 가장자리에 형성된 제1 트랜치 사이 및 상기 셀 외곽에 제2 폴리 실리콘 게이트와 인접한 위치에 제2 트랜치를 형성하는 단계 및 상기 제2 트랜치 내부에 도전체를 채우며, 상기 도전체를 에치백하는 단계를 포함하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법을 제공한다.

또한, 상기의 두번째 기술적 과제를 이루기 위하여, 본 발명은 저농도의 N 타입 웨이퍼에 P 타입 불순물 및 N 타입 불순물을 주입하는 단계, 상기 웨이퍼를 열처리하는 단계, 상기 웨이퍼의 하나의 셀 피치 내에서, 상기 셀의 중심과 상기 셀의 가장자리에 각각 제1 트랜치를 형성하고, 상기 제1트랜치 내부에 폴리 실리콘을 채우며, 상기 폴리 실리콘을 에치백하는 단계, 상기 셀의 중심에 형성된 제1 트랜치와 상기 셀의 가장자리에 형성된 제1 트랜치 사이 및 상기 셀 외곽에 제2 폴리 실리콘 게이트와 인접한 위치에 제2 트랜치를 형성하는 단계, 상기 웨이퍼에 하부 실리콘을 에치백하고, 상기 하부 실리콘에 불순물을 주입하여 N 타입 층 및 고농도의 P 타입 층을 형성하는 단계, 상기 N 타입 층 및 고농도의 P 타입 층을 열처리하는 단계 및 상기 제2 트랜치 내부에 도전체를 채우며, 상기 도전체를 에치백하는 단계를 포함하는 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법을 제공한다.

이하에서는 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다.

도 2는 본 발명의 일 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 상면도이다.

본 발명은 홀 전류 경로(hole current path)가 발생하는 부분을 트랜치공정을 통해 제거한 다음 게이트를 형성시킴으로써 래치업 특성을 개선한다. 본 발명에 따르면, 양옆에 게이트를 형성시킴으로써 래치업특성을 개선하고 전류용량도 늘릴 수가 있다.

도 2의 절연 게이트 바이폴라 트랜지스터 어레이(Array)에서 원형으로 레이아웃(Layout)을 형성한 이유는 원형일 때 래치업특성이 가장 좋기 때문이다. 그리고 레이아웃(Layout)을 원형으로 제작함으로써 발생하는 하나의 셀(Cell) 옆에 남은 부분에 제2 전극(electrode2)를 형성시켜 전류용량을 최대화 한다.

제1 폴리 실리콘 게이트(210, 도 2에서 원판 모양)는 하나의 셀 피치 내에서, 셀의 중심에 형성된다.

제2 폴리 실리콘 게이트(210, 도 2에서 원띠 모양)는 셀의 가장자리의 측벽으로 형성된다.

제1 전극(220)은 제1 폴리 실리콘 게이트와 제2 폴리 실리콘 게이트 사이에 도전체로 형성된다.

제2 전극(230)은 셀 외곽에 제2 폴리 실리콘 게이트와 인접하게 도전체로 형성된다. 이때, 제2 전극(230)의 모양은 원형 이외에 삼각형 등을 이용할 수 있다.

도 3은 본 발명의 일 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 구조를 도시한 것이다.

제1 트랜치(310)의 제1 폴리 실리콘 게이트(Poly Si Gate)는 하나의 셀 피치 내에서, 셀의 중심에 형성되고, 제1 트랜치(310)의 제2 폴리 실리콘 게이트(Poly Si Gate)는 하나의 셀 피치 내에서, 셀의 가장자리의 측벽으로 형성된다.

바람직하게는, 도 3과 같이, 제1 트랜치(310)의 제1 및 제2 폴리 실리콘 게이트(Poly Si Gate)는 고농도의 N 타입 영역 및 P 타입 영역을 관통하면서, 저농도의 N 타입 영역에 도달하는 깊이로 형성될 수 있다. 이때, 저농도의 N 타입 영역은 균일한 N 타입($1E12 \sim 1E16/cm^3$) 영역이다. 이때, 고농도의 N 타입 영역은 도핑 농도가 $1E13 \sim 1E20/cm^3$ 사이의 범위일 수 있다.

바람직하게는, 제1 트랜치(310)의 제1 및 제2 폴리 실리콘 게이트(Poly Si Gate)는 측벽에 형성된 절연막으로 둘러싸인 형태일 수 있다. 이때, 절연막은 옥사이드(SiO_2), 옥시 나이트라이드 ($SiON$), 실리콘 나이트라이드(SiN) 또는 하프늄옥사이드(HfO) 중 적어도 하나를 포함할 수 있다.

바람직하게는, 도 3과 같이, 제1 트랜치(310)의 제1 및 제2 폴리 실리콘 게이트(Poly Si Gate)는 고농도의 N 타입 영역 및 P 타입 영역을 관통하면서, 저농도의 N 타입 영역에 도달하는 깊이로 형성될 수 있다.

제2 트랜치(320)의 제1 전극(Electrode 1)은 제1 트랜치(310)의 제1 폴리 실리콘 게이트(Poly Si Gate)와 제1 트랜치(310)의 제2 폴리 실리콘 게이트(Poly Si Gate) 사이에 도전체로 형성된다. 제2 트랜치(320)의 제2 전극(Electrode 2)은 셀 외곽에 제2 폴리 실리콘 게이트와 인접하게 도전체로 형성된다.

바람직하게는, 도전체는 알루미늄(Al), 텅스텐(W) 또는 카파 (Cu) 중 적어도 하나를 포함할 수 있다. 본 발명에서 절연 물질은 옥사이드(SiO_2), 옥시 나이트라이드 ($SiON$), 실리콘 나이트라이드(SiN) 또는 하프늄옥사이드(HfO) 중 어느 하나일 수 있다.

바람직하게는, 도 3과 같이, 제1 전극(Electrode 1) 및 제2 전극(Electrode 2)은 고농도의 N 타입 영역 및 P 타입 영역을 관통하면서, 저농도의 N 타입 영역보다 낮은 깊이로 형성될 수 있다.

도 4는 본 발명의 일 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 단면도이다.

제1 폴리 실리콘 게이트(410, 도 4에서 반원 모양)는 하나의 셀 피치 내에서, 셀의 중심에 형성된다.

제2 폴리 실리콘 게이트(410, 도 4에서 반원띠 모양)는 셀의 가장자리의 측벽으로 형성된다.

제1 전극(420)은 제1 폴리 실리콘 게이트와 제2 폴리 실리콘 게이트 사이에 도전체로 형성된다.

제2 전극(430)은 셀 외곽에 제2 폴리 실리콘 게이트와 인접하게 도전체로 형성된다. 이때, 제2 전극(430)의 모양은 원형 이외에 삼각형 등을 이용할 수 있다.

본 발명은 래치업 현상 억제와 전류용량을 늘릴 수 있는 이점을 갖는다. 본 발명은 트렌치 게이트로만 구성하여 한 셀 피치에 3개의 게이트가 형성된 구조를 갖을 수 있다. 본 발명은 래치업 특성 개선과 절연 게이트 바이폴라 트랜지스터 전류용량을 증가시킬 수 있다.

본 발명의 다른 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터는 반도체 소자에 있어 1개의 셀 피치 내에 수직형인 모스 게이트가 3개 이상 형성된 구조를 갖는다.

본 발명의 또다른 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터는 반도체 소자에 있어 1개의 셀 피치 내에 3개 이상의 수직형 소스 및 드레인 영역을 가지며 수직형 바이폴라 트랜지스터 및 수직형 전극을 가지는 구조를 갖는다.

도 5a 내지 도 5i는 본 발명의 일 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 과정을 도시한 것이다.

본 발명은 절연 게이트 바이폴라 트랜지스터에서의 트렌치 게이트 개수를 한 셀(cell) 내에 다수를 두어 래치업(latch-up) 및 전류 용량을 늘린 것으로 아래의 두가지 공정 중 어느 하나의 공정을 통하여 구현 가능하다.

두가지 공정 중 하나는 실리콘 위에 에피 실리콘을 형성하고 에피 실리콘에 P 타입 불순물 및 N 타입 불순물을 주입하는 공정, 에피 실리콘을 열처리하는 공정, 실리콘의 하나의 셀 피치 내에서 셀의 중심과 셀의 가장자리에 각각 제1 트렌치를 형성하고 제1 트렌치 내부에 폴리 실리콘을 채우며 폴리 실리콘을 에치백하는 공정, 셀의 중심에 형성된 제1 트렌치와 셀의 가장자리에 형성된 제1 트렌치 사이 및 셀 외곽에 제2 폴리 실리콘 게이트와 인접한 위치에 제2 트렌치를 형성하는 공정 및 제2 트렌치 내부에 도전체를 채우며 도전체를 에치백하는 공정을 포함한다.

두가지 공정 중 나머지 하나는 저농도의 N 타입 웨이퍼에 P 타입 불순물 및 N 타입 불순물을 주입하는 공정, 웨이퍼를 열처리하는 공정, 웨이퍼의 하나의 셀 피치 내에서 셀의 중심과 셀의 가장자리에 각각 제1 트렌치를 형성하고 제1 트렌치 내부에 폴리 실리콘을 채우며 폴리 실리콘을 에치백하는 공정, 셀의 중심에 형성된 제1 트렌치와 셀의 가장자리에 형성된 제1 트렌치 사이 및 셀 외곽에 제2 폴리 실리콘 게이트와 인접한 위치에 제2 트렌치를 형성하는 공정, 웨이퍼에 하부 실리콘을 에치백하고 하부 실리콘에 불순물을 주입하여 N 타입 층 및 고농도의 P 타입 층을 형성하는 공정, N 타입 층 및 고농도의 P 타입 층을 열처리하는 공정 및 제2 트렌치 내부에 도전체를 채우며 도전체를 에치백하는 공정을 포함한다.

이하의 두가지 공정 중 전자에 대해 설명한다.

먼저, 도 5a과 같이, 실리콘 위에 에피 실리콘을 형성한 후에 에피 실리콘의 적절한 전도도를 유지하기 위해 불순물을 주입한다. 이때의 불순물은 적용하는 절연 게이트 바이폴라 트랜지스터의 용도에 따라 붕소(boron), 인(phosphorus), 비소(arsenic) 등을 적용할 수 있다. 도 5a과 같이 실리콘의 최상부는 N-type 불순물로, 그 하부에는 P-type 불순물로 불순물 주입하고 에피 자체는 N-type이 되도록 불순물을 주입한다. 이후 불순물을 활성화 하기 위한 열처리를 실시한다.

다음, 도 5b와 같이 사진 식각 공정을 이용하여 실리콘내에 제1 트렌치를 형성한다. 이때의 식각 공정은 건식 식각 공정을 적용한다.

도 5c과 같이 트렌치 내부 측벽에 절연막을 형성한다. 절연막은 실리콘 옥사이드(SiO₂), 실리콘 나이트라이드(SiN), 실리콘 옥시 나이트라이드(SiON)등의 물질을 적용할 수 있으며 두께는 통상 100~1000 Å의 두께를 형성 가능하다.

이후, 도 5d와 같이 폴리 실리콘을 트렌치 내부에 채워 넣는다. 이때의 폴리 실리콘은 N type으로 도핑(doping)이 된 전도도가 우수한 물질을 적용한다.

이후에, 도 5e와 같이 폴리 실리콘을 CMP (Chemical Mechanical Polishing)법이나 건식 식각을 이용하여 에치백 하여 활성 영역이 될 실리콘을 드러나게 한다.

도 5f와 같이, 사진 식각 공정을 적용하여 제2 트렌치를 형성한다. 이때의 제2 트렌치는 제1 트렌치 보다는 깊이가 낮으며 후에 도전체가 채워져 실리콘을 전기적으로 접지해주는 역할을 하게 된다. 이후 실리콘 후면의 콘택(contact)을 형성하기 위해 실리콘 후면을 에치백한다. 이때는 주로 CMP에 의한 연마를 실시한다.

그리고 도 5g와 같이, 접촉면의 저항을 줄이고 정공 주입을 위한 후면 P+ 불순물 주입을 실시한다.

다음, 도 5h와 같이, 제2 트렌치를 도전체로 채운 후, 도 5i과 같이 도전체를 에치백하여 기본적인 공정을 마치게 된다.

실제로는 이후에 콘택(contact)을 형성하는 공정, 배선을 형성하는 공정등 후속 공정이 이루어지나 이는 통상적인 반도체의 공정이므로 여기서는 설명하지 않기로 한다.

도 6a 내지 도 6b는 종래 및 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 정방향 차단 전압(Forward Blocking Voltage) 특성을 도시한 것이다. 도 7a 내지 도 7b는 종래 및 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 온 상태 전압 강하(On-State Voltage Drop) 특성을 도시한 것이다. 도 8a 내지 도 8b는 종래 및 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 래치업 전압(Latch-up Voltage) 특성을 도시한 것이다. 도 9a 내지 도 9b는 종래 및 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 래치업 전류(Latch-up Current) 특성을 도시한 것이다.

도 6a 내지 도 9b에서 보여지듯이, 종래의 트렌치형 절연 게이트 바이폴라 트랜지스터 비해 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 온 상태 전압 강하(on-state voltage drop), 래치업 전압 및 래치업 전류 특성이 향상되었음을 알 수 있다.

바람직하게는, 본 발명의 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 방법을 컴퓨터에서 실행시키기 위한 프로그램을 컴퓨터로 읽을 수 있는 기록매체에 기록하여 제공할 수 있다.

본 발명은 소프트웨어를 통해 실행될 수 있다. 소프트웨어로 실행될 때, 본 발명의 구성 수단들은 필요한 작업을 실행하는 코드 세그먼트들이다. 프로그램 또는 코드 세그먼트들은 프로세서 판독 가능 매체에 저장되거나 전송 매체 또는 통신망에서 반송파와 결합된 컴퓨터 데이터 신호에 의하여 전송될 수 있다.

컴퓨터가 읽을 수 있는 기록매체는 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록 장치를 포함한다. 컴퓨터가 읽을 수 있는 기록 장치의 예로는 ROM, RAM, CD-ROM, DVD±ROM, DVD-RAM, 자기 테이프, 플로피 디스크, 하드 디스크(hard disk), 광데이터 저장장치 등이 있다. 또한, 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 장치에 분산되어 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 그러나, 이와 같은 변형은 본 발명의 기술적 보호범위내에 있다고 보아야 한다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 의하면, 절연 게이트 바이폴라 트랜지스터의 정방향 차단 전압(Forward Blocking Voltage) 특성, 온 상태 전압 강하(On-State Voltage Drop) 특성, 래치업 전압 및 래치업 전류 특성이 향상시킬수 있고, 전류용량을 최대화할 수 있으며, 제조 공정을 단순화 시킬 수 있는 효과가 있다.

도면의 간단한 설명

도 1은 종래의 트렌치형 절연 게이트 바이폴라 트랜지스터의 구조를 도시한 것이다.

도 2는 본 발명의 일 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 상면도이다.

도 3은 본 발명의 일 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 구조를 도시한 것이다.

도 4는 본 발명의 일 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 단면도이다.

도 5a 내지 도 5i는 본 발명의 일 실시예에 따른 다중 게이트를 적용한 절연 게이트 바이폴라 트랜지스터의 제조 과정을 도시한 것이다.

도 6a 내지 도 6b는 종래 및 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 정방향 차단 전압(Forward Blocking Voltage) 특성을 도시한 것이다.

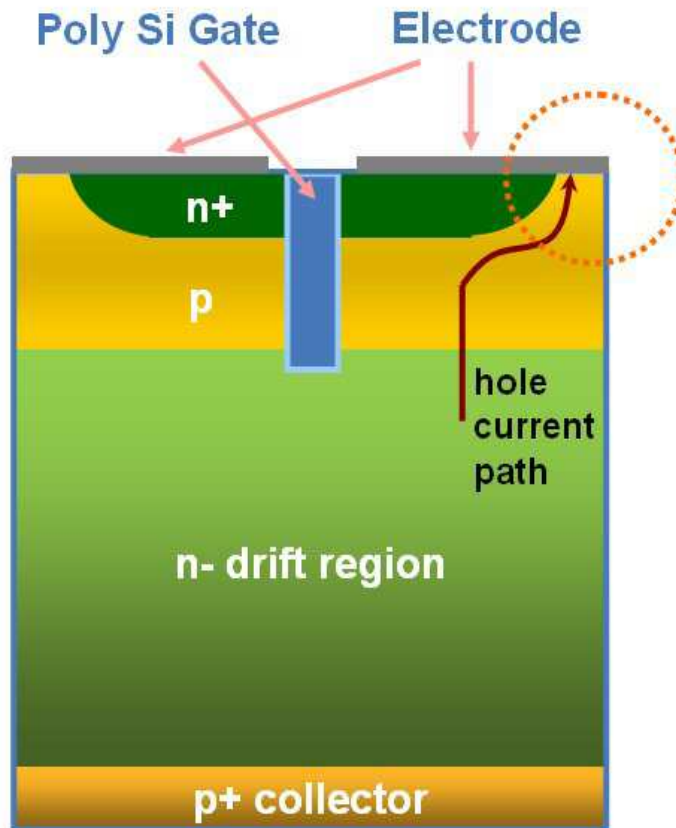
도 7a 내지 도 7b는 종래 및 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 온 상태 전압 강하(On-State Voltage Drop) 특성을 도시한 것이다.

도 8a 내지 도 8b는 종래 및 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 래치업 전압(Latch-up Voltage) 특성을 도시한 것이다.

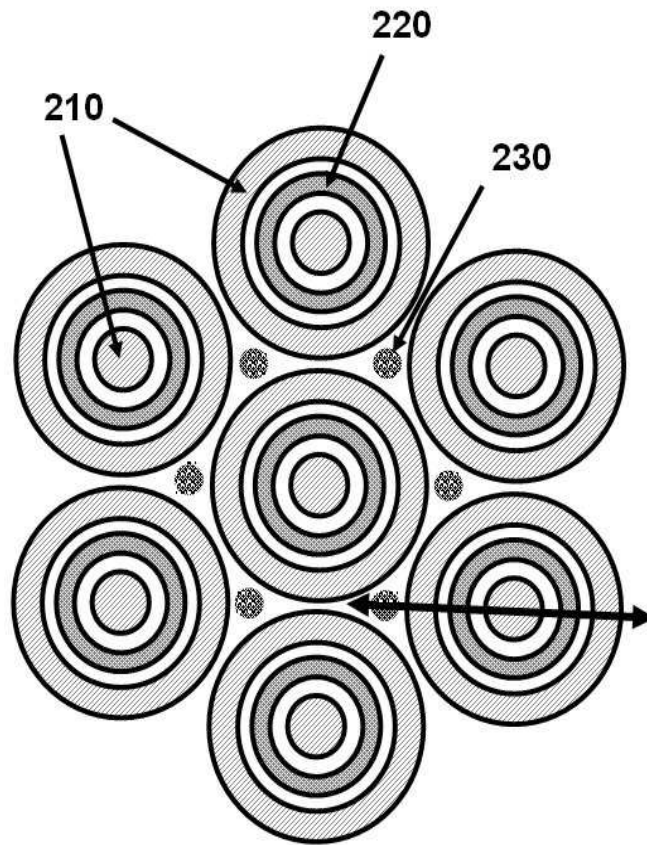
도 9a 내지 도 9b는 종래 및 본 발명에 따른 절연 게이트 바이폴라 트랜지스터의 래치업 전류(Latch-up Current) 특성을 도시한 것이다.

도면

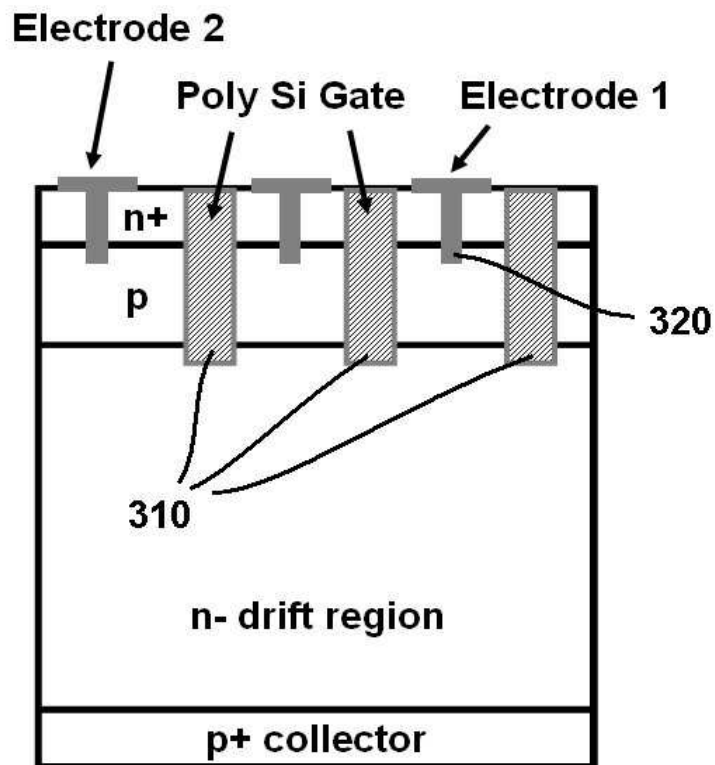
도면1



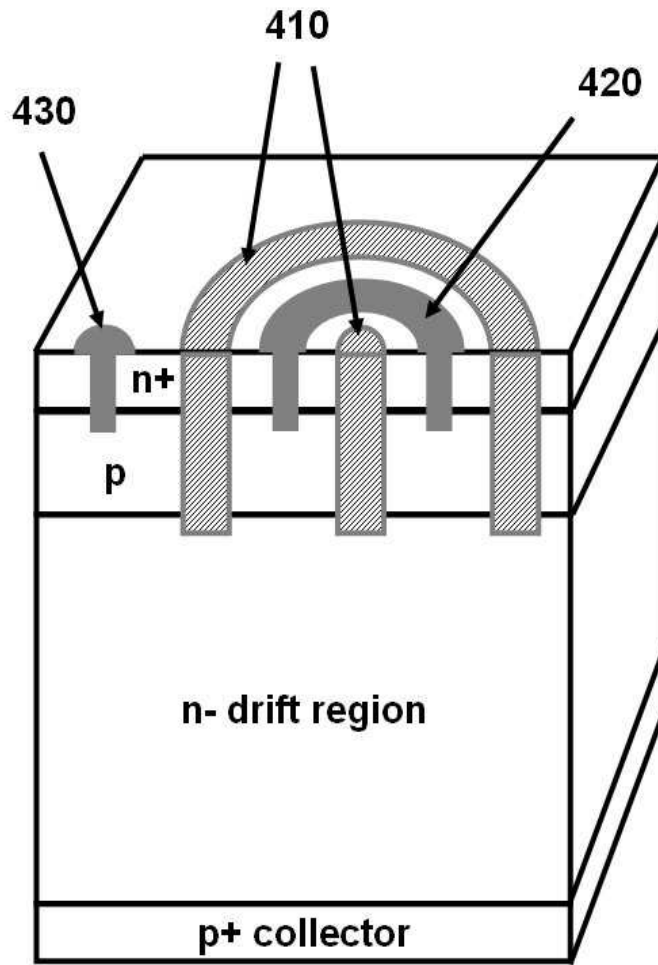
도면2



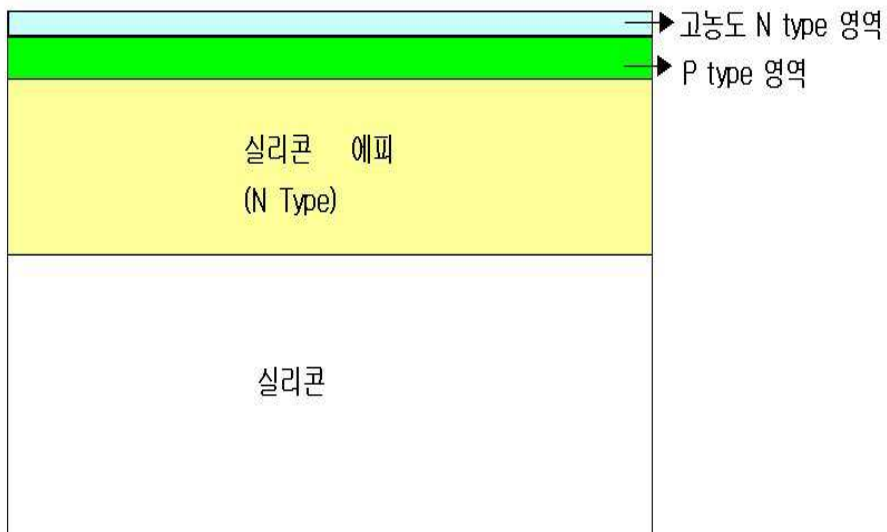
도면3



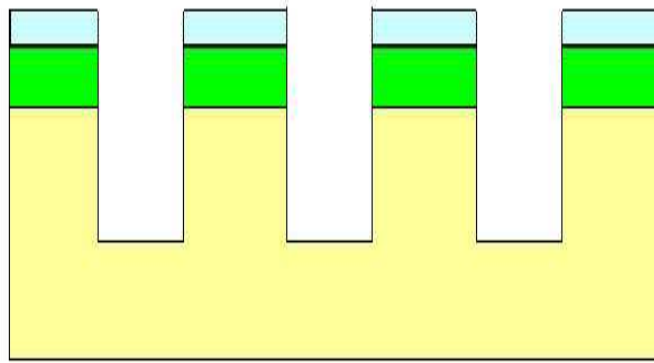
도면4



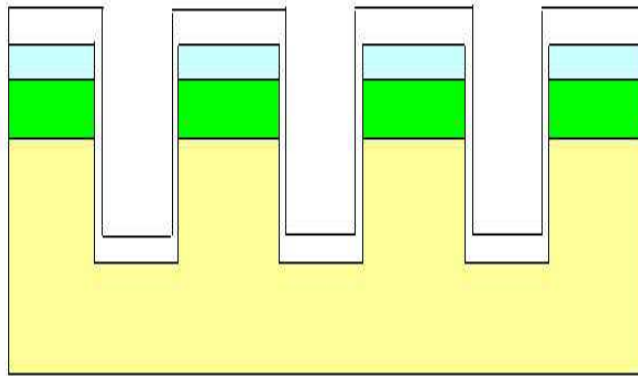
도면5a



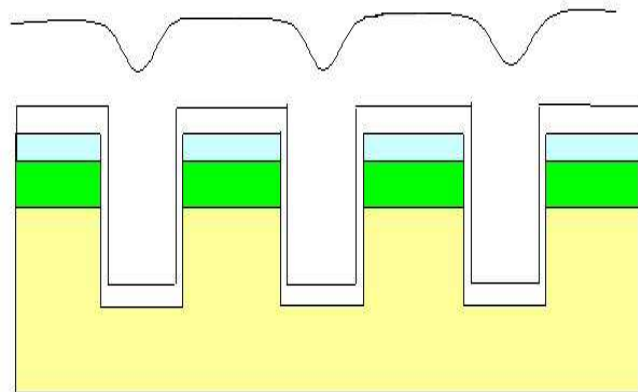
도면5b



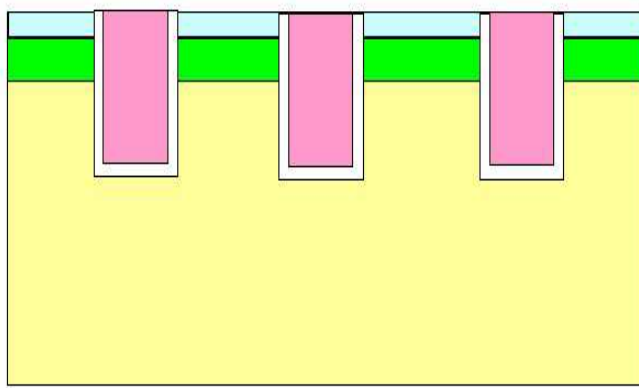
도면5c



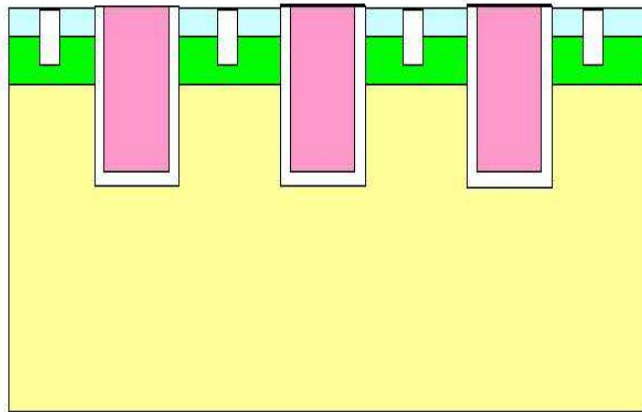
도면5d



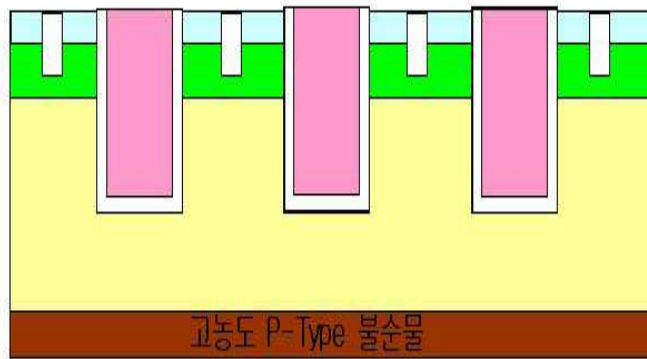
도면5e



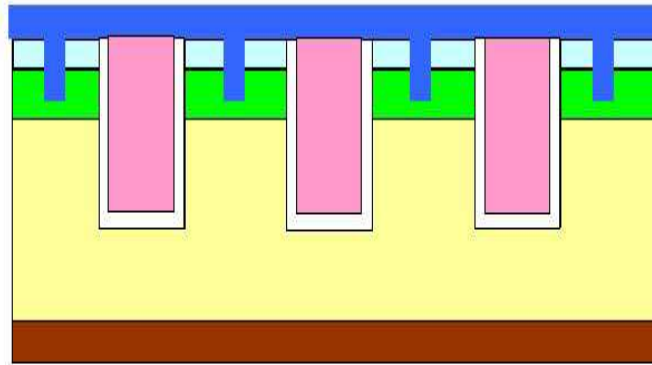
도면5f



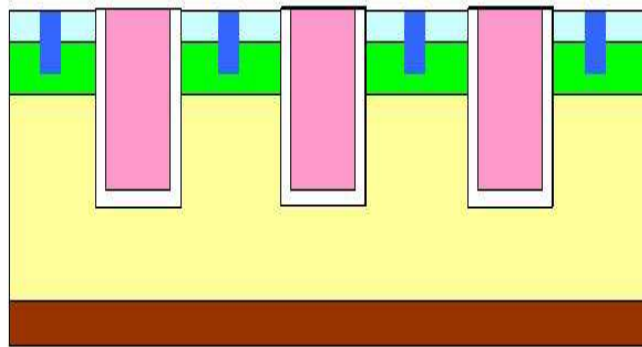
도면5g



도면5h

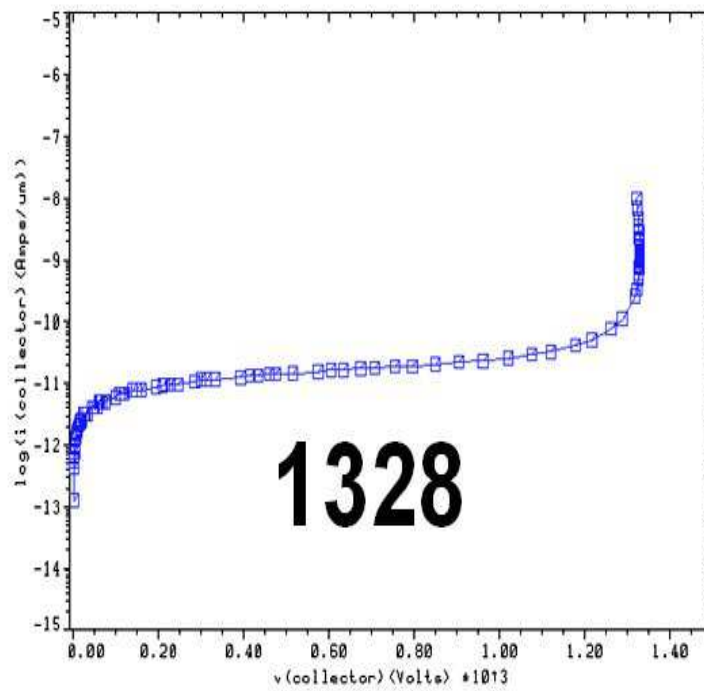


도면5i

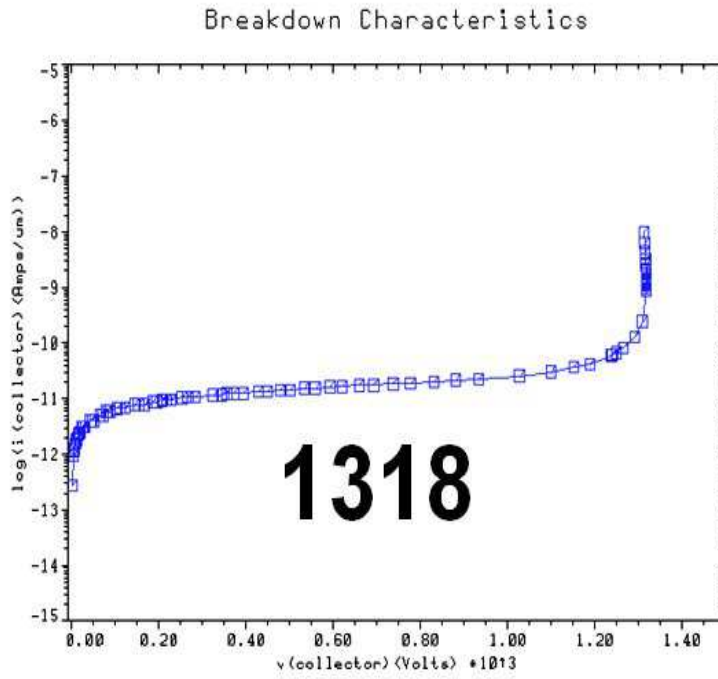


도면6a

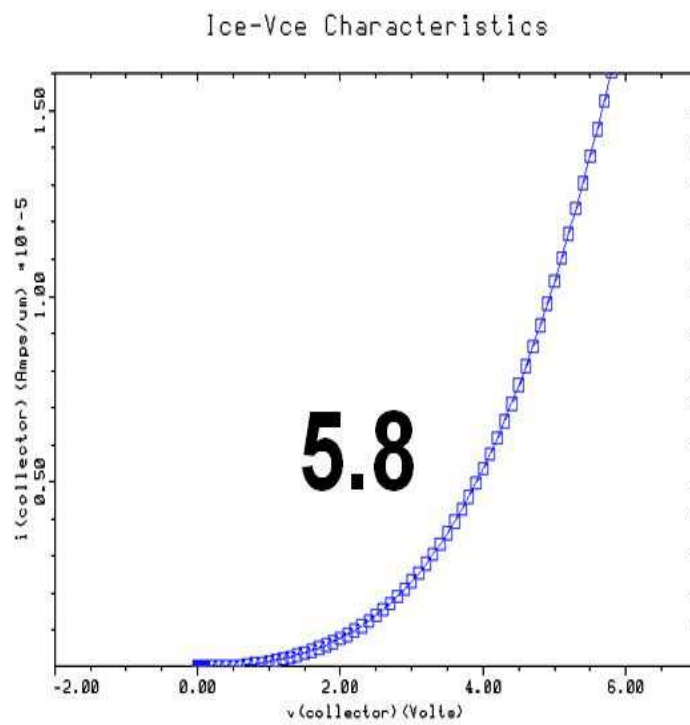
Breakdown Characteristics



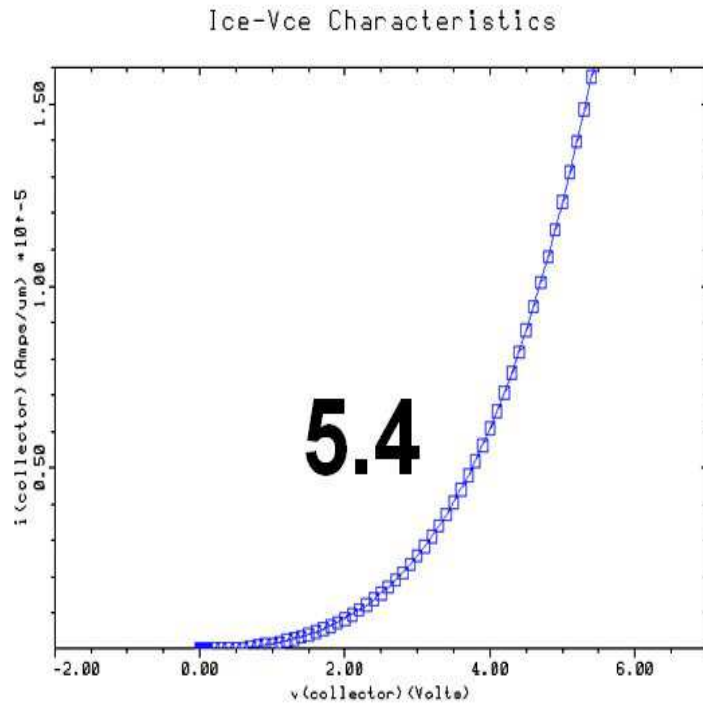
도면6b



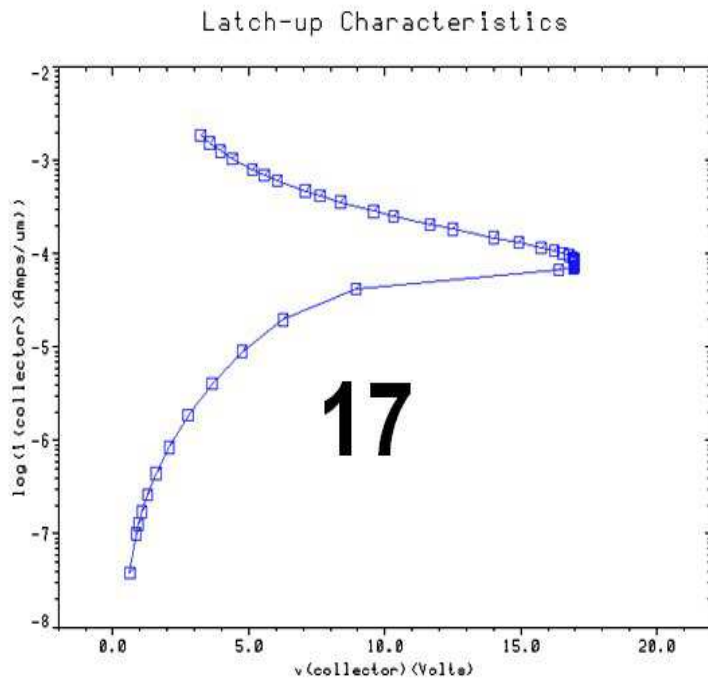
도면7a



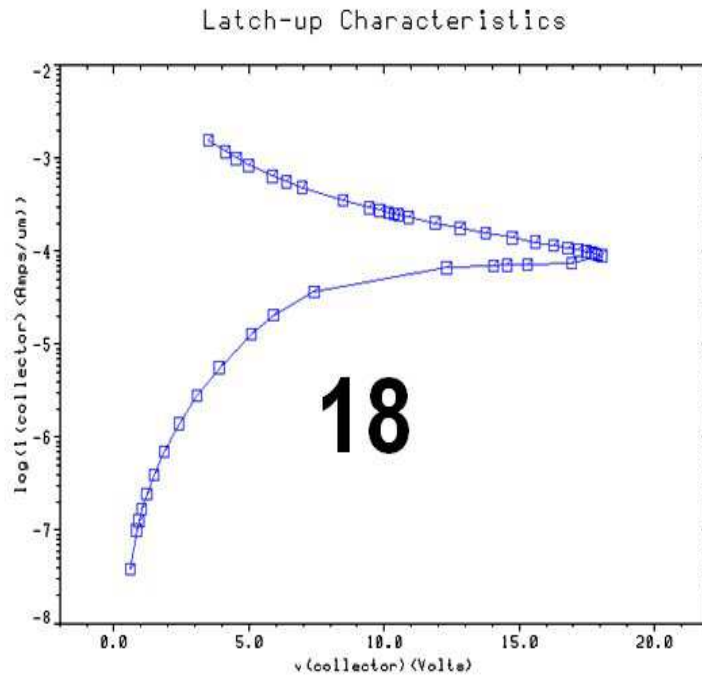
도면7b



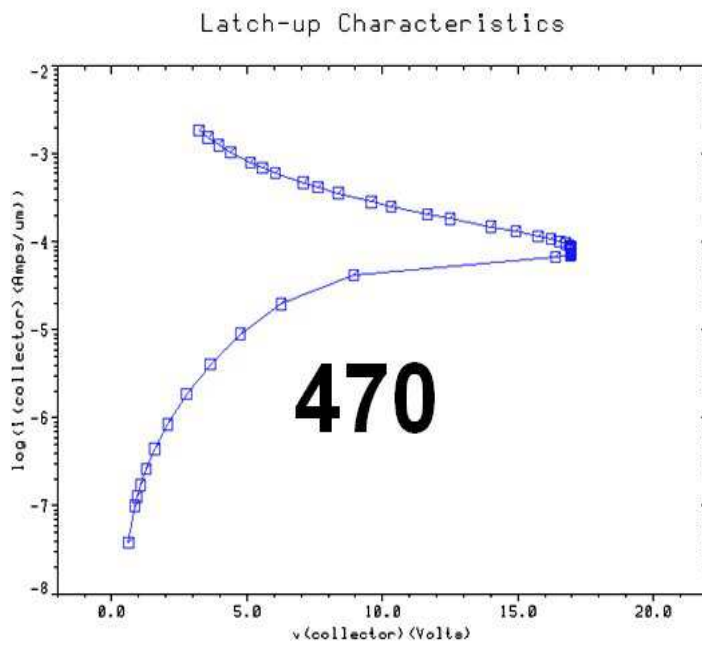
도면8a



도면8b



도면9a



도면9b

