



(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2019/148170**
in der deutschen Übersetzung (Art. III § 8 Abs. 2
IntPatÜG)

(21) Deutsches Aktenzeichen: **11 2019 000 577.4**

(86) PCT-Aktenzeichen: **PCT/US2019/015595**

(86) PCT-Anmeldetag: **29.01.2019**

(87) PCT-Veröffentlichungstag: **01.08.2019**

(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **12.11.2020**

(51) Int Cl.: **H01L 21/02 (2006.01)**
H01L 29/02 (2006.01)
H01L 29/732 (2006.01)

(30) Unionspriorität:
62/623,277 **29.01.2018** **US**

(71) Anmelder:
**MASSACHUSETTS INSTITUTE OF TECHNOLOGY,
Cambridge, Mass., US**

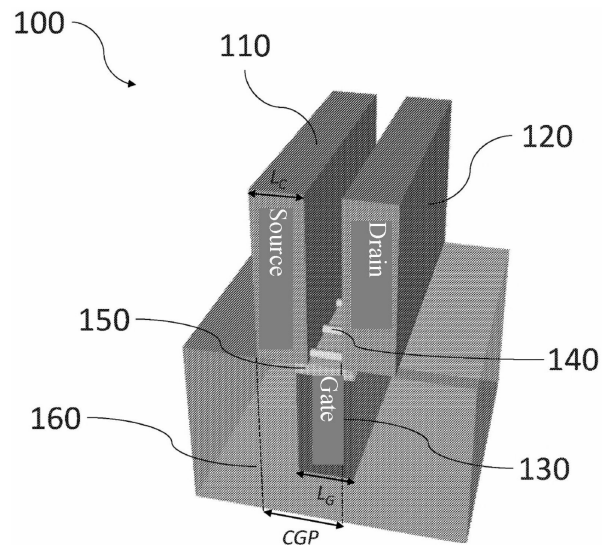
(74) Vertreter:
**Grund, Martin, Dipl.-Biol. Dr.rer.nat., 80802
München, DE**

(72) Erfinder:
**Shulaker, Max, Cambridge, MA, US; Srimani,
Tathagata, Cambridge, MA, US; Fuller, Samuel,
Cambridge, MA, US; Stein, Yosi, Norwood, MA,
US; Murphy, Denis, Norwood, MA, US**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **BACK-GATE-FELDEFFEKTTTRANSISTOREN UND VERFAHREN ZU DEREN HERSTELLUNG**

(57) Zusammenfassung: Ein Back-Gate-Kohlenstoff-Nano-
röhren-Feldeffekttransistor (CNFET) sorgt dafür: (1) redu-
zierte parasitäre Kapazität, die das Energieverzögerungs-
produkt (EDP) verringert und damit die Energieeffizienz digi-
taler Systeme (z. B. hochintegrierte Schaltungen) verbes-
sert, und (2) Skalierung der Transistoren auf kleinere Tech-
nologieknoten (z. B. Sub-3-nm-Knoten). Ein beispielhafter
Back-Gate-CNFET schließt einen Kanal ein. Ein Source und
ein Drain sind auf einer ersten Seite des Kanals angeordnet.
Ein Gate ist auf einer zweiten Seite des Kanals gegenüber
der ersten Seite angeordnet. Auf diese Weise kann der kon-
taktierte Gate-Pitch (CGP) des Back-Gate-CNFET verkleinert
werden, ohne die physikalische Gate-Länge (L_G) oder
die Kontaktlänge (L_C) zu skalieren. Der Gate kann sich bei
dieser Architektur auch mit dem Source und/oder dem Drain
überlappen. In einem Beispiel wurde gezeigt, dass ein bei-
spielhafter CNFET einen CGP von weniger als 30 nm und
eine 1,6-fache Verbesserung des EDP im Vergleich zu Top-
Gate-CNFET aufweist.



BeschreibungQUERVERWEIS AUF VERWANDTE
PATENTANMELDUNG

[0001] Diese Anmeldung beansprucht die Priorität unter 35 U.S.C. § 119(e) der am 29. Januar 2018 eingereichten U.S. Anmeldung Nr. 62/623,277 mit dem Titel „BACK-GATE CARBON NANOTUBE FIELD-EFFECT TRANSISTORS (BACKGATE-KOHLSTOFF-NANORÖHRCHEN-FELDEFFEKTTTRANSISTOREN)“, die hierin durch Bezugnahme in ihrer Gesamtheit aufgenommen wird.

ALLGEMEINER STAND DER TECHNIK

[0002] Die Entwicklung immer kleinerer Transistortechnologieknoten hat zu steigenden technischen und wirtschaftlichen Herausforderungen geführt. Insbesondere ein Fahrplan für die Skalierung von Transistoren über die Sub-3-nm-Technologieknoten hinaus ist angesichts der derzeitigen Fertigungsmöglichkeiten schwer erkennbar. Wenn beispielsweise der kontaktierte Gate-Pitch (CGP) mit seiner historischen Dynamik entsprechend dem Mooreschen Gesetz skaliert, führt das Schrumpfen des physikalischen Abstands zwischen dem Metall-Gate und dem Metall-Source/Drain des Feldeffekttransistors (FET) (d. h. der Dicke des Abstandshalters) zu erhöhten parasitären Kapazitäten, wodurch die Vorteile des potenziellen Energieverzögerungsprodukts (EDP) verringert werden.

[0003] Dies treibt die Suche nach siliziumfremden aufkommenden Nanotechnologien zur Ergänzung von Silizium-CMOS voran. So können beispielsweise Kohlenstoff-Nanoröhrchen (CNT) zur Bildung von Kohlenstoff-Nanoröhrchen-Feldeffekttransistoren (CNFET) verwendet werden, wobei mehrere CNT parallel den Kanal des FET mit lithographisch definierten Source-, Drain- und Gate-Regionen bilden. Es wird prognostiziert, dass aus CNFET hergestellte digitale, hochintegrierte Schaltungen (VLSI) eine Verbesserung des EDP im Vergleich zu komplementären Silizium-Metalloxid-Halbleitern (CMOS) um eine Größenordnung erreichen können.

KURZDARSTELLUNG

[0004] Die Entwicklung neuer Transistorarchitekturen, die Nanomaterialien als Ersatz für Silizium verwenden, ist ein vielversprechender Ansatz, um Transistoren auf immer kleinere Technologieknoten zu skalieren, ohne das EDP zu erhöhen oder die Herstellungskosten in einer nicht nachhaltigen Weise zu steigern. Die vorliegende Offenbarung bezieht sich somit auf verschiedene Back-Gate-Feldeffekttransistoren (FET) und Verfahren zur Herstellung der Back-Gate-FET, die auf Sub-3-nm-Technologieknoten mit

geringerem EDP als herkömmliche Top-Gate- und Gate-All-Around(GAA)-FET am gleichen CGP herunterskaliert werden können. Die hierin beschriebene Design-Architektur der Back-Gate-FET kann dazu verwendet werden, den CGP, der eine wichtige Kennzahl zur Definition des Bereichs eines FET und damit des Technologieknotens darstellt, erheblich zu reduzieren. In einem Ausführungsbeispiel werden Kohlenstoff-Nanoröhrchen (CNT) als Kanal verwendet, um einen Back-Gate-Kohlenstoff-Nanoröhrchen-Feldeffekttransistor (CNFET) mit einem CGP von etwa 30 nm zu bilden. Mehrere CNFET können dann zusammengesetzt werden, um eine digitale CNFET-Logikschaltung zu bilden. Derartige CNFET können (1) die Energieeffizienz (d. h. das Energieverzögerungsprodukt EDP) von digitalen VLSI-Schaltungen verbessern sowie einen Ansatz zur Skalierung der digitalen CGP-Logik auf kleinere Technologieknoten (z. B. Sub-3-nm-Technologieknoten) bereitstellen.

[0005] Diese CNFET können die Form eines Transistors annehmen, umfassend einen Kanal, einen Source, einen Drain und einen Gate. Der Kanal weist eine erste Seite und eine zweite Seite gegenüber der ersten Seite auf, wobei der Source auf der ersten Seite des Kanals angeordnet ist. Der Drain ist auf der ersten Seite des Kanals angeordnet und von der Source um eine physikalische Kanallänge von weniger als etwa 10 nm beabstandet. Und der Gate ist auf der zweiten Seite des Kanals angeordnet und weist eine Gate-Länge auf, die größer ist als die physikalische Kanallänge. Dieser Transistor kann einen kontaktierten Gate-Pitch von 30 nm oder weniger und eine parasitäre Kapazität von weniger als 0,1 Femtofarad/Mikron aufweisen.

[0006] Ein weiterer erfinderischer Transistor beinhaltet ebenfalls einen Kanal, einen Source, einen Drain und einen Gate. Der Kanal weist erneut eine erste Seite und eine zweite Seite gegenüber der ersten Seite auf, wobei der Source und der Drain auf der ersten Seite des Kanals liegen. Der Gate ist auf der zweiten Seite des Kanals angeordnet und überlappt mit dem Source, dem Drain oder sowohl dem Source als auch dem Drain. Dieser Transistor weist einen kontaktierten Gate-Pitch von 30 nm oder weniger auf.

[0007] Bei diesen Transistoren kann der Kanal eine (Kohlenstoff)-Nanoröhre in elektrischer Verbindung mit dem Source und dem Drain beinhalten, wobei in diesem Fall ein Dielektrikum zwischen dem Gate und der Nanoröhre angeordnet sein kann. Der Gate kann mit dem Source, dem Drain oder dem Source und dem Drain überlappen. Und der Transistor kann so konfiguriert sein, dass er mit einer Taktfrequenz zwischen etwa 0,1 GHz und etwa 10 GHz arbeitet.

[0008] Diese Transistoren können durch Bildung eines Gates, Abscheidung eines Dielektrikums auf dem Gate, Abscheidung einer Kohlenstoff-Nanoröhre

über dem Dielektrikum zur Bildung eines Kanals und Strukturierung eines Source und eines Drain auf dem Kanal gegenüber dem Gate mit einer physikalischen Kanallänge von weniger als einer Länge des Gates und weniger als etwa 10 nm hergestellt werden. Die Abscheidung des Kohlenstoff-Nanoröhrchens kann bei einer Temperatur von weniger als etwa 400 °C erfolgen. Die Strukturierung des Source und des Drain kann ein lithographisches Ätzen mit physikalischer Kanallänge bei minimaler Kenngröße und/oder eine Überlappung des Source, des Drain oder sowohl des Source als auch des Drain mit dem Gate einschließen. Bevor das Gate gebildet wird, kann ein Graben in ein Substrat strukturiert werden, sodass der Gate, wenn er gebildet wird, in das Substrat eingebettet wird.

[0009] Alle Kombinationen der vorstehenden Konzepte und zusätzliche Konzepte, die im Folgenden ausführlicher erläutert werden (vorausgesetzt, dass diese Konzepte nicht gegenseitig widersprüchlich sind), werden als Teil des hierin offenbarten erfindersischen Gegenstands betrachtet. Insbesondere werden alle Kombinationen des beanspruchten Gegenstands, die am Ende dieser Offenbarung erscheinen, als Teil des hierin offenbarten erfindersischen Gegenstands betrachtet. Die hierin ausdrücklich verwendete Terminologie, die auch in jeder durch Bezugnahme aufgenommenen Offenbarung auftauchen kann, sollte so verstanden werden, dass sie mit den hierin offenbarten besonderen Konzepten am besten übereinstimmt.

Figurenliste

[0010] Der Durchschnittsfachmann wird verstehen, dass die Zeichnungen vorrangig zur Veranschaulichung dienen und nicht dazu bestimmt sind, den Umfang des hierin beschriebenen erfindersischen Gegenstands einzuschränken. Die Zeichnungen sind nicht unbedingt maßstabgetreu; in einigen Fällen können verschiedene Aspekte des hierin offenbarten erfindersischen Gegenstands in den Zeichnungen übertrieben oder vergrößert dargestellt sein, um das Verständnis verschiedener Merkmale zu erleichtern. In den Zeichnungen beziehen sich gleiche Referenzzeichen im Allgemeinen auf gleiche Merkmale (z. B. funktionell ähnliche und/oder strukturell vergleichbare Elemente).

Fig. 1A zeigt einen FET mit einer Top-Gate-FET-Geometrie.

Fig. 1B zeigt einen FET mit einer Gate-Allround-FET-Geometrie.

Fig. 2A zeigt einen beispielhaften FET, wobei CNT als FET-Kanal in einer Back-Gate-FET-Geometrie mit negativer Abstandshalterlänge L_{SP} verwendet werden.

Fig. 2B zeigt einen beispielhaften FET, wobei CNT als FET-Kanal in einer Back-Gate-FET-Geometrie verwendet werden.

Fig. 3 zeigt ein Prozessflussdiagramm eines Back-Gate-CNFET. Obwohl die Back-Gates nicht in das Substrat eingebettet sind, kann ein herkömmlicher Damaszener-Prozess verwendet werden, um die parasitären Effekte für Back-Gate-FET-Geometrien zu reduzieren.

Die Elektronenstrahl-Photoresistdicke (< 40 nm) begrenzt die Metalldicke in dieser experimentellen Demonstration auf < 10 nm.

Fig. 4 zeigt dreidimensionale schematische Darstellungen des Back-Gate-CNFET basierend auf dem Prozessflussdiagramm von **Fig. 3** mit entsprechenden Rasterelektronenmikroskopie (REM)-Bildern des Back-Gate-CNFET.

Fig. 5A zeigt eine Draufsicht auf ein Prüfkontaktstellen-Layout für eine digitale CNFET-Logik (Wechselrichter).

Fig. 5B zeigt eine vergrößerte Ansicht eines typischen CNFET-Wechselrichters. Es ist zu beachten, dass das Bild einen Wechselrichter zeigt, bevor die Pads in **Fig. 4** hinterlegt werden, da die Pads einige dieser Merkmale abdecken.

Fig. 5C zeigt eine vergrößerte Ansicht eines typischen 30-nm-CGP-Back-Gate-CNFET im CNFET-Wechselrichter, der in **Fig. 5B** gezeigt ist.

Fig. 5D zeigt eine vergrößerte Ansicht der CNFET-Kanalregion. Die Kontaktlänge L_C , beträgt 20 nm und die physikalische Kanallänge L_{CH} , beträgt 10 nm, was zu einem CGP von 30 nm führt. Die Gate-Länge L_G , beträgt 18 nm und überlappt sowohl mit dem Source (linker Kontakt) als auch mit dem Drain (rechter Kontakt) um ~4 nm.

Fig. 5E zeigt einen Querschnitt eines Transmissionselektronenmikroskopie-Bildes eines Back-Gate-CNFET mit nominal 30 nm CGP.

Fig. 6A zeigt die I_D - V_{GS} -Charakteristiken mehrerer 30-nm-CGP-CNFET, die Unterschwellenschwankungen (SS) von -125 mV/Dekade erreichen (bei einer Drain-Source-Spannung $V_{DS} = -0,5$ V).

Fig. 6B zeigt die I_D - V_{DS} -Charakteristik eines beispielhaften 30-nm-CGP-CNFET.

Fig. 6C zeigt die Spannungsübertragungskurve eines 30-nm-CGP-CNFET-Wechselrichters, der mit PMOS-Logik mit Verarmungslast und einer hohen Ausgangsspannung $V_{OH} = 0,4$ V bzw. einer niedrigen Ausgangsspannung $V_{OL} = 0,05$ V implementiert wurde.

Fig. 7 zeigt ein Diagramm, in dem die aktuellen Arbeiten in Bezug auf den Abstand des kontaktierten Gates für die in der Literatur am bes-

ten beschriebenen skalierten Technologien verglichen werden.

Fig. 8A zeigt die parasitären Kapazitäten (Gate-to-Plug-Kapazität, C_{GTP} in den **Fig. 1A-1E**) für Back-Gate- gegenüber Top-Gate- und Gate-All-Around(GAA)-FET. Back-Gate-FET reduzieren parasitäre Effekte um $> 2,5\times$ gegenüber Top-Gate-FET und um $>2,8\times$ gegenüber GAA-FET für einen 30-nm-CGP (geeignet für einen Sub-3-nm-Knoten). Die Vorteile der parasitären Reduktion nehmen mit der Skalierung des CGP zu. Intrinsische parasitäre Effekte werden mit TCAD Sentaurus (Synopsys) bestimmt und mit COMSOL Multiphysics (COMSOL, Inc.) verifiziert (mit einer Diskrepanz von $< 0,3\%$ über alle Simulationen).

Fig. 8B zeigt eine Tabelle der Geräteparameter, die für die Analyse verwendet wurden. Die CGP-Werte von 30 nm, 42 nm, 90 nm und 180 nm, entsprechen den Technologieknoten 3 nm, 7 nm, 22 nm bzw. 45 nm.

Fig. 9A zeigt eine perspektivische Ansicht eines Back-Gate-CNFET mit gekennzeichneten parasitären Komponenten.

Fig. 9B zeigt verschiedene Komponenten der Eingangskapazität für einen hochskalierten 30-nm-CGP-Back-Gate-CNFET (siehe Geräteparameter in **Fig. 8B**).

Fig. 10 zeigt den optimierten EDP (normalisiert in Bezug auf den optimierten EDP für den GAA CNFET für jedes Modul) für Module aus dem OpenSparc T2-Kern und einem kommerziellen 32-Bit-Prozessorkern. Der durchschnittliche EDP-Vorteil des Back-Gates gegenüber dem GAA beträgt $2,18\times$ und $1,6\times$ gegenüber dem Top-Gate. Alle Simulationen wurden in Bezug auf ein 30-nm-CGP-Gerät mit den Parametern in **Fig. 8B** aufgeführt. Der EDP-Vorteil bleibt auch bei Low-k-Abstandhaltern (z. B. bei einem $k=4,4$ -Abstandhalter) erhalten, wobei der EDP-Vorteil um $< 10\%$ abnimmt (aus dem „DEC“-Modul von OpenSparcT2). Darüber hinaus können für viele bestehende Standardzellen-Bibliotheken die gleichen physikalischen Layouts für FET mit Back-Gate-Geometrien verwendet werden, ohne dass die Positionen der FET oder das Metall-Routing innerhalb der Standardzellen-Bibliothek angepasst werden müssen (speziell für Standardzellen-Layouts, bei denen sich die Kontaktlöcher zum Kontaktieren des FET-Gates außerhalb des aktiven Bereichs der FET befinden).

Fig. 11 zeigt die Gesamtenergie im Vergleich zur Frequenz des kommerziellen 32-Bit-Prozessorkerns und zeigt die pareto-optimalen EDV-Kompensationskurven für Back-Gate-, Top-Gate- und GAA-CNFET. **Fig. 10** zeigt Werte, die

aus diesen EDV-Kompensationskurven extrahiert wurden.

Fig. 12 zeigt, dass die EDP-Vorteile, die sich aus der Reduzierung von parasitären Effekten ergeben, die potenziellen Gewinne, die sich aus der verbesserten elektrostatischen Steuerung für GAA-Geometrien ergeben, überwiegen. Die Unterschwellenschwankung (SS) kann sich um $> 58\%$ verschlechtern (was zu $SS = 100$ mV/Dekade führt), wobei die EDP-Vorteile im Vergleich zu GAA-CNFET bei einer angenommenen bevorzugten SS von annähernd 60 mV/Dekade erhalten bleiben. Wichtig ist, dass bei experimentellen Demonstrationen von CNFET mit $L_{CH} = 9$ nm die Back-Gate-Geometrien genutzt wurden und ein SS von besser als 100 mV/Dekade (94 mV/Dekade) berichtet wurde, was die Machbarkeit dieses Ansatzes unterstreicht.

Fig. 13A zeigt ein Diagramm der parasitären Kapazität (C_{GTP}) in Abhängigkeit von der Abstandhalterlänge L_{SP} für einen Top-Gate-FET und Back-Gate-FET mit einer Überlappung von 5 nm, 3 nm und 1,5 nm zwischen Gate und Source/Drain. Das Diagramm zeigt, wie die Back-Gate-FET-Geometrie verwendet werden kann, um einen 15-nm-CGP zu realisieren.

Selbst bei Überlappung ergeben Back-Gates $> 3\times$ reduzierte parasitäre Kapazitäten an skalierten Knoten.

Fig. 13B zeigt eine Tabelle mit Geräteparametern, die zur Extraktion von Kapazitäten in **Fig. 13A** verwendet werden.

Fig. 14 zeigt einen Vergleich des relativen EDP eines gefächerten 4(FO-4)-Wechselrichters (normiert auf EDP von CGP 30 nm Top-Gate-CNFET) im Vergleich zum CGP von Back-Gate-CNFET. Diese Geräte weisen eine Kontaktlänge L_c von 9 nm und eine Gate-Länge L_g von 9 nm auf. Die Abstandhalterlänge L_{SP} wird variiert, um CGP zu reduzieren.

DETAILLIERTE BESCHREIBUNG

[0011] Fig. 1A zeigt eine schematische Darstellung eines Top-Gate CNFET **80**. Das Top-Gate-CNFET **80** beinhaltet einen Kanal **40**. Ein Source **10** und ein Drain **20** sind auf einer ersten Seite des Kanals **40** so angeordnet, dass elektrischer Strom von dem Source **10** durch den Kanal **40** zum Drain **20** fließt. Ein Gate **30**, das auf der ersten Seite des Kanals **40** zwischen dem Source **10** und dem Drain **20** angeordnet ist, steuert den Stromfluss durch den Kanal **40**. Zwischen dem Gate **30** und dem Kanal **40** kann ein Dielektrikum **50** angeordnet sein. Ein Substrat **60** kann mechanische Unterstützung für die Herstellung und Handhabung bereitstellen.

[0012] Fig. 1B zeigt eine schematische Darstellung eines Gate-All-Around (GAA) CNFET **90**. Ähnlich wie das Top-Gate-CNFET **80** beinhaltet das GAA CNFET **90** einen Source **10**, einen Drain **20** und einen Kanal **42**, die auf einer ersten Seite des Kanals **42** angeordnet sind. In diesem Fall umgibt ein Gate **32** den Kanal **42** auf allen Seiten. Wie in Fig. 1B gezeigt, liegt das Gate **32** zwischen dem Source **10** und dem Drain **20**. Zwischen dem Kanal **40** und dem Gate **30** kann auch ein Dielektrikum **52** angeordnet sein. Auch hier kann ein Substrat **62** mechanische Unterstützung für die Herstellung und Handhabung bereitstellen.

[0013] Im Allgemeinen kann die Größe des Transistors und damit des entsprechenden Technologieknotens unter Verwendung eines kontaktierten Gate-Pitch (CGP) quantifiziert werden. Der CGP kann als gleich dem Gate-Pitch zwischen zwei in Reihe geschalteten FET **100** mit einer gemeinsamen Source 110/Drain 120-Kontaktierung definiert werden. Für den Top-Gate CNFET **80** und den GAA CNFET **90** ist der CGP somit gleich der Summe der Kontaktlänge (L_C) des Source 110/Drain **120**, der physikalischen Gate-Länge (L_G) des Gates **130** und der beiden Abstandhalterbereiche ($2L_{SP}$) die der Gate **130** von dem Source 110/dem Drain **120** trennen:

$$CGP = L_C + L_G + 2L_{SP} \quad (1)$$

[0014] Dieser CGP wird in Fig. 1A veranschaulicht.

[0015] Eine physikalische Kanallänge (L_{CH}) kann auch mit den obigen Parametern wie folgt definiert werden,

$$L_{CH} = CGP - L_C \quad (2)$$

[0016] Zum Vergleich zeigen die Fig. 2A und Fig. 2B eine schematische Darstellung eines beispielhaften Back-Gate CNFET **100**. CNFET haben bisher sowohl eine Back-Gate-FET-Geometrie als auch anspruchsvolle FET-Geometrien (wie GAA-CNFET) verwendet. Eine rigorose Analyse der relativen Vorteile (z. B. sowohl der Energieeffizienz als auch der Flächenskalierung) dieser anspruchsvollen Geometrien im Vergleich zu Back-Gate-FET-Geometrien wurde jedoch nicht durchgeführt. Hier sind die Back-Gate-FET-Geometrien gezeigt, die mehrere Vorteile bereitstellen, die für hochskalierte Technologien bisher nicht genutzt wurden. So ermöglichen Back-Gate-FET beispielsweise eine physikalische Skalierung über die Grenzen der Top-Gate- und Gate-all-Around-FET-Geometrien hinaus. Back-Gate-FET bieten aufgrund einer Verringerung der parasitären Kapazitäten im Vergleich zu Top-Gate- und GAA-FET auch zusätzliche EDP-Vorteile.

[0017] Das Back-Gate-CNFET **102** in Fig. 2A schließt einen Kanal **142** ein, der es ermöglicht, elek-

trischen Strom von einer Quelle **110** zu einem Drain **120** fließen zu lassen. Wie gezeigt, können der Source **110** und der Drain **120** auf einer ersten Seite des Kanals **142** angeordnet sein. Der Back-Gate-FET **100** beinhaltet auch ein Gate **132** zur Steuerung des Stromflusses bei Anlegen einer Spannung. Der Gate **132** kann auf einer zweiten Seite des Kanals **142** gegenüber der ersten Seite des Kanals **142** angeordnet sein, daher die Back-Gate-Geometrie. Der Gate **132** kann in ein Substrat **162** eingebettet sein, das den Back-Gate-FET **100** unterstützt. Zwischen dem Gate **132** und dem Kanal **142** kann auch ein Dielektrikum **152** angeordnet sein.

[0018] Im Vergleich zu dem Top-Gate-CNFET **80** und dem GAA CNFET **90** kann das Back-Gate-CNFET **102** in Fig. 2A einen kürzeren CGP unterstützen, um höher skalierte Technologieknoten zu ermöglichen. So sind beispielsweise die Abstandhalterbereiche, die dazu dienen, unerwünschten elektrischen Kontakt (elektrische Kurzschlüsse) zwischen dem Gate **132** und dem Source 110/Drain **120** zu vermeiden, für den Back-Gate-FET **100** nicht erforderlich, da sich das Back-Gate **132** auf einer Ebene unterhalb des Source 110/Drain **120** befindet. Daher können die Abstandhalterbereiche vollständig eliminiert werden, wodurch ein kleinerer CGP und eine physikalische Kanallänge L_{CH} bei Transistoren ermöglicht wird, die ansonsten durch Design- und/oder Fertigungsbeschränkungen eingeschränkt wären. So setzen Gießereien beispielsweise typischerweise eine Mindestkengröße für eine Geräteschicht fest, wie sie im Prozessentwicklungskit einer Gießerei definiert ist, was herkömmliche Top-Gate-FET und GAA-FET aufgrund der Notwendigkeit der oben genannten Abstandhalterbereiche einschränkt. Und lithographische Prozesse weisen Auflösungsbeschränkungen auf, welche die Abmessungen und die relativen Abstände zwischen den Merkmalen im Transistor einschränken. In beiden Beispielen ermöglicht das Entfernen der Abstandhalterbereiche eine engere Positionierung des Source **110** und des Drain **120**, was zu einem kleineren L_{CH} führt.

[0019] Beim Back Gate-FET **102** können die parasitären Kapazitäten zwischen dem Gate **132** und dem Source **110** und dem Gate **132** und dem Drain **120** zum Teil auch durch die reduzierte elektrische Kopplung zwischen dem Gate **132** und dem Source 110/Drain **120** in der Back Gate-Architektur reduziert werden. So kann der Back-Gate-FET **100** beispielsweise eine parasitäre Gesamtkapazität (Gate-to-Plug-Kapazität) von weniger als etwa 0,1 Femtofarad/Mikron aufweisen.

[0020] Einige Back-Gate-CNFET, einschließlich des Back-Gate-CNFET **100**, wie in Fig. 2B gezeigt, weisen ein Gate **130** auf, das sich teilweise mit dem Source **110** und/oder dem Drain **120** überlappt, wobei die parasitären Kapazitäten geringer sind, als bei

einem entsprechenden Top-Gate- oder GAA-FET am gleichen CGP. Bei Designs mit einer Überlappung kann ein Kanal **140** und/oder ein Dielektrikum **150** verwendet werden, um das Gate **130** von dem Source 110/Drain **120** zu trennen. Dieses überlappende Gate **130** kann durch ein Substrat **160** unterstützt oder in dieses eingebettet werden, z. B. für mechanische Stabilität und Unterstützung.

[0021] Fig. 2B zeigt einen beispielhaften Back-Gate-FET **100** mit einer Überlappung zwischen dem Gate **130** und dem Source 110/Drain **120**. Eine derartige Überlappung entspricht einer Abstandhalterlänge $L_{SP} < 0$ in Gleichung. 1. Auf diese Weise kann der CGP durch Verringerung von L_{SP} (z. B. unter Null) reduziert werden - auch ohne Verbesserung der Herstellungstechniken, um L_C und L_G auf kleinere Abmessungen zu skalieren.

[0022] Im Allgemeinen kann der Back-Gate-FET **100** in Fig. 2B einen CGP von weniger als etwa 30 nm aufweisen. Der Back-Gate-FET **100** kann auch einen L_{CH} von weniger als etwa 10 nm aufweisen. CGP und L_{CH} können um +/- 1-5 nm variieren, was zum Teil auf Schwankungen und Toleranzen bei der Herstellung zurückzuführen ist. Eine Überlappung zwischen dem Gate **130** und dem Source 110/Drain **120** kann verwendet werden, um derartige Reduzierungen bei CGP und L_{CH} zu ermöglichen, insbesondere angesichts der derzeitigen Einschränkungen bei der Herstellung. Zukünftige Verbesserungen bei den Fertigungsprozessen könnten auch eine Reduzierung von CGP und L_{CH} ohne eine Überlappung zwischen dem Gate **130** und dem Source 110/Drain **120** ermöglichen.

[0023] Wie nachstehend beschrieben, kann die Herstellung des Back-Gate-FET **100** Änderungen des Prozessablaufs, der herkömmlicherweise für Top-Gate-FET oder GAA-FET verwendet wird, mit sich bringen, die zum Teil auf Temperaturerwägungen und Materialkompatibilität zurückzuführen sind. Derartige Änderungen können die Verwendung unterschiedlicher Materialien/Strukturen für den Kanal **140** einschließen. So kann der Kanal **140** beispielsweise aus einem oder mehreren CNT gebildet werden, die bei Temperaturen unter 400 °C abgeschieden werden können, um eine Beschädigung des Gates **130** zu vermeiden. Wie in Fig. 2B gezeigt, können mehrere CNT als Kanal **140** verwendet werden, um einen höheren elektrischen Strom zu unterstützen.

[0024] Das Dielektrikum **150** kann aus verschiedenen High- κ -Dielektrika gebildet werden, einschließlich, jedoch nicht beschränkt auf Siliziumoxid, Hafniumoxid oder jedes andere Dielektrikum, das einem Durchschnittsfachmann bekannt ist. Der Source **110** und der Drain **120** können aus verschiedenen elektrisch leitenden Materialien hergestellt werden, einschließlich, jedoch nicht beschränkt auf Platin, Titan,

Wolfram, Tantal, Kupfer, alle Legierungen der vorgenannten Materialien oder alle elektrischen Leiter, die einem Durchschnittsfachmann bekannt sind. Das Substrat **160** kann in Form eines Wafers vorliegen, der aus verschiedenen Materialien hergestellt ist, einschließlich, jedoch nicht beschränkt auf, Silizium, Siliziumoxid, Aluminiumnitrid oder andere Halbleiter- oder Isoliermaterialien, die einem Durchschnittsfachmann bekannt sind.

Digitale CNFET- und CNFET-Logik mit einer Back-Gate-Geometrie, die einen CGP von weniger als 30 nm aufweist

[0025] Die Realisierung der Skalierungsvorteile, die durch den Back-Gate-FET **100** ermöglicht werden, kann einige Modifikationen der Front-End-of-Line (FEOL)-FET-Fertigung für herkömmliche siliziumbasierte Technologien erfordern. Wie in den Fig. 3 und Fig. 4 veranschaulicht, wird der FET-Gate-Stapel (z. B. Gate **132** in Fig. 2A oder Gate **130** in Fig. 2B) zunächst auf dem Substrat hergestellt. Anschließend wird der halbleitende Kanal **140** des FET **100** über diesem Gate-Stapel **130** abgeschieden. Um eine Beschädigung des Gate-Stapels **130** (z. B. durch Kristallisation des High- κ -Gate-Dielektrikums **150** oder Zerstörung des eingebetteten Metall-Gates **130**) zu vermeiden, sollte die Kanal 140-Abscheidung - und alle nachfolgenden FEOL-Bearbeitungen - vorzugsweise bei niedrigen Temperaturen (z. B. < 400 °C) durchgeführt werden. Dies kann insbesondere bei siliziumbasierten Technologien, die Verarbeitungstemperaturen > 1000 °C verwenden, eine Herausforderung darstellen. Im Gegensatz dazu verwenden viele neue Nanotechnologien niedrige Verarbeitungstemperaturen (< 400 °C) und ermöglichen so auf natürliche Weise Back-Gate-FET-Geometrien. Zur Demonstration können CNT verwendet werden, da CNT bei Raumtemperatur über dem Gate-Stapel **130** abgeschieden werden können (z. B. durch lösungsbasierte Verarbeitung oder einen Übertragungsprozess). Darüber hinaus können CNFET im Vergleich zu Silizium-FET auch das EDP für digitale VLSI-Schaltungen um eine Größenordnung verbessern.

Herstellung

[0026] Als beispielhafte experimentelle Demonstration wurden die Back-Gate-CNFET **100** und die digitale CNFET-Logik hergestellt, die einen aufgezeichneten, skalierten CGP von 30 nm aufweisen. Der Herstellungsablauf für ein Back-Gate-CNFET **100** ist in Fig. 3 gezeigt und wie folgt beschrieben: (1) das Ausgangssubstrat für die 30-nm-CGP-CNFET **100** ist ein Siliziumsubstrat, (2) das Siliziumsubstrat wird mit einem thermischen Oxid bei 800 nm beschichtet, und (3) der Gate **130** wird auf dem Wafer **160** strukturiert, indem zunächst der Wafer **160** mit einer einzelnen Schicht aus PMMA-Positivresist (-45 nm PMMA **A1**) beschichtet wird. Elektronenstrahl(E-Strahl)-Li-

thographie wird zur Definition der Gate-Elektrode verwendet ($L_G \sim 18$ nm). Anschließend wird PMMA bei $-3,5$ °C entwickelt, wodurch das Muster gebildet wird. Durch Elektronenstrahl(E-Strahl)-Verdampfung werden 3 \AA Titan abgeschieden, gefolgt von 4 nm Platin. Anschließend wird ein Lift-off-Prozess durchgeführt. Die bevorzugte Flächendosis für die E-Strahl-Lithographie wird zum Teil durch Simulation der Elektronenrückstreuungseffekte in einem Stapel aus PMMA-SiO₂ und PMMA-HfO₂ im TRACER gewählt. Gefolgt von (4) Abscheidung eines HfO₂-Dielektrikums **150** mit einer Dicke von 3,5 nm und einer äquivalenten Oxiddicke (EOT) von 0,9 nm mittels Atomschichtabscheidung.

[0027] Obwohl die Back-Gates **130** nicht in das Substrat **160** eingebettet sind, kann ein herkömmlicher Damaszener-Prozess verwendet werden, um einen eingebetteten Gate-Stapel **130** zu realisieren, um die von Back-Gate-FET-Geometrien gewährten reduzierten parasitären Effekte zu erreichen. So kann das Substrat **160** beispielsweise zunächst strukturiert und geätzt werden, um einen Graben oder eine Vertiefung entlang der Oberfläche des Substrats **160** zu bilden. Eine anschließende Abscheidung der im Gate **130** verwendeten Materialien (und des Dielektrikums **150**) kann dann den Graben oder die Vertiefung im Substrat **160** füllen. Ein Polierprozess (z. B. chemisch-mechanisches Polieren) kann anschließend verwendet werden, um überschüssiges Gate-Material zu entfernen und/oder um das Substrat **160** und das Gate **130** zu planarisieren, bevor nachfolgende Herstellungsprozesse durchgeführt werden.

[0028] Im Anschluss an die Herstellung des Gate-Stapels **130** werden zur Strukturierung der Kontaktlöcher zu den Gate-Metallelektroden wiederum PMMA und E-Strahl-Lithographie verwendet, und zum Durchätzen des HfO₂ wird ein trockenes Plasmaätzen auf Cl₂-Basis eingesetzt. Die PMMA wird in heißem Aceton abgestreift, gefolgt von Sauerstoffplasma. Zur Vorbereitung des Wafers für die CNT-Abscheidung wird die Oberfläche mit Hexamethyldisilazan (HMDS, ein gebräuchlicher Photoresist-Haftvermittler) funktionalisiert. Der Wafer **160** wird anschließend für 10 Minuten in eine Lösung aus 1,2-Dichlorethan (DCE) eingetaucht, die > 99,9 % reine halbleitende CNT (modifizierte IsoNanotubes-S, geliefert von Nanointegris) enthält.

[0029] Gefolgt von einem (5) Dispergieren der CNT in DCE. Die CNT durchlaufen mehrere Beschallungsschritte, um die CNT in ein Polymer einzuwickeln, um sie in der DCE zu dispergieren, gefolgt von mehreren Ultrazentrifugationsschritten, um nicht dispergierte CNT und überschüssiges Polymer zu entfernen. Im Anschluss an die CNT-Abscheidung wird der Wafer **160** für 60 Minuten in heißem Toluol gespült, gefolgt von einer Vakuumglühung bei $< 10^{-5}$ für > 30 Minuten.

[0030] Anschließend werden (6) der Source **110** und (7) der Drain **120** definiert und ähnlich wie die Gate-Elektrode strukturiert. Der Source **110** und der Drain **120** werden in zwei separaten Schritten strukturiert, um die Mindestauflösung zu verringern. (8) Nach der Abscheidung des CNT-Kanals **140** wird PMMA strukturiert, um die Transistorkanalbereiche **140** abzudecken, und Sauerstoffplasma wird verwendet, um überschüssige CNT zu entfernen (d. h. CNT außerhalb des Transistorkanalbereichs **140**, und daher nicht durch die PMMA geschützt). Danach folgt (9) ein E-Strahl-Lithographieschritt, E-Strahl-Verdampfung und Lift-off, um größere Sonden-Pads und Verbindungsdrähte zu definieren.

[0031] Der oben beschriebene Herstellungsprozess ist ein beispielhafter Prozess, der zur Herstellung von Back-Gate-CNFET **100** verwendet werden kann. Die verschiedenen Prozesse, Parameter und verwendeten Materialien können abhängig von der Konstruktion des Back-Gate-FET **100** modifiziert oder entfernt werden. Es können auch zusätzliche Verarbeitungsschritte eingeführt werden, wie zum Beispiel zusätzliche Strukturierungs- und Ätzschritte zur Einbettung des Gates **130** in das Substrat **160**, wie oben beschrieben.

Versuchsergebnisse

[0032] Um CNFET **100** zu erreichen, die in ein CGP von 30 nm passen, wurden die beispielhaften CNFET **100** mit $L_C = 20$ nm, $L_G = 18$ nm, $L_{SP} = -4$ nm (d. h. 4 nm beabsichtigte Überlappung des Back-Gate **130** mit dem Source **110** und dem Drain **120**), mit einer physikalischen Kanallänge ($L_{CH} = CGP - L_C$) von 10 nm strukturiert. Rasterelektronenmikroskopie(SEM)- und Transmissionselektronenmikroskopie(TEM)-Bilder der gefertigten CNFET **100** sind in **Fig. 5A-5E** gezeigt. Wichtig ist, dass dieser skalierte CGP ohne zusätzliche Skalierung von L_G und L_C erreicht wird. Dies verdeutlicht, wie dieser Ansatz die widersprüchlichen Einschränkungen auf L_C und L_G (längere L_C und L_G können zu einem verbesserten Kontaktwiderstand und elektrostatischer Kontrolle führen) von den Einschränkungen entkoppeln kann, die durch die Notwendigkeit einer aggressiven Skalierung von CGP (idealerweise Skalierung beider L_C und L_G) entstehen. **Fig. 6A-6C** zeigen die elektrische Charakterisierung eines typischen CNFET **100** und die gemessene Spannungsübertragungskurve eines CNFET-Wechselrichters, der aus 30-nm-CGP-CNFET **100** hergestellt wurde, zur Veranschaulichung der Funktionsweise.

Energie-Effizienz-Vorteile auf VLSI-System-Ebene

[0033] Zusätzlich zu den Vorteilen, die Back-Gate-CNFET **100** in Bezug auf die Skalierung bereitstellen, können Back-Gate-FET-Geometrien auch gleichzeitig parasitäre Kapazitäten reduzieren (z. B. Gate-

to-Source/Drain-Kapazität (siehe Gate-to-Source/Drain-Abstandhalter-Kapazität. C_{GTP} in **Fig. 2A**)), was zu zusätzlichen EDP-Vorteilen für digitale, hochintegrierte Schaltungen (VLSI) führt. Die reduzierten parasitären Kapazitäten sind auf die verringerte elektrische Kopplung zwischen dem Gate **130** unterhalb des Source **110** und des Drain **120** zurückzuführen (d. h. unter Berücksichtigung der physikalischen Trennung und des Überlappungsbereichs zwischen dem Gate **130** und dem Source **110** bzw. dem Drain **120**; siehe **Fig. 2A** und **Fig. 2B**). Im Gegensatz dazu befindet sich der Gate bei Top-Gate- und GAA-Geometrien, die große „Parallelplatten“-Kondensatoren bilden, direkt zwischen Source und Drain.

[0034] **Fig. 8A** zeigt, dass bei einem CGP von 30 nm die parasitäre Kapazität für den Back-Gate-FET **100** 0,1 fF/ μm beträgt. Im Vergleich dazu beträgt die parasitäre Kapazität für den Top-Gate-FET und den GAA-FET 0,25 fF/ μm bzw. 0,28 fF/ μm . Somit ist die parasitäre Kapazität des Top-Gate-FET und des GAA-FET im Vergleich zu dem Back-Gate-FET **100** > 2,5x größer. Darüber hinaus zeigt **Fig. 8A** die vorteilhafte Reduzierung der parasitären Kapazität für Back-Gate-FET **100**, die mit zunehmender Verkleinerung des CGP zunimmt. Eine derartige Reduzierung der parasitären Kapazitäten führt zu einem geringeren EDP, was für digitale VLSI-Schaltungen von Nutzen ist.

[0035] Um diese EDP-Vorteile zu quantifizieren, wurden physikalische Designs von digitalen VLSI-Schaltungen aus dem Prozessorkern von OpenSPARC T2 und einem kommerziellen 32-Bit-Prozessorkern unter Verwendung von Standardzellen-Layouts sowie von Industriestandard-Werkzeugen für Synthese, Platzierung und Routing sowie parasitäre Extraktion analysiert. Diese Prozessorkerne integrieren viele Auswirkungen, die in realistischen VLSI-Schaltungen vorhanden sind und die bei Benchmarks für kleine Schaltungen nicht auftreten, von der physikalischen Platzierung und Leitwegüberlastung über parasitäre Drähte und das Einfügen von Puffern bis hin zur Einhaltung von Zeitbeschränkungen auf Schaltungsebene. Kapazitätskomponenten auf CNFET-Ebene werden mit einem kommerziellen 3D-Feldlöser (Synopsys Sentaurus) bestimmt, um die Werte für die parasitären Kondensatoren zu extrahieren, die in **Fig. 9A** gezeigt sind. Zu diesen parasitären Kapazitäten zählen insbesondere: $C_{GS,sp}$ und $C_{GD,sp}$ (Gate-to-Source/Drain-Kontaktkapazität), $C_{GS,fr}$ und $C_{GD,fr}$ (Randkapazität vom Gate der CNT in der Abstandhalterregion auf sowohl der Source- als auch der Drain-Seite), und CSD (direkte Source-to-Drain-Kapazität zwischen den Metallkontakten). Jede dieser Kapazitäten wird separat für jede CNFET-Geometrie (Top-Gate, Back-Gate, Gate-All-Around) extrahiert. Die intrinsische Gate-Kanal-Kapazität (C_{GC} in **Fig. 9A**) wird mit einem SPICE-kompatiblen CNFET-Kompaktmodell berechnet. Diese Kapazitäten auf CNFET-Ebene werden in Verbindung mit Stan-

dardkapazitäten auf Zellenebene (z. B. für lokale Metallverbindungen, die mit Mentor Graphics Calibre extrahiert werden) verwendet, um die Leistung/das Timing der Standardzellen-Bibliothek zu charakterisieren, und dann werden parasitäre Metall-Lenkung während des Platzierens und Leitens extrahiert (Synopsys IC Compiler).

[0036] Der physikalische Designablauf für VLSI-Schaltungen ist wie folgt: Die Leistungskennzahlen auf Schaltungsebene für physikalische Designs für jedes Schaltungsmodul im VLSI-Maßstab (d. h. vom OpenSparc T2-Prozessorkern und für den kommerziellen 32-Bit-Prozessorkern) werden am 3-nm-Knoten quantifiziert (Details in **Fig. 8B**) über mehrere Leistungsmetriken auf Geräteebene, einschließlich (jedoch nicht beschränkt auf): Versorgungsspannung ($V_{DD} = 375 \text{ mV}$ bis 500 mV), Verschlechterung der Unterschwellenneigung (SS) (von 0 % bis 60 %), und verbinden des Simulators zur Modellierung extrinsischer Elemente basierend auf der CNFET-Geometrie und den Materialeigenschaften (z. B. auf den Abmessungen und dem spezifischen Widerstand der Source/Drain-Metallkontaktstecker). Für jede Kombination von Parametern (z. B. für jedes V_{DD} , SS, Top-Gate vs. Bottom-Gate) wird der folgende Designablauf zur Quantifizierung des relativen EDP (z. B. wie in **Fig. 10**) für alle VLSI-Schaltungsmodule verwendet:

1. Charakterisierung der Standardzellen-Bibliothek. unter Verwendung von Standardzellenlayouts (abgeleitet von der 15-nm-Knoten Nangate Open Cell Library) werden parasitäre Standardzellen extrahiert, und dann werden die extrahierten Netzlisten in Verbindung mit den experimentell kalibrierten kompakten Transistormodellen verwendet, um Leistung und Timing (unter Verwendung des Trittfrequenzspektrums) für jede Standardzellen-Bibliothek zu charakterisieren.
2. Synthese: unter Verwendung des Synopsys Design Compilers, Synthetisieren jedes Schaltungsmodul über einen Bereich von Zieltaktfrequenzen (von 1 GHz bis 10 GHz), da die Betriebstaktfrequenz nach der Optimierung des Schaltungs-EDP abhängig von den Parametern auf Geräteebene variieren kann (z. B. V_{DD}).
3. Platzierung und Routing: unter Verwendung des IC-Compilers, Durchführung der Platzierung und des Routings für jede synthetisierte Netzliste (für jede Zielfrequenz), wodurch eine Optimierung der physikalischen Schaltung ermöglicht wird, wie zum Beispiel das Einsetzen von Puffern, um die Timing-Beschränkungen der Schaltung zu erfüllen.
4. Leistungs-/Timing-Analyse: Durchführen einer Leistungs- und Timing-Analyse für jedes physikalische Design (unter Verwendung von Synopsys PrimeTime), das oben platziert und

geleitet wird, über mehrere retargetierte Taktfrequenzen, die den Bereich von 0,1 GHz bis 10 GHz in 0,1-GHz-Schritten abdecken (d. h. Neuanpassung der Timing-Beschränkungen in den Schritten **2** und **3**, die auf eine andere Taktfrequenz ausgerichtet sind), da es potenziell energieeffizienter sein kann, mit einer separaten Taktfrequenz zu arbeiten, als während der Synthese und der Platzierung und dem Routing angegeben wurde.

[0037] Fig. 10 zeigt das reduzierte EDP (normalisiert in Bezug auf das verbesserte EDP für den GAA CNFET für jedes Modul) über Module von OpenSparc T2 und dem kommerziellen 32-Bit-Prozessorkern. Aufgrund der reduzierten parasitären Kapazitäten bieten Back-Gate-CNFET **100** im Vergleich zu GAA-CNFET durchschnittlich einen 2,2-fachen EDP-Vorteil und im Vergleich zu Top-Gate-CNFET einen 1,6-fachen Vorteil. Wichtig ist, dass diese Vorteile zusätzlich zu den erheblichen EDV-Vorteilen hinzukommen, die Top-Gate-CNFET gegenüber Si-FET bieten.

[0038] Fig. 11 zeigt die Energie pro Zyklus in Abhängigkeit von der Taktfrequenz für Back-Gate-CNFET **100** im Vergleich zu Top-Gate- und GAA-CNFET. Im Allgemeinen entspricht ein niedrigeres EDP einer geringeren Energie pro Zyklus bei einer höheren Taktfrequenz. Wie gezeigt, weisen die Back-Gate-CNFET **100** bei einer gegebenen Taktfrequenz eine geringere Energie pro Zyklus auf als die Top-Gate- und GAA-CNFET. Dies entspricht direkt dem EDP-Vorteil, der in Fig. 10 gezeigt ist.

Zusätzliche Erwägungen

[0039] Die reduzierten parasitären Effekte, die zu einem niedrigeren EDP führen, können auch die potenziellen Gewinne aufwiegen, die sich aus einer verbesserten elektrostatischen Kontrolle für GAA-Geometrien ergeben. So kann sich beispielsweise die Unterschwellenschwankung (SS) für den Back-Gate-CNFET **100** von ~60 mV/Dekade auf ~ 100 mV/Dekade verringern, während die EDP-Vorteile im Vergleich zu GAA-CNFET mit einer nahezu idealen SS von annähernd 60 mV/Dekade erhalten bleiben, wie in Fig. 12 gezeigt.

[0040] Zusätzlich zur Darstellung der Skalierbarkeit auf ein 30-nm-CGP ermöglicht dieser Ansatz die Skalierung auf Sub-20-nm-CGP unter Verwendung von Technologieparametern, die bereits experimentell erreicht wurden (Fig. 13). Zum Beispiel würde ein 9 nm L_G , ein 9 nm L_C , und eine Überlappung des Gates und des Source und des Drain ($-L_{SP}$) von 3 nm zu einem CGP von 15 nm führen. Wichtig ist, dass selbst bei Annahme einer Überlappung des Gates mit Source und Drain bei Back-Gate-FET **100** die parasitären Effekte unter Umständen immer noch geringer sind als bei einem konventionellen Top-Gate-

FET am gleichen CGP (Fig. 13). Die Überlappung von 3 nm (1) ermöglicht 15 nm CGP bei experimentell realisierten Abmessungen für L_C und L_G und (2) übertrifft die projektierte lithographische Überlappungsgenauigkeit, wodurch sichergestellt wird, dass ein Teil des Gates unter dem gesamten Kanal liegt, um die elektrostatische Kontrolle aufrechtzuerhalten. Bei derart aggressiv skalierten Sub-20-nm-CGP verschlechtern sich die EDP-Vorteile im Vergleich zu 30-nm-CGP, wobei die EDP-Vorteile im Vergleich zu 30-nm-CGP-Top-Gate-CNFET dennoch erhalten bleiben (Fig. 14).

[0041] Wie oben beschrieben, stellt die hierin beschriebene Back-Gate-FET 100-Architektur einen Ansatz zur Realisierung skalierten Technologieknoten bereit, der eine weitere Skalierung auf Sub-3-nm-Technologieknoten ermöglichen kann. In einem beispielhaften Back-Gate-FET **100** kann die Niedrigtemperatur-Lösungsverarbeitung von CNT zur Realisierung von Back-Gate-FET **100** verwendet werden. Dieser Ansatz ermöglicht nicht nur eine zusätzliche Skalierung, sondern verspricht durch die Kombination der EDP-Vorteile, die CNT bieten, mit den EDP-Vorteilen, die mit der Reduzierung parasitärer Kapazitäten in Backgate-FET verbunden sind, auch erhebliche Energieeffizienzvorteile. Dieser Ansatz ist für ein breites Spektrum an neuen Kanalmaterialien anwendbar, wie zum Beispiel eindimensionale und zweidimensionale Nanomaterialien, insbesondere wenn die Kanalmaterialien zufriedenstellend sind: (1) die Einschränkungen von < 400 °C Kanalabscheidung und anschließender FET-Verarbeitung und (2) dünne Körperdicke (zur Aufrechterhaltung einer guten elektrostatischen Kontrolle des Kanals). Darüber hinaus kann die CGP-Skalierung in Back-Gate-FET **100** erreicht werden, ohne dass eine Skalierung der physischen Gate-Länge (L_G) oder Kontaktlänge (L_C) erforderlich ist, und sie ist komplementär zu anderen Wegen zur Aufrechterhaltung der Flächenreduzierung pro Knoten. Daher zeigt diese Arbeit neben der Demonstration einer FET-Skalierung eines 30-nm-CGP unter Verwendung von Materialien und Prozessen, die für einen Sub-3-nm-Technologieknoten geeignet sind, auch einen vielversprechenden und machbaren Weg für eine weitere Skalierung über die Grenzen siliziumbasierter Technologien hinaus auf.

Schlussfolgerung

[0042] Alle hierin beschriebenen Parameter, Abmessungen, Materialien und Konfigurationen sind beispielhaft, und die tatsächlichen Parameter, Abmessungen, Materialien und/oder Konfigurationen sind abhängig von der/den spezifischen Anwendung(en), für die die erfinderischen Lehren verwendet werden. Es ist zu verstehen, dass die vorstehenden Ausführungsformen in erster Linie als Beispiel dargestellt werden und dass im Rahmen der beigefügten Ansprüche und deren Äquivalente erfinderische

Ausführungsformen anders als speziell beschrieben und beansprucht praktiziert werden können. Erfindersiche Ausführungsformen der vorliegenden Offenbarung beziehen sich auf jedes einzelne hierin beschriebene Merkmal, System, Artikel, Material, Kit und/oder Verfahren. Darüber hinaus ist jede Kombination von zwei oder mehr derartiger Merkmale, Systeme, Artikel, Materialien, Kits und/oder Verfahren, wenn diese Merkmale, Systeme, Artikel, Materialien, Kits und/oder Verfahren nicht gegenseitig widersprüchlich sind, in den erfinderischen Umfang dieser Offenbarung eingeschlossen.

[0043] Ebenso können verschiedene erfindersiche Konzepte als eine oder mehrere Verfahren verkörpert sein, von denen mindestens ein Beispiel angegeben wurde. Die Handlungen, die im Rahmen des Verfahrens durchgeführt werden, können in einigen Fällen in unterschiedlicher Reihenfolge erfolgen. Dementsprechend können bei einigen erfindersichen Implementierungen die jeweiligen Handlungen eines gegebenen Verfahrens in einer anderen als der speziell dargestellten Reihenfolge ausgeführt werden, was die gleichzeitige Ausführung einiger Handlungen einschließen kann (selbst wenn derartige Handlungen in veranschaulichenden Ausführungsformen als aufeinanderfolgende Handlungen gezeigt werden).

[0044] Alle hierin erwähnten Veröffentlichungen, Patentanmeldungen, Patente und andere Referenzen werden durch Bezugnahme in ihrer Gesamtheit aufgenommen.

[0045] Alle Definitionen, so wie sie hierin definiert und verwendet werden, sollten dahingehend verstanden werden, dass sie über Wörterbuchdefinitionen, Definitionen in Dokumenten, die durch Bezugnahme aufgenommen wurden, und/oder gewöhnliche Bedeutungen der definierten Begriffe gesteuert werden.

[0046] Die unbestimmten Artikel „ein“ und „eine“, wie sie hierin in der Spezifikation und in den Ansprüchen verwendet werden, sind, sofern nicht eindeutig das Gegenteil angegeben ist, als „mindestens eine“ zu verstehen.

[0047] Der Ausdruck „und/oder“, wie er hierin in der Spezifikation und in den Ansprüchen verwendet wird, ist im Sinne von „eines oder beide“ der so zusammengeführten Elemente zu verstehen, d. h. Elemente, die in einigen Fällen konjunktiv und in anderen Fällen disjunktiv vorhanden sind. Mehrere Elemente, die mit „und/oder“ aufgelistet sind, sollten auf die gleiche Art und Weise interpretiert werden, d. h., „eines oder mehrere“ der so verbundenen Elemente. Andere als die durch die „und/oder“-Klausel spezifisch gekennzeichneten Elemente können optional vorhanden sein, unabhängig davon, ob sie mit den spezifisch gekennzeichneten Elementen in Beziehung stehen oder nicht. Somit kann sich, als ein nicht

einschränkendes Beispiel, eine Bezugnahme auf „A und/oder B“, wenn sie in Verbindung mit einer offenen Sprache wie „umfassend“ verwendet wird, in einer Ausführungsform nur auf A beziehen (optional einschließlich anderer Elemente als B); in einer anderen Ausführungsform nur auf B (optional einschließlich anderer Elemente als A); in einer weiteren Ausführungsform sowohl auf A als auch auf B (optional einschließlich anderer Elemente); usw.

[0048] Wie hierin in der Spezifikation und in den Ansprüchen verwendet, sollte „oder“ im Sinne der obigen Definition mit „und/oder“ gleichbedeutend verstanden werden. Wenn beispielsweise Artikel in einer Liste getrennt werden, ist „oder“ oder „und/oder“ so zu interpretieren, dass sie inklusive sind, d. h. die Aufnahme von mindestens einem, aber auch von mehr als einem einer Anzahl oder Liste von Elementen und, optional, von zusätzlichen nicht aufgelisteten Artikeln. Nur eindeutig gegenteilige Begriffe, wie „nur einer von“ oder „genau einer von“ oder, wenn sie in den Ansprüchen verwendet werden, „bestehend aus“, beziehen sich auf die Aufnahme genau eines Elements einer Anzahl oder Liste von Elementen. Im Allgemeinen ist der Begriff „oder“, wie er hierin verwendet wird, nur dann als Hinweis auf ausschließliche Alternativen (d. h. „eine oder die andere, aber nicht beide“) auszulegen, wenn ihm Exklusivitätsbedingungen wie „entweder“, „eine von“, „nur eine von“ oder „genau eine von“ vorangestellt sind. „Besteht im Wesentlichen aus“ hat bei Verwendung in den Ansprüchen die gewöhnliche Bedeutung, wie sie im Bereich des Patentrechts verwendet wird.

[0049] Wie hierin in der Spezifikation und in den Ansprüchen verwendet, sollte der Ausdruck „mindestens eines“ in Bezug auf eine Liste von einem oder mehreren Elementen dahingehend verstanden werden, dass er sich auf mindestens ein Element bezieht, das aus einem oder mehreren der Elemente in der Liste der Elemente ausgewählt wurde, jedoch nicht notwendigerweise mindestens eines von jedem einzelnen speziell in der Liste der Elemente aufgeführten Element einschließt und keine Kombinationen von Elementen in der Liste der Elemente ausschließt. Diese Definition ermöglicht auch, dass optional andere als die in der Liste der Elemente, auf die sich der Ausdruck „mindestens eines“ bezieht, spezifisch identifizierten Elemente vorhanden sein können, unabhängig davon, ob sie mit den spezifisch identifizierten Elementen in Beziehung stehen oder nicht. Somit kann sich, als nicht einschränkendes Beispiel, „mindestens eines von A und B“ (oder, äquivalent, „mindestens eines von A oder B“ oder, äquivalent, „mindestens eines von A und/oder B“) in einer Ausführungsform auf mindestens eines, optional mehr als eines, A beziehen, ohne dass B vorhanden ist (und optional andere Elemente als B einschließt); in einer anderen Ausführungsform auf mindestens eine, gegebenenfalls mehr als eines, B, ohne Vor-

handensein von A (und gegebenenfalls mit anderen Elementen als A); in einer anderen Ausführungsform auf mindestens eines, gegebenenfalls mehr als eines, A, und mindestens eines, gegebenenfalls mehr als eines, B (und gegebenenfalls mit anderen Elementen); usw. Sowohl in den Ansprüchen als auch in der obigen Spezifikation sind alle Übergangsformulierungen wie „umfassen“, „einschließen“, „tragen“, „aufweisen“, „enthalten“, „einbeziehen“, „halten“, „zusammengesetzt aus“ und dergleichen als ergebnisoffen zu verstehen, d. h. als einschließend, jedoch nicht beschränkt auf. Nur die Übergangsformulierungen „bestehend aus“ und „bestehend im Wesentlichen aus“ sind geschlossene bzw. halbgeschlossene Übergangsformulierungen, wie im Handbuch des US-Patentamts für Patentprüfungsverfahren, Abschnitt 2111.03, dargelegt.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 62/623277 [0001]

Patentansprüche

1. Transistor, umfassend:
einen Kanal mit einer ersten Seite und einer der ersten Seite gegenüberliegenden zweiten Seite;
einen Source, der auf der ersten Seite des Kanals angeordnet ist;
einen Drain, der auf der ersten Seite des Kanals angeordnet und von dem Source um eine physikalische Kanallänge von weniger als etwa 10 nm beabstandet ist; und
einen Gate, der auf der zweiten Seite des Kanals angeordnet ist und eine Gate-Länge aufweist, die größer ist als die physikalische Kanallänge.
2. Transistor nach Anspruch 1, wobei der Transistor einen kontaktierten Gate-Pitch von 30 nm oder weniger aufweist.
3. Transistor nach Anspruch 1, wobei der Transistor eine parasitäre Kapazität von weniger als 0,1 Femtofarad/Mikron aufweist.
4. Transistor nach Anspruch 1, wobei der Kanal ein Nanoröhrchen in elektrischer Verbindung mit dem Source und dem Drain umfasst.
5. Transistor nach Anspruch 4, ferner umfassend: ein Dielektrikum, das zwischen dem Gate und dem Nanoröhrchen angeordnet ist.
6. Transistor nach Anspruch 1, wobei der Gate mindestens eines von dem Source oder dem Drain überlappt.
7. Transistor nach Anspruch 1, wobei der Transistor so konfiguriert ist, dass er bei einer Taktfrequenz im Bereich zwischen etwa 0,1 GHz und etwa 10 GHz arbeitet.
8. Transistor, umfassend:
einen Kanal mit einer ersten Seite und einer der ersten Seite gegenüberliegenden zweiten Seite;
einen Source, der auf einer ersten Seite des Kanals angeordnet ist;
einen Drain, der auf der ersten Seite des Kanals angeordnet ist; und
einen Gate, der auf der zweiten Seite des Kanals angeordnet ist und zumindest einen von dem Source oder dem Drain überlappt,
wobei der Transistor einen kontaktierten Gate-Pitch von 30 nm oder weniger aufweist.
9. Transistor nach Anspruch 8, wobei der Transistor eine parasitäre Kapazität von weniger als 0,1 Femtofarad/Mikron aufweist.
10. Transistor nach Anspruch 8, wobei der Kanal ein Nanoröhrchen in elektrischer Verbindung mit dem Source und dem Drain umfasst.
11. Transistor nach Anspruch 10, ferner umfassend:
ein Dielektrikum, das zwischen dem Gate und dem Nanoröhrchen angeordnet ist.
12. Transistor nach Anspruch 8, wobei der Transistor bei einer Taktfrequenz im Bereich zwischen etwa 0,1 GHz und etwa 10 GHz arbeitet.
13. Verfahren zur Herstellung eines Transistors, wobei das Verfahren Folgendes umfasst:
Bilden eines Gates;
Abscheiden eines Dielektrikums auf dem Gate;
Abscheiden eines Kohlenstoff-Nanoröhrchens über dem Dielektrikum, um einen Kanal zu bilden; und
Strukturieren eines Source und eines Drain auf dem Kanal gegenüber dem Gate mit einer physikalischen Kanallänge von weniger als einer Länge des Gates und weniger als etwa 10 nm.
14. Verfahren nach Anspruch 13, wobei das Abscheiden des Kohlenstoff-Nanoröhrchens bei einer Temperatur von weniger als etwa 400 Grad Celsius erfolgt.
15. Verfahren nach Anspruch 13, wobei das Strukturieren des Source und des Drain ein lithographisches Ätzen mit physikalischer Kanallänge bei einer minimalen Kenngröße umfasst.
16. Verfahren nach Anspruch 13, wobei das Strukturieren des Source und des Drain das Überlappen des Source und/oder des Drain mit dem Gate umfasst.
17. Verfahren nach Anspruch 13, ferner umfassend:
vor dem Bilden des Gates, Strukturieren eines Grabens in ein Substrat, sodass der Gate, wenn er gebildet wird, in das Substrat eingebettet wird.

Es folgen 21 Seiten Zeichnungen

Anhängende Zeichnungen

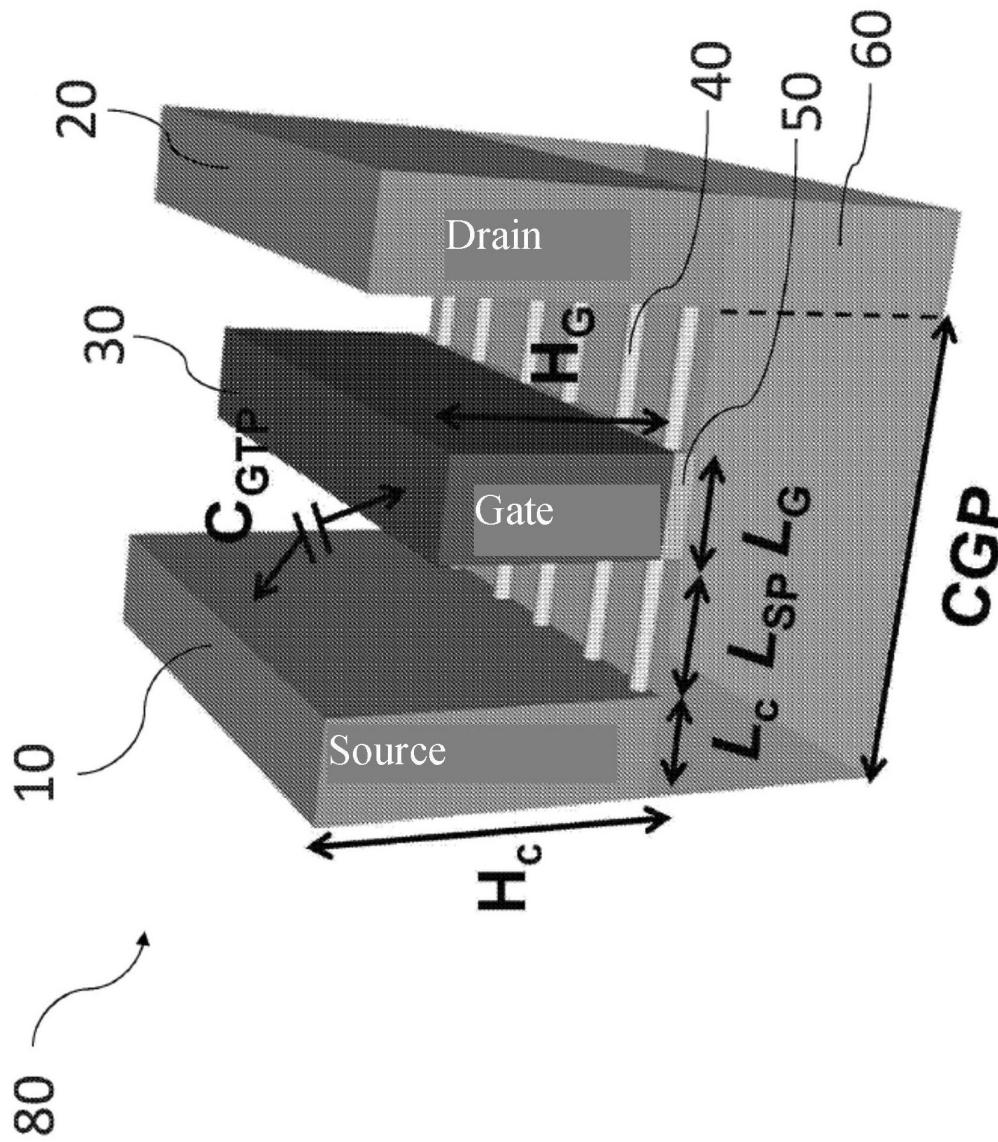


Fig. 1A

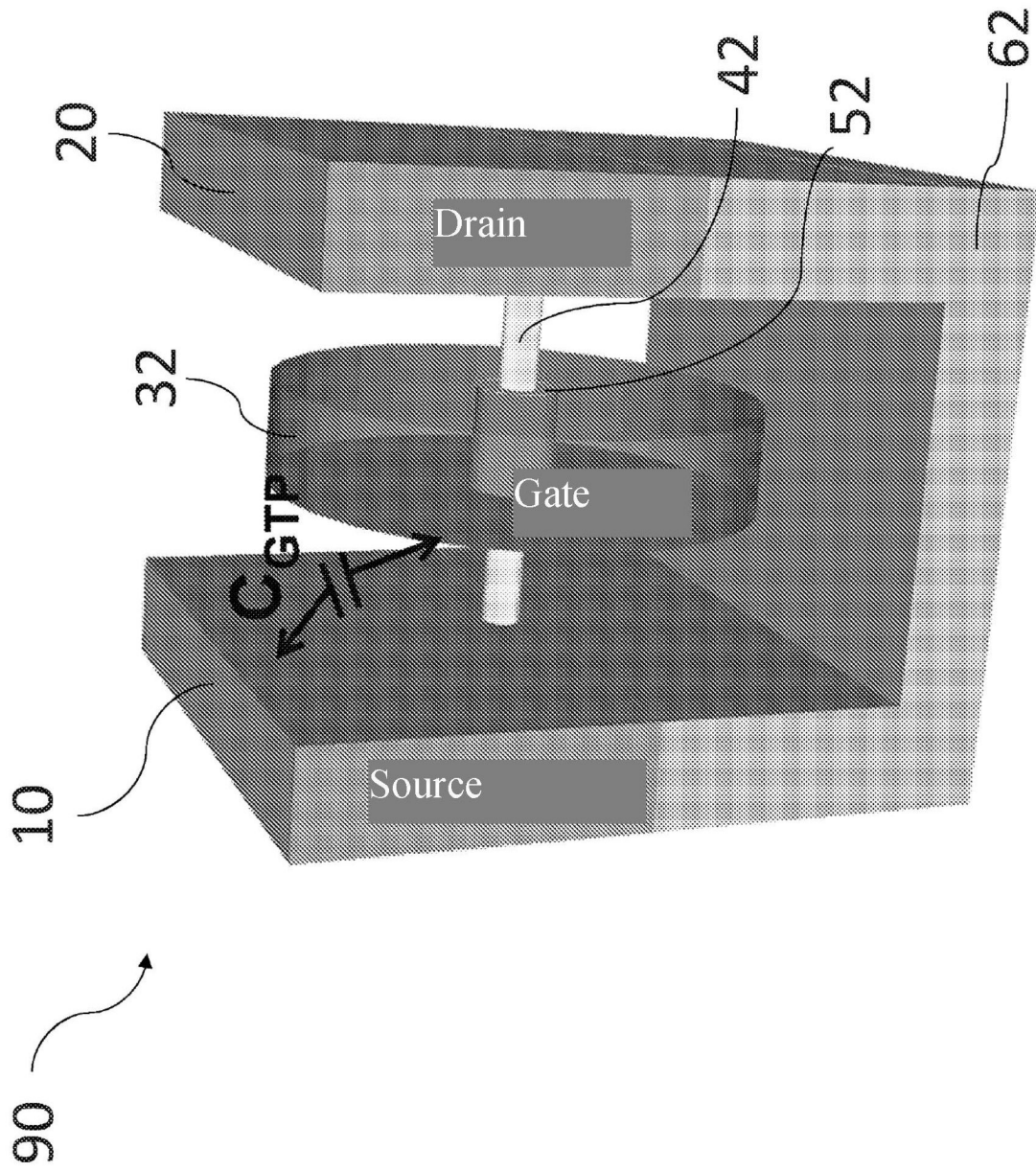


Fig. 1B

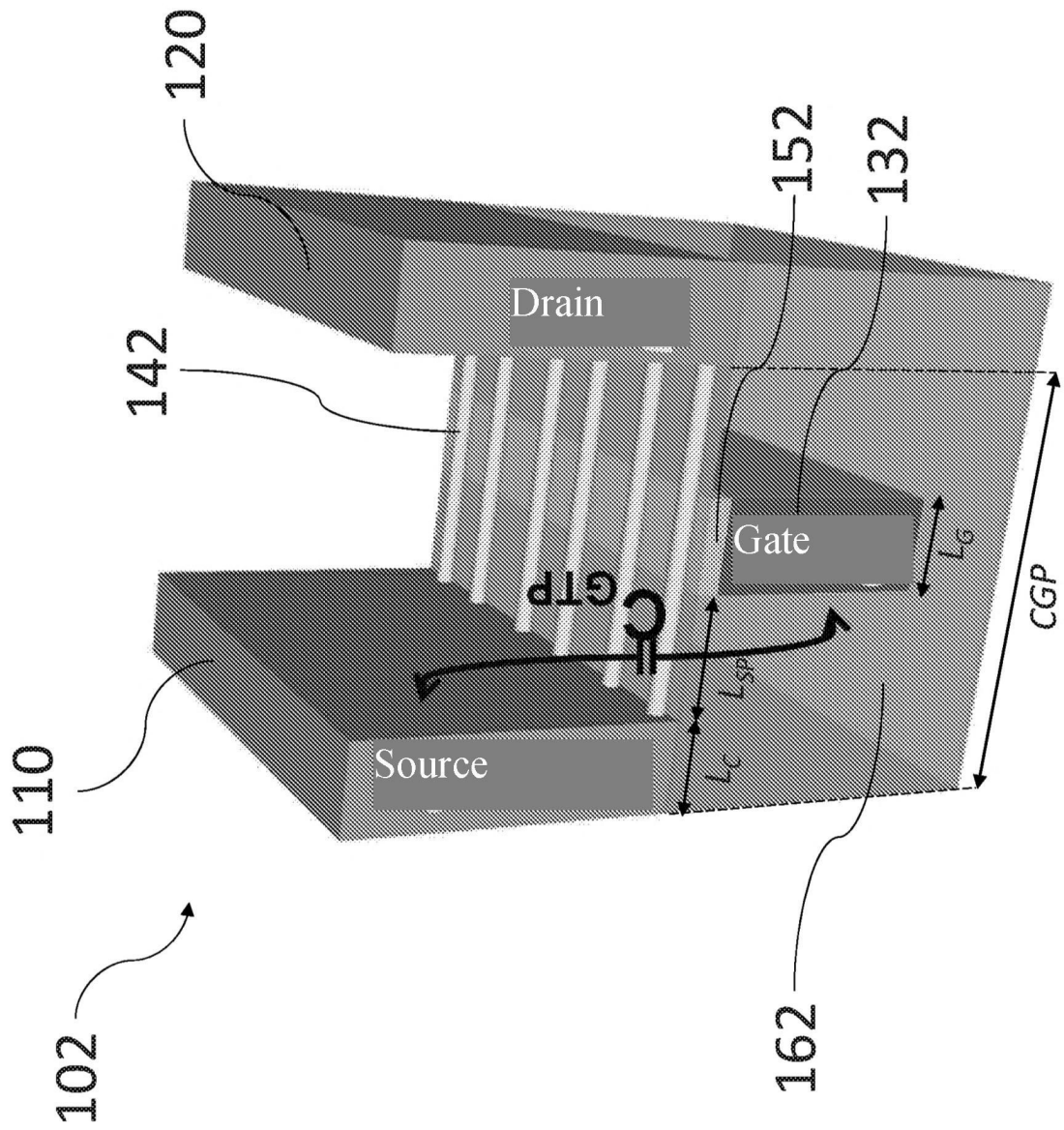


Fig. 2A

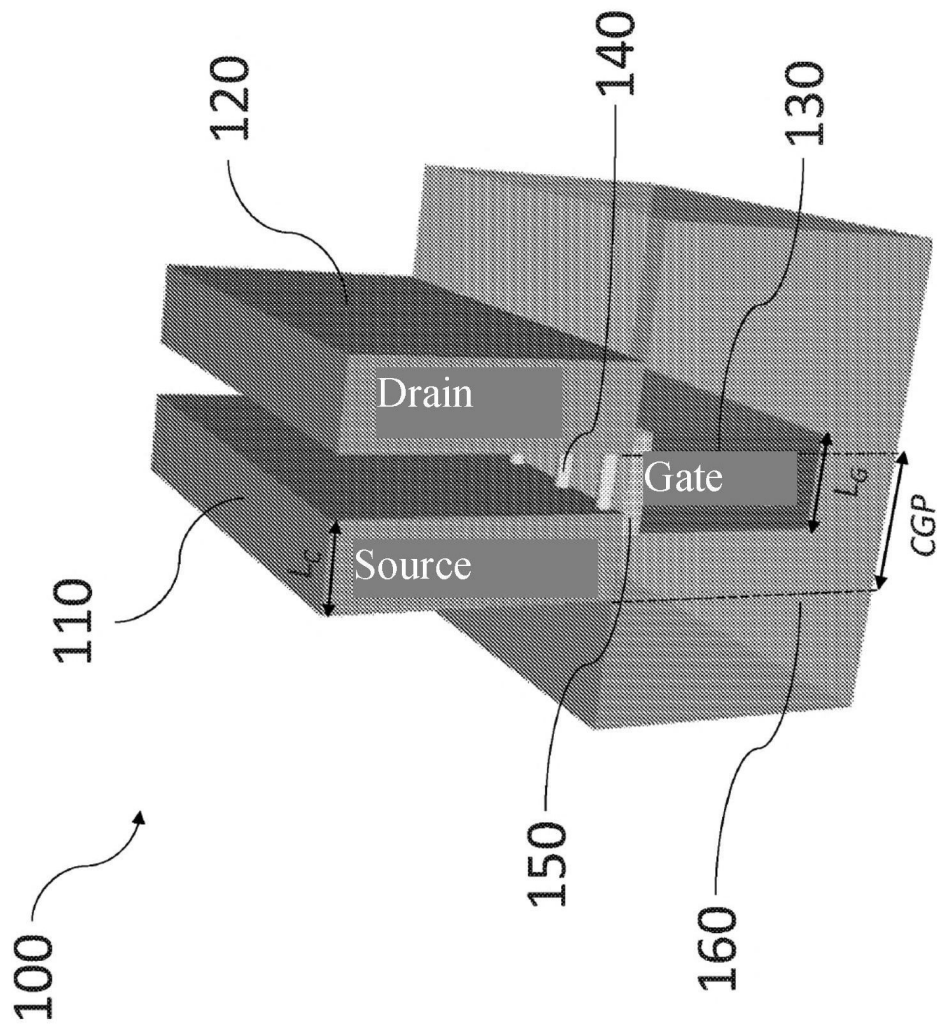


Fig. 2B

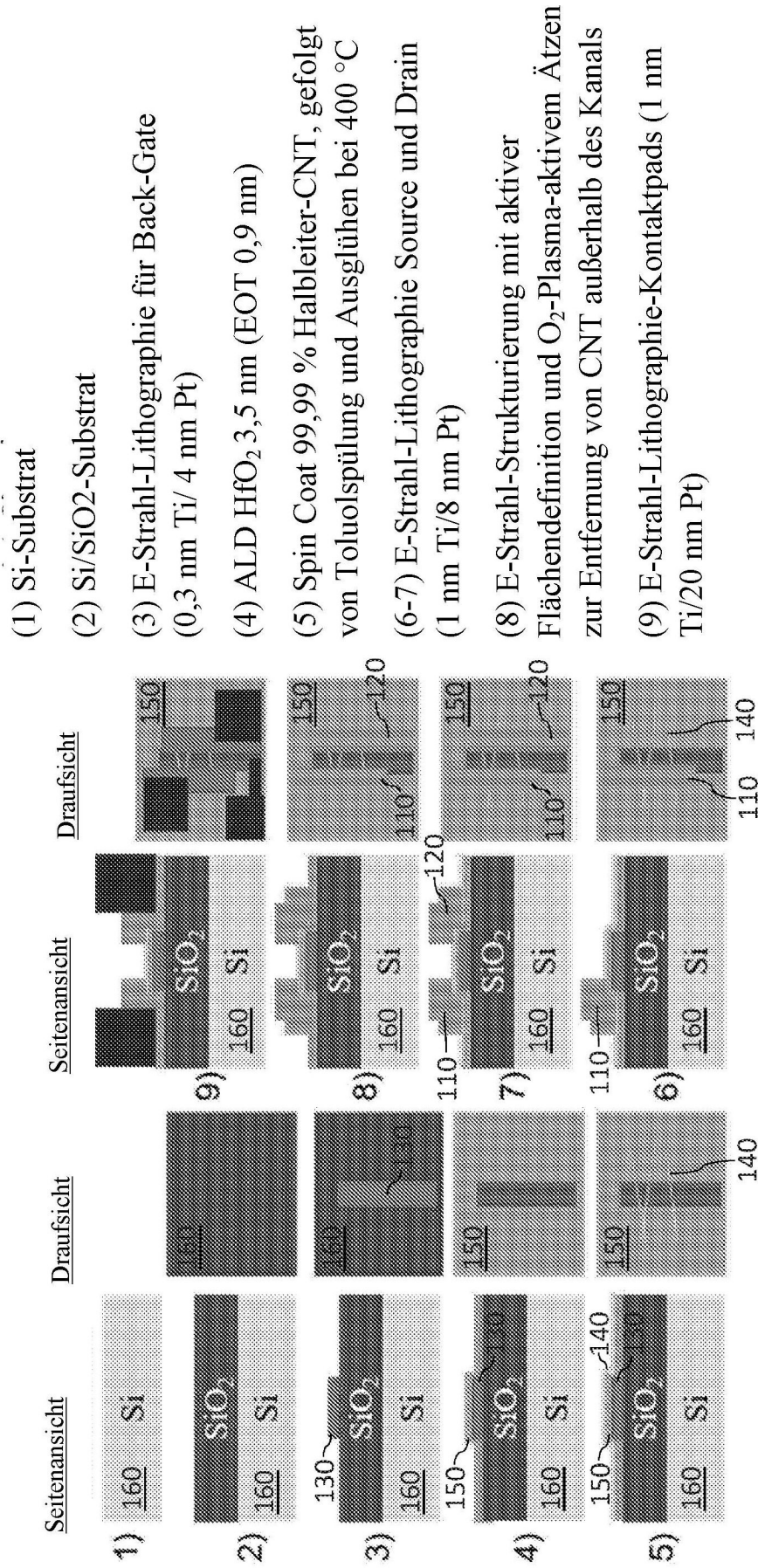


Fig. 3

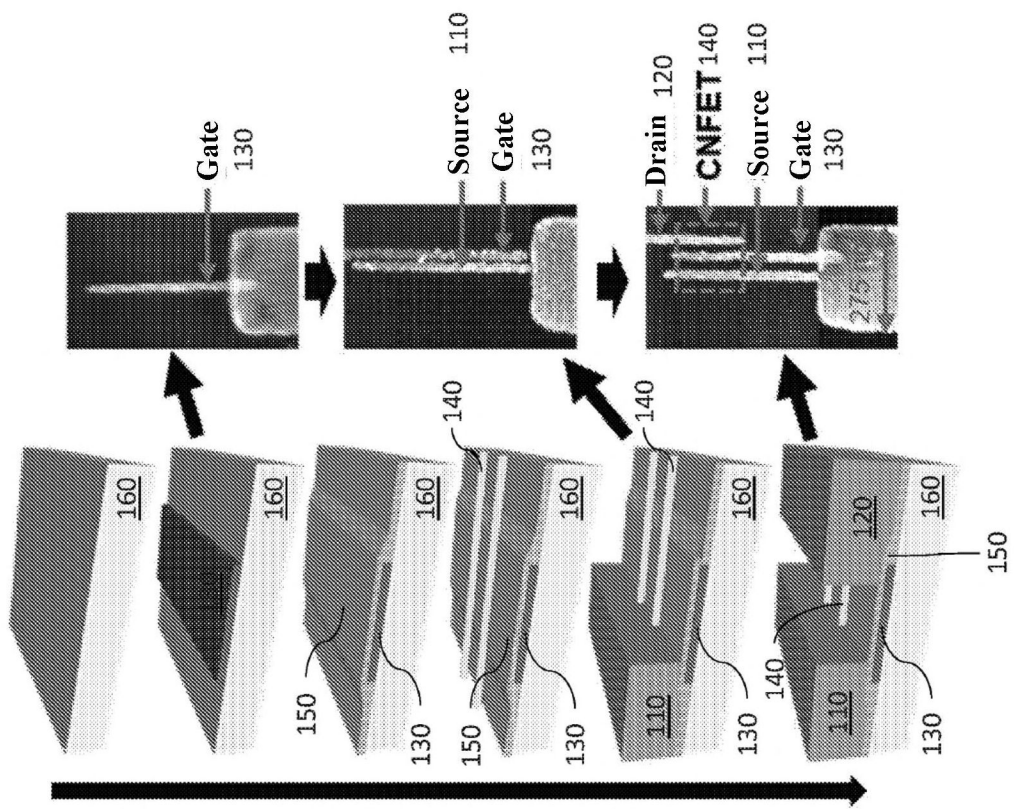


Fig. 4

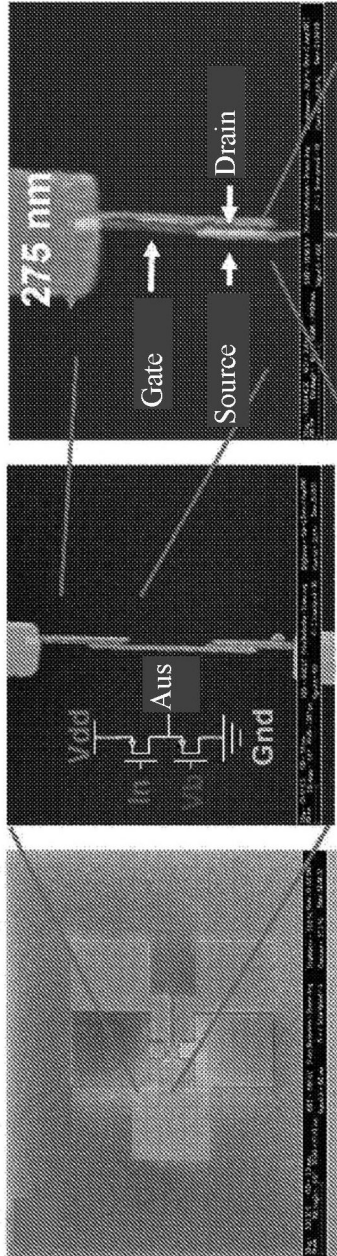


Fig. 5A

Fig. 5B

Fig. 5C

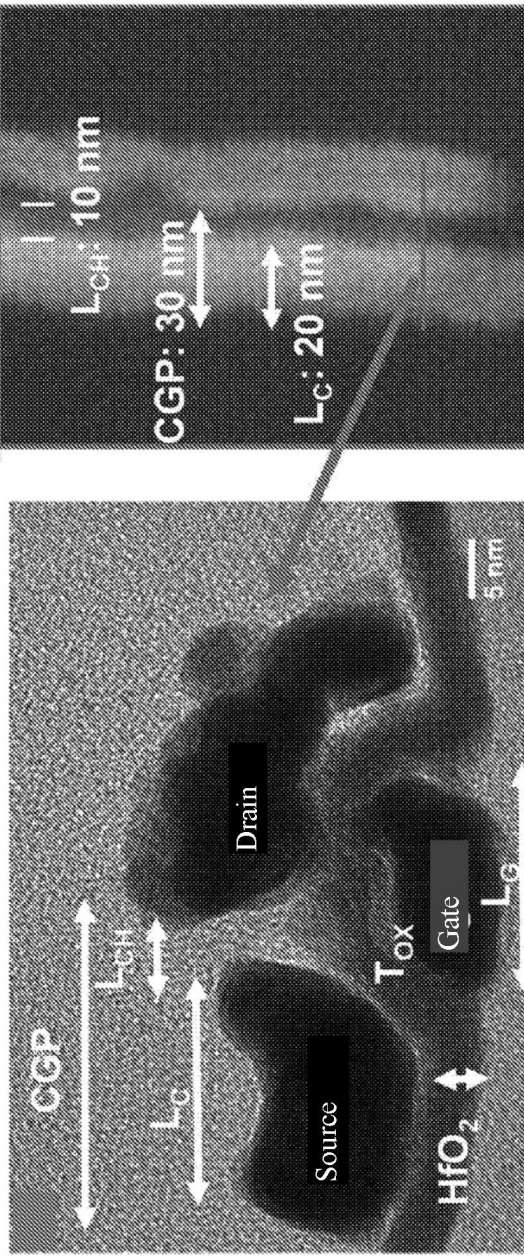


Fig. 5E

Fig. 5D

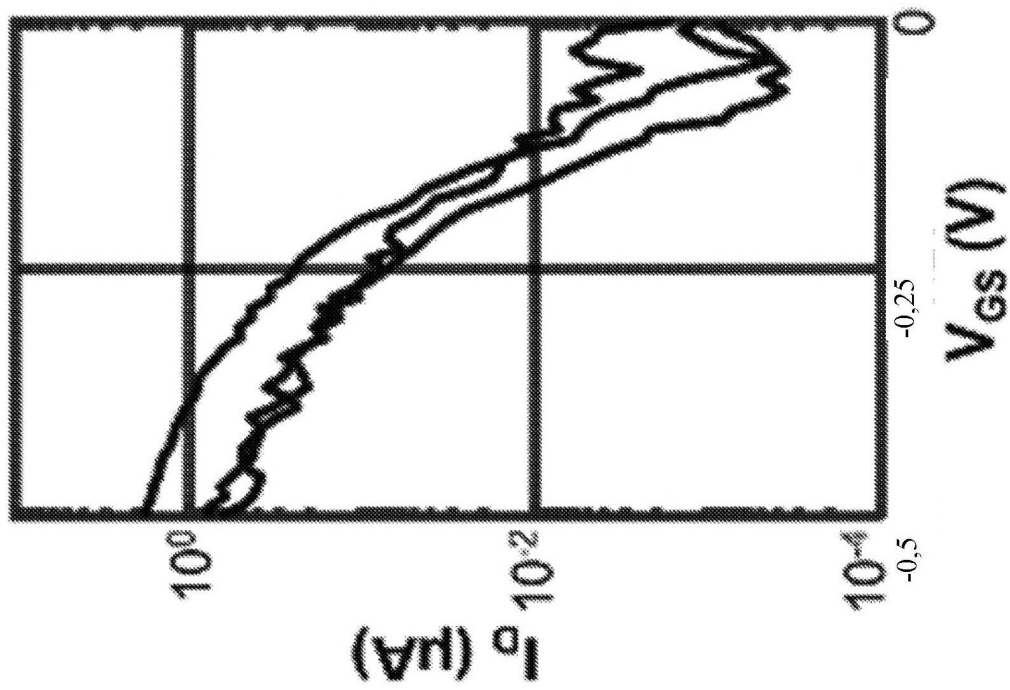


Fig. 6A

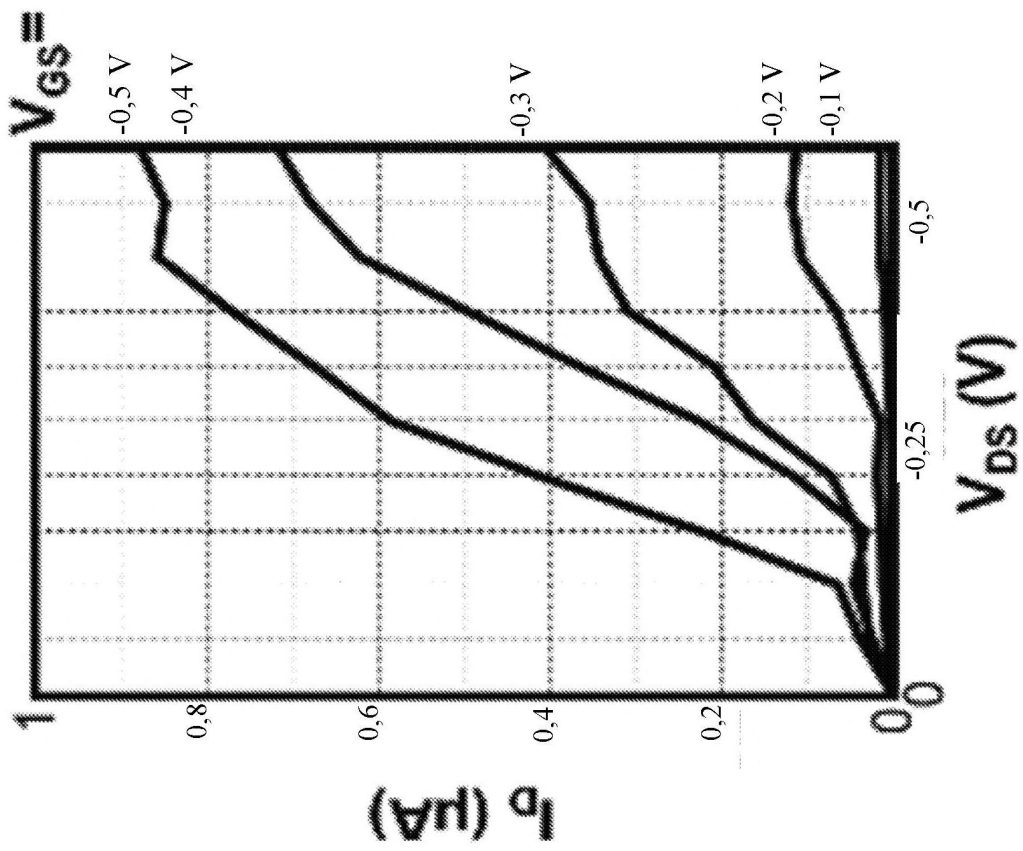


Fig. 6B

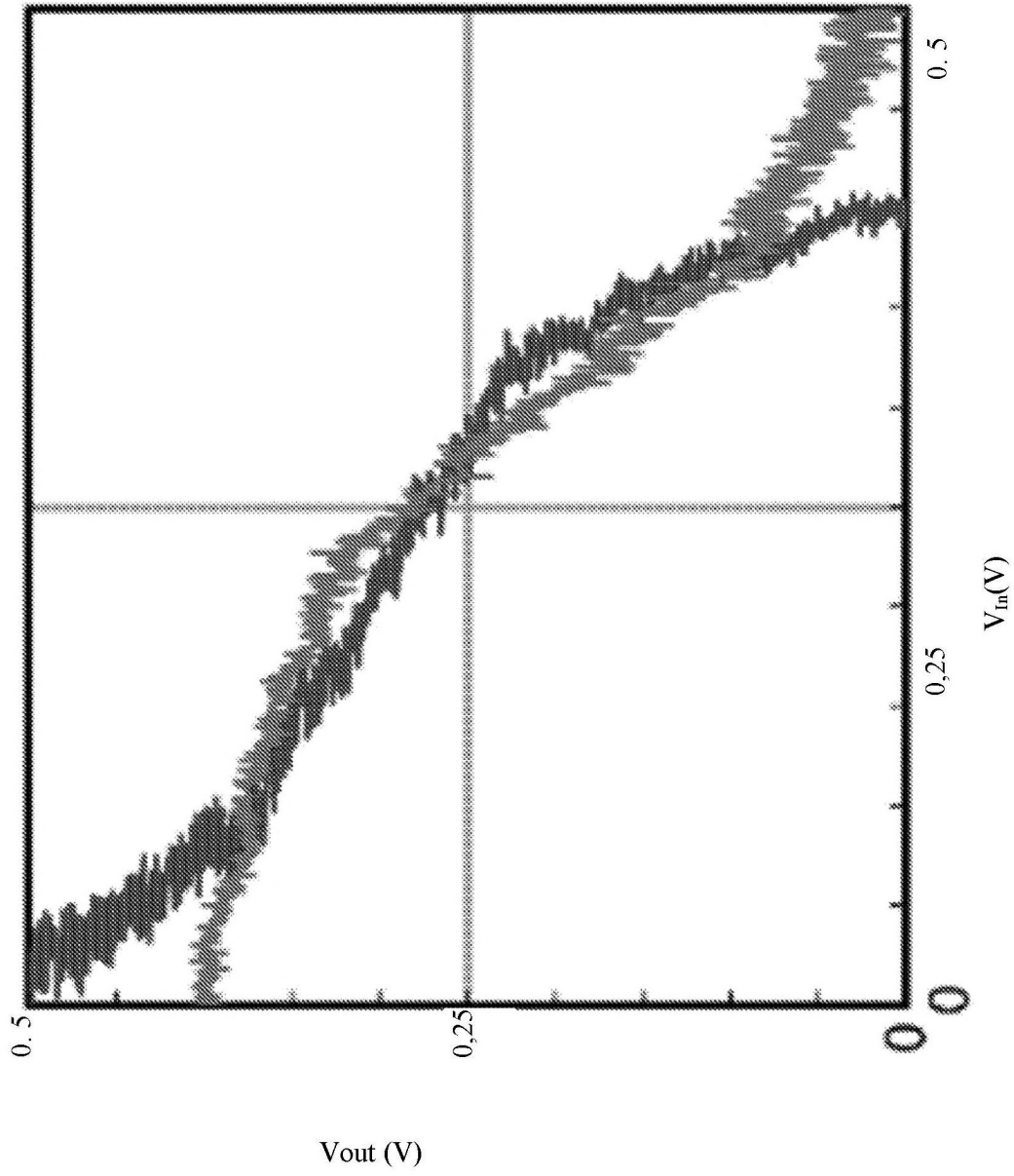


Fig. 6C

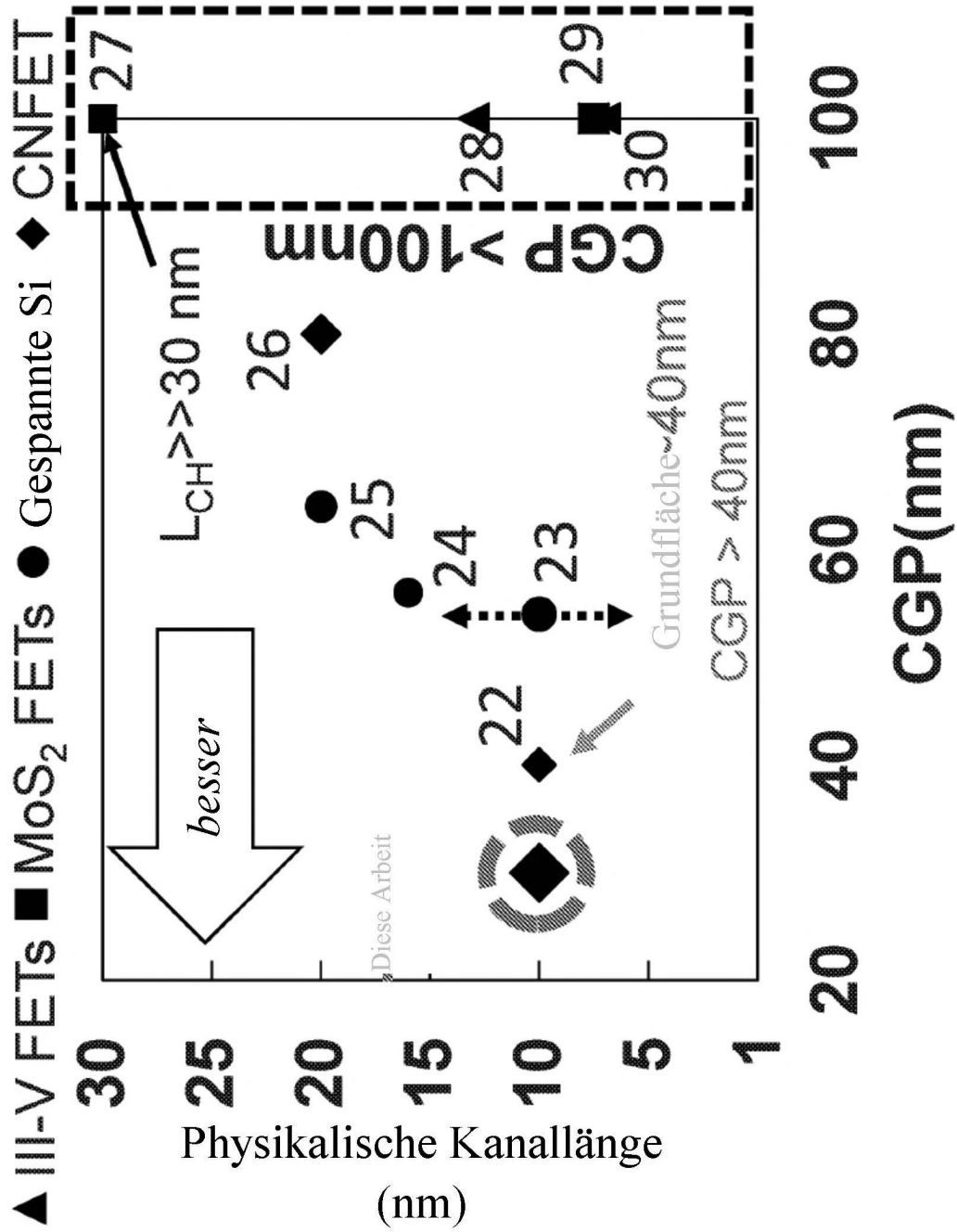


Fig. 7

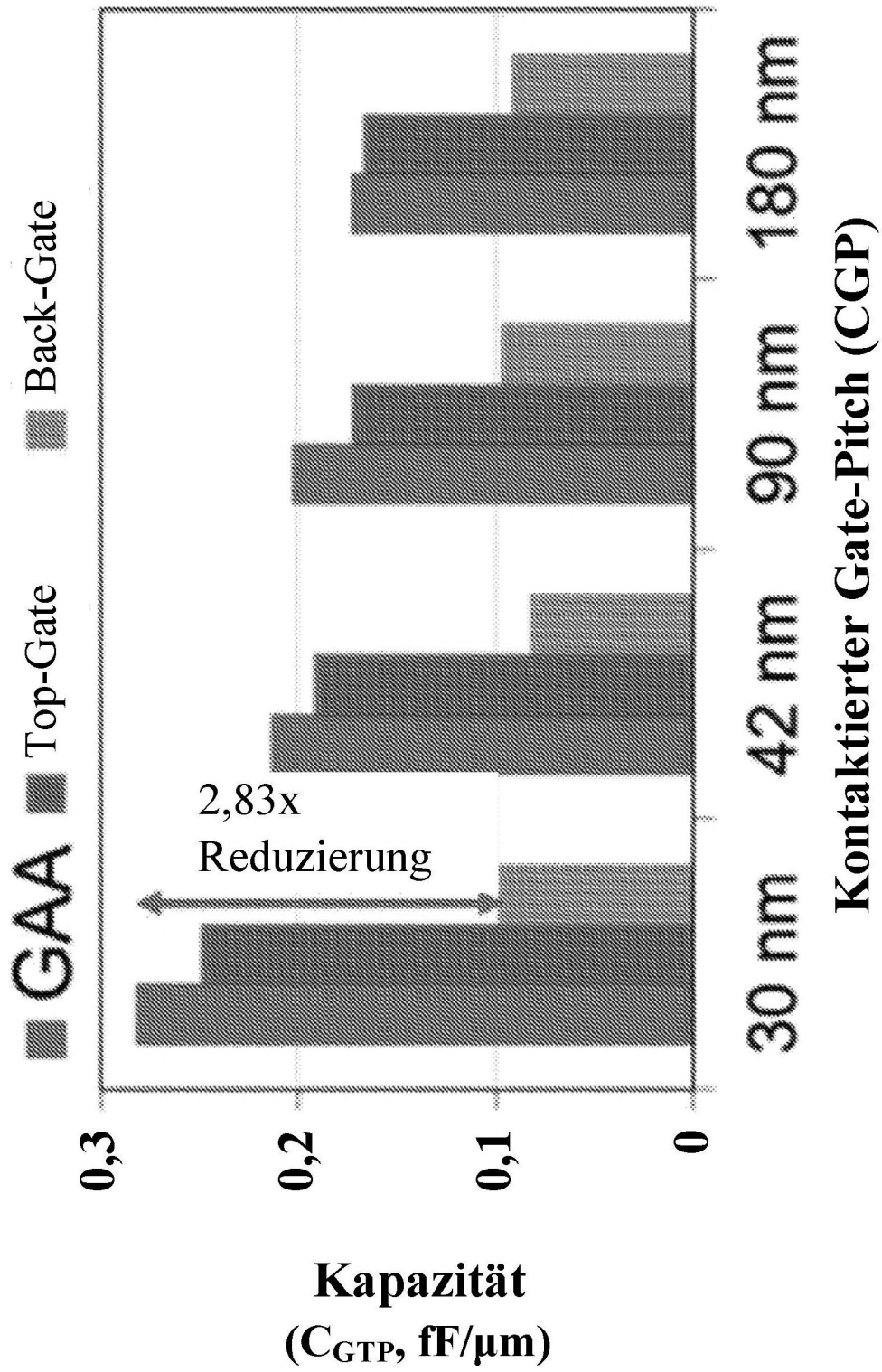


Fig. 8A

CGP (nm)	30	42	90	180
L _G (nm)	9	9	24	45
L _{SP} (nm)	6	12	20	45
L _C (nm)	9	9	26	45
H _G (nm)	20	30	40	90
H _C (nm)	40	60	80	180
T _{OX} (nm)	2	2	3	4
K _{Abstandhalter}	5,5	5,5	5,5	5,5
K _{OX}	10,3	10,3	10,3	10,3

Fig. 8B

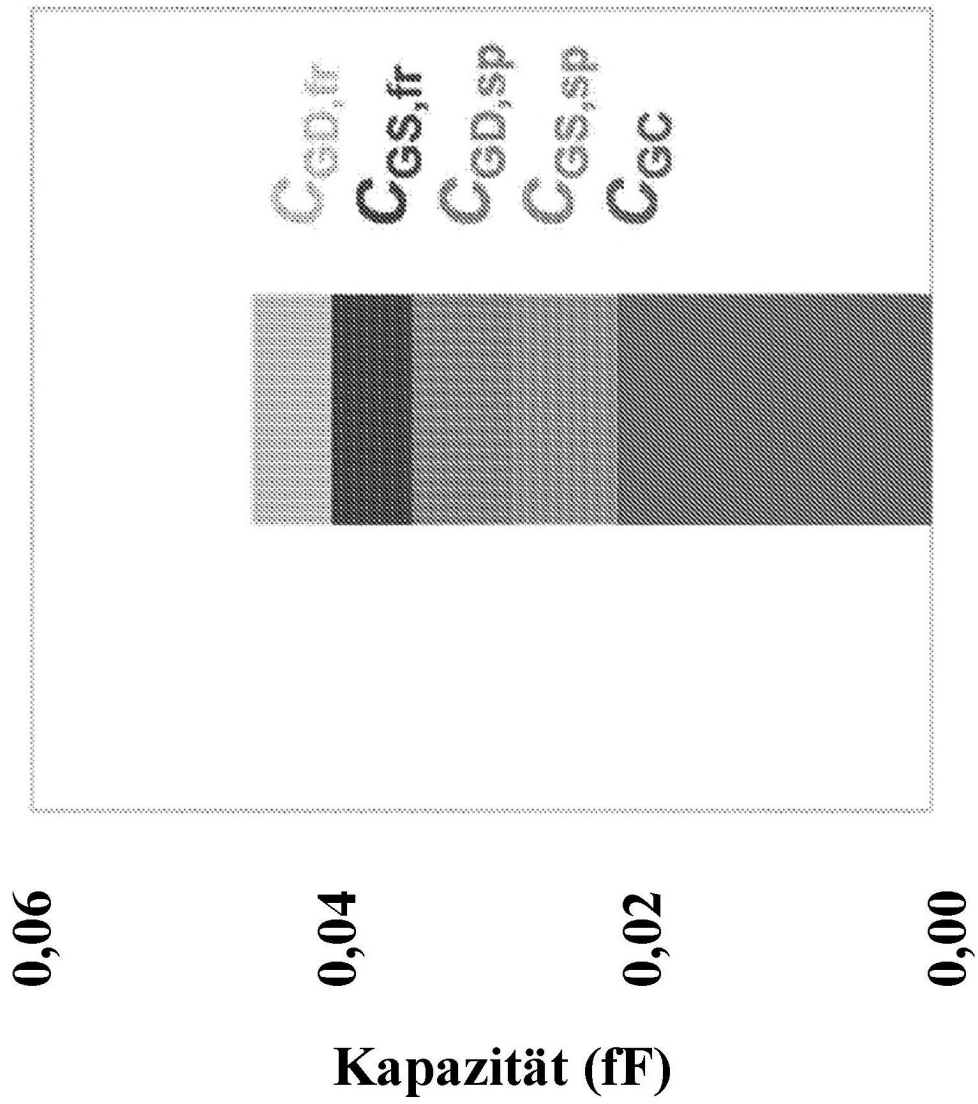


Fig. 9B

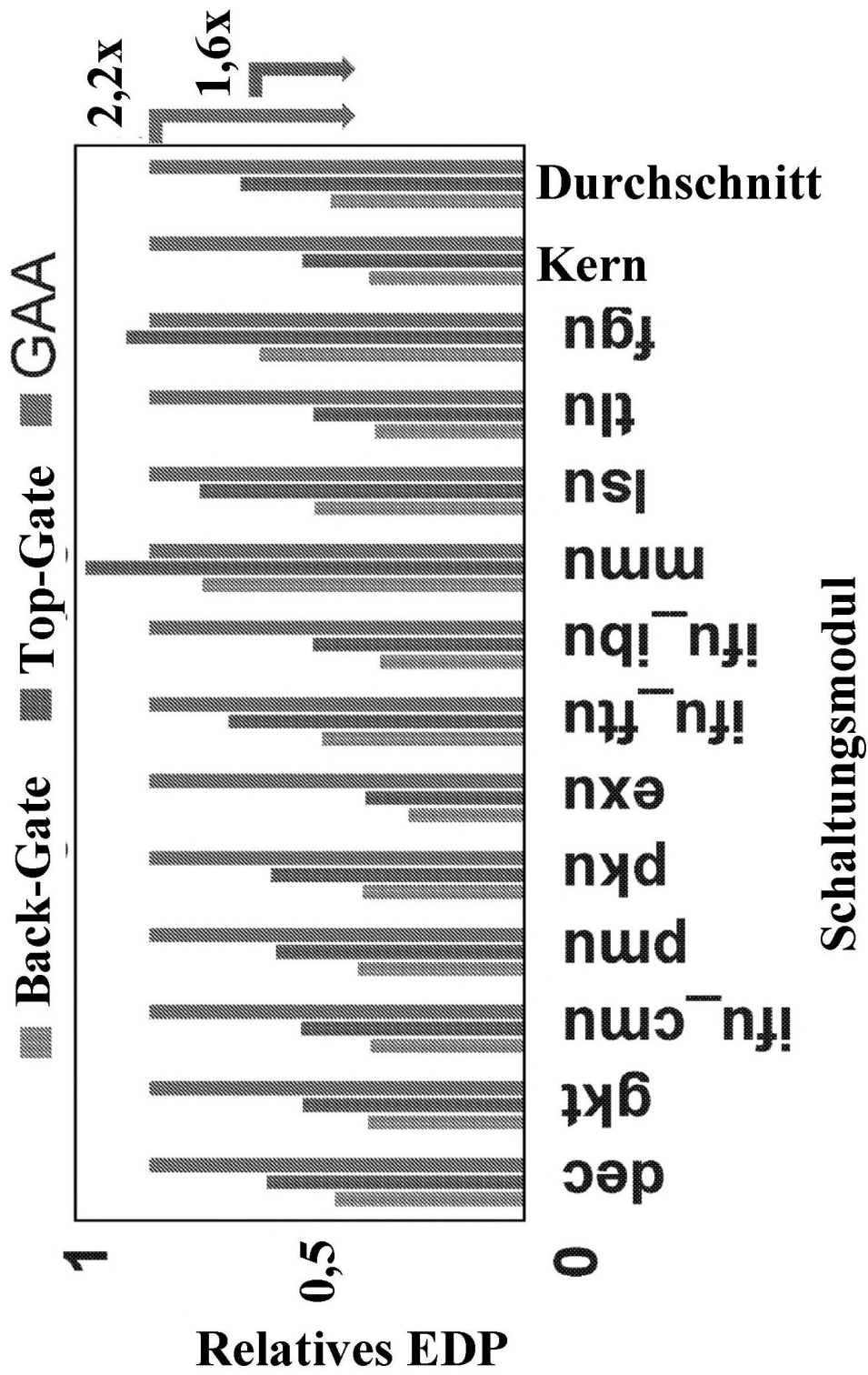


Fig. 10

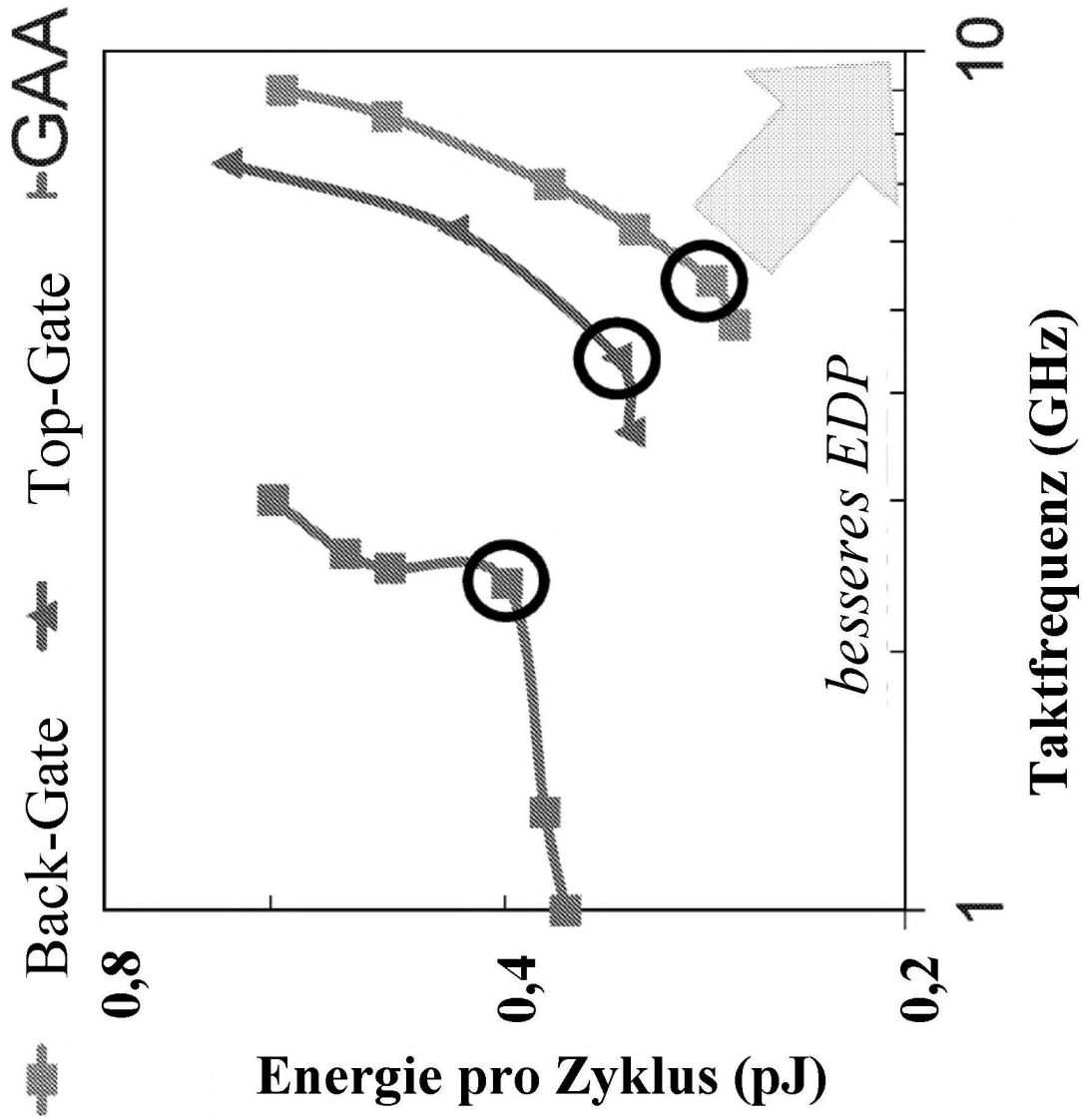
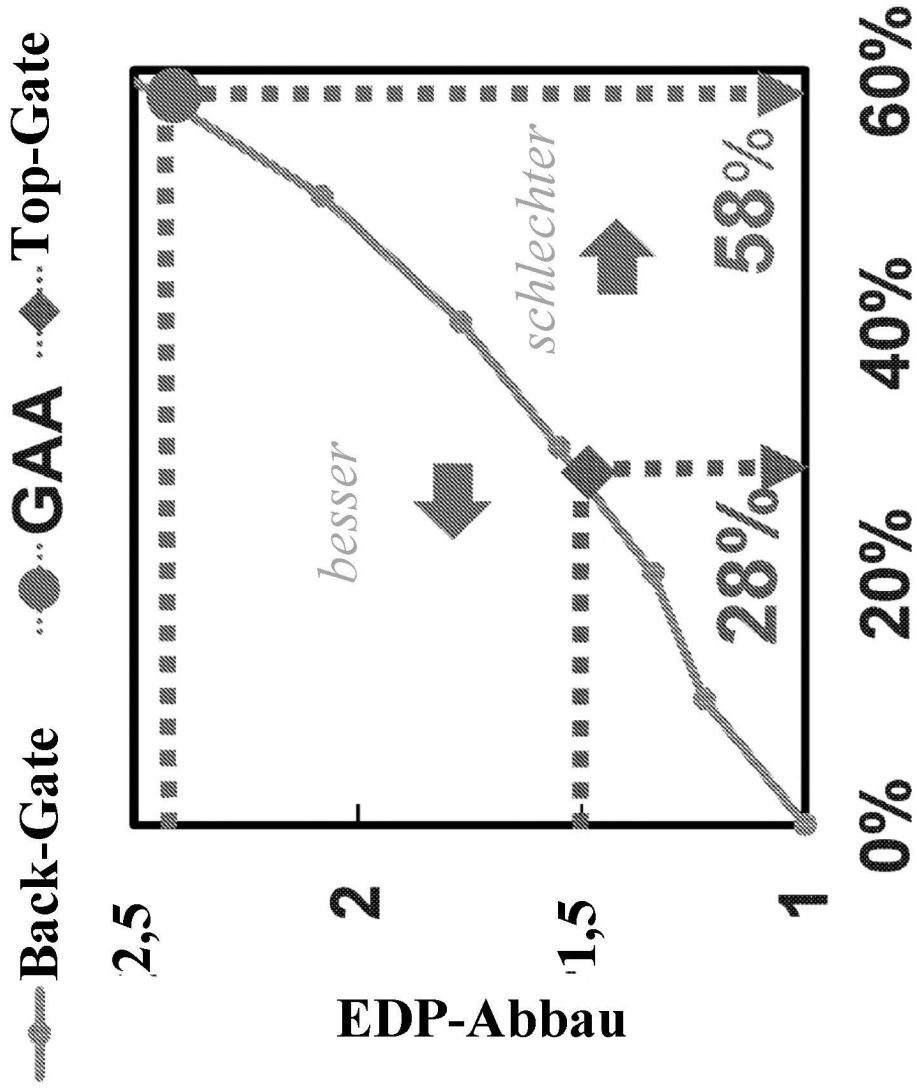


Fig. 11



SS-Abbau

Fig. 12

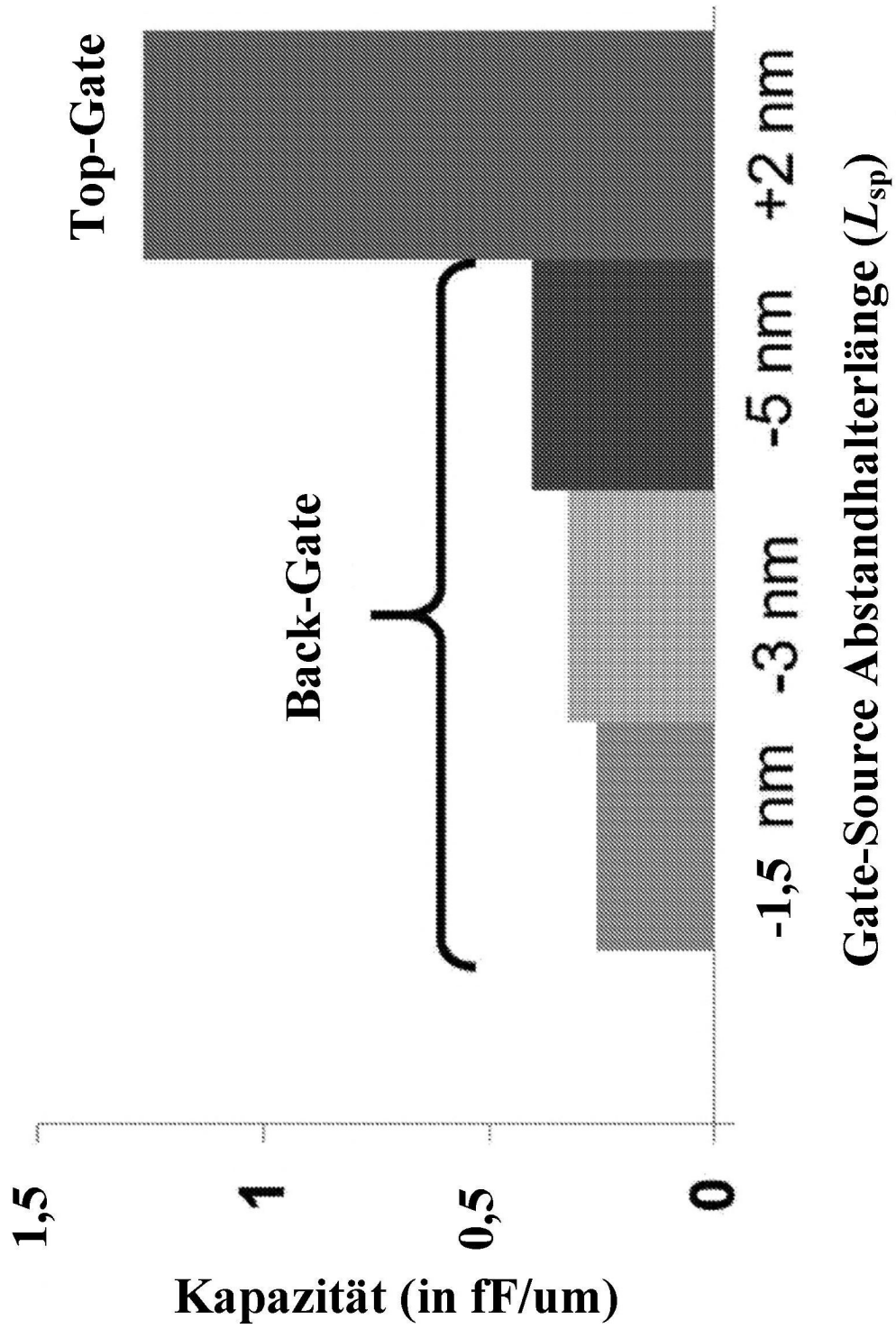
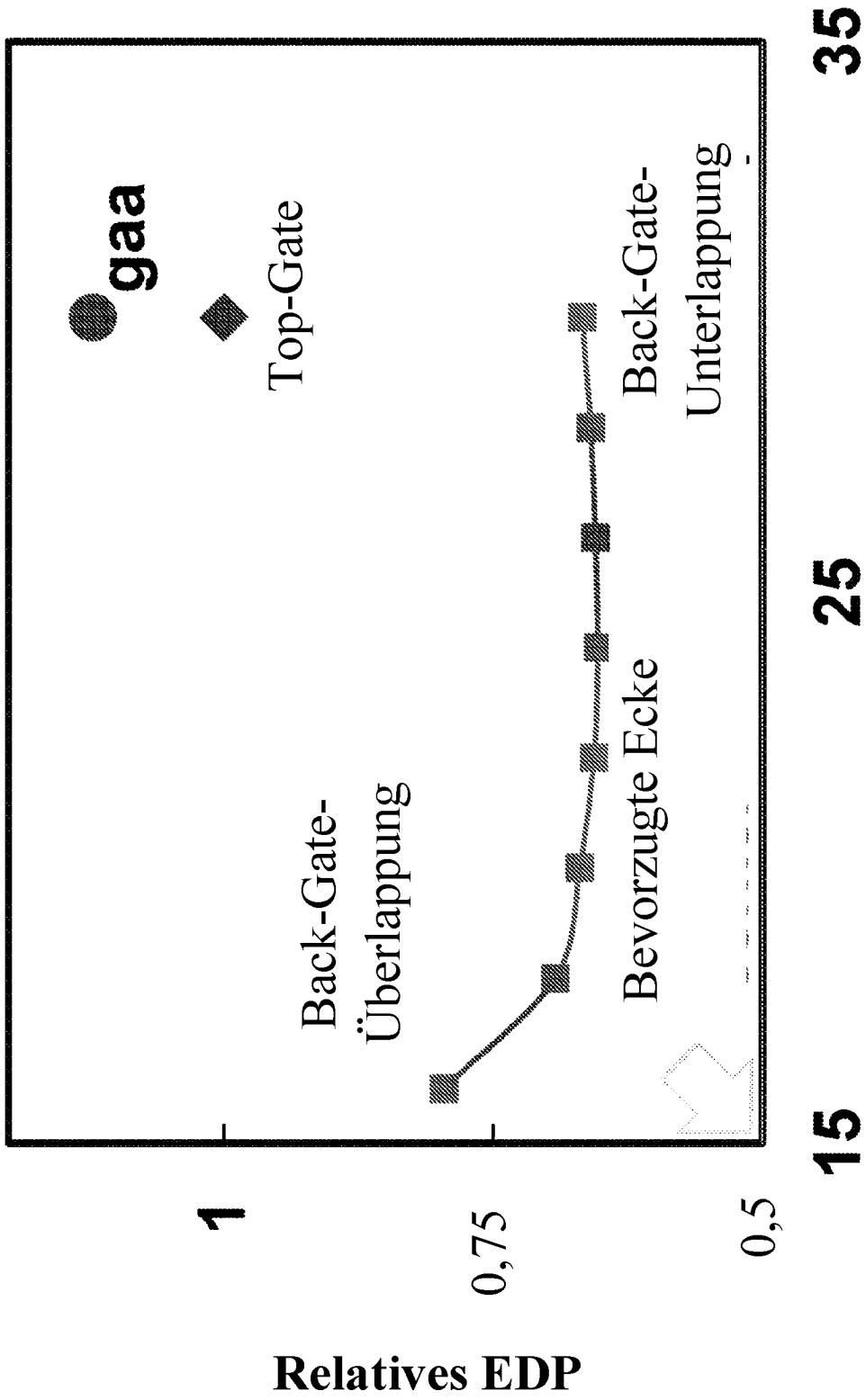


Fig. 13A

CGP (nm)	15	15	15	15	15
L _G (nm)	9	12	16	5	5
L _{SP} (nm)	-1.5	-3	-5	+2	+2
L _C (nm)	9	9	9	6	6
H _G (nm)	15	15	15	15	15
H _C (nm)	30	30	30	30	30
T _{Ox} (nm)	2	2	2	2	2
K _{Abstandhalter}	5,5	5,5	5,5	5,5	5,5
K _{Ox}	10,3	10,3	10,3	10,3	10,3

Fig. 13B



CGP (nm)

Fig. 14