

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-97696
(P2008-97696A)

(43) 公開日 平成20年4月24日(2008.4.24)

(51) Int.Cl.			F I			テーマコード (参考)		
G 1 1 C	29/04	(2006.01)	G 1 1 C	29/00	6 0 3 L	5 B 0 1 5		
H 0 1 L	21/822	(2006.01)	H 0 1 L	27/04	M	5 F 0 3 8		
H 0 1 L	27/04	(2006.01)	H 0 1 L	27/04	V	5 L 1 0 6		
G 1 1 C	11/41	(2006.01)	G 1 1 C	11/34	3 0 1 Z			

審査請求 未請求 請求項の数 6 O L (全 19 頁)

(21) 出願番号 特願2006-277564 (P2006-277564)
(22) 出願日 平成18年10月11日(2006.10.11)

(71) 出願人 500174247
エルピーダメモリ株式会社
東京都中央区八重洲2-2-1
(74) 代理人 100108578
弁理士 高橋 詔男
(74) 代理人 100106909
弁理士 棚井 澄雄
(74) 代理人 100138759
弁理士 大房 直樹
(74) 代理人 100140774
弁理士 大浪 一徳
(72) 発明者 堂野 千晶
東京都中央区八重洲二丁目2番1号 エル
ピーダメモリ株式会社内

最終頁に続く

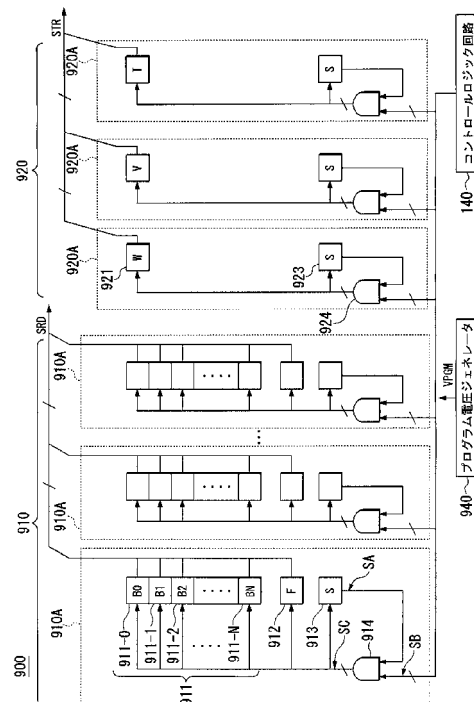
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】ヒューズ回路の誤プログラムを防止することができる半導体装置を提供する。

【解決手段】回路構成を規定する第1データを格納するためのヒューズエレメント回路群(911)と、前記ヒューズエレメント回路群に対するプログラムを禁止することを表す第2データを格納するためのヒューズエレメント回路(913)と、前記ヒューズエレメント回路に前記第1及び第2データをそれぞれプログラムするためのコントロールロジック回路(140)と、前記ヒューズエレメント回路(913)がプログラムされたことを条件として、前記コントロールロジック回路(140)による前記ヒューズエレメント回路群(911)に対するプログラムを禁止するANDゲート回路(914)とを備える。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

回路構成が規定可能に構成された半導体装置であって、
 前記回路構成を規定する第 1 データを格納するための第 1 ヒューズ手段と、
 前記第 1 ヒューズ手段に対するプログラムの禁止を表す第 2 データを格納するための第 2 ヒューズ手段と、
 前記第 1 及び第 2 ヒューズ手段をプログラムして前記第 1 及び第 2 データを前記第 1 及び第 2 ヒューズ手段に格納させるためのプログラム制御手段と、
 前記第 2 ヒューズ手段がプログラムされたことを条件として、前記プログラム制御手段による前記第 1 ヒューズ手段のプログラムを禁止するゲート手段とを備えた半導体装置。

10

【請求項 2】

前記回路構成は、欠陥アドレスを救済するための冗長構成であり、
 前記第 1 ヒューズ手段は、前記第 1 データとして前記欠陥アドレスに関するデータを格納するための複数の第 1 ヒューズエレメント回路と、前記複数の第 1 ヒューズエレメント回路に格納されたデータが有効か否かを表すフラグデータを格納するための第 2 ヒューズエレメント回路とを含み、
 前記第 2 ヒューズ手段は、前記第 2 ヒューズエレメント回路と共用されたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 ヒューズ手段は、前記第 1 データとして複数のデータを格納するための複数のヒューズ手段からなり、
 前記第 2 ヒューズ手段は、前記複数のヒューズ手段の全部または一部で共用されたことを特徴とする請求項 1 記載の半導体装置。

20

【請求項 4】

前記第 1 データは、当該半導体装置の出力データの語構成に関する回路構成を変更するためのデータと、当該半導体装置の内部電源電圧に関する回路構成を変更するためのデータと、当該半導体装置の内部回路の動作タイミングに関する回路構成を変更するためのデータとのうちの何れかを含むことを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記第 1 及び / 又は第 2 ヒューズ手段は、破壊型のアンチヒューズを用いて構成されたことを特徴とする請求項 1 ないし 4 の何れか 1 項記載の半導体装置。

30

【請求項 6】

欠陥アドレスを救済するための冗長回路を備えた半導体装置であって、
 前記欠陥アドレスに関する第 1 データを格納するための第 1 ヒューズ手段と、
 当該半導体装置の語構成、内部電源電圧、動作タイミングの何れかに関する回路構成を規定する第 2 データを格納するための第 2 ヒューズ手段と、
 前記第 1 ヒューズ手段に対するプログラムの禁止を表す第 3 データを格納するための第 3 ヒューズ手段と、
 前記第 1 ないし第 3 ヒューズ手段をプログラムして前記第 1 ないし第 3 データを前記第 1 ないし第 3 ヒューズ手段にそれぞれ格納させるためのプログラム制御手段と、
 前記第 3 ヒューズ手段がプログラムされたことを条件として、前記プログラム制御手段による前記第 1 ないし第 3 ヒューズ手段のプログラムを禁止するゲート手段とを備えた半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、詳しくは半導体装置内部の回路構成を規定するデータを格納するヒューズ回路の書き換えを防止するための技術に関する。

【背景技術】

【0002】

50

従来、内部回路の構成（語構成、冗長構成など）を規定するデータを格納するためのヒューズ回路を備えた半導体装置が知られている。例えば、ダイナミックRAMに代表される半導体メモリには、出力データの語構成が×4ビット構成や×8ビット構成の製品仕様が存在する。このような複数の製品仕様に対応するため、製造工場においてパッケージ組み立て前またはパッケージ組み立て後に半導体メモリ内のヒューズ回路をプログラムすることにより、入出力データの語構成を変更することが可能となっている。

【0003】

この種の半導体メモリでは、例えば、ヒューズ回路がプログラムされていないデフォルト状態では語構成が×8ビット構成に設定され、ヒューズ回路をプログラムすることにより、その語構成が×4ビット構成に変更される。従って、最終選別テストにおいて、×8ビット構成の製品として試験し、製品出荷前にヒューズ回路をプログラムすることにより、顧客の要求に応じた語構成の製品を迅速に提供することができる。また、語構成の異なる複数種類の製品を製造する必要がなくなるので、在庫を削減することができ、それによるコストを削減することができる。更に、×8ビット構成の製品として試験することにより、×4構成の製品として試験する場合に比較して試験時間を半分に低減することができ、それによるコストを削減することもできる。

10

【0004】

一般には、上述のヒューズ回路として所謂アンチヒューズが使用されている。アンチヒューズは、通常は高抵抗状態（オープン状態）にあり、所定のプログラム電圧を加えることにより低抵抗状態（ショート状態）になる特性を有するヒューズであり、電氣的にプログラム可能なヒューズの一つである（特許文献1参照）。このアンチヒューズを用いれば、パッケージに組み立てた後であっても半導体メモリのヒューズ回路をプログラムすることができる。この種のヒューズ回路のプログラムは、ユーザーには開放されていない特殊コマンドを用いて、半導体メモリが製造工場から出荷される前に実施され、ユーザーがヒューズ回路をプログラムすることは許されていない。

20

【特許文献1】特開2002-42472号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述の従来技術によれば、半導体メモリが製品として工場から出荷された後、例えば誤ったタイミングの信号が半導体メモリの外部端子に印加されることにより、上述のヒューズ回路をプログラムするための特殊なコマンドが偶発的に入力される可能性がある。このような場合、ユーザーの意図に反して、その製品の回路構成が変更されてしまう。上述の例では、語構成が×4ビット構成に変更される結果、その半導体メモリは×8ビット構成の製品としては不良品に転化する。

30

【0006】

この問題について、図12及び図13を参照して詳しく説明する。

図12は、従来のヒューズ回路10の構成例を示す。同図において、10-0, 10-1, ..., 10-2は、アンチヒューズを含むヒューズエレメント回路である。このうち、ヒューズエレメント回路10-0は、内部電源電圧を調整する場合にプログラムされるものであり、ヒューズエレメント回路10-1は、出力データの語構成を変更する場合にプログラムされるものであり、ヒューズエレメント回路10-2は、内部回路の遅延時間を調整する場合にプログラムされるものである。また、同図において、11は、各ヒューズエレメント回路をプログラムするためのプログラム信号を出力するコントロールロジック回路である。

40

【0007】

図13を参照して従来のヒューズ回路10の動作を説明する。

例えば、出荷前に製造工場において半導体メモリの内部電源電圧を調整するためにヒューズエレメント回路10-0をプログラムする場合、外部から特殊コマンドCMD1をその外部端子に印加する。この特殊コマンドCMD1は、半導体メモリ内のコマンドデコー

50

ダで解読され、この解読結果に基づきコントロールロジック回路11がヒューズエレメント回路10-0をプログラムするための信号PGM-0を出力する。この例では、ヒューズエレメント回路10-1はプログラムされず、この半導体メモリは、×8ビット構成の製品として出荷される。

【0008】

出荷後、誤ったタイミングの信号が半導体メモリの外部端子に印加されたことにより、偶発的に、ヒューズエレメント回路10-1をプログラムするための特殊コマンドCMD2が入力されると、この特殊コマンドCMD2に基づきコントロールロジック回路11がヒューズエレメント回路10-1をプログラムするための信号PGM-1を出力する。これにより、ヒューズエレメント回路10-1が誤プログラムされ、語構成が×8ビット構成から×4ビット構成に変更される。この結果、この半導体メモリは、ユーザーの意図に反した動作を行うようになり、×8ビット構成の製品としては不良品に転化する。

10

【0009】

上述の語構成に関する回路構成を変更するためのヒューズ回路に限らず、冗長回路における欠陥アドレスデータを格納するためのヒューズ回路など、半導体装置が備える全てのヒューズ回路が同様の誤プログラムに関する問題を抱えている。

本発明は、上記事情を考慮してなされたものであって、その目的は、ヒューズ回路の誤プログラムを防止することができる半導体装置を提供する事である。

【課題を解決するための手段】

【0010】

本発明は、回路構成が規定可能に構成された半導体装置であって、前記回路構成を規定する第1データを格納するための第1ヒューズ手段（例えば図2、図9～図11に示すヒューズエレメント回路群911、ヒューズエレメント回路912、ヒューズエレメント回路921に相当する構成要素）と、前記第1ヒューズ手段に対するプログラムの禁止を表す第2データを格納するための第2ヒューズ手段（例えば図2に示すヒューズエレメント回路913、ヒューズエレメント回路923に相当する構成要素、図9に示すヒューズエレメント回路912、ヒューズエレメント回路923に相当する構成要素、図10に示すヒューズエレメント回路950に相当する構成要素、図11に示すヒューズエレメント回路912、ヒューズエレメント回路960に相当する構成要素）と、前記第1及び第2ヒューズ手段をプログラムして前記第1及び第2データを前記第1及び第2ヒューズ手段に格納させるためのプログラム制御手段（例えば図2、図9～図11に示すコントロールロジック回路140に相当する構成要素）と、前記第2ヒューズ手段がプログラムされたことを条件として、前記プログラム制御手段による前記第1ヒューズ手段のプログラムを禁止するゲート手段（例えば図2、図9～図11に示すANDゲート回路914、ANDゲート回路924に相当する構成要素）とを備えた半導体装置の構成を有する。

20

30

【0011】

この構成によれば、プログラム制御手段により第2ヒューズ手段が一旦プログラムされた後は、ゲート手段がプログラム制御手段による第1ヒューズ手段のプログラムを禁止するので、第1ヒューズ手段に格納されたデータが書き換えられることがなくなる。従って、仮にプログラム制御手段が誤って第1ヒューズ手段をプログラムしようとしても、その誤プログラムを防止することができる。

40

【0012】

上記半導体装置において、例えば、前記回路構成は、欠陥アドレスを救済するための冗長構成であり、前記第1ヒューズ手段は、前記第1データとして前記欠陥アドレスに関するデータを格納するための複数の第1ヒューズエレメント回路（例えば図9に示すヒューズエレメント回路群911に相当する構成要素）と、前記複数の第1ヒューズエレメント回路に格納されたデータが有効か否かを表すフラグデータを格納するための第2ヒューズエレメント回路（例えば図9に示すヒューズエレメント回路912に相当する構成要素）とを含み、前記第3ヒューズ手段は、前記第2ヒューズエレメント回路と共用されたことを特徴とする。

50

【0013】

上記半導体装置において、例えば、前記第1ヒューズ手段は、前記第1データとして複数のデータを格納するための複数のヒューズ手段（例えば図10に示すユニットブロック910C, 920C、図11に示すユニットブロック910B, 920Cに相当する構成要素）からなり、前記第2ヒューズ手段（例えば図10に示すヒューズエレメント回路950、図11に示すヒューズエレメント回路960に相当する構成要素）は、前記複数のヒューズ手段の全部または一部で共用されたことを特徴とする。

【0014】

上記半導体装置において、例えば、前記第1データは、冗長回路における欠陥アドレスデータを格納することを特徴とする。前記第2データは、当該半導体装置の出力データの語構成に関する回路構成を変更するためのデータと、当該半導体装置の内部電源電圧に関する回路構成を変更するためのデータと、当該半導体装置の内部回路の動作タイミングに関する回路構成を変更するためのデータとのうちの何れかを含むことを特徴とする。

10

上記半導体装置において、例えば、前記第1および第2ヒューズ手段は、破壊型のアンチヒューズを用いて構成されたことを特徴とする。

【0015】

本発明は、欠陥アドレスを救済するための冗長回路を備えた半導体装置であって、前記欠陥アドレスに関する第1データを格納するための第1ヒューズ手段（例えば図2に示す欠陥アドレスを格納するためのヒューズエレメント回路群911、および、ヒューズエレメント回路群911に格納されたデータが有効か否かを表すフラグデータを格納するためのヒューズエレメント回路912に相当する構成要素）と、当該半導体装置の語構成、内部電源電圧、動作タイミングの何れかに関する回路構成を規定する第2データを格納するための第2ヒューズ手段（例えば図2に示すヒューズエレメント回路921）と、前記第1ヒューズ手段に対するプログラムの禁止を表す第3データを格納するための第3ヒューズ手段（例えば図2に示すヒューズエレメント回路913, 923に相当する構成要素）と、前記第1ないし第3ヒューズ手段をプログラムして前記第1ないし第3データを前記第1ないし第3ヒューズ手段にそれぞれ格納させるためのプログラム制御手段（例えば図2に示すコントロールロジック回路140に相当する構成要素）と、前記第3ヒューズ手段がプログラムされたことを条件として、前記プログラム制御手段による前記第1ないし第3ヒューズ手段のプログラムを禁止するゲート手段（例えば図2に示すANDゲート回路914, 924に相当する構成要素）とを備えた半導体装置の構成を有する。前記第1ないし第3ヒューズ手段は、例えば破壊型のアンチヒューズを用いて構成される。

20

30

【0016】

この構成によれば、プログラム制御手段により第3ヒューズ手段が一旦プログラムされた後は、ゲート手段がプログラム制御手段による第1および第2ヒューズ手段のプログラムを禁止するので、第1および第2ヒューズ手段に格納されたデータが書き換えられることがなくなる。従って、仮にプログラム制御手段が誤って第1または第2ヒューズ手段をプログラムしようとしても、その誤プログラムを防止することができる。

【発明の効果】

【0017】

本発明によれば、プログラム禁止用ヒューズ回路がプログラムされた場合、プログラム制御回路による回路構成用ヒューズ回路に対するプログラムを禁止するようにしたので、ヒューズ回路の誤プログラムを防止することができる。

40

【発明を実施するための最良の形態】

【0018】

以下、図面を参照して本発明の実施形態を説明する。

< 第1実施形態 >

図1に、本発明の第1実施形態に係る半導体装置の全体構成を示す。この半導体装置は、半導体メモリの一種であるシンクロナスDRAM (Synchronous Dynamic Random Access Memory) であって、回路構成が規定可能（定義可能）に構成された半導体装置であり、同

50

図において、110はクロックジェネレータ、120はモードレジスタ、130はコマンドデコーダ、140はコントロールロジック回路、210はローアドレスバッファ、220はカラムアドレスバッファ、300はメモリセルアレイ、410はローデコーダ、420はセンスアンプ、430はカラムデコーダ、500はデータコントロール回路、600はデータラッチ回路、700はデータ入出力バッファ、800はディレイドロックドループ(DLL)、900は、本半導体装置の特徴部に係るヒューズ回路である。

【0019】

ここで、クロックジェネレータ110は、外部からクロック信号CK、/CK及びクロックイネーブル信号CKEを入力して内部クロック信号を生成するものである。この内部クロック信号は、コマンドデコーダ130、コントロールロジック140、カラムデコーダ430、データラッチ回路600に分配され、各回路の動作タイミングの基準とされる。

10

【0020】

モードレジスタ120は、バースト長やレイテンシなどの各種の動作パラメータを格納するものである。この動作パラメータは、外部からアドレス信号A0~A13を流用して入力される。コマンドデコーダ130は、リードコマンドやライトコマンドなどの動作コマンドを解読するためのものである。この動作コマンドは、外部から、チップセレクト信号/CS、ローアドレスストロープ信号/RAS、カラムアドレスストロープ信号/CAS、ライトイネーブル信号/WEを用いて入力される。

20

【0021】

コントロールロジック140は、コマンドデコーダ130で解読された動作コマンドを実行するための各種の信号を生成するものである。

ローアドレスバッファ210は、外部から入力されるアドレス信号A0~A13及びバンクアドレス信号BA0, BA1, BA2のうち、メモリセルアレイ300の行を選択するためのローアドレス信号を入力するためのものである。このローアドレスバッファ210は、リフレッシュ動作においてローアドレスを歩進させるためのリフレッシュカウンタを備える。

【0022】

また、カラムアドレスバッファ220は、外部から入力されるアドレス信号A0~A13及びバンクアドレス信号BA0, BA1, BA2のうち、メモリセルアレイ300の列を選択するためのカラムアドレス信号を入力するためのものである。このカラムアドレスバッファ220は、バースト長をカウントするためのバーストカウンタを備える。

30

【0023】

メモリセルアレイ300は、メモリセルをマトリクス状に配列して構成され、その行方向には複数のワード線が敷設されると共に列方向には複数のビット線が敷設され、これらワード線とビット線との交差部にメモリセルが配置されている。各メモリセルは、ワード線とビット線とを選択することにより択一的に選択されるようになっている。ローデコーダ410は、ローアドレスバッファ210から出力されるローアドレス信号に基づきメモリセルアレイ300内のワード線を択一的に選択するためのものである。

【0024】

センスアンプ420は、メモリセルアレイ300のビット線上に現れるメモリセルからの微弱なデータ信号を増幅するためのものである。カラムデコーダ430は、メモリセルアレイ300のビット線を選択するためのものである。

40

なお、この例では、複数のバンクのそれぞれについて、メモリセルアレイ300、ローデコーダ410、センスアンプ420が設けられ、バンクアドレス信号BA0, BA1, BA2により各バンクが選択されるようになっている。

【0025】

データコントロール回路500は、バーストモードにおいてメモリセルアレイ300から読み出されたデータの出力順を制御するためのものである。データラッチ回路600は、入出力データを一時的に格納するものである。データ入出力バッファ700は、外部端

50

子へのデータDQの出力と、外部端子からのデータDQの入力を行うためのものである。ディレイドロックドループ(DDL)800は、外部のクロック信号CK、/CKを遅延させて、データ入出力バッファ700の動作タイミングを定める内部クロック信号を生成するためのものである。

【0026】

本半導体装置の特徴部に係るヒューズ回路900は、欠陥救済用の冗長構成に関する回路構成を規定するためのデータ、出力データの語構成に関する回路構成を規定するためのデータ、内部電源電圧に関する回路構成を規定するためのデータ、内部回路の動作タイミングに関する回路構成を規定するためのデータなど、各種の回路構成を規定するデータを格納するためのものである。

10

【0027】

図2を参照して、ヒューズ回路900の構成を詳細に説明する。同図に示すように、ヒューズ回路900は、冗長構成に関する回路構成を規定する場合に使用されるヒューズブロック910と、語構成、内部電源電圧、内部回路の動作タイミング等に関する回路構成を規定する場合に使用されるヒューズブロック920とを備えて構成され、後述するようにヒューズ素子としてアンチヒューズを用いて構成される。前述の図1に示すコントロールロジック回路140から、ヒューズ回路900のプログラムを制御するためのプログラム信号が発生される。プログラム電圧ジェネレータ940は、ヒューズ回路900をプログラムする際に印加する所定のプログラム電圧を発生するものである。

20

【0028】

ここで、ヒューズブロック910は、複数のユニットブロック910Aから構成される。各ユニットブロック910Aは、ヒューズエレメント回路911-0, 911-1, 911-2, ..., 911-N, 912, 913と、ANDゲート回路914とから構成される。このうち、ヒューズエレメント回路911-0, 911-1, 911-2, ..., 911-Nからなるヒューズエレメント回路群911は、欠陥アドレスのビットデータB0, B1, B2, ..., BN(Nは自然数)を格納するためのものであり、ヒューズエレメント回路912は、ヒューズエレメント群911に格納されたデータが有効であるか否かを表すフラグデータFを格納するためのものである。ヒューズエレメント回路群911に格納される欠陥アドレスと、ヒューズエレメント回路912に格納されるフラグデータFは、冗長構成に関する回路構成を規定するデータをなす。

30

【0029】

ヒューズエレメント回路913は、ヒューズエレメント回路群911およびヒューズエレメント回路912に対するプログラムの禁止を表すデータSを格納するためのものである。ANDゲート回路914は、ヒューズエレメント回路913がプログラムされ、このヒューズエレメント回路913にデータSが格納されたことを条件として、コントロールロジック回路140によるユニットブロック910Aに対するプログラムを禁止するためのものである。

【0030】

なお、図2では簡略化しているが、コントロールロジック回路140は、ヒューズエレメント回路群911を構成するN+1個のヒューズエレメント回路と、1個のヒューズエレメント回路912と、1個のヒューズエレメント回路913との合計N+3個のヒューズエレメント回路を個別的にプログラムするためのプログラム信号SBを出力する。また、ANDゲート回路914は、コントロールロジック回路140から出力されたプログラム信号SBに対し、ヒューズエレメント回路913から出力される2値信号SAの値を乗算し、その乗算結果として得られるプログラム信号をヒューズエレメント回路群911と、ヒューズエレメント回路912と、ヒューズエレメント回路913とにそれぞれ印加するように構成されている。

40

【0031】

次に、出力データの語構成等に関する回路構成を規定する場合に使用されるヒューズブロック920は、複数のユニットブロック920Aから構成される。この例では、1番目

50

のユニットブロック 920A は、語構成に関する回路構成を規定するビットデータ W を格納するためのヒューズエレメント回路 921 と、ヒューズエレメント回路 921 に対するプログラムを禁止することを表すプログラム禁止データを格納するためのヒューズエレメント回路 923 と、このヒューズエレメント回路 923 にプログラム禁止データがプログラムされたことを条件としてヒューズエレメント回路 921 に対するプログラムを禁止する AND ゲート回路 924 とから構成される。他のヒューズエレメント回路 920A も同様に構成されるが、この例では、2 番目のヒューズエレメント回路 920A には、内部電源電圧に関する回路構成を規定するデータ V が格納され、3 番目のヒューズエレメント回路 920A には、内部回路の動作タイミングに関する回路構成を規定するデータ T が格納される。

10

【0032】

なお、図 2 では簡略化しているが、コントロールロジック回路 140 は、ヒューズエレメント回路 921, 923 を個別的にプログラムするためのプログラム信号を出力するように構成され、AND ゲート回路 924 は、コントロールロジック回路 140 から出力されたプログラム信号に対し、ヒューズ部 923 から出力される 2 値信号の値を乗算し、その乗算結果として得られたプログラム信号をヒューズエレメント回路 921, 923 に印加するように構成されている。

【0033】

次に、図 3、図 4 を参照して、上記ヒューズエレメント回路の詳細について説明する。上記ヒューズエレメント回路は、MOS トランジスタからなる破壊型のアンチヒューズ AF を主体として構成され、そのゲート酸化膜が破壊されていない状態（アンチヒューズがブローされていない状態）がプログラムされていない状態に対応する（図 3 (a) 参照）。このプログラムされていない状態では、ゲートとソースドレインとの間は電氣的にオープン状態にあり、アンチヒューズ AF が高抵抗状態にある。これに対し、ゲート酸化膜が破壊された状態（アンチヒューズがブローされた状態）がプログラムされた状態に対応する（図 3 (b) 参照）。この状態では、ゲートとソースドレインとの間が電氣的にショート状態となり、アンチヒューズ AF が低抵抗状態となる。

20

【0034】

アンチヒューズ AF のプログラムは、MOS トランジスタのゲートとソースドレインとの間に所定のプログラム電圧を印加することにより、そのゲート酸化膜を破壊することにより実施される。このアンチヒューズ AF によれば、ゲート酸化膜が破壊され、ゲートとソースドレインとの間がショート状態になると、その後ゲートとソースドレインとの間がオープン状態に回復することはないので、このアンチヒューズ AF に書き込まれたデータは消失することがない。

30

【0035】

即ち、このような破壊型のアンチヒューズは、1 度しかプログラムすることができないことからワンタイム型とも呼ばれ、この種のアンチヒューズの場合、顧客への製品出荷後に未プログラムのアンチヒューズがプログラムされることを防ぐ手段を備えればよく、既にプログラムされたアンチヒューズのデータ消失を防ぐ手段は必要ない。本実施形態では、プログラムを禁止することを表すデータを格納するヒューズエレメント回路 913, 923 は、一旦プログラムされると、その後はデータが消失することはないので、未プログラム状態のアンチヒューズを含む例えばヒューズエレメント回路群 911 に対する誤プログラムを有効に防止することができる。

40

【0036】

図 4 (a) に、ヒューズエレメント回路 911-0 の構成例を示す。ヒューズエレメント回路 913, 923 を除いては、他のヒューズエレメント回路もヒューズエレメント回路 911-0 と構成が同じである。

図 4 (a) に示すように、ヒューズエレメント回路 911-0 は、電圧変換ロジック 911A、アンチヒューズ AF、選択回路 911B から構成される。ここで、電圧変換回路 911A は、プログラム時にプログラム信号 SC に応答してアンチヒューズ AF の一端に

50

所定のプログラム電圧 V_{PPSVT} (例えば $6V$) を印加するものである。アンチヒューズ AF の他端には、プログラム時に所定の負電圧 V_{BBSVT} (例えば $-2V$) が印加される。選択回路 $911B$ は、アンチヒューズ AF に格納されたデータを読み出す時にアンチヒューズ AF を選択するためのものである。

【0037】

このヒューズエレメント回路 $911-0$ の構成によれば、プログラムされていない状態では信号 S_{AF} としてローレベルが出力され、プログラムされた状態では信号 S_{AF} としてハイレベルが出力される。従って、ヒューズエレメント回路 $911-0$, $911-1$, $911-2$, ..., $911-N$ を選択的にプログラムすることにより、欠陥アドレスの各ビットデータをヒューズエレメント回路群 911 に書き込むことができる。

10

【0038】

図4(b)に、ヒューズエレメント回路 913 の構成例を示す。同図に示すように、ヒューズエレメント回路 913 は、上述のヒューズエレメント回路 $911-0$ の構成において、出力部にインバータ $913C$ を更に備え、このインバータ $913C$ により信号 S_{AF} を反転して信号 S_A として出力するように構成される。このヒューズエレメント回路 913 によれば、プログラムされていない状態では信号 S_A としてハイレベルが出力され、プログラムされた状態では信号 S_A としてローレベルが出力される。

【0039】

次に、図5に示すタイミングチャートを参照しながら、欠陥救済のために冗長構成をヒューズ回路に規定する場合を例として本半導体装置の動作を説明する。

20

まず、本半導体装置のパッケージ組み立て工程が終了すると、最終選別テストが行われる。その最終選別テストにおいて欠陥セルがメモリテストにより検出されると、その欠陥セルのアドレス(欠陥アドレス)がメモリテストに記憶される。そしてメモリテストは、その欠陥アドレスで特定される欠陥セルを救済するために、本半導体メモリに欠陥救済用の特殊コマンド(例えばアドレス信号 $A_7 = 1$ とした製造元に特有なモードレジスタ設定コマンド(MRSコマンド))を与える。

【0040】

この特殊コマンド MRS は、図1に示すコマンドデコーダ 130 で解読され、コントロールロジック 140 は、その解読結果に基づき、冗長構成を規定するために必要とされる制御信号をヒューズ回路 900 に与える。この制御信号がヒューズ回路 900 に与えられると、コントロールロジック回路 140 は、ヒューズエレメント回路群 911 およびヒューズエレメント回路 912 , 913 をプログラムするためのプログラム信号 S_B を出力し、これらヒューズエレメント回路群 911 およびヒューズエレメント回路 912 , 913 をプログラムして、欠陥アドレスデータ、フラグデータ F 、プログラム禁止データ S をそれぞれ格納させる。

30

【0041】

ここで、ヒューズエレメント回路 913 がプログラムされる前の初期状態では、ヒューズエレメント回路 913 から出力される信号 S_A はハイレベルであるから、コントロールロジック回路 140 からプログラム信号 S_B が出力されると、ANDゲート回路 914 は、このプログラム信号 S_B を通過させ、プログラム信号 S_C としてヒューズエレメント回路群 911 およびヒューズエレメント回路 912 , 913 に与える。即ち、ヒューズエレメント回路 913 がプログラムされていない状態でコマンド MRS が入力された場合には、ヒューズエレメント回路群 911 およびヒューズエレメント回路 912 , 913 がプログラムされる。

40

【0042】

このとき、ヒューズエレメント回路 913 のプログラムの進行に伴って信号 S_A がローレベルに遷移すると、これを入力するANDゲート回路 914 の出力信号 S_C がローレベルに固定されるため、ユニットブロック回路 $910A$ 内の各ヒューズエレメント回路のプログラムが不完全な状態で終了することになる。そこで、ANDゲート回路 914 は、コントロールロジック回路 140 からプログラム信号 S_B が出力されてから、ユニットプロ

50

ック回路 910A 内の全ヒューズエレメント回路が完全にプログラムされるまでの一定期間にわたってプログラム信号 SA を強制的にハイレベルに保持する。

【0043】

これによりヒューズエレメント回路群 911 及びヒューズエレメント回路 912 に欠陥アドレスの各ビットデータとフラグデータ F がそれぞれ格納され、ヒューズエレメント回路 913 にプログラム禁止データ S が格納される。図 5 の例では、ヒューズエレメント回路 913 がプログラムされると、このヒューズエレメント回路 913 が出力する信号 SA はローレベルになり、欠陥アドレスのビットデータ B0 とフラグデータ F がローレベルになり、ビットデータ B1 ~ BN はハイレベル（初期値）を維持する。

【0044】

次に、同じく図 5 を参照して、上述のプログラムの後に本半導体装置に不正な信号が印加されたために誤って特殊コマンド MRS が入力され、コントロールロジック回路 140 がプログラム信号 SB を誤って出力した場合の動作を説明する。この場合、AND ゲート回路 914 の一方の入力部には、ヒューズエレメント回路 913 よりローレベルの信号 SA が印加されているので、その他方の入力部にコントロールロジック回路 140 からプログラム信号 SB が印加されても、AND ゲート回路 914 が出力するプログラム信号 SC はローレベルに固定された状態に維持される。即ち、コントロールロジック回路 140 から出力されたプログラム信号 SB が無効化される。

【0045】

この結果、ユニットブロック 910A（ヒューズエレメント回路群 911 及びヒューズエレメント回路 912, 913）のプログラムが禁止されるので、誤った特殊コマンド MRS に基づく誤プログラムが防止され、その後も欠陥救済動作が正しく行われる。なお、本実施形態では、破壊型のアンチヒューズ AF を用いているので、一旦プログラムされたヒューズエレメント回路 913 のデータが変化することはない。従って、信号 SA は安定的にローレベルに固定されるので、その後の誤プログラムが安定的に防止される。

【0046】

以上、冗長構成を規定する場合を例としてヒューズ回路 900 の動作を説明したが、語構成を規定する場合の動作も同様に説明される。

即ち、語構成を規定する場合、図 2 に示すヒューズブロック 920 のユニットブロック 920A を構成するヒューズエレメント回路 921, 923 がプログラムされる。その後、上述のヒューズエレメント 913 に相当するヒューズエレメント回路 923 の出力信号がローレベルに固定されるので、これを入力する AND ゲート回路 924 の出力信号は、コントロールロジック回路 140 からのプログラム信号に関わらず、ローレベルに固定され、ユニットブロック 920A に対する誤プログラムが防止される。

【0047】

次に、図 6 を参照して、本半導体装置が、語構成の変更を例として、テスト工程の一例を説明する。ここでは、図 2 に示すヒューズ回路 900 において、ヒューズブロック 910, 920 を構成する複数のユニットブロックのうち、語構成変更用のデータ W を格納するための 1 つのユニットブロック 920A のみが存在し、欠陥救済用の複数のユニットブロック 910A と、内部電源電圧調整用のデータ V を格納するためのユニットブロック 920A と、動作タイミング調整用のデータ T を格納するためのユニットブロック 920A は存在しないものとする。また、ヒューズ回路 900 がプログラムされていない初期状態では、誤構成は × 8 ビット構成に設定されるものとする。

【0048】

まず、語構成変更用の 1 つのユニットブロック 920A のみからなる上述のヒューズ回路 900 を備えた半導体装置が形成されたウェハテストを実施する（ステップ S1）。続いて、本半導体装置をパッケージに実装するための組み立て工程を実施し（ステップ S2）、最終選別テストを行う（ステップ S3）。その後、顧客の要求に応じて語構成を変更する場合（ステップ S4；YES）、語構成変更用のユニットブロック 920A のヒューズエレメント回路 921 に対するプログラムを実施して語構成を × 4 ビット構成に変更し

10

20

30

40

50

(ステップS5)、そして、ヒューズエレメント回路923をプログラムし、これにプログラム禁止用のデータSを格納する(ステップS6)。これにより、語構成が×4ビット構成の製品が得られる。

【0049】

一方、上述のステップS4において、語構成を変更しない場合(ステップS4; NO)、ヒューズエレメント回路921をプログラムせず、プログラム禁止用のヒューズエレメント回路923をプログラムし、これにプログラム禁止用のデータSを格納する(ステップS7)。これにより、語構成が×8ビット構成の製品が得られる。本半導体装置によれば、最終選別テストは1回で足りる。

【0050】

ここで、前述のステップS6は、省略可能である。その理由は、図3(b)のように既にプログラムされたヒューズエレメント921が低抵抗状態(破壊後の状態)から高抵抗状態(破壊前の状態)に復帰することは極めて稀であり、事実上、そのデータが書き替えられることはないからである。すなわち、ヒューズエレメント回路923がプログラムされないとしても、ヒューズエレメント回路921は、すでにプログラムされているので、製品出荷後に誤って顧客先で誤プログラムされたとしても、そのデータは変わらないからである。また、ヒューズエレメント回路923は、誤プログラムを防止するために使用されるものであって、仮に製品出荷後に誤って顧客先で誤プログラムされたとしても、そのことにより語構成等が変更されることはなく、製品の機能に影響を与えないからである。

【0051】

次に、図7を参照して、図2に示すように、ヒューズ回路900が、不良ビットを冗長メモリで救済するための欠陥救済用のユニットブロック910A、語構成変更用のユニットブロック920A、内部電源電圧調整用のユニットブロック920A、動作タイミング調整用のユニットブロック920Aの全てを有する場合における本半導体装置のテスト工程の一例を説明する。

【0052】

この場合、上述の図6に示すステップS1~S3と同様に、ウェハテストを実施し(ステップS1)、組み立て工程を実施し(ステップS2)、最終選別テストを実施する(ステップS3)。続いて、上記最終選別テストのテスト結果に基づいて、内部電源電圧を調整する必要があるかどうかを判断する(ステップS104)。内部電源電圧を調整する必要がある場合(ステップS104; YES)、内部電源電圧変更用のヒューズユニット920Aをプログラムする(ステップS105)。内部電源電圧を調整する必要があるがなければ(ステップS104; NO)、上述のステップS105を行わずに、次のステップに移る。

【0053】

続いて、上記最終選別テストのテスト結果に基づいて、内部回路の動作タイミングを調整する必要があるかどうかを判断する(ステップS106)。動作タイミングを調整する必要がある場合(ステップS106; YES)、動作タイミング変更用のヒューズユニット920Aをプログラムする(ステップS107)。動作タイミングを調整する必要があるがなければ(ステップS106; NO)、上述のステップS107を行わずに、次のステップに移る。

【0054】

続いて、上記最終選別テストのテスト結果に基づいて、不良メモリセルによる欠陥を救済する必要があるかどうかを判断する(ステップS108)。欠陥を救済する必要がある場合(ステップS108; YES)、欠陥救済用のヒューズユニット910Aをプログラムする(ステップS109)。欠陥を救済する必要があるがなければ(ステップS108; NO)、上述のステップS109を行わずに、次のステップに移る。

【0055】

続いて、語構成を変更する必要があるかどうかを判断する(ステップS110)。語構

10

20

30

40

50

成を変更する必要がある場合（ステップ S 1 1 0 ; Y E S ）、語構成変更用のヒューズユニット 9 1 0 A をプログラムする（ステップ S 1 1 1 ）。そして、全てのプログラム禁止用のヒューズユニット 9 1 3 , 9 2 3 をプログラムする（ステップ S 1 1 2 ）。これにより、最終選別テストの結果に応じて内部電源電圧および動作タイミングが調整され、欠陥救済がなされた × 4 ビット構成の良品の製品が得られる。

【 0 0 5 6 】

一方、上述のステップ S 1 1 0 において、語構成を変更する必要がなければ（ステップ S 1 1 0 ; N O ）、上述のステップ S 1 1 1 を行わずに、全てのプログラム禁止用のヒューズユニット 9 1 3 , 9 2 3 をプログラムする（ステップ S 1 1 3 ）。これにより、最終選別テストの結果に応じて内部電源電圧および動作タイミングが調整されると共に、欠陥救済がなされる。従って、語構成の変更もしくは、内部電源電圧および動作タイミングの最適化による歩留まりの向上、不良メモリの救済による歩留まりの向上が図られた製品が得られる。

10

【 0 0 5 7 】

参考までに、図 8 を参照して、レーザーヒューズまたはボンディングオプションにより語構成を切り替えるように構成された従来装置のテスト工程を説明する。

まず、ウェハテストを行う（ステップ S 2 1 ）。そのウェハテストの結果、出力データに不良ビットが存在するものについては、組み立て工程において、レーザーヒューズまたはボンディングオプションにより語構成を × 4 ビット構成に切り替える（ステップ S 2 2 ）。その後、× 4 ビット構成の製品としての最終選別テストを行い（ステップ S 2 3 ）、それにパスすれば、× 4 ビット構成の製品が得られる。

20

【 0 0 5 8 】

一方、ウェハテストにおいて不良ビットが検出されなかったものについては、組み立て工程において、レーザーヒューズまたはボンディングオプションにより語構成を × 8 ビット構成に切り替える（ステップ S 2 4 ）。その後、× 8 ビット構成の製品としての最終選別テストを行い（ステップ S 2 5 ）、それにパスすれば、× 8 ビット構成の製品が得られる。このように、従来装置によれば、ウェハテストの後、語構成に応じた最終選別テストを実施しなければならず、テスト工程が複雑になる。

【 0 0 5 9 】

< 第 2 実施形態 >

図 9 を参照して、本発明の第 2 実施形態を説明する。

本第 2 実施形態と上述の第 1 実施形態との違いは、図 2 に示したヒューズ回路 9 0 0 において、プログラム禁止データを格納するためのヒューズエレメント回路 9 1 3 が、フラグデータ F を格納するためのヒューズエレメント回路 9 1 2 と共用されたことにある。即ち、本第 2 実施形態では、ヒューズエレメント回路 9 1 3 を省略し、ヒューズエレメント回路 9 1 2 から出力信号 S A を取り出している。その他の構成は第 1 実施形態と同様である。このように、ヒューズエレメント回路 9 1 2 がヒューズエレメント回路 9 1 3 を兼ねることにより、ヒューズ回路の構成を簡略化することができる。

30

【 0 0 6 0 】

< 第 3 実施形態 >

図 1 0 を参照して、本発明の第 3 実施形態を説明する。

本第 3 実施形態と上述の第 1 実施形態との違いは、図 2 に示したヒューズ回路 9 0 0 において、複数の回路構成を規定する複数のデータを格納するための複数のヒューズブロック 9 1 0 , 9 2 0 が備えるヒューズエレメント回路 9 1 4 , 9 2 4 に代えて、1 個のヒューズエレメント回路 9 5 0 を設け、このヒューズエレメント回路 9 5 0 から信号 S A を取り出すことにより、この 1 個のヒューズエレメント回路 9 5 0 を複数のヒューズブロック 9 1 0 , 9 2 0 で共用している。その他の構成は第 1 実施形態と同様である。このように、複数のヒューズブロック 9 1 0 , 9 2 0 で 1 個のヒューズエレメント回路 9 5 0 を共用することにより、ヒューズ回路の構成を一層簡略化することができる。

40

【 0 0 6 1 】

50

< 第 4 実施形態 >

図 1 1 を参照して、本発明の第 4 実施形態を説明する。

本第 4 実施形態は、上述の図 9 に示す第 2 実施形態に係るヒューズ回路の構成において、複数のユニットブロック 9 2 0 A に代えて、ヒューズエレメント回路 9 2 1, 9 2 3 からなる複数のユニットブロック 9 2 0 C (複数の回路構成を規定する複数のデータを格納するための複数のヒューズ手段) を備え、複数のユニットブロック 9 1 0 B および複数のユニットブロック 9 2 0 C のうち、一部の複数のヒューズブロック 9 2 0 C が 1 個のヒューズエレメント回路 9 6 0 を共用している。その他の構成は第 2 実施形態と同様である。

【 0 0 6 2 】

このように、一部のユニットブロック 9 2 0 C において複数のヒューズブロック 9 2 0 C が 1 個のヒューズエレメント回路 9 6 0 を共用することにより、他の複数のユニットブロック 9 1 0 B をプログラム可能な状態としながら、複数のユニットブロック 9 2 0 C の誤プログラムを防止することができると共に、このヒューズブロック 9 2 0 C の構成を簡略化することができる。

【 0 0 6 3 】

以上、本発明の実施形態を説明したが、本発明は、上述の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内の変更を含む。例えば、上述の実施形態では、アンチヒューズとして M O S トランジスタを例として説明したが、これに限定されることなく、例えば、フラッシュメモリや E P R O M 等の不揮発性記憶素子、電気ヒューズ等を利用することができる。

また、上述の実施形態では、本発明を半導体メモリに適用する場合を例として説明したが、C P U (Central Processing Unit) や F P L D (Field Programmable Logic Device) 等のロジック製品に適用することも可能である。

【 0 0 6 4 】

また、例えば、上述の第 1 実施形態では、プログラム禁止データを格納するヒューズエレメント回路 9 1 3 も A N D ゲート回路 9 1 4 を介してコントロールロジック回路 1 4 0 から供給されるプログラム信号 S B でプログラムされるものとしたが、ヒューズエレメント回路 9 1 3 を破壊型のアンチヒューズで構成した場合には、そのプログラム信号 S B をコントロールロジック回路 1 4 0 からヒューズエレメント回路 9 1 3 に直接供給するようにしてもよい。この場合、一旦プログラムされたヒューズエレメント回路 9 1 3 は、その後誤プログラムされたとしても、そのデータは消失することがない。従って、ヒューズエレメント回路群 9 1 1 などに対する誤プログラムを防止する機能は損なわれない。他の実施形態についても同様である。

【 0 0 6 5 】

また、上述の実施形態では、欠陥救済用のユニットブロック 9 1 0 A、語構成 / 内部電源電圧 / 動作タイミング調整用の各ユニットブロック 9 2 0 A を例として説明したが、これに限定されることなく、必要に応じて任意のユニットブロックを備えるものとするべく、他の任意のユニットブロックを追加してもよい。

また、上述の実施形態では、 $\times 8$ ビット構成を $\times 4$ ビット構成に変更する場合を例として説明したが、これに限定されることなく、任意に語構成を変更するものに拡張できる。

また、上述の実施形態では、ヒューズエレメント回路群 9 1 1 に破壊型のアンチヒューズを用いるものとしたが、これに限定されることなく、他のヒューズを用いても良い。

また、上述の実施形態では、回路構成をヒューズ回路に規定可能 (定義可能) なものとして本半導体装置を説明したが、本半導体装置は、回路構成がプログラマブルなもの、変更可能なもの、修正可能なもの等を含む。

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】 本発明の第 1 実施形態に係る半導体装置のブロック図である。

【 図 2 】 第 1 実施形態に係る半導体装置が備えるヒューズ回路の構成図である。

【 図 3 】 第 1 実施形態に係るヒューズ回路のプログラムを説明するための説明図である。

【図 4】第 1 実施形態に係るヒューズ回路が備えるヒューズエレメント回路の構成図である。

【図 5】第 1 実施形態に係る半導体装置の動作を説明するためのタイミングチャートである。

【図 6】第 1 実施形態に係る半導体装置のテスト工程（語構成を変更する場合）の一例を説明するためのフローチャートである。

【図 7】第 1 実施形態に係る半導体装置のテスト工程（冗長回路等を使用する場合）の一例を説明するためのフローチャートである。

【図 8】第 1 実施形態において、従来装置によるテスト工程を説明するためのフローチャートである。

10

【図 9】本発明の第 2 実施形態に係る半導体装置が備えるヒューズ回路の構成図である。

【図 10】本発明の第 3 実施形態に係る半導体装置が備えるヒューズ回路の構成図である。

【図 11】本発明の第 4 実施形態に係る半導体装置が備えるヒューズ回路の構成図である。

【図 12】従来技術に係る半導体装置が備えるヒューズ回路の構成図である。

【図 13】従来技術に係る半導体装置の動作を説明するためのタイミングチャートである。

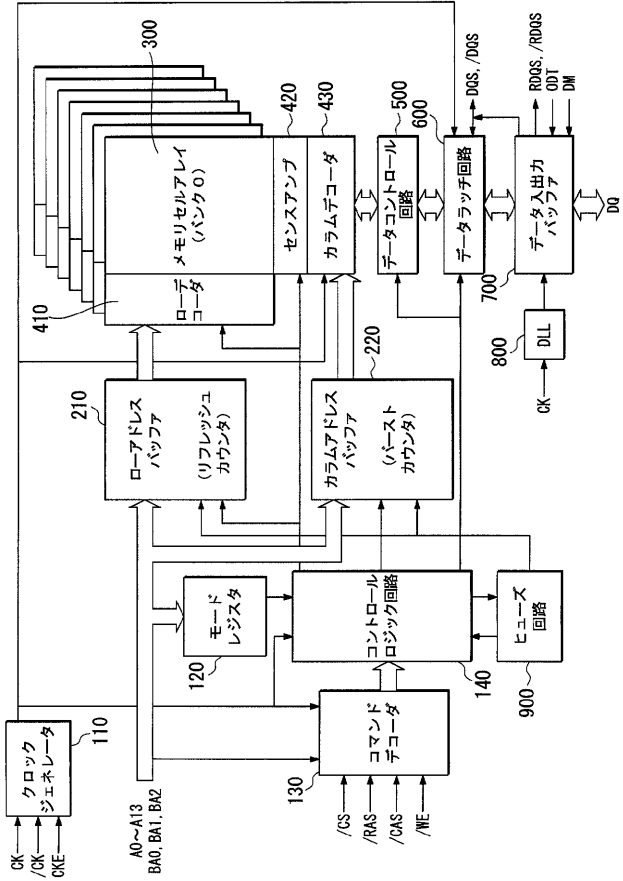
【符号の説明】

【0067】

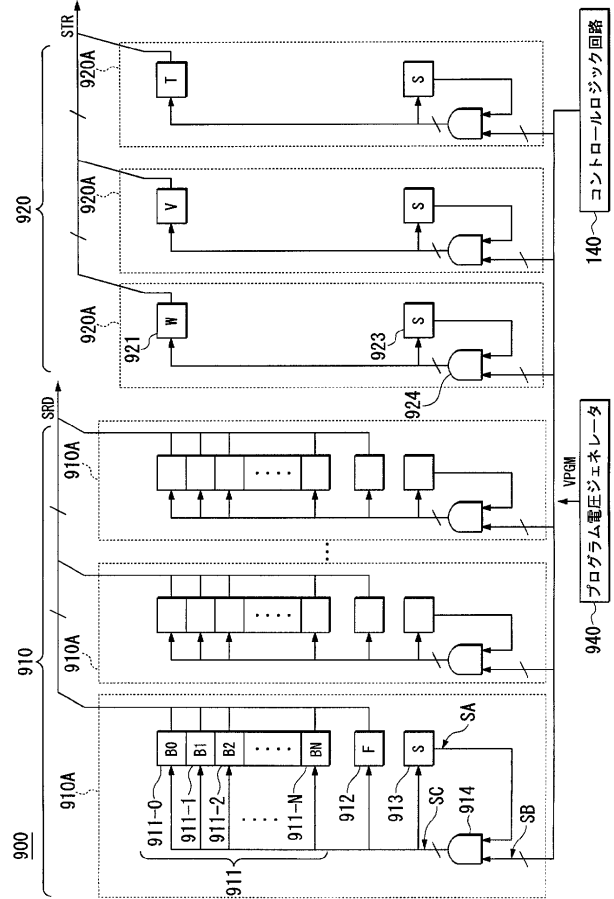
110；クロックジェネレータ、120；モードレジスタ、130；コマンドデコーダ、140；コントロールロジック回路、210；ローアドレスバッファ、220；カラムアドレスバッファ、300；メモリセルアレイ、410；ローデコーダ、420；センスアンプ、430；カラムデコーダ、500；データコントロール回路、600；ラッチ回路、700；データ入出力バッファ、800；ディレイロックドループ、900；ヒューズ回路、910，920；ヒューズブロック、910A，910B，910C，920A，920C；ユニットブロック、911-0，911-2，911-N，912，913，921，923，950，960；ヒューズエレメント回路、914，924；ANDゲート回路、940；プログラム電圧ジェネレータ、AF；アンチヒューズ。

20

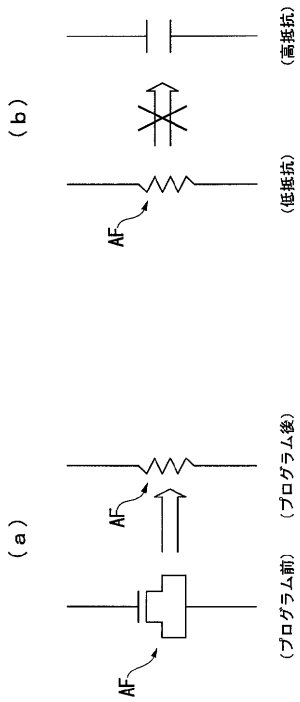
【図 1】



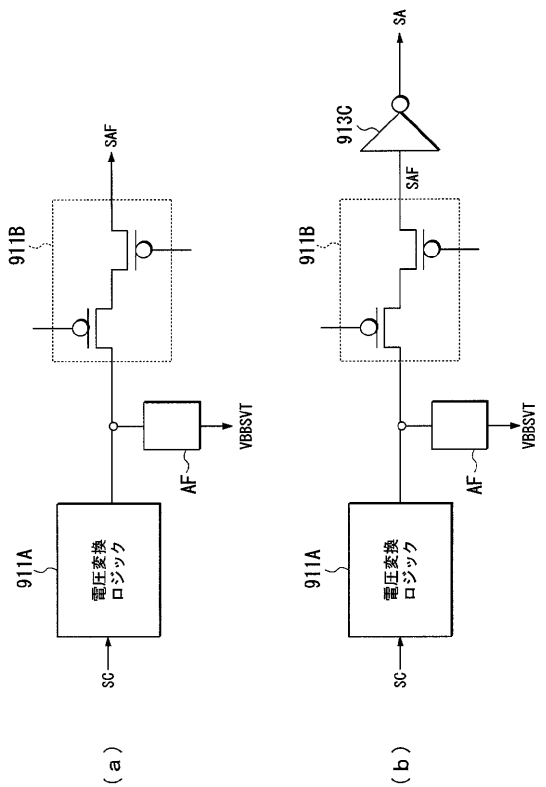
【図 2】



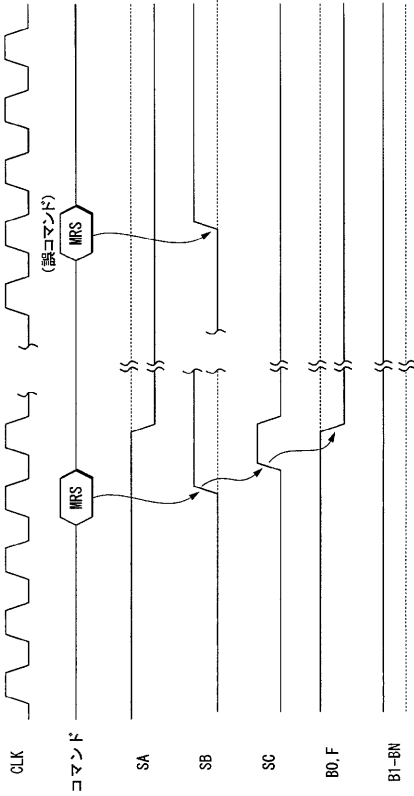
【図 3】



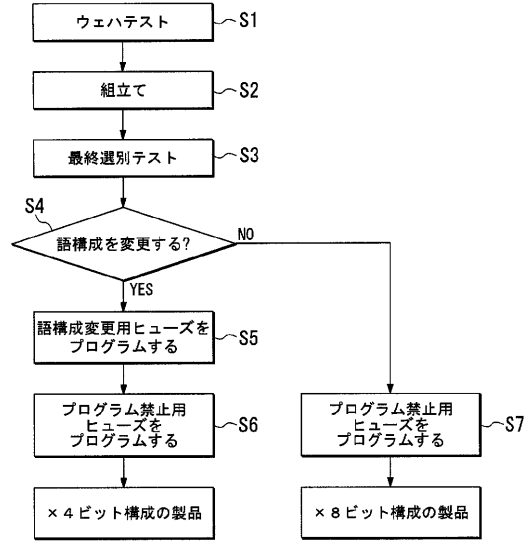
【図 4】



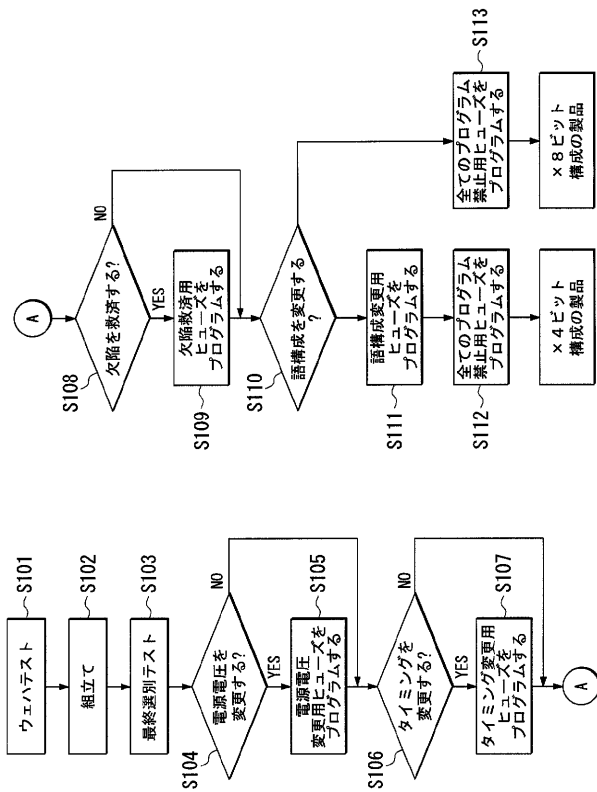
【図5】



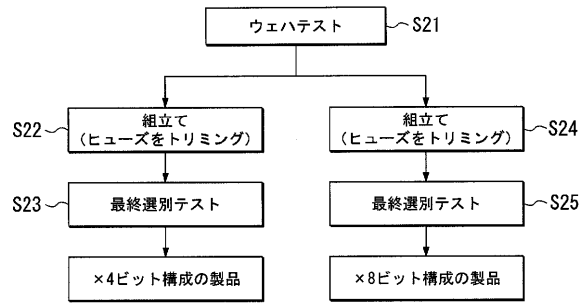
【図6】



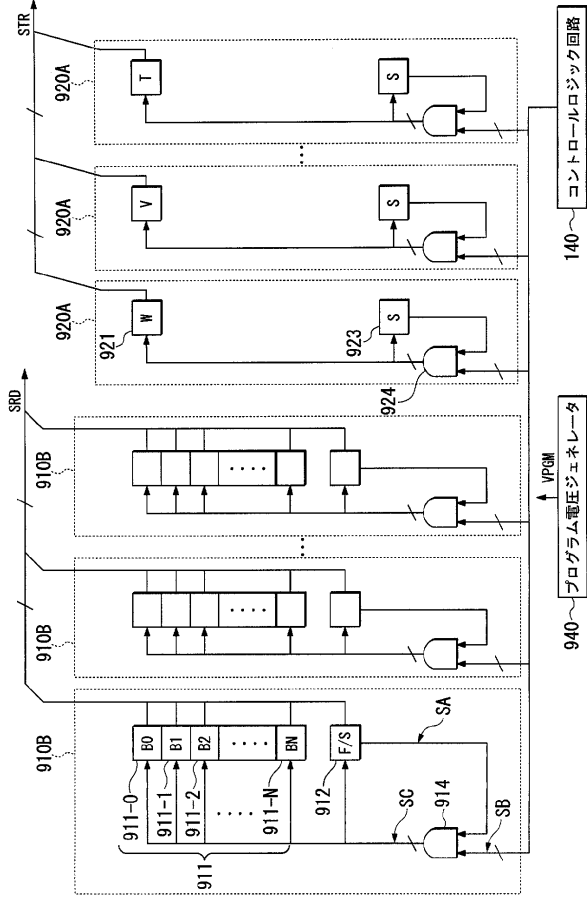
【図7】



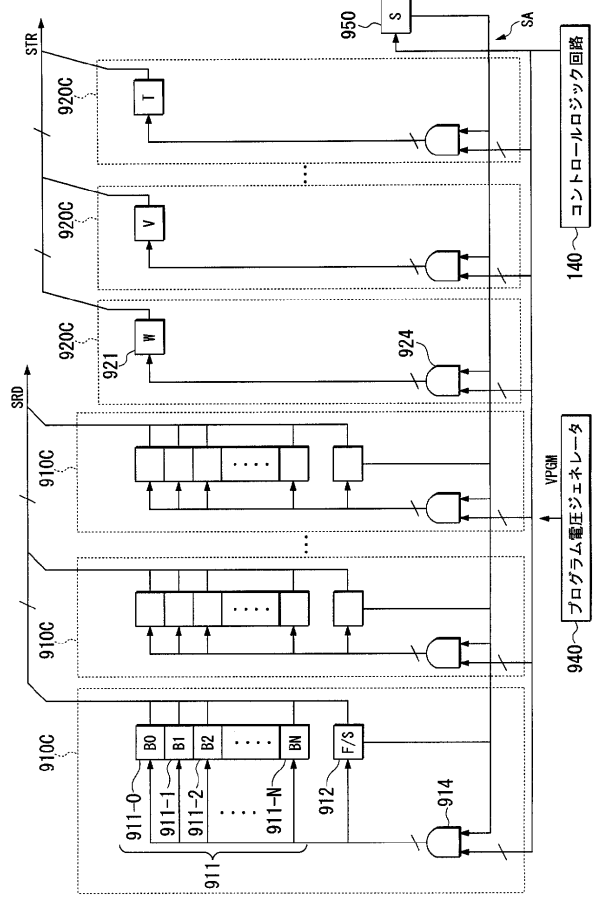
【図8】



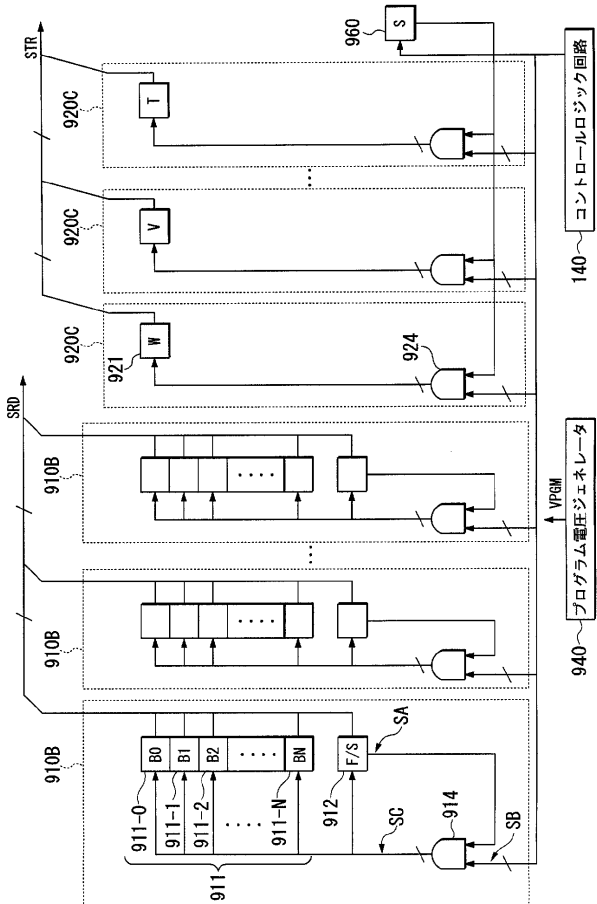
【 図 9 】



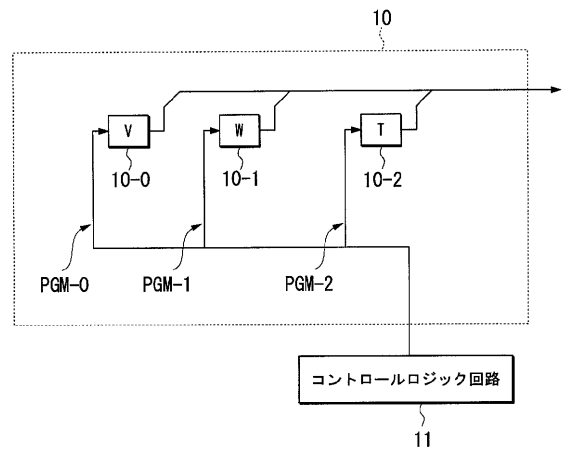
【 図 10 】



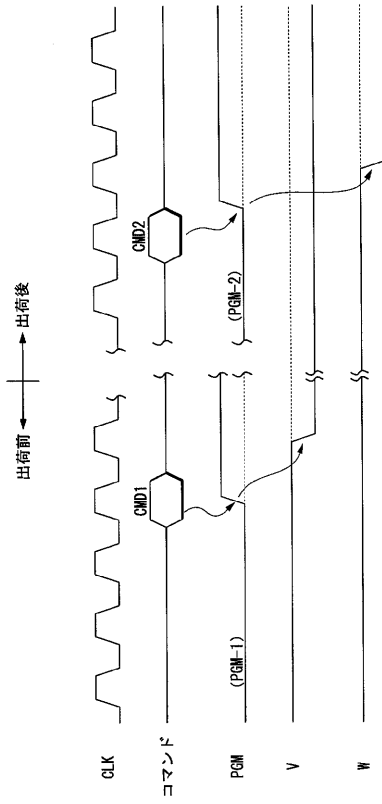
【 図 11 】



【 図 12 】



【図 13】



フロントページの続き

(72)発明者 越川 康二

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 中村 正行

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5B015 HH03 JJ11 MM07 NN05 QQ15

5F038 AV02 AV06 AV08 AV15 DF01 DF04 DF05 DF10 DF16 DF17

DT15 DT18 EZ20

5L106 AA01 AA02 CC04 CC12