

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-103827
(P2004-103827A)

(43) 公開日 平成16年4月2日(2004.4.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/336	H O 1 L 29/78 6 1 2 Z	3 K O O 7
H O 1 L 21/20	H O 1 L 21/20	5 F O 5 2
H O 1 L 29/786	H O 5 B 33/14 A	5 F 1 1 0
H O 5 B 33/14	H O 1 L 29/78 6 1 3 B	
	H O 1 L 29/78 6 2 7 G	
審査請求 未請求 請求項の数 4 O L (全 51 頁) 最終頁に続く		

(21) 出願番号	特願2002-263668 (P2002-263668)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成14年9月10日 (2002.9.10)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(62) 分割の表示	特願2002-263583 (P2002-263583) の分割	(72) 発明者	桑原 秀明 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
原出願日	平成14年9月10日 (2002.9.10)	Fターム(参考)	3K007 AB05 AB11 BA06 BB07 DB03 FA01 GA04
最終頁に続く			

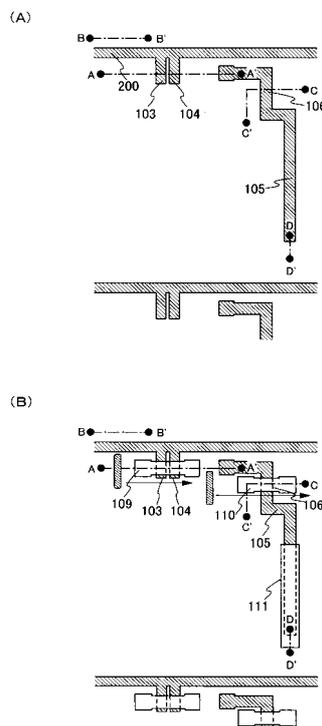
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 TFTの特性を向上させ、且つ、各TFTの特性バラツキを低減することを課題としている。特に画素において、EL素子と電氣的に接続され、且つ、EL素子に電流を供給するTFTのバラツキを低減することを課題とする。

【解決手段】 画素に配置される複数の薄膜トランジスタの活性層となる半導体層109、110の配置方向を同一方向に配置し、該チャンネル長方向と同一方向に走査するレーザー光の照射を行い、結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得る。また、駆動回路、CPUに配置される複数の薄膜トランジスタの活性層となる半導体層の配置方向を同一方向に配置し、該チャンネル長方向と同一方向に走査するレーザー光の照射を行う。

【選択図】 図12



【特許請求の範囲】**【請求項 1】**

絶縁表面を有する基板上に複数の薄膜トランジスタを有する半導体装置であって、前記基板上に制御部と演算部とからなる中央処理部を有し、該中央処理部には、少なくとも第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタとが設けられ、前記第 1 の薄膜トランジスタのチャンネル長方向と、前記第 2 の薄膜トランジスタのチャンネル長方向が同一方向であることを特徴とする半導体装置。

【請求項 2】

絶縁表面を有する基板上に複数の薄膜トランジスタを有する半導体装置であって、前記基板上に制御部と演算部とからなる中央処理部と、記憶部とを有し、該記憶部には、少なくとも第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタとが設けられ、前記第 1 の薄膜トランジスタのチャンネル長方向と、前記第 2 の薄膜トランジスタのチャンネル長方向が同一方向であることを特徴とする半導体装置。

10

【請求項 3】

請求項 1 または請求項 2 において、前記チャンネル長方向は、前記薄膜トランジスタの半導体層に照射されたレーザー光の走査方向と同一方向であることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記半導体装置は、ビデオカメラ、デジタルカメラ、ディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする半導体装置。

20

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

半導体装置の作製方法に関し、特に、プラスチック基板上に形成された有機発光素子を有する発光装置に関する。また、EL パネルにコントローラを含む IC 等を実装した、EL モジュールに関する。なお本明細書において、EL パネル及び EL モジュールを共に発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、発光装置、電気光学装置、半導体回路および電子機器は全て半導体装置である。

30

【0003】**【従来技術】**

近年、基板上に TFT (薄膜トランジスタ) を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた TFT は、従来のアモルファスシリコン膜を用いた TFT よりも電界効果移動度 (モビリティともいう) が高いので、高速動作が可能である。そのため、ポリシリコン膜を用いた TFT からなる駆動回路を画素と同一の基板上に設け、各画素の制御を行うための開発が盛んに行われている。同一基板上に画素と駆動回路とを組み込んだアクティブマトリクス型表示装置は、製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られると予想される。

40

【0004】

また、自発光型素子として有機化合物を含む層を発光層とする EL 素子を有したアクティブマトリクス型発光装置 (以下、単に発光装置と呼ぶ) の研究が活発化している。発光装置は有機発光装置 (OLED: Organic EL Display) 又は有機ライトエミティングダイオード (OLED: Organic Light Emitting Diode) とも呼ばれている。

【0005】

EL 素子は自ら発光するため視認性が高く、液晶表示装置 (LCD) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、EL 素子を用

50

いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【0006】

【発明が解決しようとする課題】

EL素子を用いた発光装置の一つの形態として、各画素毎に複数のTFTを設け、ビデオ信号を順次書き込むことにより画像を表示するアクティブマトリクス駆動方式が知られている。TFTはアクティブマトリクス駆動方式を実現する上で、必須の素子となっている。

【0007】

従来のTFTは非晶質シリコンを用いて作製されるものがほとんどであったが、非晶質シリコンを用いたTFTは電界効果移動度が低く、ビデオ信号を処理するために必要な周波数で動作させることが不可能であったので、もっぱら画素毎に設けるスイッチング素子としてのみ使用されていた。データ線にビデオ信号を出力するデータ線側駆動回路や、走査線に走査信号を出力する走査線側駆動回路はTAB(Tape Automated Bonding)やCOG(Chip on Glass)により実装する外付けのIC(ドライバIC)で賄っていた。

【0008】

しかしながら、画素密度が増加すると画素ピッチが狭くなるので、ドライバICを実装する方式には限界があると考えられている。例えば、UXGA(画素数1200×1600個)を想定した場合、RGBカラー方式では単純に見積もっても6000個の接続端子が必要になる。接続端子数の増加は接点不良の発生確率を増加させる原因となる。また、画素部の周辺部分の領域(額縁領域)が増大し、これをディスプレイとする半導体装置の小型化や外観のデザインを損なう要因となる。このような背景から、駆動回路一体型の表示装置の必要性が明瞭になっている。画素部と走査線側及びデータ線側駆動回路を同一の基板に一体形成することで接続端子の数は激減し、また額縁領域の面積も縮小させることができる。

【0009】

同一基板上に画素と駆動回路とを組み込んだアクティブマトリクス型表示装置を実現する手段として、結晶構造を有する半導体膜、代表的にはポリシリコン膜でTFTを形成する方法が提案されている。しかし、ポリシリコンを用いてTFTを形成しても、その電気的特性は所詮単結晶シリコン基板に形成されるMOSトランジスタの特性に匹敵するものではない。例えば、従来のTFTの電界効果移動度は単結晶シリコンの1/10以下である。また、ポリシリコンを用いたTFTは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

【0010】

一般的に発光装置は、少なくとも、スイッチング素子として機能するTFTと、EL素子に電流を供給するTFTとが、各画素に設けられている。スイッチング素子として機能するTFTには低いオフ電流(I_{off})が求められている一方、EL素子に電流を供給するTFTには、高い駆動能力(オン電流、 I_{on})及びホットキャリア効果による劣化を 방지信頼性を向上させることが求められている。また、データ線側駆動回路のTFTも、高い駆動能力(オン電流、 I_{on})及びホットキャリア効果による劣化を防止信頼性を向上させることが求められている。

【0011】

また、駆動方法によらず、EL素子と電気的に接続され、且つ、EL素子に電流を供給するTFTのオン電流(I_{on})で画素の輝度が決定されるため、全面白表示とした場合、オン電流が一定でなければ輝度にバラツキが生じてしまうという問題がある。例えば、発光時間によって輝度を調節する場合、64階調の表示を行った場合、EL素子と電気的に接続され、且つ、EL素子に電流を供給するTFTのオン電流がある基準値から1.56% (= 1/64) ばらつくと1階調ずれることになってしまう。

【0012】

本発明は、上記問題点を鑑みてなされたものであり、さらにTFTの特性を向上(具体的

10

20

30

40

50

には、オン電流の増加やオフ電流の低減)させ、且つ、各TFTの特性バラツキを低減することを課題としている。少なくとも画素において、EL素子と電氣的に接続され、且つ、EL素子に電流を供給するTFTのオン電流(I_{on})のバラツキを低減することを課題としている。

【0013】

【課題を解決するための手段】

本発明は、TFTの特性を向上させるため、EL素子を用いた発光装置において、画素に配置される複数の薄膜トランジスタのチャンネルとして機能する領域(チャンネル形成領域と呼ばれる)のチャンネル長方向を全て同一方向に配置し、該チャンネル長方向と同一方向に走査するレーザー光の照射を行い、結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得ることを特徴としている。

10

【0014】

レーザー光としては、エキシマレーザー、Arレーザー、Krレーザー等の気体レーザーや、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti:サファイアレーザーなどの固体レーザーや、半導体レーザーを用いればよい。固体レーザーとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザーが適用される。当該レーザーの基本波はドーピングする材料によって異なり、1 μ m前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。また、レーザー発振の形態は、連続発振、パルス発振のいずれでもよく、レーザービームの形状も線状または矩形状でもよい。非晶質構造を有する半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。

20

【0015】

連続発振するレーザービームを非単結晶半導体膜に照射して結晶化させる場合には、固液界面が保持され、レーザービームの走査方向に連続的な結晶成長を行わせることが可能である。

【0016】

本明細書で開示する発明の構成は、

絶縁表面上に設けられた画素部に複数の薄膜トランジスタを有する発光装置であって、前記画素部には、有機発光素子が有する画素電極に接続されている第1の薄膜トランジスタと、第2の薄膜トランジスタとが設けられ、チャンネル長方向が全て同一方向となるように前記第1の薄膜トランジスタ及び前記第2の薄膜トランジスタが配置されたことを特徴とする発光装置である。

30

【0017】

また、画素部の一つの画素を駆動するTFTが2つの場合(例えば、スイッチング用TFTと駆動用TFT)だけでなく、3つの場合(例えば、スイッチング用TFTと駆動用TFTと消去用TFT)にも本発明を適用することができ、本発明の他の発明は、絶縁表面上に設けられた画素部に複数の薄膜トランジスタを有する発光装置であって、前記画素部には、有機発光素子が有する画素電極に接続されている第1の薄膜トランジスタと、第2の薄膜トランジスタと、第3の薄膜トランジスタとが設けられ、チャンネル長方向が全て同一方向となるように前記第1の薄膜トランジスタ、前記第2の薄膜トランジスタ、及び前記第3の薄膜トランジスタが配置されたことを特徴とする発光装置である。

40

【0018】

また、画素部の一つの画素を駆動するTFTが3つ以上のTFTにも適用することができる。また、上記各構成において、同一基板上に画素部と駆動回路を設けた場合にも適用することができ、前記絶縁表面上には、複数の薄膜トランジスタを含む駆動回路が設けられ、該駆動回路の薄膜トランジスタにおけるチャンネル長方向が全て同一方向となるように配置されたことを特徴としている。

【0019】

50

また、駆動回路の一つの回路であるバッファ回路に適用することができ、前記絶縁表面上には、複数の薄膜トランジスタを含むバッファ回路が設けられ、該バッファ回路の薄膜トランジスタにおけるチャンネル長方向は、同一方向となるように配置されたことを特徴としている。

【0020】

また、上記各構成において、前記チャンネル長方向は、前記薄膜トランジスタの半導体層に照射されたレーザー光の走査方向と同一方向であることを特徴としている。

【0021】

また、本発明は、上記各発光装置における画素または駆動回路の薄膜トランジスタとして、活性層として機能する半導体膜と、第1の電極と、前記半導体膜と前記第1の電極の間に挟まれた第1の絶縁膜とを有しており、さらに、ゲート電極として機能する第2の電極と、前記半導体膜と前記第2の電極の間に挟まれた第2の絶縁膜（ゲート絶縁膜）とを有し、前記第1の電極と前記第2の電極が、半導体膜が有するチャンネル形成領域を間に挟んで重なっている構成とする。なお、前記半導体膜は2つの不純物領域（ソース領域またはドレイン領域）と、該2つの不純物領域に挟まれたチャンネル形成領域とを有している。

10

【0022】

また、本発明において、第1の電極は、常に一定の電圧（コモン電圧）を印加するか、第2の電極と電氣的に接続して同電位とする。こうすることで、各TFTのオン電流（ I_n ）のバラツキを低減することができる。

【0023】

オン電流の増加よりもオフ電流の低減が重要視されるTFT、例えばスイッチング素子として用いるTFTの場合、第1の電極に一定の電圧（コモン電圧）を印加することが好ましい。第1の電極に一定の電圧（コモン電圧）を印加する場合、一定の電圧は、薄膜トランジスタがnチャンネル型TFTの場合はその薄膜トランジスタの閾値電圧よりも小さくすればよく、薄膜トランジスタがpチャンネル型TFTの場合はその薄膜トランジスタの閾値電圧よりも大きくすればよい。第1の電極にコモン電圧を印加することで、電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。

20

【0024】

また、オフ電流の低減よりもオン電流の増加が重要視されるTFT、例えば駆動回路のバッファ等が有するTFTの場合、第1の電極と第2の電極とを電氣的に接続して同電位とすることが好ましい。第1の電極と第2の電極とを電氣的に接続して同電位とする場合、第1の電極と第2の電極に同じ電圧を印加することで、実質的に半導体膜の膜厚を薄くしたのと同じように空乏層が早く広がるので、サブスレッショルド係数（S値）を小さくすることができる、さらに電界効果移動度を向上させることができる。したがって、電極が1つの場合に比べてオン電流を大きくすることができる。よって、この構造のTFTを駆動回路に使用することにより、駆動電圧を低下させることができる。また、オン電流を大きくすることができるので、TFTのサイズ（特にチャンネル幅）を小さくすることができる。そのため集積密度を向上させることができる。

30

【0025】

また、上記薄膜トランジスタにおいて、半導体膜が形成される第1の絶縁膜の表面が第1の電極により凸部が形成された場合、その影響を受けて半導体膜表面にも凹凸が形成され、半導体膜の結晶化工程で結晶粒径のバラツキが生じる恐れがあるため、前記第1の絶縁膜は、化学的機械研磨により平坦化されていることが好ましい。

40

【0026】

また、上記構造を実現するための発明の構成は、絶縁表面を有する基板上に第1の電極を形成する第1工程と、前記第1の電極上に第1の絶縁膜を形成する第2工程と、前記第1の絶縁膜の表面に平坦化処理を行う第3工程と、前記第1の絶縁膜上に半導体膜を形成する第4工程と、

50

前記半導体膜に連続発振のレーザー光を照射する第5工程と、
 前記半導体膜上に第2の絶縁膜を形成する第6工程と、
 前記第1の絶縁膜及び前記第2の絶縁膜に選択的なエッチング処理を行って、前記第1の電極に達するコンタクトホールを形成する第7工程と、
 前記第2の絶縁膜表面上の不純物を低減する第8工程と、
 前記コンタクトホールを通じて前記第1の電極と電気的に接続し、且つ、前記第2の絶縁膜上に前記半導体膜の一部と重なる第2の電極を形成する第9工程とを有する半導体装置の作製方法である。

【0027】

また、他の発明の構成は、
 絶縁表面を有する基板上に第1の電極を形成する第1工程と、
 前記第1の電極上に第1の絶縁膜を形成する第2工程と、
 前記第1の絶縁膜の表面に平坦化処理を行う第3工程と、
 前記第1の絶縁膜上に第2の絶縁膜を形成する第4工程と、
 前記第2の絶縁膜上に半導体膜を形成する第5工程と、
 前記半導体膜に連続発振のレーザー光を照射する第6工程と、
 前記半導体膜上に第3の絶縁膜を形成する第7工程と、
 前記第1の絶縁膜、前記第2の絶縁膜、及び前記第3の絶縁膜に選択的なエッチング処理を行って、前記第1の電極に達するコンタクトホールを形成する第8工程と、
 前記第3の絶縁膜表面上の不純物を低減する第9工程と、
 前記コンタクトホールを通じて前記第1の電極と電気的に接続し、且つ、前記第3の絶縁膜上に前記半導体膜の一部と重なる第2の電極を形成する第10工程とを有する半導体装置の作製方法である。

【0028】

また、他の発明の構成は、
 絶縁表面を有する基板上に第1の電極を形成する第1工程と、
 前記第1の電極上に第1の絶縁膜を形成する第2工程と、
 前記第1の絶縁膜の表面に平坦化処理を行う第3工程と、
 前記第1の絶縁膜上に半導体膜を形成する第4工程と、
 前記半導体膜に連続発振のレーザー光を照射する第5工程と、
 前記半導体膜上に第2の絶縁膜を形成する第6工程と、
 前記第2の絶縁膜上に前記半導体膜の一部と重なる第2の電極を形成する第7工程と、
 前記第2の電極上に第3の絶縁膜を形成する第8工程と、
 前記第1の絶縁膜、前記第2の絶縁膜、及び前記第3の絶縁膜に選択的なエッチング処理を行って、前記第1の電極に達する第1のコンタクトホールと、前記第2の電極に達する第2のコンタクトホールとを形成する第9工程と、
 前記第1のコンタクトホール及び第2のコンタクトホールを通じて前記第1の電極及び前記第2の電極と電気的に接続する第3の電極を形成する第10工程とを有する半導体装置の作製方法である。

【0029】

また、他の発明の構成は、
 絶縁表面を有する基板上に第1の電極を形成する第1工程と、
 前記第1の電極上に第1の絶縁膜を形成する第2工程と、
 前記第1の絶縁膜の表面に平坦化処理を行う第3工程と、
 前記第1の絶縁膜上に第2の絶縁膜を形成する第4工程と、
 前記第2の絶縁膜上に半導体膜を形成する第5工程と、
 前記半導体膜に連続発振のレーザー光を照射する第6工程と、
 前記半導体膜上に第3の絶縁膜を形成する第7工程と、
 前記第3の絶縁膜上に前記半導体膜の一部と重なる第2の電極を形成する第8工程と、
 前記第2の電極上に第4の絶縁膜を形成する第9工程と、

前記第1の絶縁膜、前記第2の絶縁膜、前記第3の絶縁膜、及び第4の絶縁膜に選択的なエッチング処理を行って、前記第1の電極に達する第1のコンタクトホールと、前記第2の電極に達する第2のコンタクトホールとを形成する第10工程と、前記第1のコンタクトホール及び第2のコンタクトホールを通じて前記第1の電極及び前記第2の電極と電氣的に接続する第3の電極を形成する第11工程とを有する半導体装置の作製方法である。

【0030】

また、上記半導体装置の作製方法における各構成において、前記平坦化処理は、CMPと呼ばれる化学的機械研磨であることを特徴としている。

【0031】

また、本発明はCPUを備えた半導体装置を完成させることができ、本発明の他の構成は、

絶縁表面を有する基板上に複数の薄膜トランジスタを有する半導体装置であって、前記基板の上に制御部と演算部とからなる中央処理部(CPUとも呼ぶ)を有し、該中央処理部には、少なくとも第1の薄膜トランジスタと、第2の薄膜トランジスタとが設けられ、前記第1の薄膜トランジスタのチャンネル長方向と、前記第2の薄膜トランジスタのチャンネル長方向が同一方向であることを特徴とする半導体装置である。こうすることにより、さらなる集積化が可能となって装置全体として小型化、製造コスト削減を実現することができる。

【0032】

また、同一基板の上にCPUとメモリーとを備えた半導体装置を完成させることができ、本発明の他の構成は、

絶縁表面を有する基板上に複数の薄膜トランジスタを有する半導体装置であって、前記基板の上に制御部と演算部とからなる中央処理部と、記憶部(メモリーとも呼ぶ)とを有し、該記憶部には、少なくとも第1の薄膜トランジスタと、第2の薄膜トランジスタとが設けられ、前記第1の薄膜トランジスタのチャンネル長方向と、前記第2の薄膜トランジスタのチャンネル長方向が同一方向であることを特徴とする半導体装置である。

【0033】

また、同一基板の上にCPUと表示部(画素部を含む)とを形成してもよいし、同一基板の上にCPUとメモリーと表示部(画素部を含む)とを形成してもよい。

【0034】

上記半導体装置の各構成において、前記チャンネル長方向は、前記薄膜トランジスタの半導体層に照射されたレーザー光の走査方向と同一方向であることを特徴としている。

【0035】

なお、本明細書では、EL素子の陽極と陰極の間に形成された全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0036】

EL素子は、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる有機化合物(有機発光材料)を含む層(以下、有機発光層と記す)と、陽極と、陰極とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていてもよいし、または両方の発光を用いていてもよい。なお、有機発光層は無機材料を含んでいてもよい。

【0037】

【発明の実施の形態】

本発明の実施形態について、以下に説明する。

10

20

30

40

50

【0038】

(実施の形態1)

以下に代表的なTFTの作製手順を簡略に図1を用いて示す。

【0039】

図1(A)中、10は、絶縁表面を有する基板、11は第1の電極、12は第1の絶縁膜である。

【0040】

まず、基板10上に導電膜を形成し、パターニングを施すことにより金属または合金からなる第1の電極11を形成する。代表的には、アルミニウム(Al)、タングステン(W)、モリブデン(Mo)、タンタル(Ta)、チタン(Ti)から選ばれた一種または複数種からなる合金又はシリコンとの合金で形成することができる。また何層かの導電性の膜を積層したものを、第1の電極として用いても良い。第1の電極11は、150~400nmの厚さを有している。

10

【0041】

この第1の電極11は後に形成されるゲート電極と接続される走査線である。なお、この第1の電極11は、後に形成される活性層を光から保護する遮光層として機能させることも可能である。ここでは、基板10として石英基板を用い、第1の電極11としてリンを含むポリシリコン膜(膜厚50nm)とタングステンシリサイド(W-Si)膜(膜厚100nm)の積層構造を用いる。また、ポリシリコン膜はタングステンシリサイドから基板への汚染を保護するものである。

20

【0042】

次いで、第1の電極11を覆う第1の絶縁膜12(酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜)を膜厚100~1000nm(代表的には300~500nm)で形成する。ここではCVD法を用いた膜厚100nmの酸化シリコン膜からなる第1の絶縁膜A(12a)とLPCVD法を用いた膜厚280nmの酸化シリコン膜からなる第1の絶縁膜B(12b)を積層させる。(図1(A))

【0043】

次いで、第1の絶縁膜12の表面には、先に形成した第1の電極11に起因する凹凸を有しているため、第1の絶縁膜12に平坦化処理を行う。(図1(B))第1の絶縁膜を複数の絶縁膜を積層して形成している場合、第1の電極11上において最上層の絶縁膜のみ研磨するようにしても良いし、下層の絶縁膜が露出するように研磨しても良い。

30

【0044】

平坦化処理としては、平坦性を向上させる公知の技術、例えば化学的機械研磨(Chemical-Mechanical Polishing:以下、CMPと記す)と呼ばれる研磨工程を用いればよい。CMPを用いる場合、第1の絶縁膜12に対するCMPの研磨剤(スラリー)には、例えば、塩化シリコンガスを熱分解して得られるフュームドシリカ粒子をKOH添加水溶液に分散したものをを用いると良い。CMPにより第1の絶縁膜を0.1~0.5μm程度除去して、表面を平坦化する。なお、第1の絶縁膜の表面は必ずしも研磨する必要はない。前記平坦化された第1の絶縁膜は、表面における凹凸の高低差が5nm以下であることが好ましく、より望ましくは、1nm以下であるのが良い。平坦性の向上によって、後に形成されるゲート絶縁膜として用いる第1の絶縁膜を薄くすることが可能となり、TFTの移動度を向上させることができる。また、平坦性の向上によって、TFTを作製した場合、オフ電流を低減することができる。

40

【0045】

次いで、CMPで用いたK(カリウム)などの不純物を除去するため、フッ酸を含むエッチャントで第1の絶縁膜の表面を洗浄した後、結晶構造を有する半導体膜(膜厚10~100nm)を形成する。

【0046】

結晶構造を有する半導体膜は、LPCVD法などにより成膜することも可能であるが、非晶質構造を有する半導体膜を成膜した後、結晶化処理を行って形成することが望ましい。

50

非晶質構造を有する半導体膜としては、シリコンを主成分とする半導体材料を用い、代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマCVD法や減圧CVD法、或いはスパッタ法で形成する。

【0047】

ここでは、結晶構造を有する半導体膜を得るため、図5に示したレーザー処理装置を用いて、図6に示す半導体層の配置とし、図7に示す走査方法で結晶化を行う。

【0048】

図示したレーザー処理装置は、連続発振又はパルス発振が可能な固体レーザー51、レーザービームを集光するためのコリメータレンズ又はシリンドリカルレンズなどのレンズ52、レーザービームの光路を変える固定ミラー53、レーザービームを2次元方向に放射状にスキャンするガルバノミラー54、ガルバノミラー54からのレーザービームを受けて載置台56の被照射面にレーザービームを向ける可動ミラー55から成っている。ガルバノミラー54と可動ミラー55の光軸を交差させ、それぞれ図示する方向にミラーを回転させることにより、載置台56上に置かれた基板57の全面にわたってレーザービームを走査させることができる。可動ミラー55はfミラーとして、光路差を補正して被照射面におけるビーム形状を補正することもできる。図5に示したレーザー処理装置は、ガルバノミラー54と、可動ミラー55により載置台56上に置かれた基板57の一軸方向にレーザービームを走査することができる。さらに、図5に示したレーザー処理装置には、ハーフミラー58、固定ミラー59、ガルバノミラー60、可動ミラー61を加えて二軸方向(XとY方向)同時にレーザービームを走査することができる。このような構成にすることにより処理時間を短縮することができる。尚、ガルバノミラー54、60はポリゴンミラーと置き換えても良い。

10

20

【0049】

レーザーとして好ましいものは固体レーザーであり、YAG、YVO₄、YLF、YAlO₅などの結晶にNd、Tm、Hoをドープした結晶を使ったレーザーが適用される。発振波長の基本波はドープする材料によっても異なるが、1μmから2μmの波長で発振する。非晶質構造を有する半導体膜の結晶化には、レーザービームを半導体膜で選択的に吸収させるために、当該発振波長の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用する。出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により変換してこれらの高調波を得る。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度(好ましくは0.1～10MW/cm²)が必要である。そして、0.5～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射する。なお、入射光と基板の裏面における反射光とが干渉しないように半導体膜表面に対して斜めに照射することが好ましく、その場合、レーザー光の入射角度の変化に対して、反射率は著しく変化するため、レーザー光の反射率の変化が5%以内となる角度以内にするのが望ましい。

30

40

【0050】

その他に、アルゴンレーザー、クリプトンレーザー、エキシマレーザーなどの気体レーザーを適用することもできる。

【0051】

発振はパルス発振、連続発振のいずれの形態でも良いが、半導体膜の溶融状態を保って連続的に結晶成長させて大きな粒径の結晶粒を得るためには、連続発振のモードを選択することが望ましい。

【0052】

また、基板上にレーザーアニールにより結晶化させて結晶構造を有する半導体膜でTFETを形成する場合、結晶の成長方向とキャリアの移動方向とを揃えると高い電界効果移動度を得ることができる。即ち、結晶成長方向とチャンネル長方向とを一致させることで電界効

50

果移動度を実質的に高くすることができる。連続発振するレーザービームを非晶質構造を有する半導体膜に照射して結晶化させる場合には、固液界面が保持され、レーザービームの走査方向に連続的な結晶成長を行わせることが可能である。レーザービームを走査する方向は一方向に限定されず、往復走査をしても良い。

【0053】

図6は、後にTFTが形成される基板62と、レーザービームの照射方向との関係を詳細に示すものである。後にTFTが形成される基板62には、画素部63、駆動回路部64、65が形成される領域を点線で示している。ここでは、結晶化の段階で非晶質構造を有する半導体膜に図6に示したようにパターンニングを行いアイランド状にした後、レーザー光の照射で結晶化を行い、その後再度パターンニングを行って点線で示した形状とする。

10

【0054】

例えば、駆動回路部64は走査線駆動回路を形成する領域であり、その部分拡大図77(鎖線で囲まれた領域)にはTFTの半導体領域74とレーザービーム71の走査方向を示している。半導体領域74の形状は任意なものを適用することができるが、いずれにしてもチャンネル長方向とレーザービームの走査方向(図中矢印方向)とを揃えている。また、駆動回路部64と交差する方向に延在する駆動回路部65はデータ線駆動回路を形成する領域であり、半導体領域75の配列と、レーザービーム72の走査方向を一致させる(拡大図78)。また、画素部63も同様であり、拡大図79に示す如く半導体領域76の配列を揃えて、チャンネル長方向にレーザービーム73を走査させる。また、レーザービームを照射する前に絶縁膜を形成してもよい。

20

【0055】

なお、パターンニングを行わず、基板全面に非晶質構造を有する半導体膜が形成されている状態でレーザー光による結晶化を行ってもよい。全面に非晶質構造を有する半導体膜が形成されている場合には、TFTを形成するための半導体領域は基板端に形成されたアライメントマーカ等により特定することができる。

【0056】

図7を参照して基板全面に非晶質構造を有する半導体膜を結晶化させ、形成された結晶構造を有する半導体膜からTFTの活性層を形成する工程の様子を説明する。図7(1-B)は断面図であり、基板81上に設けられた絶縁膜82上に第1の電極87が形成され、第1の電極を覆う第1の絶縁膜86a、86b上に非晶質構造を有する半導体膜83が形成されている。なお、絶縁膜82は、基板81としてガラス基板を用いた場合、基板からアルカリ金属などの不純物が半導体膜中へ拡散しないために設けられた絶縁膜である。レーザービーム80の照射によって結晶化が成され、結晶構造を有する半導体膜84を形成することができる。レーザービームは図5に示したレーザー処理装置を用いて得られる。レーザービーム80は図7(1-A)に示すように、想定されるTFTの半導体領域85の位置に合わせて走査するものである。ビーム形状は矩形、線形、楕円形など任意なものとする。非晶質構造を有する半導体膜の結晶化に用いる場合、ビーム形状は楕円形が好ましい。光学系にて集光したレーザービームは、中央部と端部で必ずしもエネルギー強度が一定ではないので、半導体領域85がビームの端部にかからないようにする

30

40

【0057】

レーザービームの走査は一方向のみの走査でなく、往復走査をしても良い。その場合には1回の走査毎にレーザーエネルギー密度を変え、段階的に結晶成長をさせることも可能である。また、アモルファスシリコンを結晶化させる場合にしばしば必要となる水素出しの処理を兼ねることも可能であり、最初に低エネルギー密度で走査し、水素を放出した後、エネルギー密度を上げて2回目に走査で結晶化を完遂させても良い。

【0058】

このようなレーザービームの照射方法において、連続発振のレーザービームを照射することにより大粒径の結晶成長を可能とする。勿論、それはレーザービームの走査速度やエネ

50

ルギー密度等の詳細なパラメータを適宜設定する必要があるが、走査速度を10～80 cm/secとすることによりそれを実現することができる。パルスレーザーを用いた熔融-固化を経た結晶成長速度は1 m/secとも言われているが、それよりも遅い速度でレーザービームを走査して、徐冷することにより固液界面における連続的な結晶成長が可能となり、結晶の大粒径化を実現することができる。

【0059】

その後、図7(2-A)及びその断面図である図7(2-B)に示すように、形成された結晶半導体膜をエッチングして、島状に分割された半導体領域89を形成する。その後、必要に応じて配線や層間絶縁膜等を形成して素子を形成すれば良い。

【0060】

なお、ELモジュールを作製する場合において、画素部には、機能の異なるTF Tが複数設けられる。例えば、画素電極と接続し、EL素子に流れる電流を制御する駆動用TF Tと、スイッチング用TF Tとを設けた場合においても全てのTF Tのチャネル長方向を同一方向とし、レーザービームの走査方向と一致させることが望ましい。

【0061】

また、本発明は、上記レーザー光による結晶化方法に限定されず、他のレーザー結晶化法や、シリコンの結晶化を助長する金属元素としてニッケルを用いた結晶化技術や、固相成長法などの結晶化技術を適宜組み合わせ用いてもよい。

【0062】

上記レーザー光の結晶化によって半導体膜13を得た後、次に半導体膜の表面をフッ酸を含むエッチャントで洗浄し、酸化膜または不純物を除去した後、ゲート絶縁膜となる珪素を主成分とする第2の絶縁膜14を形成する。(図1(C))この表面洗浄と第2の絶縁膜14の形成は、大気にふれさせずに連続的に行うことが望ましい。

【0063】

次いで、第1の電極11に達するコンタクトホールを形成する。ここでは、公知のフォトリソグラフィ法を用いてレジストからなるマスクを形成し、選択的にエッチングを行ってコンタクトホールを形成する。バッファーフッ酸(HF)でレジストからなるマスクを除去する際、レジストと同時に第2の絶縁膜14表面におけるNa等の不純物を除去する。(図1(D))

【0064】

次いで、コンタクトホールを通じて第1の電極11と電氣的に接続する第2の電極15を形成する。第1の電極11と第2の電極15とが電氣的に接続されている場合、第1の絶縁膜12と第2の絶縁膜14の誘電率が近ければ近いほど、電界効果移動度やサブスレッショルド係数を小さくし、オン電流を大きくすることができる。

【0065】

次いで、半導体にn型を付与する不純物元素(P、As等)、ここではリンを適宜添加して、ソース領域またはドレイン領域となる不純物領域13bを形成する。半導体膜は、チャネル形成領域13aと、チャネル形成領域13aを挟んでいる不純物領域13bとを有している。リンを添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。また、活性化と同時に第2の絶縁膜(ゲート絶縁膜)へのプラズマダメージや第2の絶縁膜(ゲート絶縁膜)と半導体層との界面へのプラズマダメージを回復することができる。特に、室温～300の雰囲気中において、表面または裏面からYAGレーザーの第2高調波を照射して不純物元素を活性化させることは非常に有効である。YAGレーザーはメンテナンスが少ないため好ましい活性化手段である。

【0066】

以降の工程は、第3の絶縁膜16を形成し、水素化を行って、不純物領域13bに達するコンタクトホールを形成し、ソース電極またはドレイン電極となる配線17を形成してTF Tを完成させる。(図1(E))

【0067】

また、第1の電極11とチャネル形成領域13aとが重なっている部分において、第1の

10

20

30

40

50

絶縁膜 1 2 膜の厚さが均一であるときのその膜厚と、第 2 の電極 1 5 とチャネル形成領域とが重なっている部分において、第 2 の絶縁膜 1 4 の厚さが均一であるときのその膜厚は、近ければ近いほど、電界効果移動度やサブスレッシュヨルド係数を小さくし、オン電流を大きくすることができる。第 1 の電極 1 1 と重なる部分における第 1 の絶縁膜の膜厚を d_1 、第 2 の電極 1 5 と重なる部分における第 2 の絶縁膜の膜厚を d_2 とすると、 $|d_1 - d_2| / d_1 < 0.1$ であり、なおかつ、 $|d_1 - d_2| / d_2 < 0.1$ を満たすのが望ましい。より好ましくは、 $|d_1 - d_2| / d_1 < 0.05$ であり、なおかつ、 $|d_1 - d_2| / d_2 < 0.05$ を満たすのが良い。

【0068】

最も好ましいのは、第 1 の電極 1 1 と第 2 の電極 1 5 とが電氣的に接続されていない状態において、第 1 の電極 1 1 にグラウンドの電圧を印加したときの薄膜トランジスタの閾値と、第 2 の電極 1 5 にグラウンドの電圧を印加したときの薄膜トランジスタの閾値がほぼ同じになるようにしたうえで、第 1 の電極 1 1 と第 2 の電極 1 5 とを電氣的に接続することである。そうすることで、電界効果移動度やサブスレッシュヨルド係数をより小さくし、オン電流をより大きくすることができる。

【0069】

この様な構成を取ることによって、半導体膜の上下にチャネル（デュアルチャネル）を形成でき、TFT の特性を向上させることができる。

【0070】

また、第 1 の電極 1 1 と同時に各種信号又は電力を伝達する配線を形成することができる。また、CMP による平坦化処理と組み合わせると、その上層に形成する半導体膜などに何ら影響を与えることはない。また、多層配線により配線の高密度化を実現できる。

【0071】

また、図 1 (E) における左側の断面図において、A - A' の断面図を右側の断面図に示す。ここでは、第 1 の電極 1 1 と第 2 の電極 1 5 とが直接接続されている場合の例を示したが、どちらか一方の電極にコモン電圧を印加しても良い。第 1 の電極にコモン電圧を印加することで、電極が 1 つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。

【0072】

TFT は半導体膜とゲート絶縁膜とゲート電極との配置により、トップゲート型（プレーナー型）とボトムゲート型（逆スタガ型）などが知られている。いずれにしても、サブスレッシュヨルド係数を小さくするには半導体膜の膜厚を薄くする必要がある。TFT で用いられるように非晶質半導体膜を結晶化した半導体膜を適用する場合には、その非晶質半導体膜が薄くなると共に結晶性が悪くなり、純粹に膜厚を薄くした効果を得ることができない。しかし、第 1 の電極と第 2 の電極を電氣的に接続し、図 1 において示すように半導体膜の上下に該 2 つの電極を重ねることにより、実質的に半導体膜の厚さを薄くしたのと同様、電圧の印加と共に早く空乏化し、電界効果移動度やサブスレッシュヨルド係数を小さくし、オン電流を大きくすることができる。

【0073】

また、本発明は図 1 (E) の TFT 構造に限定されず、必要があればチャネル形成領域とドレイン領域（またはソース領域）との間に LDD 領域を有する低濃度ドレイン（LDD : Lightly Doped Drain）構造としてもよい。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域を LDD 領域と呼んでいる。さらにゲート絶縁膜を介して LDD 領域をゲート電極と重ねて配置させた、いわゆる GOLD (Gate-drain Overlapped LDD) 構造としてもよい。

【0074】

また、ここでは n チャネル型 TFT を用いて説明したが、n 型不純物元素に代えて p 型不純物元素を用いることによって p チャネル型 TFT を形成することができることは言うま

でもない。

【0075】

(実施の形態2)

ここでは、上記実施の形態1とは異なる手順でTFTを作製する例を図2に示す。

【0076】

図2(A)は、図1(A)と同一であり、図2(B)は、図1(B)と同一であり、図2(B)の状態までは実施の形態1に従って得ればよい。

【0077】

図2(B)の状態を得たら、第2の絶縁膜28を形成する。この第2の絶縁膜28としてはシリコンを主成分とする絶縁膜を用いればよい。次いで、この第2の絶縁膜28上に上記実施の形態1と同様の手順で半導体膜23を設ける。 10

【0078】

次いで、半導体膜の表面をフッ酸を含むエッチャントで洗浄し、酸化膜または不純物を除去した後、ゲート絶縁膜となる珪素を主成分とする第3の絶縁膜24を形成する。(図2(C))この表面洗浄と第2の絶縁膜24の形成は、大気にふれさせずに連続的に行うことが望ましい。

【0079】

次いで、第1の電極21に達するコンタクトホールを形成する。ここでは、公知のフォトリソグラフィ法を用いてレジストからなるマスクを形成し、選択的にエッチングを行ってコンタクトホールを形成する。バッファーフッ酸(HF)でレジストからなるマスクを除去する際、レジストと同時に第3の絶縁膜24表面におけるNa等の不純物を除去する。(図2(D)) 20

【0080】

次いで、コンタクトホールを通じて第1の電極21と電氣的に接続する第2の電極25を形成する。第1の電極21と第2の電極25とが電氣的に接続されている場合、第2の絶縁膜22と第2の絶縁膜28と第3の絶縁膜24の誘電率が近ければ近いほど、電界効果移動度やサブスレッショルド係数を小さくし、オン電流を大きくすることができる。

【0081】

次いで、半導体にn型を付与する不純物元素(P、As等)、ここではリンを適宜添加して、ソース領域またはドレイン領域となる不純物領域23bを形成する。半導体膜は、チャンネル形成領域23aと、チャンネル形成領域23aを挟んでいる不純物領域23bとを有している。リンを添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。 30

【0082】

以降の工程は、第4の絶縁膜26を形成し、水素化を行って、不純物領域23bに達するコンタクトホールを形成し、ソース電極またはドレイン電極となる配線27を形成してTFTを完成させる。(図2(E))

【0083】

なお、図2(E)における左側の断面図において、A-A'の断面図を右側の断面図に示している。 40

【0084】

(実施の形態3)

ここでは、上記実施の形態1とは異なる手順でTFTを作製する例を図3に示す。

【0085】

図3(A)は、図1(A)と同一であり、図3(B)は、図1(B)と同一であり、図3(C)は、図1(C)と同一であり、図3(C)の状態までは実施の形態1に従って得ればよい。

【0086】

図3(C)の状態を得たら、次いで、第2の絶縁膜(ゲート絶縁膜)34表面を洗浄した後、ゲート電極となる第2の電極35を形成する。次いで、半導体にn型を付与する不純 50

物元素（P、As等）、ここではリンを適宜添加して、ソース領域またはドレイン領域となる不純物領域33bを形成する。添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。次いで、第2の電極35を覆って第3の絶縁膜36を形成し、水素化を行う。（図3（D））

【0087】

次いで、不純物領域33bに達するコンタクトホールと、第1の電極31に達するコンタクトホールと、第2の電極に達するコンタクトホールを形成する。これらのコンタクトホールは同時に形成してもよいし、別々に形成してもよい。ソース電極またはドレイン電極となる配線37と、第1の電極31と第2の電極35を接続する配線39を形成してTFTを完成させる。（図3（E））また、配線37と配線39は同一材料で形成してもよいし、別々に形成してもよい。

10

【0088】

なお、図3（E）における左側の断面図において、A-A'の断面図を右側の断面図に示している。

【0089】

（実施の形態4）

ここでは、上記実施の形態2とは異なる手順でTFTを作製する例を図4に示す。

【0090】

図4（A）は、図2（A）と同一であり、図4（B）は、図2（B）と同一であり、図4（C）は、図2（C）と同一であり、図2（B）の状態までは実施の形態1及び実施の形態2に従って得ればよい。

20

【0091】

図4（C）の状態を得たら、次いで、第3の絶縁膜（ゲート絶縁膜）44表面を洗浄した後、ゲート電極となる第2の電極45を形成する。次いで、半導体にn型を付与する不純物元素（P、As等）、ここではリンを適宜添加して、ソース領域またはドレイン領域となる不純物領域43bを形成する。添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。次いで、第2の電極45を覆って第4の絶縁膜46を形成し、水素化を行う。（図4（D））

【0092】

次いで、不純物領域43bに達するコンタクトホールと、第1の電極41に達するコンタクトホールと、第2の電極に達するコンタクトホールを形成する。これらのコンタクトホールは同時に形成してもよいし、別々に形成してもよい。ソース電極またはドレイン電極となる配線47と、第1の電極41と第2の電極45を接続する配線49を形成してTFTを完成させる。（図4（E））また、配線47と配線49は同一材料で形成してもよいし、別々に形成してもよい。

30

【0093】

なお、図4（E）における左側の断面図において、A-A'の断面図を右側の断面図に示している。

【0094】

（実施の形態5）

ここで、ELモジュールにおける具体的な回路構成の一例を図25～図27に示す。

40

【0095】

図25（A）中、620は画素部であり、複数の画素621がマトリクス状に形成されている。また622は信号線駆動回路、623は走査線駆動回路である。

【0096】

なお図25（A）では信号線駆動回路622と走査線駆動回路623が、画素部620と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路622と走査線駆動回路623とが画素部620と異なる基板上に一部形成され、FPC等のコネクタを介して、画素部620と接続されていても良い。また、図25（A）では信号線駆動回路622と走査線駆動回路623は1つずつ設けられているが、本発明はこの

50

構成に限定されない。信号線駆動回路 6 2 2 と走査線駆動回路 6 2 3 の数は設計者が任意に設定することができる。

【0097】

なお本明細書において接続とは、電氣的な接続を意味する。

【0098】

また、図 2 5 (A) では、画素部 6 2 0 に信号線 $S_1 \sim S_x$ と、電源線 $V_1 \sim V_x$ と、走査線 $G_1 \sim G_y$ と、コモン電位 (V_{com}) 或いは任意の電圧 (V_Y) が印加される配線とが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。またこれらの配線の他に、別の異なる配線が設けられていても良い。

【0099】

電源線 $V_1 \sim V_x$ は所定の電位に保たれている。なお図 2 5 (A) ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線 $V_1 \sim V_x$ の電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0100】

また、コモン電位 (V_{com}) 或いは任意の電圧 (V_Y) が印加される配線は、信号線駆動回路 6 2 2 の定電流回路 6 2 2 d にも接続されている。

【0101】

図 2 5 (B) に図 2 5 (A) で示した信号線駆動回路 6 2 2 の詳しい構成の一例をブロック図で示す。6 2 2 a はシフトレジスタ、6 2 2 b は記憶回路 A、6 2 2 c は記憶回路 B、6 2 2 d は定電流回路である。

【0102】

シフトレジスタ 6 2 2 a にはクロック信号 CLK と、スタートパルス信号 SP が入力されている。また記憶回路 A 6 2 2 b にはデジタルビデオ信号 (Digital Video Signals) が入力されており、記憶回路 B 6 2 2 c にはラッチ信号 (Latch Signals) が入力されている。定電流回路 6 2 2 d から出力される一定の信号電流 I_c は信号線へ入力される。

【0103】

シフトレジスタ 6 2 2 a に所定の配線からクロック信号 CLK とスタートパルス信号 SP とが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路 A 6 2 2 b が有する複数のラッチ A ($LATA_1 \sim LATA_x$) にそれぞれ入力される。なおこのときシフトレジスタ 6 2 2 a において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路 A 6 2 2 b が有する複数のラッチ A ($LATA_1 \sim LATA_x$) にそれぞれ入力するような構成にしても良い。

【0104】

記憶回路 A 6 2 2 b にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線に入力される 1 ビット分のデジタルビデオ信号が、順に複数のラッチ A ($LATA_1 \sim LATA_x$) のそれぞれに書き込まれ、保持される。

【0105】

なお、ここでは記憶回路 A 6 2 2 b にデジタルビデオ信号を取り込む際に、記憶回路 A 6 2 2 b が有する複数のラッチ A ($LATA_1 \sim LATA_x$) に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路 A 6 2 2 b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

【0106】

記憶回路 A 6 2 2 b の全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

10

20

30

40

50

【0107】

1ライン期間が終了すると、記憶回路B622cが有する複数のラッチB(LATB__1~LATB__x)に、ラッチ信号線を介してラッチシグナル(Latch Signal)が供給される。この瞬間、記憶回路A622bが有する複数のラッチA(LATA__1~LATA__x)に保持されているデジタルビデオ信号は、記憶回路B622cが有する複数のラッチB(LATB__1~LATB__x)に一斉に書き込まれ、保持される。

【0108】

デジタルビデオ信号を記憶回路B622cに送出し終えた記憶回路A622bには、シフトレジスタ622aからのタイミング信号に基づき、次の1ビット分のデジタルビデオ信号の書き込みが順次行われる。

10

【0109】

この2順目の1ライン期間中には、記憶回路B622cに書き込まれ、保持されているデジタルビデオ信号が定電流回路622dに入力される。

【0110】

また、図27(A)に電流設定回路C1のより詳しい構成を示す。なお、電流設定回路C2~Cxも同じ構成を有する。また、図27(B)に図27(A)中におけるSWとInbの等価回路を示す。図27(B)では、半導体膜の上下にチャネル(デュアルチャネル)を形成するための配線をゲート電極と直接接続し、 $V_x = V_y$ とした例を示したが、一部または全ての配線をコモン電圧(V_{com})としてもよいし、グラウンドとしてもよい。こうすることによってゲート電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。

20

【0111】

電流設定回路C1は定電流源631と、4つのトランスマッションゲートSW1~SW4と、2つのインバーターInb1、Inb2とを有している。なお、定電流源631が有するトランジスタ630の極性は、画素が有するトランジスタTr1及びTr2の極性と同一である。

【0112】

記憶回路B622cが有するLATB__1から出力されたデジタルビデオ信号によって、SW1~SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

30

【0113】

SW1及びSW3がオンのとき、定電流源631から0ではない所定の値の電流 I_c がSW1及びSW3を介して信号線S1に入力される。

【0114】

逆にSW2及びSW4がオンのときは、定電流源631からの電流 I_c はSW2を介してグラウンドに落とされる。またSW4を介して電源線V1~Vxの電源電位が信号線S1に与えられ、 $I_c = 0$ となる。

【0115】

再び図25(B)を参照して、前記の動作が、1ライン期間内に、定電流回路622dが有する全ての電流設定回路(C1~Cx)において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に入力される信号電流 I_c の値が選択される。

40

【0116】

次に、走査線駆動回路の構成について説明する。

【0117】

走査線駆動回路は、それぞれシフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。

【0118】

走査線駆動回路において、シフトレジスタにクロックCLK及びスタートパルス信号SP

50

が入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。

【0119】

走査線には、1ライン分の画素のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0120】

なお、シフトレジスタの代わりに、例えばデコーダ回路のような走査線の選択ができる別の回路を用いても良い。

【0121】

なお、各走査線の電圧を、各走査線にそれぞれ対応する複数の走査線駆動回路で制御しても良いし、いくつかの走査線または全ての走査線の電圧を1つの走査線駆動回路で制御しても良い。

【0122】

なお、本発明の発光装置を駆動する信号線駆動回路及び走査線駆動回路は、ここで示す構成に限定されないことは言うまでもない。

【0123】

図26に、図25(A)で示した画素621の詳しい構成の一例を示す。図26に示す画素21は、信号線 S_i ($S_1 \sim S_x$ のうちの一つ)、走査線 G_j ($G_1 \sim G_y$ のうちの一つ)、電源線 V_i ($V_1 \sim V_x$ のうちの一つ)、及び、コモン電圧 (V_{com}) または任意の電圧 (V_y) が印加されている配線を有している。

【0124】

また、画素621は、トランジスタ Tr_1 (第1駆動用トランジスタまたは第1のトランジスタ)、トランジスタ Tr_2 (第2駆動用トランジスタまたは第2のトランジスタ)、トランジスタ Tr_3 (第3駆動用トランジスタまたは第3のトランジスタ)、トランジスタ Tr_4 (第1スイッチング用トランジスタまたは第4のトランジスタ)、トランジスタ Tr_5 (第2スイッチング用トランジスタまたは第5のトランジスタ)、有機化合物を含む発光素子624及び保持容量625を少なくとも有している。図26に示す画素構成とすることでTFTの特性に左右されずに発光素子に流れる電流の大きさを制御できる。加えて、図26に示す画素構成とすることでTFTの特性の違いに起因する、画素間における発光素子の輝度のばらつきをより抑えることができ、なおかつ残像が視認されにくい、電流駆動型の発光装置を提供することができる。

【0125】

これらのトランジスタ (Tr_1 、 Tr_2 、 Tr_3 、 Tr_4 、 Tr_5) は全てコモン電圧 (V_{com}) または任意の電圧 (V_y) が印加される配線により、半導体膜の上下にチャンネル (デュアルチャンネル) を形成している。こうすることによってゲート電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。ここでは、全て配線をゲート電極と直接接続し、 $V_x = V_y$ とした例を示したが、一部または全ての配線をコモン電圧 (V_{com}) としてもよいし、グラウンドとしてもよい。

【0126】

また、トランジスタ Tr_4 とトランジスタ Tr_5 のゲート電極は、共に走査線 G_j に接続されている。

【0127】

トランジスタ Tr_4 のソース領域とドレイン領域は、一方は信号線 S_i に、もう一方はトランジスタ Tr_1 のドレイン領域に接続されている。またトランジスタ Tr_5 のソース領域とドレイン領域は、一方は信号線 S_i に、もう一方はトランジスタ Tr_3 のゲート電極に接続されている。

【0128】

トランジスタ Tr_1 とトランジスタ Tr_2 のゲート電極は互いに接続されている。また、トランジスタ Tr_1 とトランジスタ Tr_2 のソース領域は、共に電源線 V_i に接続されて

10

20

30

40

50

いる。

【0129】

トランジスタTr2は、ゲート電極とドレイン領域が接続されており、なおかつドレイン領域はトランジスタTr3のソース領域に接続されている。

【0130】

トランジスタTr3のドレイン領域は、発光素子624が有する画素電極に接続されている。有機化合物を含む発光素子624は陽極と陰極を有しており、本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0131】

電源線Viの電位(電源電位)は一定の高さに保たれている。また対向電極の電位も、一定の高さに保たれている。

【0132】

なお、トランジスタTr4とトランジスタTr5は、nチャンネル型トランジスタとpチャンネル型トランジスタのどちらでも良い。ただし、トランジスタTr4とトランジスタTr5の極性は同じである。

【0133】

また、トランジスタTr1、Tr2及びTr3はnチャンネル型トランジスタとpチャンネル型トランジスタのどちらでも良い。ただし、トランジスタTr1、Tr2及びTr3の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1、Tr2及びTr3はpチャンネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1、Tr2及びTr3はnチャンネル型トランジスタである。

【0134】

保持容量625はトランジスタTr3のゲート電極と電源線Viとの間に形成されている。保持容量625はトランジスタTr3のゲート電極とソース領域の間の電圧(ゲート電圧)をより確実に維持するために設けられている。

【0135】

また、トランジスタTr1及びTr2のゲート電極と電源線Viの間に保持容量を形成し、トランジスタTr1及びTr2のゲート電圧をより確実に維持するようにしても良い。

【0136】

上述した画素部のTF T(Tr1~Tr5)または駆動回路のTF T(SW1~4、Inb1、Inb2)のうち、どちらか一方のみのチャンネル長方向を同一方向とし、レーザービームの走査方向と一致させてもよいが、これらの全てのTF Tのチャンネル長方向を同一方向とし、レーザービームの走査方向と一致させることが望ましい。

【0137】

また、本発明は、上記レーザー光による結晶化方法に限定されず、他のレーザー結晶化方法や、シリコンの結晶化を助長する金属元素としてニッケルを用いた結晶化技術や、固相成長法などの結晶化技術を適宜組み合わせ用いてもよい。

【0138】

また、本実施の形態は、実施の形態1乃至4のいずれか一と自由に組み合わせることができる。

【0139】

(実施の形態6)

ここでは、絶縁表面を有する基板上にCPUやメモリーを形成する例を図32を用いて説明する。

【0140】

1001は中央処理部(CPUと呼ばれる)、1002は制御部、1003は演算部、1004は記憶部(メモリーと呼ばれる)、1005は入力部、1006は出力部(表示部など)である。

10

20

30

40

50

【0141】

演算部1003と制御部1002とを合わせたものが、中央処理部1001であり、演算部1003は、加算、減算の算術演算やAND、OR、NOTなどの論理演算を行う算術論理演算部(arithmetic logic unit, ALU)、演算のデータや結果を一時格納する種々のレジスタ、入力される1の個数を数え上げるカウンタなどから成り立っている。演算部1003を構成する回路、例えば、AND回路、OR回路、NOT回路、バッファ回路、またはレジスタ回路などはTFTで構成することができ、高い電界効果移動度を得るため、連続発振型のレーザー光を用いて結晶化を行った半導体膜をTFTの活性層として作製すればよい。本実施例においても演算部1003を構成するTFTのチャンネル長方向とレーザービームの走査方向とを揃える。

10

【0142】

また、制御部1002は記憶部1004に格納された命令を実行して、全体の動作を制御する役割を担っている。制御部1002はプログラムカウンタ、命令レジスタ、制御信号生成部からなる。また、制御部1002もTFTで構成することができ、連続発振型のレーザー光を用いて結晶化を行った半導体膜をTFTの活性層として作製すればよい。本実施例においても制御部1002を構成するTFTのチャンネル長方向とレーザービームの走査方向とを揃える。

【0143】

また、記憶部1004は、計算を行うためのデータと命令を格納する場所であり、CPUで頻繁に実行されるデータやプログラムが格納されている。記憶部1004は、主メモリ、アドレスレジスタ、データレジスタからなる。さらに主メモリに加えてキャッシュメモリを用いてもよい。これらのメモリは、SRAM、DRAM、フラッシュメモリなどで形成すればよい。また、記憶部1004もTFTで構成する場合には、連続発振型のレーザー光を用いて結晶化を行った半導体膜をTFTの活性層として作製することができる。本実施例においても記憶部1004を構成するTFTのチャンネル長方向とレーザービームの走査方向とを揃える。

20

【0144】

また、入力部1005は外部からデータやプログラムを取り込む装置である。また、出力部1006は結果を表示するための装置、代表的には表示装置である。

【0145】

TFTのチャンネル長方向とレーザービームの走査方向を揃えることによってバラツキの少ないCPUを絶縁基板上に作り込むことができる。また、同一基板上にCPUと表示部とを作り込むことができる。表示部においても各画素に配置される複数のTFTのチャンネル長方向とレーザービームの走査方向を揃えることが好ましい。

30

【0146】

また、回路設計や作製工程が複雑になるが、同一基板上にCPUと表示部とメモリとを作り込むこともできる。

【0147】

本発明により、絶縁基板上に電気特性バラツキの少ない半導体装置を完成することができる。

40

【0148】

また、本実施の形態は、実施の形態1乃至5のいずれか一と自由に組み合わせることができる。例えば、実施の形態1乃至5に示したTFTや画素構造やEL素子を備えた表示部とCPUとを同一基板上に作製することができる。

【0149】

以上の構成でなる本発明について、以下に示す実施例でもってアクティブマトリクス型の発光装置で代表される半導体装置に適用する具体例を示し、さらに詳細な説明を行うこととする。

【0150】

(実施例)

50

[実施例 1]

本発明の半導体装置の作製工程について説明する。ここでは、画素部の T F T の作製方法について詳細に説明する。なお、本実施例では、スイッチング素子として用いる T F T (スイッチング用 T F T) は、第 1 電極にコモン電圧 (V c o m) または任意の電圧 V x が印加されており、有機発光素子に流れる電流を制御する T F T (駆動用 T F T) は第 1 電極と第 2 電極とが接続されている例を示している。なお、本実施例は画素部の T F T の作製方法についてのみ説明するが、駆動回路の T F T も同時に作製することが可能である。

【 0 1 5 1 】

本実施例で説明に用いる図 8 乃至図 1 1 は、その作製工程を説明する断面図であり、図 1 2 乃至図 1 4 はそれに対応する上面図を示し、説明の便宜上、共通する符号を用いて説明する。

10

【 0 1 5 2 】

図 8 (A) において、基板 1 0 1 は絶縁表面を有し、後の工程の処理温度に耐えうるものであれば、どのような材料の基板でも用いることが可能である。代表的には、ガラス基板、石英基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【 0 1 5 3 】

この基板 1 0 1 の絶縁表面上に第 1 の配線 1 0 5 と第 1 の電極 1 0 3 、 1 0 4 、 1 0 6 を形成する。第 1 の配線及び第 1 の電極は A l 、 W 、 M o 、 T i 、 T a から選ばれた一種又は複数種からなる導電性の材料で形成する。本実施例では W を用いたが、T a N の上に W を積層したものを第 1 の配線及び第 1 の電極として用いても良い。

20

【 0 1 5 4 】

第 1 の配線 1 0 5 と第 1 の電極 1 0 3 、 1 0 4 、 1 0 6 を形成した後、第 1 の絶縁膜 1 0 2 を形成する。本実施例では、第 1 の絶縁膜 1 0 2 は、2 つの絶縁膜 (第 1 の絶縁膜 A (1 0 2 a) 、 第 1 の絶縁膜 B (1 0 2 b)) を積層することで形成されている。第 1 の絶縁膜 A (1 0 2 a) は酸化窒化シリコン膜を用い、1 0 ~ 5 0 n m の厚さで形成する。第 1 の絶縁膜 B (1 0 2 b) は酸化シリコン膜又は酸化窒化シリコン膜を用い、0 . 5 ~ 1 μ m の厚さで形成する。

【 0 1 5 5 】

図 1 2 (A) は、図 8 (A) における画素部の上面図を示している。A - A ' 、 B - B ' 、 C - C ' 、 D - D ' における断面図が図 1 2 (A) に相当する。なお、第 1 の電極 1 0 3 、 1 0 4 は、コモン配線 2 0 0 の一部である。また、第 1 の電極 1 0 6 は、第 1 の配線 1 0 5 の一部である。

30

【 0 1 5 6 】

第 1 の絶縁膜 1 0 2 の表面は、先に形成した第 1 の配線及び第 1 の電極に起因する凹凸を有している。好ましくは、この凹凸を平坦化することが望ましい。平坦化の手法としては C M P を用いる。第 1 の絶縁膜 1 0 2 に対する C M P の研磨剤 (スラリー) には、例えば、塩化シリコンガスを熱分解して得られるフュームドシリカ粒子を K O H 添加水溶液に分散したものをを用いると良い。C M P により第 1 の絶縁膜を 0 . 1 ~ 0 . 5 μ m 程度除去して、表面を平坦化する。

40

【 0 1 5 7 】

こうして、図 8 (B) に示すように平坦化された第 1 の絶縁膜 1 0 8 が形成され、その上に半導体層を形成する。半導体層は結晶構造を有する半導体で形成する。これは、第 1 の絶縁膜 1 0 8 上に形成した非晶質半導体層を結晶化して得る。非晶質半導体層は堆積した後、加熱処理やレーザー光の照射により結晶化させる。非晶質半導体層の材料に限定はないが、好ましくはシリコン又はシリコンゲルマニウム (S i _{1-x} G e _x ; 0 < x < 1 、 代表的には、x = 0 . 0 0 1 ~ 0 . 0 5) 合金などで形成する。

【 0 1 5 8 】

本実施例では、図 5 に示したレーザー処理装置を用い、実施の形態 1 に示した方法によっ

50

て結晶構造を有する半導体膜を形成する。実施の形態 1 に示したように配置し、半導体層のチャンネル長方向とレーザー光の走査方向とを一致させる。

【0159】

その後、半導体層をエッチングにより島状に分割し、図 8 (C) に示すように半導体膜 109 ~ 111 を形成する。

【0160】

図 12 (B) は図 8 (C) における上面図を示している。A - A'、B - B'、C - C'、D - D' における断面図が図 12 (B) に相当する。なお、図 12 (B) にはレーザービームと、レーザービームを走査した方向 (図中矢印方向) を示した。

【0161】

第 1 の電極 103、104 は、平坦化された第 1 の絶縁膜 108 を間に挟んで半導体膜 109 と重なっている。また、第 1 の電極 106 は、第 1 の絶縁膜 108 を間に挟んで半導体膜 110 と重なっている。なお、半導体膜 111 は容量を形成するための半導体膜であり、第 1 の絶縁膜 108 を間に挟んで第 1 の配線 105 と重なっている。

【0162】

次いで、半導体膜 109 ~ 111 を覆う第 2 の絶縁膜 112 を形成する。第 2 の絶縁膜 112 は、プラズマ CVD 法やスパッタ法でシリコンを含む絶縁物で形成する。その厚さは 40 ~ 150 nm とする。

【0163】

そして、第 1 の絶縁膜 108 及び第 2 の絶縁膜 112 にコンタクトホール 113 を形成し、第 1 の配線 105 を一部露出させる (図 8 (D))。

【0164】

次に図 9 (A) に示すように、第 2 の絶縁膜 112 上に、第 2 のゲート電極や第 2 の配線を形成するために導電膜を形成する。本発明において第 2 のゲート電極は 2 層又はそれ以上の導電膜を積層して形成する。第 2 の絶縁膜 112 上に形成する第 1 の導電膜 120 はモリブデン、タングステンなどの高融点金属の窒化物で形成し、その上に形成する第 2 の導電膜 121 は高融点金属又はアルミニウムや銅などの低抵抗金属、或いはポリシリコンなどで形成する。具体的には、第 1 の導電膜として W、Mo、Ta、Ti から選ばれ一種又は複数種の窒化物を選択し、第 2 の導電膜として W、Mo、Ta、Ti、Al、Cu から選ばれ一種又は複数種の合金、或いは n 型多結晶シリコンを用いる。例えば、第 1 の導電膜 120 を TaN で形成し、第 2 の導電膜 121 を W で形成しても良い。また第 2 のゲート電極や第 2 の配線を 3 層の導電膜で形成する場合、1 層目を Mo、2 層目を Al、3 層目を TiN としても良い。また 1 層目を W、2 層目を Al、3 層目を TiN としても良い。配線を多層にすることで、配線自体の厚さが増すので配線抵抗を抑えることができる。

【0165】

次に図 9 (B) に示すように、この第 1 の導電膜 120 及び第 2 の導電膜 121 を、マスク 122 を用いて第 1 のエッチング処理を行う。第 1 のエッチング処理により、端部にテーパーを有する第 1 の形状の電極 123 ~ 129 を形成する (第 1 の導電膜 123a ~ 129a と第 2 の導電膜 123b ~ 129b で成る)。第 2 の絶縁膜 112 は、第 1 の形状の電極 123 ~ 129 で覆われない部分において、表面が 20 ~ 50 nm 程度エッチングされ薄くなった状態になっている。

【0166】

第 1 のドーピング処理は、イオン注入法または質量分離をしないでイオンを注入するイオンドーピング法により行う。ドーピングは第 1 の形状の電極 124、125、126、129 をマスクとして用い、半導体膜 109 ~ 111 に第 1 濃度の n 導電型不純物領域 151 ~ 153 を形成する。第 1 濃度は $1 \times 10^{20} \sim 1.5 \times 10^{21} / \text{cm}^3$ とする。

【0167】

次に、レジストからなるマスクを除去せずに図 9 (C) に示すように第 2 のエッチング処理を行う。このエッチング処理では、第 2 の導電膜を異方性エッチングして第 2 の形状の

10

20

30

40

50

電極 134 ~ 140 を形成する（第 1 の導電膜 134 a ~ 140 a と第 2 の導電膜 134 b ~ 140 b で成る）。第 2 の形状の電極 134 ~ 140 はこのエッチング処理により幅を縮小させ、その端部が第 1 濃度の一導電型不純物領域 151 ~ 153（第 2 の不純物領域）の内側に位置するように形成する。次の工程で示すように、この後退幅により LDD の長さを決める。第 2 の形状の電極 134 ~ 140 は第 2 の電極として機能する。

【0168】

図 13 (A) に図 9 (C) の上面図を示す。A - A'、B - B'、C - C'、D - D' における断面図が図 13 (A) に相当する。第 2 の形状の電極 135、136 は、ゲート配線として機能する電極 138、139 の一部である。第 2 の形状の電極 135、136 と、第 1 の電極 103、104 は、第 1 の絶縁膜 108、半導体膜 109、第 2 の絶縁膜 112 を間に挟んでそれぞれ重なっている。また、第 2 の形状の電極 140 と、第 1 の電極 106 は、第 1 の絶縁膜 108、半導体膜 110、第 2 の絶縁膜 112 を間に挟んでそれぞれ重なっている。

10

【0169】

さらに、第 2 の形状の電極 140 は第 2 の配線として機能する電極 137 の一部である。そして、第 2 の配線 137 は第 2 の絶縁膜 112、半導体膜 111、第 1 の絶縁膜 108 を間に挟んで、第 1 の配線 105 と重なっている。第 2 の配線 137 は、コンタクトホール 113 を介して第 1 の配線 105 と接続されている。また、電極 134 はソース配線として機能する。

【0170】

そして、この状態で一導電型の不純物を第 2 のドーピング処理を行い一導電型の不純物を半導体膜 109 ~ 111 に添加する（図 9 (C)）。このドーピング処理で形成される第 2 濃度の一導電型不純物領域（第 1 の不純物領域）155、156、158、159、161、162、164、165、168、169、171、172、175、176 が形成される。第 1 の不純物領域 156、158、162、164、169、171、175 は、第 2 の形状の電極 135、136、137、140 を構成する第 1 の導電膜 135 a、136 a、137 a、140 a と重なるように自己整合的に形成される。イオンドープ法で添加される不純物は、第 1 の導電膜 135 a、136 a、137 a、140 a を通過させて添加するため、半導体膜に達するイオンの数は減少し、必然的に低濃度となる。その濃度は $1 \times 10^{17} \sim 1 \times 10^{19} / \text{cm}^3$ となる。また、第 1 の不純物領域 155、159、161、165、168、172、176 は、第 2 の形状の電極 135、136、137、140 を構成する第 1 の導電膜 135 a、136 a、137 a、140 a と重ならないように自己整合的に形成される。

20

30

【0171】

また、この第 2 のドーピング処理により、チャンネル形成領域 157、163、170、174 と、第 1 濃度の一導電型不純物領域 151 ~ 153 よりも、高い不純物濃度の第 2 不純物領域 154、160、166、167、173、177 とが形成される。

【0172】

次いで、図 10 (A) で示すように、レジストからなるマスク 143 を形成し、第 3 のドーピング処理を行う。この第 3 のドーピング処理により、半導体膜 110 に第 3 濃度の一導電型とは反対の導電型の第 3 の不純物領域 144 ~ 150 を形成する。第 3 の不純物領域は第 2 の形状の電極 140 と重なる領域 146、148 と、重ならない領域 144、145、149、150 とに分けられ、 $1.5 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ の濃度範囲で当該不純物元素が添加される。

40

【0173】

以上までの工程でそれぞれの半導体膜に価電子制御を目的とした不純物を添加した領域が形成される。第 1 の電極 103、104、106 と、第 2 の形状の電極 135、136、140 は半導体膜と重なる位置においてゲート電極として機能する。

【0174】

その後、それぞれの半導体膜に添加された不純物元素を活性化処理する工程を行う。この

50

活性化はガス加熱型の瞬間熱アニール法を用いて行う。加熱処理の温度は窒素雰囲気中で400～700、代表的には450～500で行う。この他に、YAGレーザーの第2高調波(532nm)を用いたレーザーアニール法を適用することもできる。レーザー光の照射により活性化を行うには、YAGレーザーの第2高調波(532nm)を用いてこの光を半導体膜に照射する。勿論、レーザー光に限らずランプ光源を用いるRTA法でも同様であり、基板の両面又は片面からランプ光源の輻射により半導体膜を加熱する。

【0175】

その後、図11(B)に示すように、プラズマCVD法で窒化シリコンから成るパッシベーション膜180を50～100nmの厚さに形成し、クリーンオープンを用いて410の熱処理を行い、窒化シリコン膜から放出される水素で半導体膜の水素化を行う。

10

【0176】

次いで、パッシベーション膜180上に有機絶縁物材料から成る第3の絶縁膜181を形成する。有機絶縁物材料を用いる理由は第3の絶縁膜181の表面を平坦化するためのものである。より完全な平坦面を得るためには、この表面をCMP法により平坦化処理することが望ましい。CMP法を併用する場合には、第3の絶縁膜をプラズマCVD法で形成される酸化シリコン膜、塗布法で形成されるSOG(Spin on Glass)やPSGなどを用いることもできる。なお、パッシベーション膜180は第3の絶縁膜181の一部とみなしても良い。

【0177】

次に、図10(C)に示すように、第2の絶縁膜112、パッシベーション膜180、第3の絶縁膜181にコンタクトホールを形成し、配線182～186を形成する。この配線はチタン膜とアルミニウム膜を積層して形成する。

20

【0178】

図13(B)に、図10(C)における上面図を示す。A-A'、B-B'、C-C'、D-D'における断面図が図13(B)に相当する。

【0179】

配線182は、ソース配線134及び第2の不純物領域154に接続されている。配線183は、第2の不純物領域154及び第1の配線137に接続されている。配線184は、ゲート配線138及び139に接続されている。配線185は電源線として機能しており、第3の不純物領域167及び第2の不純物領域177と接続されている。配線186

30

【0180】

以上までの工程において、一導電型不純物領域をn型、一導電型とは反対の不純物領域をp型とすると、スイッチング用TFETであるnチャネル型TFET202、駆動用TFETであるpチャネル型TFET203が形成される。なお、本実施例では、スイッチング用TFETにnチャネル型TFETを用い、駆動用TFETにpチャネル型TFETを用いたが、本発明はこの構成に限定されない。スイッチング用TFETと駆動用TFETはpチャネル型TFETでもnチャネル型TFETでも良い。ただし、EL素子の陽極を画素電極として用いる場合、駆動用TFETはpチャネル型TFETであることが望ましく、EL素子の陰極を画素電極として用いる場合、駆動用TFETはnチャネル型TFETであることが望ましい。

40

【0181】

次に、図11に示すように、平坦化された第3の絶縁膜181の表面に酸化インジウム・スズを主成分とする透明導電膜を60～120nmの厚さで形成する。その後、透明導電膜をエッチング処理して、配線186に接続する画素電極(第3の電極)188を形成する。図14に、図11の画素電極188を形成した直後における上面図を示す。A-A'、B-B'、C-C'、D-D'における断面図が図11に相当する。

【0182】

nチャネル型TFET202において、第1不純物領域156、158、162、164はLDDとして、第2不純物領域164、166はソース又はドレイン領域として機能する。このnチャネル型TFET202は第2不純物領域160を挿んで2つのTFETが直列接

50

続した形となっている。LDDのチャンネル長方向の長さは0.5~2.5 μm 、好ましくは1.5 μm で形成する。このようなLDDの構成は、主にホットキャリア効果によるTFTの劣化を防ぐことを目的としている。pチャンネル型TFT203において、第3不純物領域167、163はソース又はドレイン領域として機能する。

【0183】

本実施例では、コモン配線200に常に一定の電圧(コモン電圧)を印加することで、第1の電極103、104にコモン電圧を印加する。なお、この一定の電圧は、nチャンネル型TFTの場合は閾値よりも小さく、pチャンネル型TFTの場合は閾値よりも大きくする。第1の電極にコモン電圧を印加することで、電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。半導体装置の画素部にスイッチング素子として形成されたTFTは、オン電流の増加よりもオフ電流の低減が重要視されるので、上記構成は有用である

10

【0184】

また、本実施例では、駆動用TFT203において、半導体膜を挿んで電氣的に接続された一对の電極106、140を形成することにより、実質的に半導体膜の厚さが半分となり、ゲート電圧の印加に伴って空乏化が早く進んで電界効果移動度を増加させ、サブスレッショルド係数を低下させることが可能となる。その結果、この構造のTFTを駆動用TFTに使用することにより、駆動電圧を低下させることができる。また、電流駆動能力が向上し、TFTのサイズ(特にチャンネル幅)を小さくすることができる。そのため集積密度を向上させることができる。

20

【0185】

また、第1の配線105と、第1の絶縁膜108と、半導体膜111とが重なり合っている部分において容量が形成されている。また、第2の配線137と、第2の絶縁膜112と、半導体膜111とが重なり合っている部分において容量が形成されている。

【0186】

次に、図11に示すように、第3の絶縁膜181上に、nチャンネル型TFT202、pチャンネル型TFT203を覆う隔壁層190が形成される。有機化合物層や陰極はウエット処理(薬液によるエッチングや水洗などの処理)を行うことが困難であるので、画素電極188の位置に合わせて、第3の絶縁膜上に感光性樹脂材料で形成される隔壁層190を設ける。隔壁層190はポリイミド、ポリアミド、ポリイミドアミド、アクリルなど有機樹脂材料を用いて形成する。この隔壁層190は画素電極の端部を覆うように形成する。また、隔壁層190の端部は45~60度のテーパ角が付くように形成する。

30

【0187】

ここで示す、アクティブマトリクス駆動方式の発光装置は有機発光素子をマトリクス状に配列させて構成するものである。有機発光素子195は陽極と陰極とその間に形成された有機化合物層とから成る。画素電極188は透明導電膜で形成した場合陽極となる。有機化合物層192は、正孔移動度が相対的に高い正孔輸送性材料、その逆の電子輸送性材料、発光性材料などを組み合わせて形成する。それらは層状に形成しても良いし、混合して形成しても良い。

【0188】

有機化合物材料は合計しても100nm程度の薄膜層として形成する。そのため、陽極として形成するITOの表面は平坦性を高めておく必要がある。平坦性が悪い場合は、最悪有機化合物層の上に形成する陰極とショートしてしまう。それを防ぐための他の手段として、1~5nmの絶縁膜を形成する方法を採用することもできる。絶縁膜としては、ポリイミド、ポリイミドアミド、ポリアミド、アクリルなどを用いることができる。対向電極(第4の電極)193はMgAgやLiFなどのアルカリ金属またはアルカリ土類金属などの材料を用いて形成することにより陰極とすることができる。

40

【0189】

対向電極193は、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag

50

= 10 : 1 で混合した材料) でなる電極を用いれば良い。他にも Mg Ag Al 電極、Li Al 電極、また、Li F Al 電極が挙げられる。さらにその上層には、窒化シリコン、 AlN_xO_y で示される窒化酸化アルミニウム膜、酸化アルミニウム膜、または DLC 膜から選ばれた単層またはこれらの積層からなる絶縁膜 194 を 2 ~ 30 nm、好ましくは 5 ~ 10 nm の厚さで形成する。DLC 膜はプラズマ CVD 法で形成可能であり、100 以下の温度で形成しても、被覆性良く隔壁層 190 の端部を覆って形成することができる。DLC 膜の内部応力は、アルゴンを微量に混入させることで緩和することが可能であり、保護膜として用いることが可能である。そして、DLC 膜は酸素をはじめ CO、CO₂、H₂O などのガスバリア性が高いので、バリア膜として用いる絶縁膜 194 として適している。

10

【0190】

なお本実施例では、ソース配線とゲート配線を同時に形成し、その後、駆動用 TFT のドレイン電流を画素電極に供給するための配線と電源線とを同時に形成している。配線の厚さが厚くなればなるほど、配線によって生じる段差が大きくなる。段差が大きくなると、後の工程で作製される配線が断線したり、素子の特性が劣化したりする可能性を高めてしまう。よって、先の工程で作成される配線ほど、配線の厚さは薄い方が望ましい。電源線は有機発光素子に流れる電流を供給するための配線なので、膜厚を厚くして抵抗が低くするのが望ましい。本実施例の発光装置は、ソース配線とゲート配線を形成した後に電源線を形成しているので、電源線の厚さをより厚くすることができ、抵抗を低くすることができる。

20

【0191】

また、本実施例ではソース配線をゲート配線と同時に第3の絶縁膜の下に形成し、画素電極を第3の絶縁膜の上に形成しているため、新たに絶縁膜を設けなくとも、ソース配線と画素電極を直接接続させることなく重ねることができる。よって、有機発光素子の発光する面積をより広げることができる。

【0192】

なお、本実施例では、スイッチング用 TFT 202 において、第1電極にコモン電圧が印加されており、駆動用 TFT 203 は第1電極と第2電極とが接続されている例を示している。しかし本発明はこの構成に限定されない。スイッチング用 TFT 202 において第1電極と第2電極を接続するようにしても良いし、駆動用 TFT 203 において第1電極にコモン電圧を印加するようにしても良い。

30

【0193】

また、本実施例の発光装置は、スイッチング用 TFT がダブルゲート構造(直列に接続された2つのチャンネル形成領域を有する活性層を含む構造)を有しているが、本実施例はこの構成に限定されない。スイッチング用 TFT がシングルゲート構造であっても良いし、トリプルゲート構造などのマルチゲート構造(直列に接続された二つ以上のチャンネル形成領域を有する活性層を含む構造)を有していても良い。また、駆動用 TFT に関しても、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造(直列に接続された二つ以上のチャンネル形成領域を有する活性層を含む構造)を有していても良い。

40

【0194】

また、本実施例では、画素に配置される複数の薄膜トランジスタのチャンネルとして機能する領域(チャンネル形成領域と呼ばれる)のチャンネル長方向を全て同一方向に配置し、該チャンネル長方向と同一方向に走査するレーザー光の照射を行うため、結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得ることができる。

【0195】

パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット: FPC)を取り付けて製品として完成する。

【0196】

50

図18を用いて、本実施例の薄膜トランジスタの回路図について説明する。ここでは代表的に、pチャネル型TFTのみを示す。nチャネル型TFTの場合は、矢印の方向が、pチャネル型TFTの場合と逆になる。図18(A)は、電極が1つのみの一般的な薄膜トランジスタの回路図である。図18(B)は、半導体膜を間に挟んだ2つの電極を有し、なおかつ一方の電極に一定の電圧(コモン電圧 V_{com} または任意の電圧 V_x)が印加されている、本実施例の薄膜トランジスタの回路図である。図18(C)は、半導体膜を間に挟んだ2つの電極を有し、なおかつ2つの電極が互いに電氣的に接続されている、本実施例の薄膜トランジスタの回路図である。

【0197】

また、本実施例は、実施の形態1乃至実施の形態6と自由に組み合わせることが可能である。 10

【0198】

[実施例2]

本実施例では、本発明の発光装置の、実施例1とは異なる画素の構成について説明する。

【0199】

図15に本実施例の発光装置の画素の上面図を示す。図15のA-A'、B-B'、C-C'における断面図を図16に示す。なお、図15において画素の構成をわかりやすくするため、画素電極が形成された後の工程において作製された、隔壁層、有機発光層、陰極、保護膜は省略して示した。

【0200】

301はスイッチング用TFTであり、本実施例ではnチャネル型TFTを用いている。302は駆動用TFTであり、本実施例ではpチャネル型TFTを用いている。なお、スイッチング用TFTと駆動用TFTはnチャネル型TFTでもpチャネル型TFTでも良い。 20

【0201】

スイッチング用TFT301は、第1の電極306、307と、第1の電極306、307に接している第1の絶縁膜350と、第1の絶縁膜350に接している半導体膜303と、半導体膜303に接している第2の絶縁膜351と、第2の絶縁膜351に接している第2の電極308、309とを有している。

【0202】

半導体膜303が有するソース領域とドレイン領域304、305は、一方は配線310を介してソース配線311に接続されており、もう一方は配線312を介して第2の配線313に接続されている。第2の配線313はコンタクトホールを介して第1の配線314に接続されている。 30

【0203】

第1の電極306、307は、第1の絶縁膜350、半導体膜303、第2の絶縁膜351とを間に挟んで、第2の電極308、309と重なっている。

【0204】

駆動用TFT302は、第1の電極321と、第1の電極321に接している第1の絶縁膜350と、第1の絶縁膜350に接している半導体膜322と、半導体膜322に接している第2の絶縁膜351と、第2の絶縁膜351に接している第2の電極320とを有している。 40

【0205】

第1の電極321は第1の配線314の一部であり、第2の電極320は第2の配線313の一部である。

【0206】

半導体膜322が有するソース領域とドレイン領域323、324は、一方は配線325を介して電源線326に接続されており、もう一方は配線327を介して画素電極328に接続されている。

【0207】

第1の電極321は、第1の絶縁膜350、半導体膜322、第2の絶縁膜351とを間に挟んで、第2の電極320と重なっている。

【0208】

電源線326と第1の配線314とが、間に第1の絶縁膜350及び第2の絶縁膜351を挟んで重なっている部分において、保持容量が形成されている。

【0209】

330はコモン配線であり、一定の電圧が印加されている。配線332は第2の電極308、309を一部に有しており、第1の絶縁膜350及び第2の絶縁膜351に形成されたコンタクトホールを介して、ゲート配線331と接続されている。

【0210】

本実施例では、同じ画素内のTFETでも、スイッチング用TFET301は、第1の電極にコモン電圧を印加している。第1の電極にコモン電圧を印加することで、電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。

【0211】

また、スイッチング用TFETよりも大きな電流を流す駆動用TFET302は、第1の電極と第2の電極とを電氣的に接続している。第1の電極と第2の電極に同じ電圧を印加することで、実質的に半導体膜の膜厚を薄くしたのと同じように空乏層が早く広がるので、サブスレッショルド係数を小さくすることができ、さらに電界効果移動度を向上させることができる。したがって、電極が1つの場合に比べてオン電流を大きくすることができる。よって、この構造のTFETを駆動回路に使用することにより、駆動電圧を低下させることができる。また、オン電流を大きくすることができるので、TFETのサイズ（特にチャネル幅）を小さくすることができる。そのため集積密度を向上させることができる。

【0212】

なお、本発明はこの構成に限定されない。スイッチング用TFETにおいて第1電極と第2電極を接続するようにしても良いし、駆動用TFETにおいて第1電極にコモン電圧を印加するようにしても良い。

【0213】

また、本実施例の発光装置は、スイッチング用TFETがダブルゲート構造（直列に接続された2つのチャネル形成領域を有する活性層を含む構造）を有しているが、本実施例はこの構成に限定されない。スイッチング用TFETがシングルゲート構造であっても良いし、トリプルゲート構造などのマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）を有していても良い。また、駆動用TFETに関しても、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）を有していても良い。

【0214】

なお本実施例では、ソース配線と電源線を同時に形成し、その後に、駆動用TFETのドレイン電流を画素電極に供給するための配線とゲート配線とを同時に形成している。ソース配線及び電源線を第3の絶縁膜370の下に形成し、画素電極を第3の絶縁膜の上に形成しているため、新たに絶縁膜を設けなくとも、ソース配線及び電源線と画素電極を直接接続させることなく重ねることができる。よって、有機発光素子の発光する面積をより広げることができる。

【0215】

また、本実施例では、画素に配置される複数の薄膜トランジスタのチャネルとして機能する領域（チャネル形成領域と呼ばれる）のチャネル長方向を全て同一方向に配置し、該チャネル長方向と同一方向に走査するレーザー光の照射を行うため、結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得ることができる。

【0216】

また、本実施例は、実施の形態1乃至実施の形態6と自由に組み合わせることが可能であ

10

20

30

40

50

る。

【0217】

[実施例3]

本実施例では、実施例1に対応する半導体装置の回路構成について説明する。なお、実施例1のスイッチング用TFTはダブルゲート構造であったが、ここでは簡略化のため、スイッチング用TFTをシングルゲート構造として等価回路を示す。

【0218】

図17に本発明の発光装置のブロック図を示す。図17ではデジタルのビデオ信号を用いて画像を表示する発光装置の駆動回路を例に説明する。図17に示した発光装置は、データ線駆動回路800、走査線駆動回路801、画素部802を有している。

10

【0219】

画素部802には、複数のソース配線と、複数のゲート配線と、複数の電源線が形成されており、ソース配線とゲート配線と電源線とで囲まれた領域が画素に相当する。なお、図17では複数の画素のうち、1つのソース配線807と、1つのゲート配線809と、1つの電源線808を有する画素のみを代表的に示した。各画素はスイッチング素子となるスイッチング用TFT803と、駆動用TFT804と、保持容量805と、有機発光素子806を有している。

【0220】

スイッチング用TFT803のゲート電極はゲート配線809に接続されている。そしてスイッチング用TFT803のソース領域とドレイン領域は、一方はソース配線807に

20

【0221】

駆動用TFT804のソース領域とドレイン領域は、一方は電源線808に、もう一方は有機発光素子806に接続されている。そして、駆動用TFT804のゲート電極と電源線808とで保持容量805が形成されている。

【0222】

データ線駆動回路800は、シフトレジスタ810、第1ラッチ811、第2ラッチ812を有している。シフトレジスタ810にはデータ線駆動回路用のクロック信号(S-CLK)とスタートパルス信号(S-SP)が与えられている。第1ラッチ811にはラッチのタイミングを決定するラッチ信号(Latch signals)とビデオ信号(Video signals)が与えられている。

30

【0223】

シフトレジスタ810にクロック信号(S-CLK)とスタートパルス信号(S-SP)が入力されると、ビデオ信号のサンプリングのタイミングを決定するサンプリング信号が生成され、第1ラッチ811に入力される。

【0224】

なお、シフトレジスタ810からのサンプリング信号を、バッファ等によって緩衝増幅してから、第1ラッチ811に入力するようにしても良い。サンプリング信号が入力される配線には、多くの回路あるいは回路素子が接続されているために負荷容量(寄生容量)が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がり

40

【0225】

第1ラッチ811は複数のステージのラッチを有している。第1ラッチ811では、入力されたサンプリング信号に同期して、入力されたビデオ信号をサンプリングし、各ステージのラッチに順に記憶していく。

【0226】

第1ラッチ811の全てのステージのラッチにビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0227】

50

1ライン期間が終了すると、第2ラッチ812にラッチ信号が入力される。この瞬間、第1ラッチ811に書き込まれ保持されているビデオ信号は、第2ラッチ812に一斉に送出され、第2ラッチ812の全ステージのラッチに書き込まれ、保持される。

【0228】

ビデオ信号を第2ラッチ812に送出し終えた第1ラッチ811には、シフトレジスタ810からのサンプリング信号に基づき、ビデオ信号の書き込みが順次行われる。

【0229】

この2順目の1ライン期間中には、第2ラッチ812に書き込まれ、保持されているビデオ信号がソースソース配線に入力される。

【0230】

一方、走査線駆動回路は、シフトレジスタ821と、バッファ822を有している。シフトレジスタ821には走査線駆動回路用のクロック信号(G-CLK)とスタートパルス信号(G-SP)が与えられている。

【0231】

シフトレジスタ821にクロック信号(G-CLK)とスタートパルス信号(G-SP)が入力されると、ゲート配線の選択のタイミングを決定する選択信号が生成され、バッファ822に入力される。バッファ822に入力された選択信号は、緩衝増幅されてゲート配線809に入力される。

【0232】

ゲート配線809が選択されると、選択されたゲート配線809にゲート電極が接続されたスイッチング用TFT803がオンになる。そして、ソース配線に入力されたビデオ信号が、オンになっているスイッチング用TFT803を介して、駆動用TFT804のゲート電極に入力される。

【0233】

駆動用TFT804は、ゲート電極に入力されたビデオ信号の有する1または0の情報に基づいて、そのスイッチングが制御される。駆動用TFT804がオンのときに、電源線の電位が有機発光素子806の画素電極に与えられ、有機発光素子806が発光する。駆動用TFT804がオフのとき、電源線の電位が有機発光素子806の画素電極に与えず、有機発光素子806は発光しない。

【0234】

図17に示した発光装置の、データ線駆動回路800と、走査線駆動回路801が有する回路において、TFTの第1の電極と第2の電極とを電氣的に接続する。第1の電極と第2の電極に同じ電圧を印加することで、実質的に半導体膜の膜厚を薄くしたのと同じように空乏層が早く広がるので、サブスレッショルド係数を小さくすることができ、さらに電界効果移動度を向上させることができる。したがって、電極が1つの場合に比べてオン電流を大きくすることができる。よって、駆動電圧を低下させることができる。また、オン電流を大きくすることができるので、TFTのサイズ(特にチャネル幅)を小さくすることができる。そのため集積密度を向上させることができる。

【0235】

また、画素部802において、スイッチング素子として用いられているスイッチング用TFT803の、第1の電極と第2の電極のいずれか一方にコモン電圧(Vcom)を印加する。或いは、第1の電極と第2の電極のいずれか一方にある電圧Vxを印加してもよい。これにより、電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。

【0236】

そして、有機発光素子806に電流を供給するための駆動用TFT804は、第1の電極と第2の電極を電氣的に接続している。これにより、電極が1つの場合に比べてオン電流を大きくすることができる。なお、駆動用TFTはこの構成に限定されず、第1の電極と第2の電極を電氣的に接続せずに、第1の電極と第2の電極のいずれか一方にコモン電圧(Vcom)を印加するようにしても良い。また電極を1つしか有さない、一般的な構成

10

20

30

40

50

の薄膜トランジスタを有していても良い。

【0237】

[実施例4]

本実施例では実施例1とは異なる画素構造の例を図19、図20を用いて説明する。実施例1は画素に2つのTF T (駆動用TF T、スイッチング用TF T)を用いた例であったが、本実施例は画素に3つのTF T (駆動用TF T、スイッチング用TF T、消去用TF T)を用いた例である。

【0238】

本実施例の発光装置の画素部の詳細な上面構造を図19(A)に、回路図を図19(B)に示す。図19(A)及び図19(B)は共通の符号を用いるので互いに参照すればよい。

【0239】

図19において、基板上に設けられたスイッチング用TF T 900は図10のスイッチング用(nチャンネル型)TF T 202を用いて形成される。従って、構造及び作製方法の説明はスイッチング用(nチャンネル型)TF T 202の説明を参照すれば良いのでここでは省略する。また、902で示される配線は、半導体層の下側に配置される第1のゲート電極であり、コモン電圧(Vcom)に接続されている。半導体層の上側に配置される第2のゲート電極901(901a、901b)は、スイッチング用TF T 900のゲート配線である。

【0240】

なお、本実施例ではチャンネル形成領域が二つ形成されるダブルゲート構造としているが、チャンネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0241】

また、スイッチング用TF T 900のソースはソース配線903に接続され、ドレインはドレイン配線904に接続される。また、ドレイン配線904は駆動用TF T 905の第2のゲート電極906に電氣的に接続される。また、駆動用TF T 905は、半導体層の下側に配置される第1のゲート電極が、第2のゲート電極906に接続されている。

【0242】

なお、駆動用TF T 905は図10の駆動用(pチャンネル型)TF T 203を用いて形成される。従って、構造及び作製方法の説明は駆動用(pチャンネル型)TF T 203の説明を参照すれば良いのでここでは説明を省略する。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0243】

また、電流制御用TF T 905のソースは電流供給線907に電氣的に接続され、ドレインはドレイン配線908に電氣的に接続される。また、ドレイン配線908は点線で示される陰極909に電氣的に接続される。

【0244】

また、910で示される配線(第1のゲート電極)は、消去用TF T 911の第3のゲート電極912と電氣的に接続するゲート配線である。なお、接続部は図示しないが、半導体層の下側に配置される第1のゲート電極910が、第3のゲート電極912に接続されている。なお、消去用TF T 911のソースは、電流供給線907に電氣的に接続され、ドレインはドレイン配線904に電氣的に接続される。

【0245】

なお、消去用TF T 911は図10のスイッチング用(nチャンネル型)TF T 202と同様にして形成される。従って、構造の説明はスイッチング用(nチャンネル型)TF T 202の説明を参照すれば良い。

【0246】

なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0247】

また、913で示される領域には保持容量（コンデンサ）が形成される。コンデンサ913は、電流供給線907と電氣的に接続された半導体膜914、ゲート絶縁膜と同一層の絶縁膜（図示せず）及び第2のゲート電極906との間で形成される。また、ゲート電極906、第1層間絶縁膜と同一の層（図示せず）及び電流供給線907で形成される容量も保持容量として用いることが可能である。

【0248】

なお、図19（B）の回路図で示す発光素子915は、陽極909と、陽極909上に形成される有機化合物層（図示せず）と有機化合物層上に形成される陰極（図示せず）からなる。本発明において、陽極909は、駆動用TFT905のソース領域またはドレイン領域と接続している。 10

【0249】

発光素子915の陰極には対向電位が与えられている。また電流供給線Vは電源電位が与えられている。そして対向電位と電源電位の電位差は、電源電位が陽極に与えられたときに発光素子が発光する程度の電位差に常に保たれている。電源電位と対向電位は、本発明の発光装置に、外付けのIC等により設けられた電源によって与えられる。なお対向電位を与える電源を、本明細書では特に対向電源916と呼ぶ。

【0250】

また、図19に対応する図20には画素の半導体層の配置と画素にレーザー光を照射する際のレーザービームと、レーザービームを走査した方向（図中矢印方向）を示した。こう 20
することによって、結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得ることができる。

【0251】

また、本実施例では3つのTFTを用いた画素に本発明を適用した例を示したが、さらに4つ以上のTFTを用いた画素にも本発明を適用することができることは言うまでもない。

【0252】

また、本実施例は、実施の形態1乃至実施の形態6と自由に組み合わせることが可能である。

【0253】

[実施例5]

本実施例では、本発明のTFTにおいて、第1の電極と第2の電極とを電氣的に接続した場合の、TFTの特性について説明する。

【0254】

図21（A）に、本発明の第1の電極と第2の電極とを電氣的に接続したTFTの断面図を示す。また比較のため、電極を1つだけ有するTFTの断面図を図21（B）に示す。また、図21（A）、図21（B）に示したTFTにおける、シミュレーションによって求めたゲート電圧とドレイン電流の関係を図22に示す。

【0255】

図21（A）に示したTFTは、第1の電極2801と、第1の電極2801に接する第1の絶縁膜2802と、第1の絶縁膜2802に接する半導体膜2808と、半導体膜2808に接する第2の絶縁膜2806と、第2の絶縁膜に接する第2の電極2807を有している。半導体膜2808は、チャンネル形成領域2803と、チャンネル形成領域2803に接する第1の不純物領域2804と、第1の不純物領域2804に接する第2の不純物領域2805を有している。 40

【0256】

第1の電極2801と第2の電極2807は、チャンネル形成領域2803を間に挟んで重なり合っている。そして、第1の電極2801と第2の電極2807には同じ電圧が印加されている。

【0257】

第1の絶縁膜2802及び第2の絶縁膜2806は酸化珪素で形成されている。また第1の電極、第2の電極はA1で形成されている。チャンネル長は7 μ m、チャンネル幅は4 μ m、第1のゲート電極とチャンネル形成領域が重なっている部分における第1の絶縁膜の厚さは110 μ m、第2のゲート電極とチャンネル形成領域が重なっている部分における第2の絶縁膜の厚さは110 μ mである。またチャンネル形成領域の厚さは50nmであり、チャンネル長方向における第1の不純物領域の長さは1.5 μ mである。

【0258】

そして、チャンネル形成領域2803には $1 \times 10^{17} / \text{cm}^3$ のp型を付与する不純物がドーピングされており、第1の不純物領域には $3 \times 10^{17} / \text{cm}^3$ のn型を付与する不純物がドーピングされており、第2の不純物領域には $5 \times 10^{19} / \text{cm}^3$ のn型を付与する不純物がドーピングされている。

10

【0259】

図21(B)に示したTFETは、第1の絶縁膜2902と、第2の絶縁膜2906と、第2の絶縁膜に接する第2の電極2907とを有している。半導体膜2908は、チャンネル形成領域2903と、チャンネル形成領域2903に接する第1の不純物領域2904と、第1の不純物領域2904に接する第2の不純物領域2905を有している。

【0260】

第2の電極2907は、チャンネル形成領域2903と重なっている。

【0261】

第1の絶縁膜2902及び第2の絶縁膜2906は酸化珪素で形成されている。また第2の電極はA1で形成されている。チャンネル長は7 μ m、チャンネル幅は4 μ m、第2のゲート電極とチャンネル形成領域が重なっている部分における第2の絶縁膜の厚さは110 μ mである。またチャンネル形成領域の厚さは50nmであり、チャンネル長方向における第1の不純物領域の長さは1.5 μ mである。

20

【0262】

そして、チャンネル形成領域2903には $1 \times 10^{17} / \text{cm}^3$ のp型を付与する不純物がドーピングされており、第1の不純物領域には $3 \times 10^{17} / \text{cm}^3$ のn型を付与する不純物がドーピングされており、第2の不純物領域には $5 \times 10^{19} / \text{cm}^3$ のn型を付与する不純物がドーピングされている。

【0263】

図22は、横軸がゲート電圧を意味しており、縦軸がドレイン電流を意味している。図21(A)のTFETのゲート電圧に対するドレイン電流の値を実線で示し、図21(B)のTFETのゲート電圧に対するドレイン電流の値を破線で示した。

30

【0264】

図22から、図21(A)においてTFETの移動度 $139 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、S値 $0.118 \text{ V} / \text{dec}$ が得られた。また、図21(B)においてTFETの移動度 $86.3 \text{ cm}^2 / \text{V} \cdot \text{s}$ 、S値 $0.160 \text{ V} / \text{dec}$ が得られた。このことから、第1の電極と第2の電極を設け、第2つの電極を電氣的に接続した場合、電極を1つしか設けない場合に比べて移動度が高くなり、S値が小さくなる。

【0265】

[実施例6]

実施例1では、図5に示すレーザー処理装置を用い、実施の形態1に示した方法によって結晶構造を有する半導体膜を形成した例を示したが、本実施例では、さらに結晶化の際用いたレーザー光により形成される半導体膜表面の凹凸(リッジとも呼ばれる)を低減させ、さらに平坦性を向上させる第2のレーザー光照射処理の一例を示す。

40

【0266】

酸素を含む雰囲気下で半導体膜に第1のレーザー光の照射を行って結晶化させた後、第1のレーザー光の照射で形成された酸化膜を除去し、その後に酸素を含まない(或いは酸素量が低減された)雰囲気下で第2のレーザー光の照射(第1のレーザー光の照射におけるエネルギー密度より高い)を行うことで半導体膜の平坦性を向上させることができる。第

50

2のレーザー光の照射は、不活性雰囲気（例えば窒素、アルゴン）または真空中にて行えばよい。

【0267】

具体的には、実施例1に示したレーザー照射処理（図5に示した装置での処理）を酸素を含む雰囲気下で行い、結晶構造を有する半導体膜を形成した後、表面の酸化膜を除去し、さらに窒素雰囲気下で2回目のレーザー照射処理（図5に示した装置での処理）を行って半導体膜表面の平坦化を行えばよい。2回目のレーザー照射処理を行う場合においても、レーザー光をチャンネル長方向と同一方向に走査することが望ましい。

【0268】

また、第2のレーザー光としては、エキシマレーザー、Arレーザー、Krレーザー等の気体レーザーや、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti：サファイアレーザーなどの固体レーザーや、半導体レーザーを用いればよい。固体レーザーとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザーが適用できる。また、レーザー発振の形態は、連続発振、パルス発振のいずれでもよく、レーザービームの形状も線状、矩形状、円状、楕円状のいずれでもよい。また、使用する波長は、基本波、第2高調波、第3高調波のいずれでもよく、適宜選択すればよい。また、走査方法は、縦方向、横方向、斜め方向のいずれでもよく、さらに往復させてもよい。

【0269】

また、本実施例では、第1のレーザー光と第2のレーザー光とを図5に示したレーザー照射処理装置を用いた例を示したが、特に限定されず、第1のレーザー光として図5に示したレーザー照射処理装置から出射される光を用い、第2のレーザー光としてエキシマレーザー照射処理装置から出射される光を用いてもよい。また、第1のレーザー光としてエキシマレーザー照射処理装置から出射される光を用い、第2のレーザー光として図5に示したレーザー照射処理装置から出射される光を用いてもよい。

【0270】

また、上記本実施例の構成においては、特に限定されず、第2のレーザー光による半導体膜の平坦化に加えて、さらに他の半導体膜の平坦化手段を組み合わせてもよい。例えば、エッチャント液、反応ガスを用いたエッチング（代表的にはドライエッチング）、還元雰囲気（代表的には水素）での高温（900～1200）の熱処理、化学的及び機械的に研磨する処理（代表的にはCMP）等により平坦化する。

【0271】

本実施例に示した複数のレーザー光を照射して平坦化させる技術により、さらに平坦化が行われ、後に形成されるゲート絶縁膜として用いる第1の絶縁膜を薄くすることが可能となり、TFTの移動度を向上させることができる。また、平坦性が向上したことによって、TFTを作製した場合、オフ電流を低減することができる。

【0272】

また、本実施例は、実施の形態1乃至実施の形態6、及び実施例1乃至5のいずれか一と自由に組み合わせることが可能である。

【0273】

[実施例7]

本発明を実施して形成されたELモジュールは、例えば表示部に用いて様々な電子機器を完成させることができる。即ち、ELモジュールを組み込んだ電子機器全てを完成させる。また、本発明を実施して同一基板上にCPUなども表示部と同時に作製することができる。さらに装置の小型化、製造コストの低減を行うことができる。

【0274】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げ

られる。それらの一例を図 23、図 24 に示す。

【0275】

図 23 (A) はパーソナルコンピュータであり、本体 2001、画像入力部 2002、表示部 2003、キーボード 2004 等を含む。また、コンピュータを構成する CPU を絶縁基板上に形成することができ、絶縁基板上に形成された表示部 2003 と同一基板上に作製することができる。

【0276】

図 23 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。

【0277】

図 23 (C) はモバイルコンピュータ (モビルコンピュータ) であり、本体 2201、カメラ部 2202、受像部 2203、操作スイッチ 2204、表示部 2205 等を含む。また、コンピュータを構成する CPU を絶縁基板上に形成することができ、絶縁基板上に形成された表示部 2205 と同一基板上に作製することができる。

【0278】

図 23 (D) はゴーグル型ディスプレイであり、本体 2301、表示部 2302、アーム部 2303 等を含む。

【0279】

図 23 (E) はプログラムを記録した記録媒体 (以下、記録媒体と呼ぶ) を用いるプレーヤーであり、本体 2401、表示部 2402、スピーカ部 2403、記録媒体 2404、操作スイッチ 2405 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【0280】

図 23 (F) はデジタルカメラであり、本体 2501、表示部 2502、接眼部 2503、操作スイッチ 2504、受像部 (図示しない) 等を含む。

【0281】

図 24 (A) は携帯電話であり、本体 2901、音声出力部 2902、音声入力部 2903、表示部 2904、操作スイッチ 2905、アンテナ 2906、画像入力部 (CCD、イメージセンサ等) 2907 等を含む。また、コンピュータを構成する CPU を絶縁基板上に形成することができ、絶縁基板上に形成された表示部 2904 と同一基板上に作製して CPU 内蔵の携帯電話を完成させることができる。

【0282】

図 24 (B) は携帯書籍 (電子書籍) であり、本体 3001、表示部 3002、3003、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。

【0283】

図 24 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。

【0284】

ちなみに図 24 (C) に示すディスプレイは中小型または大型のもの、例えば 5 ~ 20 インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一辺が 1 m のものを用い、多面取りを行って量産することが好ましい。

【0285】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施の形態 1 乃至 6、実施例 1 乃至 6 のいずれか一と自由に組み合わせることができる。

【0286】

[実施例 8]

本実施例では、実施例 7 に記載の表示部として電気泳動表示装置を用いる例を示す。代表的には図 24 (B) に示す携帯書籍 (電子書籍) の表示部 3002、または表示部 300

10

20

30

40

50

3に適用する。

【0287】

電気泳動表示装置（電気泳動ディスプレイ）は、電子ペーパーとも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0288】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

10

【0289】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

【0290】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

20

【0291】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。

【0292】

例えば、本発明を適用し、画素の一方の電極と接続する薄膜トランジスタのチャンネル長方向を同一として配置したアクティブマトリクス基板を用いることができる。また、チャンネル長方向と同一方向に走査するレーザー光の照射を行い、結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得てもよい。

30

【0293】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0294】

また、本実施例は実施の形態1、実施例1、または実施例7のいずれとも自由に組み合わせることができる。

【0295】

[実施例9]

ここでは実施の形態5に示した回路図（図26）に対応する画素上面図の一例を図28、図29を用いて説明する。

40

【0296】

一つの画素は、トランジスタTr1（第1駆動用トランジスタまたは第1のトランジスタ）、トランジスタTr2（第2駆動用トランジスタまたは第2のトランジスタ）、トランジスタTr3（第3駆動用トランジスタまたは第3のトランジスタ）、トランジスタTr4（第1スイッチング用トランジスタまたは第4のトランジスタ）、トランジスタTr5（第2スイッチング用トランジスタまたは第5のトランジスタ）、発光素子及び保持容量を少なくとも有している。なお、これらのTFET（Tr1～Tr5）は、実施の形態1ま

50

たは実施例 1 に従って得ることができる。

【0297】

また、図 28 の等価回路である図 26 に示したように、トランジスタ $T r 1 \sim T r 5$ は全て、半導体膜の上下にチャンネル（デュアルチャンネル）を形成するための配線（777 を含む）をゲート電極と直接接続している。即ち、2つのゲート電極で半導体膜を挟む構成とある。こうすることによってゲート電極が1つの場合に比べて閾値のばらつきを抑えることができ、なおかつオフ電流を抑えることができる。

【0298】

トランジスタ $T r 4$ は、走査線 774 の一部であるゲート電極 775 を有しており、ゲート電極 775 はトランジスタ $T r 5$ のゲート電極 720 とも接続されている。また、トランジスタ $T r 4$ の半導体層の不純物領域は、一方は信号線 $S i$ として機能する接続配線 742 に接続され、もう一方は、接続配線 771 に接続されている。

10

【0299】

トランジスタ $T r 1$ は、ゲート電極 776 を有しており、ゲート電極 776 はトランジスタ $T r 2$ のゲート電極 722 とも接続されている。また、トランジスタ $T r 1$ の半導体層の不純物領域は、一方は接続配線 771 に接続され、もう一方は、電源線 $V i$ として機能する接続配線 743 に接続されている。

【0300】

接続配線 743 は、トランジスタ $T r 2$ とトランジスタ $T r 3$ の共通の不純物領域と、トランジスタ $T r 2$ のゲート電極 722 とに接続されている。

20

【0301】

また、770 は保持容量であり、半導体層 772 と、ゲート絶縁膜 706 と、容量配線 773 を有している。半導体層 772 が有する不純物領域は、電源線として機能する接続配線 747 に接続されている。

【0302】

また、画素電極 748 は、接続配線 746 と接して重ねて形成することによってトランジスタ $T r 3$ のドレイン領域と電気的な接続が形成されている。

【0303】

また、図 29 に各トランジスタの活性層となる半導体層を形成した直後の図を示す。各トランジスタの半導体層は一方向に配置されている。この半導体層を同一方向に配置し、チャンネル長方向とレーザー光の走査方向を同一とすることで結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得る。なお、図 29 にはレーザービーム 778 やレーザーの走査方向 779 も図示している。

30

【0304】

また、本実施例は、実施の形態 1 乃至 6、実施例 1 乃至 8 のいずれか一と自由に組み合わせることができる。

【0305】

[実施例 10]

本実施例では、アナログ駆動法で駆動する本発明の発光装置が有する駆動回路（信号線駆動回路及び走査線駆動回路）の構成について説明する。

40

【0306】

図 30 (A) に本実施例の信号線駆動回路 401 のブロック図を示す。402 はシフトレジスタ、403 はバッファ、404 はサンプリング回路、405 は電流変換回路を示している。ここでも、半導体膜の上下にチャンネル（デュアルチャンネル）を形成するための配線をゲート電極と直接接続し、 $V_x = V_y$ とし、図 27 (B) に示すスイッチ (SW) とインバーター (Inb) を用いる。ここでは図 27 (B) に示す SW や Inb を用いた例を示したが、一部または全ての配線をコモン電圧 (V_{com}) としてもよいし、グラウンドとしてもよい。

【0307】

シフトレジスタ 402 には、クロック信号 (CLK)、スタートパルス信号 (SP) が入

50

力されている。シフトレジスタ402にクロック信号(CLK)とスタートパルス信号(SP)が入力されると、タイミング信号が生成される。

【0308】

生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に入力される。バッファ403においても、半導体膜の上下にチャンネル(デュアルチャンネル)を形成するための配線を設けてもよい。また、バッファ403に配置される複数の薄膜トランジスタのチャンネルとして機能する領域(チャンネル形成領域と呼ばれる)のチャンネル長方向を同一方向に配置し、該チャンネル長方向と同一方向に走査するレーザー光の照射を行い、結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得てもよい。なお、バッファの代わりにレベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

10

【0309】

図30(B)にサンプリング回路404、電流変換回路405の具体的な構成を示す。なおサンプリング回路404は、端子410においてバッファ403と接続されている。

【0310】

サンプリング回路404には、複数のスイッチ411が設けられている。そしてサンプリング回路404には、ビデオ信号線406からアナログビデオ信号が入力されており、スイッチ411はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流変換回路405に入力する。なお図30(B)では、電流変換回路405はサンプリング回路404が有するスイッチ411の1つに接続されている電流変換回路だけを

20

【0311】

なお本実施例では、スイッチ411にトランジスタを1つだけ用いているが、スイッチ411はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【0312】

サンプリングされたアナログビデオ信号は、電流変換回路405が有する電流出力回路412に入力される。電流出力回路412は、入力されたビデオ信号の電圧に見合った値の電流(信号電流)を出力する。なお図30ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

30

【0313】

該信号電流は、同じく電流変換回路405が有するリセット回路417に入力される。リセット回路417は、2つのアナログスイッチ413、414と、インバーター416と、電源415を有している。

【0314】

アナログスイッチ414にはリセット信号(Res)が入力されており、アナログスイッチ413には、インバーター416によって反転されたりセット信号(Res)が入力されている。そしてアナログスイッチ413とアナログスイッチ414は、反転されたりセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

40

【0315】

そして、アナログスイッチ413がオンのときに信号電流は対応する信号線に入力される。逆に、アナログスイッチ414がオンのときに電源415の電圧が信号線に与えられ、信号線がリセットされる。なお、電源415の電圧は、画素に設けられた電源線の電圧とほぼ同じ高さであることが望ましく、信号線がリセットされているときに信号線にながれる電流が0に近ければ近いほど良い。

【0316】

なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期

50

間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【0317】

なお、シフトレジスタの代わりに、例えばデコーダ回路のような信号線の選択ができる別の回路を用いても良い。

【0318】

次に、走査線駆動回路の構成について説明する。

【0319】

走査線駆動回路は、それぞれシフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。

【0320】

走査線駆動回路において、シフトレジスタにクロックCLK及びスタートパルス信号SPが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。

【0321】

走査線には、1ライン分の画素のトランジスタのゲートが接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0322】

なお、シフトレジスタの代わりに、例えばデコーダ回路のような走査線の選択ができる別の回路を用いても良い。

【0323】

なお、各走査線の電圧を、各走査線にそれぞれ対応する複数の走査線駆動回路で制御しても良いし、いくつかの走査線または全ての走査線の電圧を1つの走査線駆動回路で制御しても良い。

【0324】

本発明の発光装置を駆動する信号線駆動回路及び走査線駆動回路は、本実施例で示す構成に限定されない。本実施例の構成は、実施の形態1乃至6、実施例8、または実施例9に示した構成と自由に組み合わせて実施することが可能である。

【0325】

[実施例11]

本実施例は、実施の形態5とは異なる電流入力型の画素の構成を図31に示す。

【0326】

図31(A)に記載の画素は、第1のゲート電極と第2のゲート電極とで半導体膜の上下にチャンネル(デュアルチャンネル)を有するTF T 5 1 1、5 1 2、5 1 3、5 1 4と、保持容量5 1 5と、発光素子5 1 6とを有している。これらのTF T 5 1 1、5 1 2、5 1 3、5 1 4は、実施の形態5または実施例1に従って得ることができる。また、実施の形態5に示したように、これらのTF T 5 1 1、5 1 2、5 1 3、5 1 4のチャンネルとして機能する領域のチャンネル長方向を同一方向に配置し、該チャンネル長方向と同一方向に走査するレーザー光の照射を行い、結晶の成長方向とキャリアの移動方向とを揃えることで高い電界効果移動度を得ることができる。

【0327】

TF T 5 1 1は、ゲートが端子5 1 8に接続され、ソースとドレインが一方は電流源5 1 7に、他方はTF T 5 1 3のドレインに接続されている。TF T 5 1 2は、ゲートが端子5 1 9に、ソースとドレインが一方はTF T 5 1 3のドレインに、他方はTF T 5 1 3のゲートに接続されている。TF T 5 1 3とTF T 1 4は、ゲートが互いに接続されており、ソースが共に端子5 2 0に接続されている。TF T 5 1 4のドレインは発光素子5 1 6の陽極に接続されており、発光素子5 1 6の陰極は端子5 2 1に接続されている。保持容量5 1 5はTF T 5 1 3及び5 1 4のゲートとソース間の電圧を保持するように設けられている。端子5 2 0、5 2 1には、電源からそれぞれ所定の電圧が印加されており、互い

10

20

30

40

50

に電圧差を有している。

【0328】

端子518、519に与えられる電圧によりTF T 5 1 1、5 1 2がオンになった後、電流源517によってTF T 5 1 3のドレイン電流が制御される。ここで、TF T 5 1 3はゲートとドレインが接続されているため飽和領域で動作しており、そのドレイン電流は、 $I = \mu C_0 W / L (V_{GS} - V_{TH})^2 / 2$ で表される。なお、 V_{GS} はゲート電圧、 μ を移動度、 C_0 を単位面積あたりのゲート容量、 W / L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_{TH} を閾値、ドレイン電流を I とする。

【0329】

上記式において μ 、 C_0 、 W / L 、 V_{TH} は全て個々のトランジスタによって決まる固定の値である。上記式から、TF T 5 1 3のドレイン電流はゲート電圧 V_{GS} によって変化することがわかる。よって、上記式に従うと、ドレイン電流に見合った値のゲート電圧 V_{GS} が、TF T 5 1 3において発生する。 10

【0330】

このとき、TF T 5 1 3とTF T 5 1 4はそのゲートとソースが互いに接続されているため、TF T 5 1 4のゲート電圧がTF T 5 1 3のゲート電圧と同じ大きさに保たれる。

【0331】

よって、TF T 5 1 3とTF T 5 1 4はドレイン電流が比例関係にある。特に、 μ 、 C_0 、 W / L 、 V_{TH} の値が同じであれば、TF T 5 1 3とTF T 5 1 4はドレイン電流が同じになる。TF T 5 1 4に流れるドレイン電流は発光素子516に供給され、該ドレイン電流の大きさに見合った輝度で発光素子516は発光する。 20

【0332】

そして、端子518、519に与えられる電圧によりTF T 5 1 1、5 1 2がオフになった後も、TF T 5 1 4のゲート電圧が保持容量515によって保持されている限り、発光素子516は発光し続ける。

【0333】

このように、図31(A)に示した画素は、画素に供給された電流を電圧に変換して保持する手段と、該保持された電圧に応じた大きさの電流を発光素子に流す手段とを有している。画素は、画素に供給された電流を電圧に変換して保持する手段である変換部と、該保持された電圧に応じた大きさの電流を発光素子に流す手段である駆動部と、発光素子とを有する。画素に供給された電流は変換部において電圧に変換され、該電圧は駆動部に与えられる。駆動部では与えられた電圧に見合った大きさの電流を発光素子に供給する。 30

【0334】

具体的に図31(A)では、TF T 5 1 2、TF T 5 1 3及び保持容量515が、供給された電流を電圧に変換して保持する手段に相当する。また、TF T 5 1 4が保持された電圧に応じた大きさの電流を発光素子に流す手段に相当する。

【0335】

また、他の画素構成を図31(B)に示す。

【0336】

図31(B)に記載の画素は、第1のゲート電極と第2のゲート電極とで半導体膜の上下にチャネル(デュアルチャネル)を有するTF T 5 3 1、5 3 2、5 3 3、5 3 4と、保持容量535と、発光素子536とを有している。これらのTF T 5 3 1、5 3 2、5 3 3、5 3 4は、実施の形態1または実施例1に従って得ることができる。また、実施の形態1に示したように、これらのTF T 5 3 1、5 3 2、5 3 3、5 3 4のチャネルとして機能する領域のチャネル長方向を同一方向に配置し、該チャネル長方向と同一方向に走査するレーザー光の照射を行い、結晶の成長方向とキャリアの移動方向とを揃えることで高い電界効果移動度を得ることができる。 40

【0337】

TF T 5 3 1はゲートが端子538に接続され、ソースとドレインが一方は電流源537に、他方はTF T 5 3 3のソースに接続されている。また、TF T 5 3 4はゲートが端子 50

538に接続され、ソースとドレインが一方はTFT533のゲートに、他方はTFT533のドレインに接続されている。TFT532は、ゲートが端子539に、ソースとドレインが、一方は端子540に、他方はTFT533のソースに接続されている。TFT534のドレインは発光素子536の陽極に接続されており、発光素子536の陰極は端子541に接続されている。保持容量535はTFT533のゲートとソース間の電圧を保持するように設けられている。端子540、541には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0338】

端子538に与えられる電圧によりTFT531及び534がオンになり、かつ端子539に与えられる電圧によりTFT532がオフとなった後、電流源537によってTFT533のドレイン電流が制御される。ここで、TFT533はゲートとドレインが接続されているため飽和領域で動作しており、そのドレイン電流は上記式で表される。上記式から、TFT533のドレイン電流はゲート電圧 V_{GS} によって変化することがわかる。よって、上記に従うと、ドレイン電流に見合った値のゲート電圧 V_{GS} が、TFT533において発生する。

10

【0339】

TFT533に流れるドレイン電流は発光素子536に供給され、該ドレイン電流の大きさに見合った輝度で発光素子536は発光する。

【0340】

そして、端子538に与えられる電圧によりTFT531、534がオフになった後、端子539に与えられる電圧によりTFT532がオンになる。このとき、TFT533のゲート電圧が保持容量535によって保持されている限り、TFT531、534がオンであったときと同じ輝度で発光素子536は発光し続ける。

20

【0341】

このように、図31(B)に示した画素は、画素に供給された電流を電圧に変換して保持し、該保持された電圧に応じた大きさの電流を発光素子に流す手段を有している。つまり、図31(B)に示した画素の場合は、図31(A)に備えられた2つの手段が有する機能を1つの手段で賄っていることになる。図31(B)では、変換部の有する機能と、駆動部の有する機能とを1つの手段で賄っている。つまり、画素に供給された電流は、変換部でありなおかつ駆動部である手段によって電圧に変換された後、該電圧に見合った大きさの電流を発光素子に供給している。

30

【0342】

具体的に図31(B)では、TFT533、TFT534及び保持容量535が、供給された電流を電圧に変換して保持し、該保持された電圧に応じた大きさの電流を発光素子に流す手段に相当する。

【0343】

上述した図31(A)、(B)に示す画素は、TFTの閾値やオン電流等の特性が画素毎にばらついていても、電流源により発光素子に流れる電流の大きさを制御するので、画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。

【0344】

また一般的に発光素子は、電極間の電圧を一定に保って発光させた場合と、電極間の電流を一定に保って発光させた場合とでは、後者の方が、有機発光材料の劣化による輝度の低下を抑えることができる。したがって、図31(A)、(B)に2つ例示した電流入力型の画素の場合、有機発光材料の劣化の影響を受けずに、発光素子に流れる電流を常に所望の値に保つことができるので、発光素子の劣化による輝度の低下を抑えることができる。

40

【0345】

また、発光素子の輝度と、有機発光層に流れる電流の大きさは比例関係にある。有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、電流入力型の発光装置では発光素子に流れる電流を一定に保つことができるので、発光素子の輝度が変化することを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができ

50

る。

【0346】

また、図31(A)、図31(B)においては、第1のゲート電極と第2のゲート電極とを直接接続し、 $V_x = V_y$ とした例を示したが、一部または全ての配線をコモン電圧(V_{com})としてもよいし、グラウンドとしてもよい。

【0347】

また、本実施例の構成は、実施の形態1乃至6、実施例1乃至10に示した構成と自由に組み合わせて実施することが可能である。

【0348】

【発明の効果】

本発明は、画素に配置される複数の薄膜トランジスタのチャネルとして機能する領域(チャネル形成領域と呼ばれる)のチャネル長方向を全て同一方向に配置し、該チャネル長方向と同一方向に走査するレーザー光の照射を行うため、結晶の成長方向とキャリアの移動方向とを揃えて高い電界効果移動度を得ることができる。

【0349】

また、本発明によりTFTの特性を向上(具体的には、オン電流の増加やオフ電流の低減)させ、且つ、各TFTの特性バラツキを低減することができる。特に画素において、EL素子と電氣的に接続され、且つ、EL素子に電流を供給するTFTのオン電流(I_{on})のバラツキを低減することができる。

【図面の簡単な説明】

【図1】TFTの作製工程を説明する断面図。(実施の形態1)

【図2】TFTの作製工程を説明する断面図。(実施の形態2)

【図3】TFTの作製工程を説明する断面図。(実施の形態3)

【図4】TFTの作製工程を説明する断面図。(実施の形態4)

【図5】レーザー処理装置を説明する斜視図。(実施の形態1)

【図6】半導体層の配置とレーザー光の走査方向を説明する上面図。(実施の形態1)

【図7】半導体層の配置とレーザー光の走査方向を説明する断面図。(実施の形態1)

【図8】発光装置の作製工程を説明する断面図。(実施例1)

【図9】発光装置の作製工程を説明する断面図。(実施例1)

【図10】発光装置の作製工程を説明する断面図。(実施例1)

【図11】発光装置の作製工程を説明する断面図。(実施例1)

【図12】発光装置の作製工程を説明する上面図。(実施例1)

【図13】発光装置の作製工程を説明する上面図。(実施例1)

【図14】発光装置の画素の上面図。(実施例1)

【図15】発光装置の画素の上面図。(実施例2)

【図16】発光装置の画素の断面図。(実施例2)

【図17】発光装置の等価回路図。(実施例3)

【図18】本発明のTFTの等価回路図。

【図19】発光装置の画素の上面図。(実施例4)

【図20】半導体層の配置とレーザー光の走査方向を説明する上面図及び回路図。(実施例4)

【図21】シミュレーションに用いたTFTの構造を示す図。(実施例5)

【図22】シミュレーションにより得られたTFTの特性を示す図。(実施例5)

【図23】電子機器の一例を示す図。

【図24】電子機器の一例を示す図。

【図25】発光装置の等価回路図。(実施の形態5)

【図26】画素の等価回路図。(実施の形態5)

【図27】電流設定回路の等価回路図。(実施の形態5)

【図28】発光装置の画素の上面図。(実施例9)

【図29】半導体層の配置とレーザー光の走査方向を説明する上面図。(実施例9)

10

20

30

40

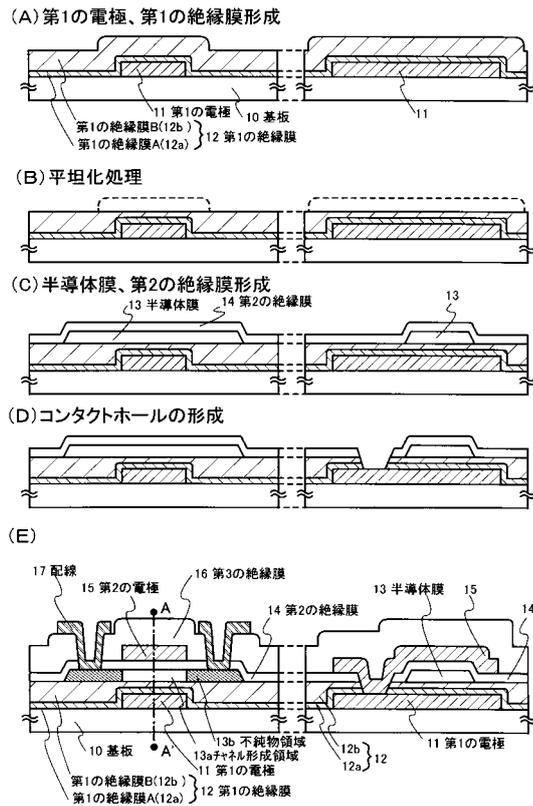
50

【図30】アナログ駆動法における信号線駆動回路の詳細図（実施例10）

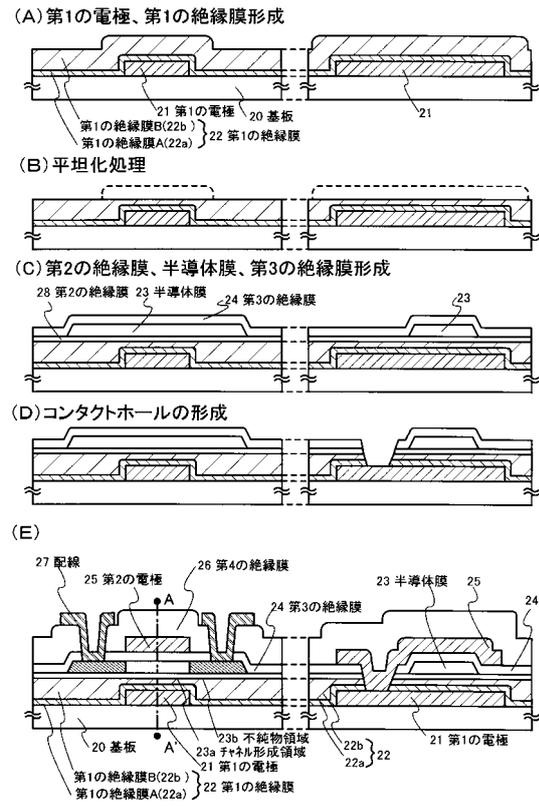
【図31】画素の等価回路図。（実施例11）

【図32】実施の形態6を示すブロック図。

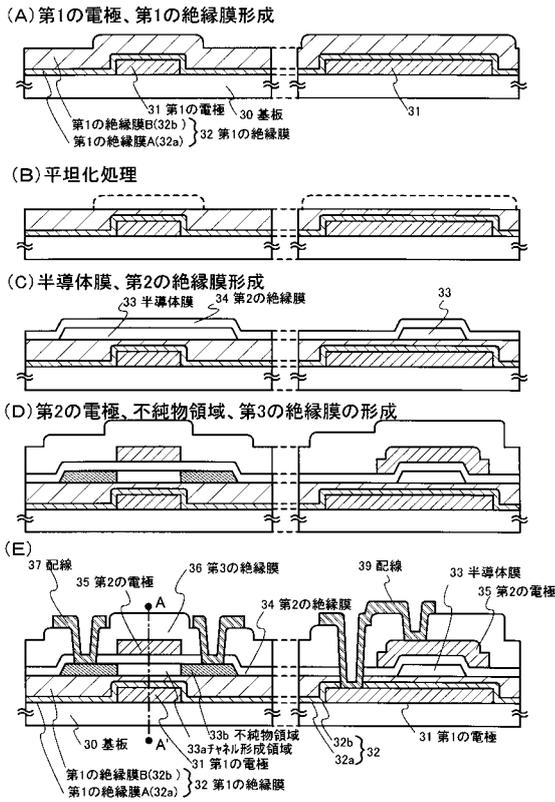
【図1】



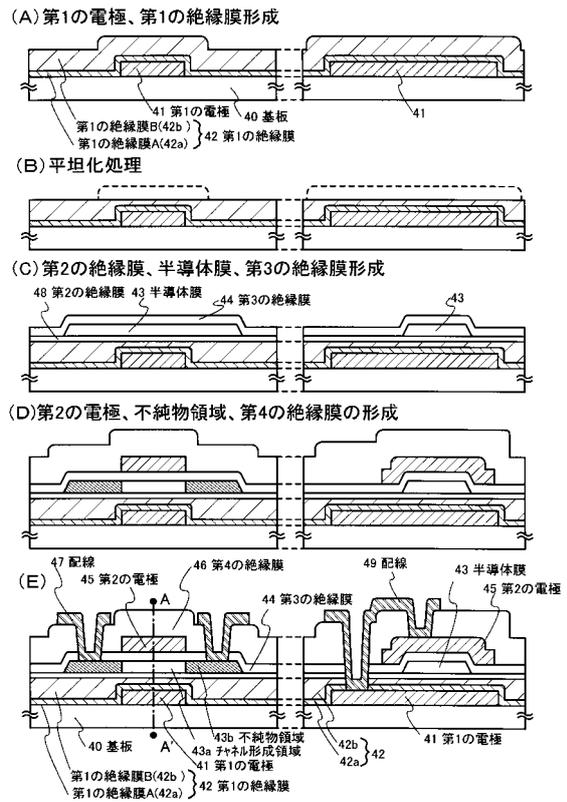
【図2】



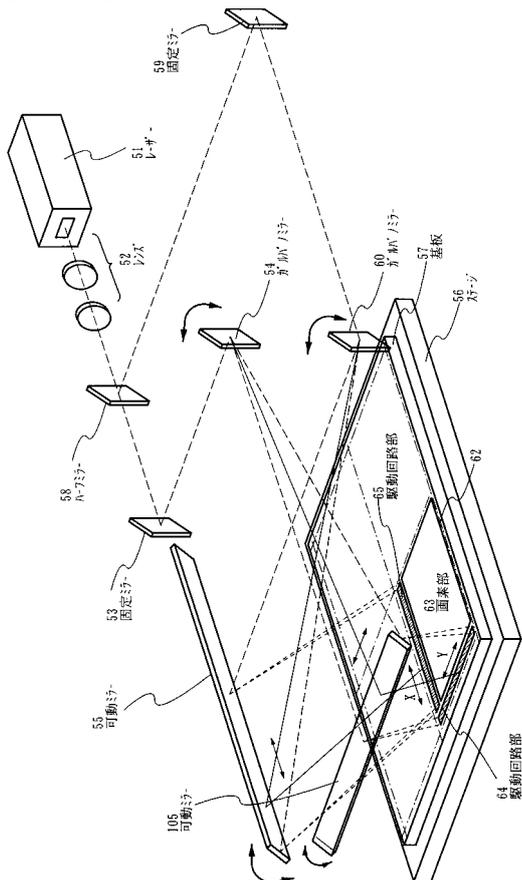
【図3】



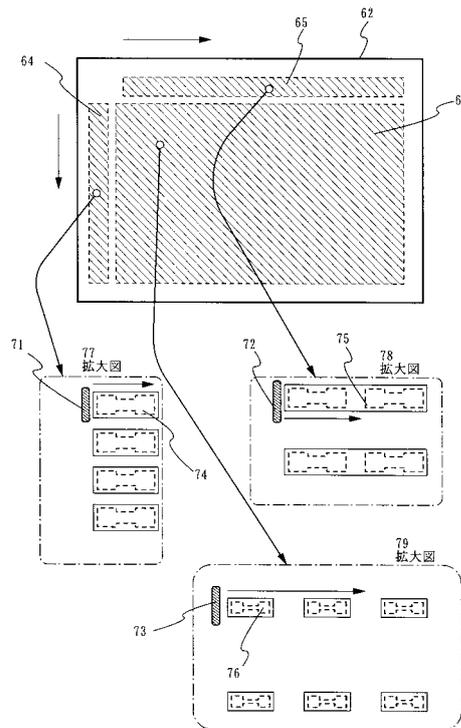
【図4】



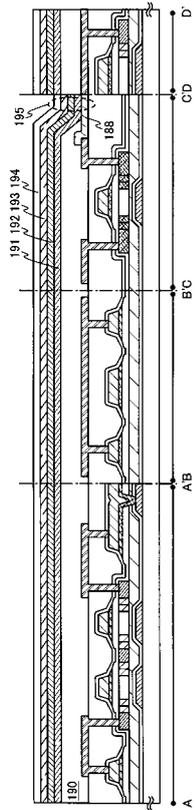
【図5】



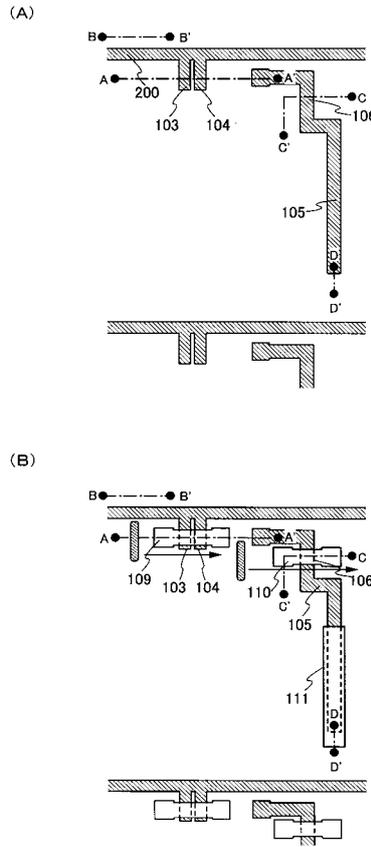
【図6】



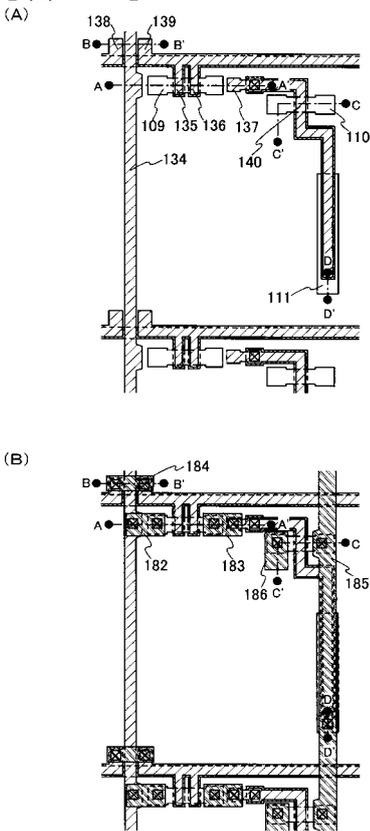
【 図 1 1 】



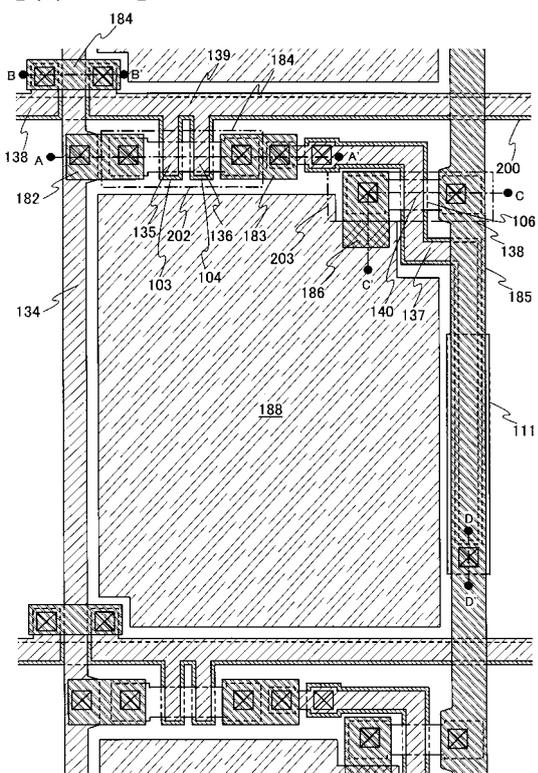
【 図 1 2 】



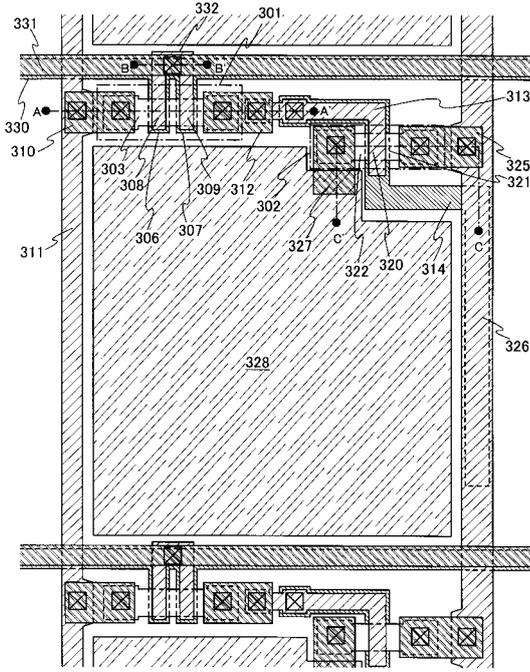
【 図 1 3 】



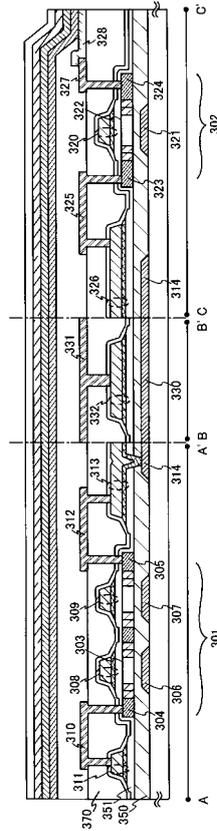
【 図 1 4 】



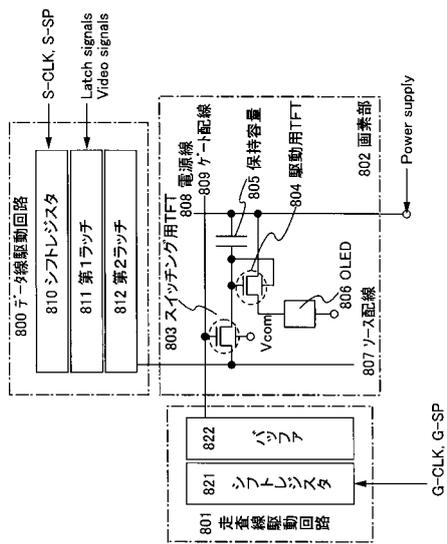
【図 15】



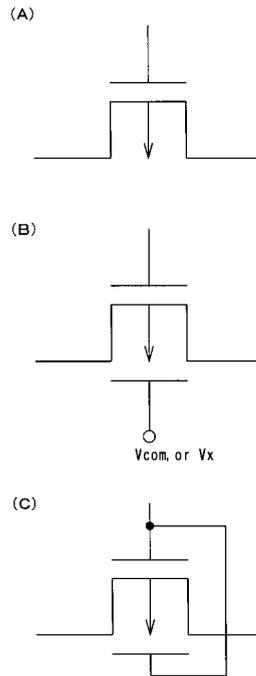
【図 16】



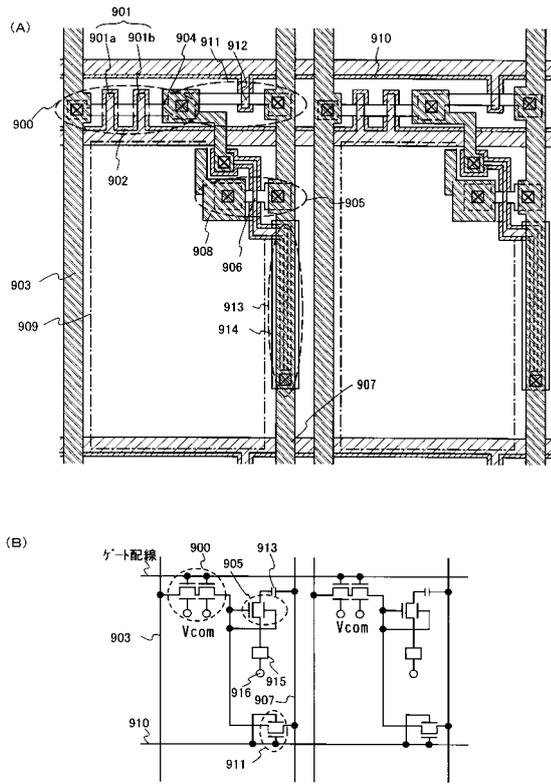
【図 17】



【図 18】

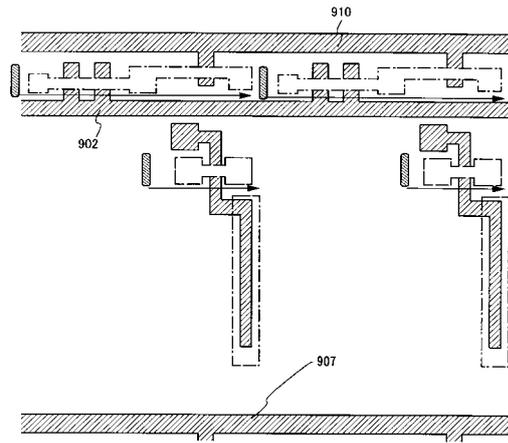


【図 19】

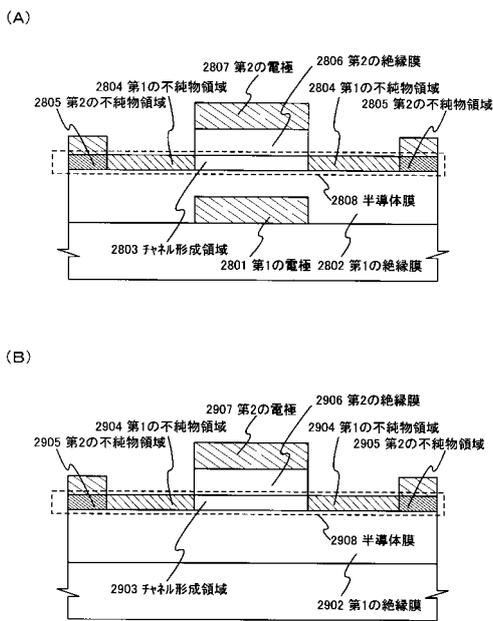


900:スイッチング用TFT 901(901a, 901b):第2のゲート電極 902:第1のゲート電極 903:ソース配線
 904:ドレイン配線 905:駆動用TFT 906:第2のゲート電極 907:電流供給線 908:ドレイン配線
 909:隔壁 910:ゲート配線 911:消去用TFT 912:第3のゲート電極 913:シフト
 914:半導体膜 915:発光素子 916:対向電源

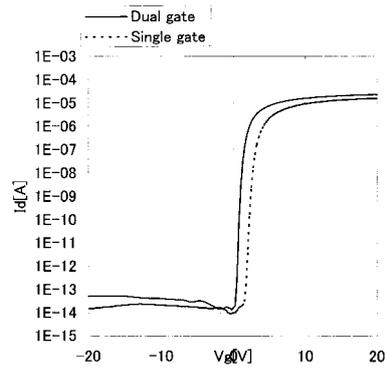
【図 20】



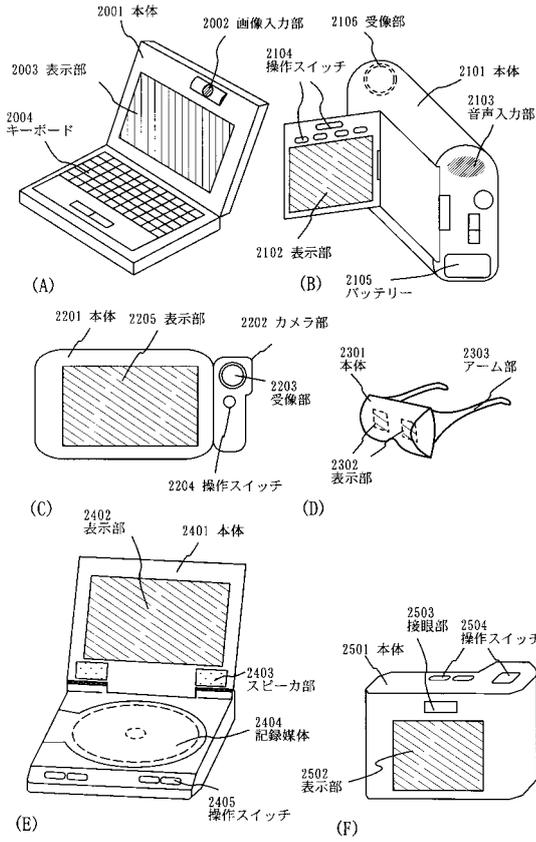
【図 21】



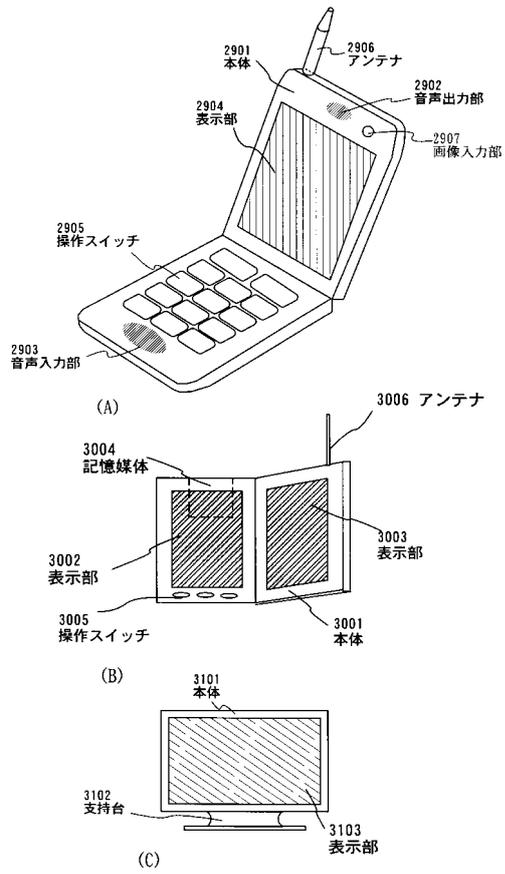
【図 22】



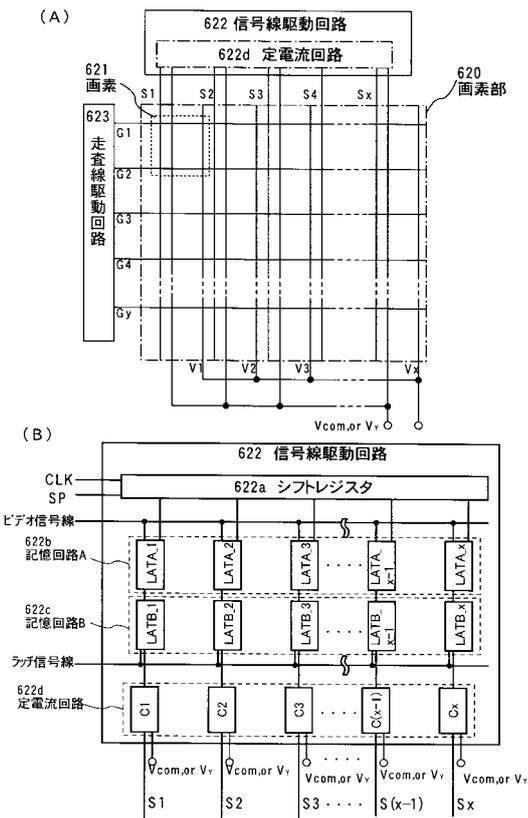
【図 2 3】



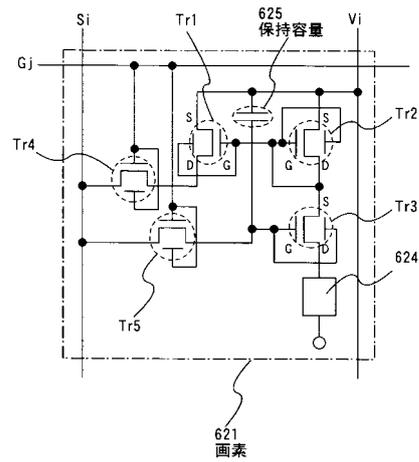
【図 2 4】



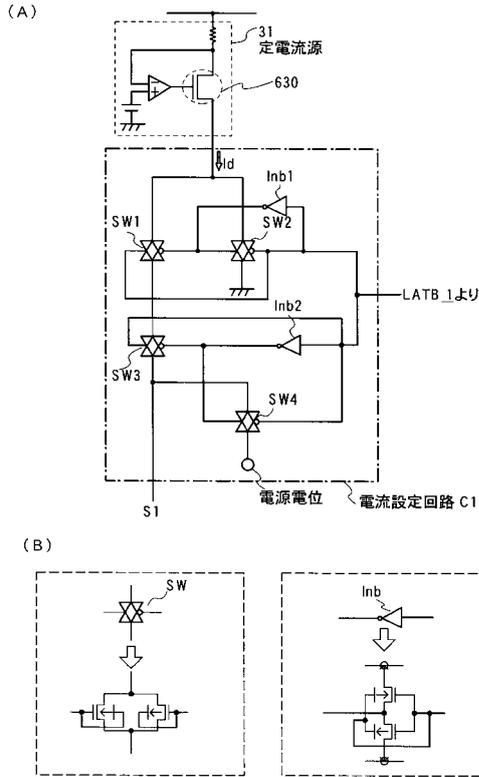
【図 2 5】



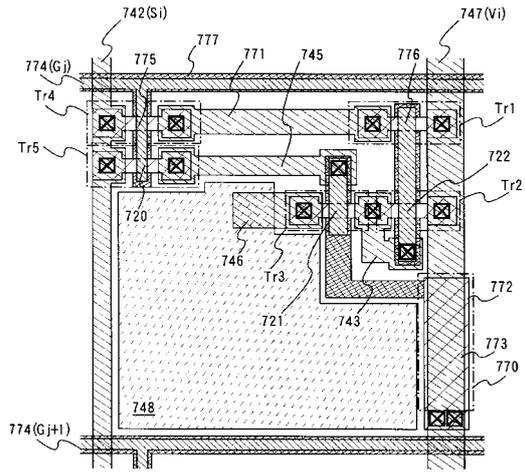
【図 2 6】



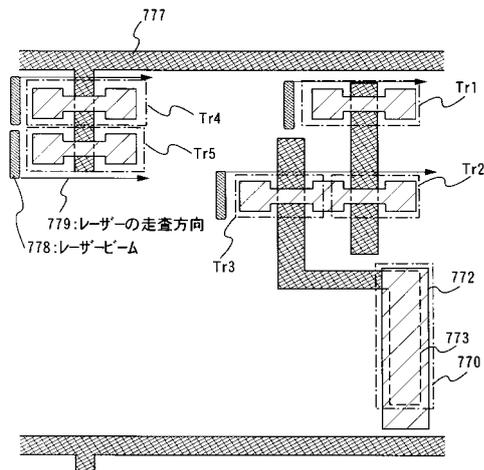
【図 27】



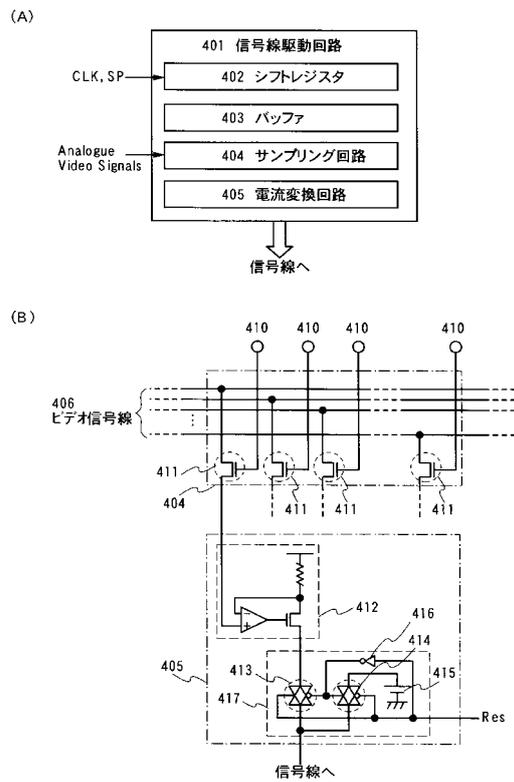
【図 28】



【図 29】

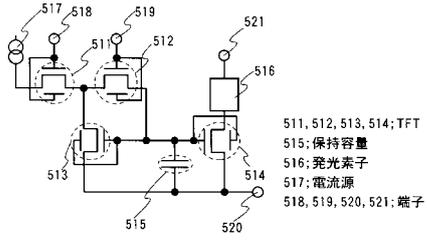


【図 30】

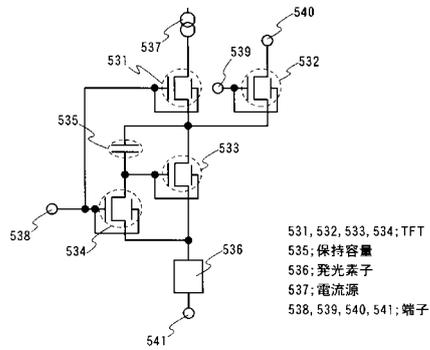


【 図 3 1 】

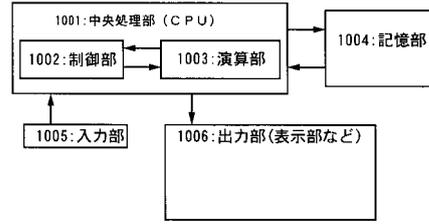
(A)



(B)



【 図 3 2 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/78 6 1 2 B

F ターム(参考) 5F052 AA02 AA11 AA17 BA04 BA07 BA13 BB01 BB02 BB04 BB05
BB07 CA08 DA02 DA03 DB02 DB03 DB07 EA12 EA15 FA06
FA19 HA01 JA01 JA02 JA03 JA04
5F110 AA01 AA05 BB02 BB03 BB04 BB06 BB07 BB08 BB10 DD01
DD02 DD03 DD05 DD13 DD14 DD15 DD17 EE01 EE02 EE03
EE04 EE05 EE06 EE09 EE14 EE15 EE23 EE28 EE30 EE37
FF02 FF03 FF04 FF09 FF28 FF30 FF35 GG01 GG02 GG13
GG28 GG29 GG34 GG43 GG45 GG47 HJ01 HJ04 HJ12 HJ13
HJ23 HL03 HL04 HL07 HL11 HM15 NN04 NN22 NN23 NN24
NN25 NN27 NN35 NN36 NN42 NN44 NN45 NN46 NN47 NN48
NN73 PP01 PP03 PP04 PP05 PP06 PP13 PP24 PP29 PP34
PP35 QQ09 QQ11 QQ19 QQ23