

(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
 H01L 27/108

(45) 공고일자 2000년02월01일  
 (11) 등록번호 10-0242470  
 (24) 등록일자 1999년11월10일

(21) 출원번호	10-1996-0007905	(65) 공개번호	특1997-0067875
(22) 출원일자	1996년03월22일	(43) 공개일자	1997년10월13일

(73) 특허권자 현대전자산업주식회사 김영환  
 경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 이우봉  
 경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 109-705호  
 오세준  
 경기도 이천시 이천읍 증포리 대호 3차아파트 A-904호

(74) 대리인 박해천, 원석희

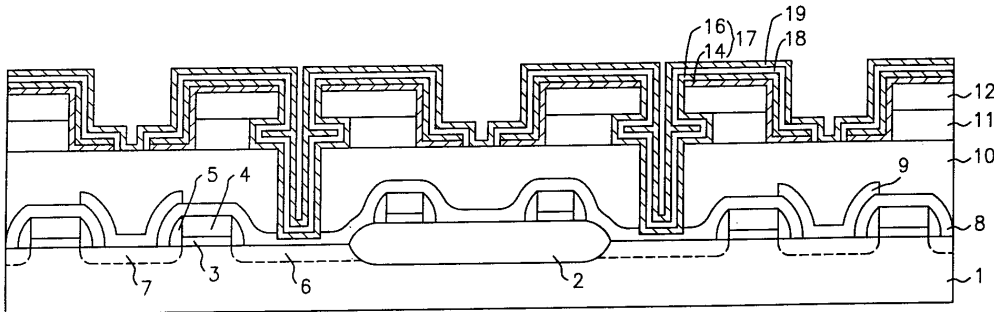
심사관 : 신양환

(54) 반도체 메모리장치 제조방법

요약

본 발명은 DRAM의 커패시터 용량을 증대시키기 위한 것으로, 소자가 형성되어 있는 반도체기판상에 층간 절연막을 형성하여 표면을 평탄화하는 단계와, 상기 층간절연막상에 소정의 식각제에 대해 각기 다른 식각속도를 갖는 절연막들을 적어도 2층 이상으로 적층하여 형성하는 단계, 상기 적층된 절연막들을 선택적으로 식각하여 적층구조의 절연막패턴을 형성하는 단계, 기판 전면에 제1도전층을 형성하는 단계, 상기 제1도전층과 적층구조의 절연막패턴 및 층간절연막을 선택적으로 식각하여 기판 소정부분을 노출시키는 콘택홀을 형성하는 단계, 상기 콘택홀의 측면을 굴곡을 형성하는 단계, 기판 전면에 제2도전층을 형성하는 단계, 및 상기 제1도전층 및 제2도전층을 선택적으로 식각하는 단계를 포함하는 반도체 메모리장치 제조방법을 제공한다.

대표도



명세서

[발명의 명칭]

반도체 메모리장치 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 의한 반도체 메모리장치 제조방법을 도시한 공정순서도.

제2도는 본 발명의 제2실시예에 의한 반도체 메모리장치 제조방법을 도시한 공정순서도.

\* 도면의 주요부분에 대한 부호의 설명

- |            |                |
|------------|----------------|
| 10 : 층간절연막 | 11 : 제1절연막     |
| 12 : 제2절연막 | 13 : 절연막패턴     |
| 14 : 제1도전층 | 15 : 콘택홀       |
| 16 : 제2도전층 | 17 : 커패시터 하부전극 |

## [발명의 상세한 설명]

본 발명은 반도체 메모리장치에 관한 것으로, 특히 DRAM(Dynamic Random Access Memory)의 커패시터 용량을 증대시킬 수 있는 커패시터 제조방법에 관한 것이다.

DRAM이 고집적화에 따라 보다 작은 면적에서 보다 큰 용량의 커패시터를 얻기 위한 연구가 진행되어 있다. 이 중에서 커패시터의 구조를 변경하여 대용량의 커패시터를 형성하는 종래의 기술로서 스택(stack)구조 커패시터, 핀(fin)구조 커패시터 및 핑거(finger)구조 커패시터 등이 있다. 그러나 스택구조 커패시터는 메모리소자 내에서 차지하는 면적이 크기 때문에 고집적 소자 제조시에는 집적도의 증가에 따라 커패시터 크기를 축소해야 하므로 고집적 소자에서 요구되는 커패시터 용량확보가 어려우며, 핀구조 및 핑거구조 커패시터는 커패시터 용량 확보면에서는 유리하나 전체적인 단차를 높여 후속의 사진식각 공정을 어렵게 하는 문제가 있다.

본 발명은 이러한 문제를 해결하기 위한 것으로, 커패시터 용량을 증대시키면서 커패시터 형성에 따른 단차의 증가를 억제시킬 수 있는 반도체 메모리장치의 커패시터 제조방법을 제공하는 것을 그 목적으로 한다.

상기 목적을 달성하기 위한 본 발명은, 트랜지스터 및 비트라인 형성이 완료된 반도체 기판 상부에 층간 절연막을 형성하여 표면을 평탄화하는 제1단계; 상기 층간절연막 상에 소정의 식각제에 대해 각기 다른 식각속도를 갖는 절연막들을 적어도 2층 적층하는 제2단계; 상기 적층된 절연막들을 선택적으로 식각하여 적층구조의 절연막 패턴을 형성하는 제3단계; 상기 제3단계가 완료된 상기 반도체 기판 상에 제1도전층을 형성하는 제4단계; 상기 제1도전층, 상기 절연막 패턴 및 상기 층간절연막을 선택적으로 식각하여 상기 반도체 기판을 노출시키는 콘택홀을 형성하는 제5단계; 상기 콘택홀 측면에 노출된 상기 절연막 패턴을 상기 식각제로 처리하여 상기 콘택홀의 측면에 굴곡을 형성하는 제6단계; 상기 콘택홀 바닥, 측면 및 상기 제1도전층 상에 제2도전층을 형성하는 제7단계; 상기 제2도전층 및 상기 제1도전층을 선택적으로 식각하여 그 단부가 상기 콘택홀 주변의 상기 절연막 패턴 및 상기 층간절연막을 덮으며 그 중심부가 상기 콘택홀 측벽 및 바닥을 감싸서, 상기 층간절연막 상부에 상기 반도체 기판과 평행한 방향으로 굴곡을 가지며 상기 콘택홀 측벽에도 굴곡을 갖는 하부전극을 형성하는 제8단계; 및 상기 하부전극상에 유전체막 및 상부 전극을 형성하는 제9단계를 포함하는 반도체 메모리장치 제조방법을 제공한다.

상기 제3단계에서, 상기 절연막 패턴을 적어도 하나 형성한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.

제1(a)도 내지 제1(f)도에 본 발명의 제1실시예에 의한 반도체 메모리장치의 커패시터 제조방법을 공정순서에 따라 도시한 바, 이를 참조하여 본 발명의 제1실시예에 의한 반도체 메모리장치의 커패시터 제조방법을 설명하면 다음과 같다.

먼저, 제1(a)도에 도시된 바와 같이 통상적인 DRAM 커패시터 제조공정과 동일한 공정을 통해 비트라인까지 형성한다. 즉, 필드산화막(2)에 의해 활성영역과 소자분리영역으로 구분된 반도체기판(1)상의 소정영역에 게이트산화막(3)과 게이트전극(4)을 형성하고, 게이트 전극(4) 측벽에 측벽절연막(5)을 형성한 후, 기판과 반대도전형의 불순물을 이온주입하여 소오스(6)와 드레인(7)을 형성한다. 이어서 기판 전면에 제1층간절연막(8)을 형성한 후, 이를 선택적으로 식각하여 상기 드레인(7)을 노출시키는 콘택홀을 형성한 다음, 이 콘택홀을 통해 드레인(7)과 접속되는 비트라인(9)을 형성하는 것이다. 이와 같이 비트라인(9) 형성공정까지 마친 다음, 기판 전면에 제2 층간절연막(10)으로서, 예컨대 BPSG(borophospho-silicate glass)를 증착하거나 또는 산화막과 BPSG로 이루어진 이중구조의 절연막을 형성하여 기판 표면을 평탄화시킨다. 이때, 상기 제2 층간절연막(10)의 두께는 하부층의 비트라인(9) 또는 필드산화막(2) 상의 게이트전극(4) 위에서 최소 1000Å 이상이 되도록 한다. 이어서 상기 층간절연막(10) 위에 제1절연막(11)으로서, 예컨대 PSG(phospho-silicate glass)를 증착하고 제1절연막(11)위에 제2절연막(12)으로서, 예컨대 산화막을 형성한다. 이때, 상기 PSG막의 습식식각속도(wet etch rate)가 HF 또는 BOE(buffered oxide etchant)에서 PSG막 상,하부의 산화막(12)과 BPSG막(10)의 식각속도보다 최소한 10배 이상 빠르게 되도록 PSG막내의 인(phosphorus)의 농도를 조절하여 형성한다. 예를 들면, PSG막의 인의 농도가 7wt%이상인 되도록 하는 것이 바람직하다.

다음에 제1(b)도에 도시된 바와 같이 사진식각공정에 의해 상기 제2절연막(12) 및 제1절연막(11)을 선택적으로 식각하여 제1 및 제2절연막이 적층된 소정의 절연막패턴(13)을 형성한다. 이어서 기판 전면에 제1도전층(14)으로서, 예컨대 폴리실리콘층(14)을 형성한다.

이어서 제1(c)도에 도시된 바와 같이 사진식각공정으로 통해 상기 폴리실리콘층(14), 절연막패턴(13), 제2 층간절연막(10) 및 제1 층간절연막(8)을 선택적으로 제거하여 상기 소오스(6)를 노출시키는 콘택홀(15)을 형성한다.

다음에 제1(d)도에 도시된 바와 같이 상기 콘택홀(15)의 측면식각(side etch)을 실시하는바, 이 식각공정은 후속공정인, 상기 콘택홀을 통해 기판의 소오스영역(6)과 접속되는 커패시터 하부전극 형성공정 전에 수행되는 세정(cleaning) 공정시 함께 행해지게 된다. 즉, 하부전극을 이루는 도전층인 폴리실리콘과 소오스영역과의 콘택저항이, 폴리실리콘과 소오스영역 사이의 계면에 형성된 자연산화막(native oxide)등에 의해 높아지는 것을 방지하기 위해 HF 또는 BOE를 이용하여 자연산화막을 제거하는 세정공정을 실시하는데 제1(d)도에 도시된 바와 같이 콘택홀(15)을 제외한 모든 부분은 제1도전층인 폴리실리콘층(14)으로 덮여 있으므로 콘택홀(15) 내부의 산화막들만 식각되게 된다. 이때, PSG막으로 이루어지는 제1 절연막(11)의 식각속도가 BPSG로 이루어지는 제2 층간절연막(10) 및 산화막(12)의 식각속도보다 10배 이상 빠르므로 제1(d)도에 도시된 바와 같이 PSG막(11)이 상대적으로 훨씬 많이 식각된 형태의 콘택홀(15) 측면은 굴곡진 프로파일을 갖게 된다.

다음에 제1(e)도에 도시된 바와 같이 기판 전면에 제2도전층으로서, 예컨대 제2 폴리실리콘층(16)을 형성한다. 이때, 상기 폴리실리콘층(16)은 콘택홀(15)을 통해 소오스(6)와 접촉하게 된다. 이어서 DRAM의 단위 셀당으로 커패시터가 각각 분리되도록 사진식각공정을 통해 상기 제1 폴리실리콘층(14) 및 제2 폴리실리콘층(16)을 선택적으로 식각한다. 이와 같이 함으로써 제1 폴리실리콘층(14)과 제2 폴리실리콘층(16)으로 이루어진 커패시터 하부전극(17)이 형성되게 된다. 여기서, 커패시터 하부전극을 이루는 상기 제2 폴리실리콘층(16)은 그 측면이 굴곡진 콘택홀(15) 내면을 따라 형성되므로 커패시터 하부전극의 면적이 넓어져 커패시터 용량을 증대시킬 수 있게 된다. 또한, 하부전극(17)이 제2 층간절연막(10) 상부에 반도체 기판(1) 방향을 따라 굴곡을 가지며 트랜지스터 및 비트라인(9)과 중첩되어 전하저장 면적을 확보할 수 있으면서 단차의 발생을 방지할 수 있다.

다음에 제1(f)도에 도시된 바와 같이 커패시터 하부전극(17)이 형성된 기판 전면에 커패시터 유전체막(18)으로서, 예컨대 ONO(Oxide /Nitride/Oxide) 또는 NO(Nitride/Oxide)구조의 유전체막을 형성한다. 이어서 상기 유전체막(18) 전면에 제3도전층으로서, 예컨대 폴리실리콘을 증착하여 커패시터 상부전극(19)을 형성함으로써 하부전극(17)과 유전체막(18) 및 상부전극(19)으로 이루어진 커패시터를 완성한다.

이후의 공정은 통상적인 반도체 메모리장치 제조공정에 따라 진행된다.

한편, 상기 제1, 제2 및 제3도전층은 불순물이 도핑된 폴리실리콘을 증착하여 형성하거나 또는 폴리실리콘을 증착한 후 불순물을 이온주입하여 형성하는 것이 바람직하다. 이때, 도핑되거나 이온주입되는 불순물로는 인(phosphorus)이나 비소(arsenic)를 이용하는 것이 바람직하다.

다음에 제2(a)도 제2(b)도를 참조하여 본 발명의 제2 실시예에 의한 반도체 메모리장치의 커패시터 제조 방법을 설명하면 다음과 같다.

먼저, 제2(a)도에 도시된 바와 같이 상기 제1실시예의 제1(a)도의 공정과 동일한 공정을 진행하여 제1 및 제2절연막(11, 12)까지 형성한다.

이어서, 제2(b)도에 도시된 바와 같이 사진식각공정에 의해 상기 제2절연막(12) 및 제1절연막(11)을 선택적으로 식각하여 제1 및 제2절연막이 적층된 소정의 절연막패턴(13A)을 형성한다. 이때, 상기 절연막패턴(13A)은 커패시터 하부전극이 형성될 영역과 단위셀과 셀 사이의 커패시터 하부전극이 분리되는 영역에 각각 형성되도록 한다.

단위셀과 셀 사이의 분리영역에 형성되는 절연막패턴(13A)은 가능한 한 좁은 폭으로 형성하는 것이 커패시터 용량을 증대시키는데 바람직하다. 이어서 기판 전면에 제1도전층으로서, 예컨대 폴리실리콘층(14)을 형성한다.

이후의 공정은 상기 제1실시예의 제1(c)도 내지 제1(f)도의 공정과 동일하므로 그 설명은 생략하기로 한다.

전술한 바와 같이 이루어지는 본 발명은 그 단부가 콘택홀(15) 주변의 상기 절연막 패턴(13, 13A)을 덮으며 그 중심부가 상기 콘택홀 측벽 및 바닥을 감싸서, 상기 콘택홀(15) 내부 및 상기 층간절연막(10) 상부에 각각 굴곡을 갖는 하부전극(17)을 형성할 수 있다. 즉, 하부전극(17)은 기판과 평행한 방향으로 굴곡을 가지게 되어 단차가 심화되는 것을 방지할 수 있다.

한편, 제2실시예의 경우에는 제2(f)도에 도시된 바와 같이 콘택홀 측면뿐 아니라 필드산화막, 트랜지스터 및 비트라인 상부에 형성되는 절연막패턴으로 인해 이 절연막패턴과 그와 인접한 절연막패턴 사이에도 굴곡이 형성되게 되므로 제1실시예의 경우 보다 더욱 큰 커패시터 하부전극 면적이 확보되게 된다. 따라서 보다 큰 용량의 커패시터를 얻을 수 있다.

상기 제1 및 제2 실시예에서는 층간절연막(10)상에 제1 및 제2절연막으로 이루어진 2층 구조의 절연막 패턴을 형성하였으나, 식각속도가 각기 다른 절연막들을 2층이상으로 형성하는 것도 가능하다. 예를 들면, PSG막(11) 및 산화막(12)을 형성한 후, 이 위에 다시 PSG막과 산화막을 형성한다. 이 경우, 제1(d)도 및 제2(d)도의 공정에서 2층의 PSG막의 식각이 많이 이루어지게 되므로 콘택홀(15) 측면에 더욱 많은 굴곡이 형성되게 되어 결과적으로 이 위에 형성되는 커패시터 하부전극의 표면적이 더욱 증가된다. 따라서 보다 큰 커패시터 용량을 확보할 수 있게 된다.

이상 상술한 바와 같이 본 발명은 반도체 메모리장치의 커패시터를 제조함에 있어서, 각각 식각속도가 다른 절연막들로 이루어진 적층구조의 절연막을 이용하여 콘택홀 측면에 굴곡을 주어 표면 면적을 증가시킴으로써 그 위에 형성되는 커패시터 하부전극의 표면적까지 증가되도록 하여 커패시터 용량의 증대를 도모한다.

또한, 상기 적층된 절연막패턴을 소자의 단차가 다른 지역에 비해 낮은 영역에 형성함으로써 전체적으로는 단차가 크게 발생하지 않도록 하여 후속공정이 용이해지도록 한다.

이상에서 설명한 본 발명은 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것으로, 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

## (57) 청구의 범위

### 청구항 1

트랜지스터 및 비트라인 형성이 완료된 반도체 기판 상부에 층간절연막을 형성하여 표면을 평탄화하는 제1단계; 상기 층간절연막 상에 소정의 식각체에 대해 각기 다른 식각속도를 갖는 절연막들을 적어도 2층 적층하는 제2단계; 상기 적층된 절연막들을 선택적으로 식각하여 적층구조의 절연막 패턴을 형성하는 제3단계; 상기 제3단계가 완료된 상기 반도체 기판 상에 제1도전층을 형성하는 제4단계; 상기 제1도전층, 상기 절연막 패턴 및 상기 층간절연막을 선택적으로 식각하여 상기 반도체 기판을 노출시키는 콘택홀을 형

성하는 제5단계; 상기 콘택홀 측면에 노출된 상기 절연막 패턴을 상기 식각제로 처리하여 상기 콘택홀의 측면에 노출된 상기 절연막 패턴에 굴곡을 형성하는 제6단계; 상기 콘택홀 바닥, 측면 및 상기 제1도전층 상에 제2도전층을 형성하는 제7단계; 상기 제2도전층 및 상기 제1도전층을 선택적으로 식각하여 그 단부가 상기 콘택홀 주변의 상기 절연막 패턴 및 상기 층간절연막을 덮으며 그 중심부가 상기 콘택홀 측벽 및 바닥을 감싸서, 상기 층간절연막 상부에 상기 반도체 기판과 평행한 방향으로 굴곡을 가지며 상기 콘택홀 측벽에도 굴곡을 갖는 하부전극을 형성하는 제8단계; 및 상기 하부전극상에 유전체막 및 상부전극을 형성하는 제9단계를 포함하는 반도체 메모리장치 제조방법.

## 청구항 2

제1항에 있어서, 상기 제2 단계에서, 상기 층간절연막 상에 PSG막과 산화막을 차례로 증착하여 상기 적층구조의 절연막을 형성하는 것을 특징으로 하는 반도체 메모리장치 제조방법.

## 청구항 3

제2항에 있어서, 상기 제6 단계에서 상기 식각제로 HF 또는 BOE를 이용하는 것을 특징으로 하는 반도체 메모리장치 제조방법.

## 청구항 4

제3항에 있어서, 상기 HF 또는 상기 BOE에서 상기 PSG막의 식각속도는 상기 산화막 및 상기 층간절연막의 식각속도 보다 적어도 10배 빠른 것을 특징으로 하는 반도체 메모리 장치 제조방법.

## 청구항 5

제4항에 있어서, 상기 PSG막내의 인의 농도는 적어도 7wt%인 것을 특징으로 하는 반도체 메모리 장치 제조방법.

## 청구항 6

제1항에 있어서, 상기 제3단계에서, 상기 절연막 패턴을 적어도 하나 형성하는 것을 특징으로 하는 반도체 메모리 장치 제조방법.

## 청구항 7

제1항에 있어서, 상기 하부전극은, 상기 트랜지스터 및 상기 비트라인과 중첩되는 것을 특징으로 하는 반도체 메모리 장치 제조방법.

## 청구항 8

제1항에 있어서, 상기 제1 단계에서, 상기 층간절연막은 BPSG를 증착하여 형성하거나 산화막 및 BPSG로 이루어진 이중구조의 절연막으로 형성하는 것을 특징으로 하는 반도체 메모리장치 제조방법.

## 청구항 9

제1항에 있어서, 상기 제6 단계에서, 상기 콘택홀 바닥에 노출된 상기 반도체 기판의 자연산화막을 동시에 제거하는 것을 특징으로 하는 반도체 메모리장치 제조방법.

## 청구항 10

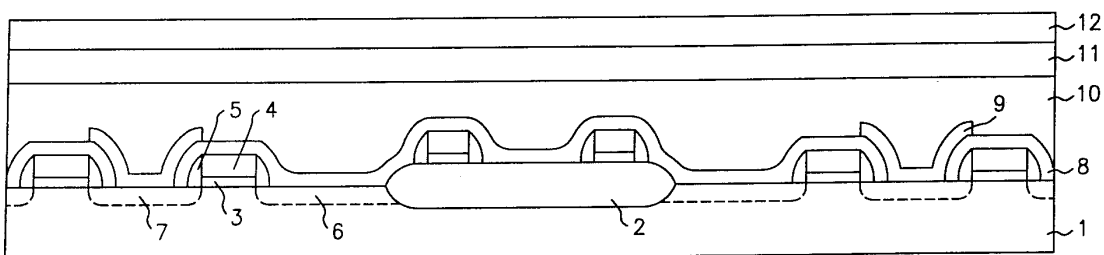
제1항에 있어서, 상기 제1도전층 및 제2도전층을 각각 폴리실리콘층으로 형성하는 것을 특징으로 하는 반도체 메모리장치 제조방법.

## 청구항 11

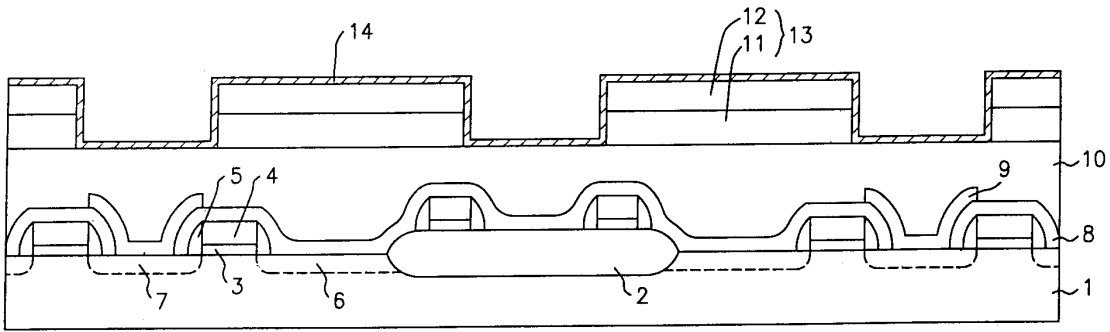
제1항에 있어서, 상기 제9단계에서, 상기 유전체막을 ONO 또는 NO로 형성하는 것을 특징으로 하는, 반도체 메모리장치 제조방법.

## 도면

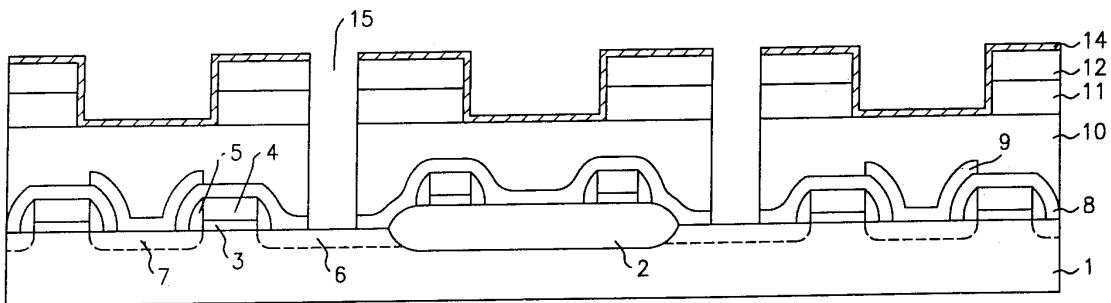
도면 1a



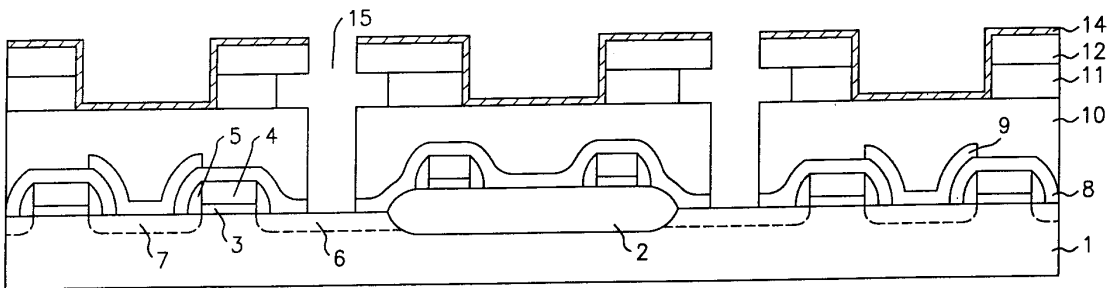
도면 1b



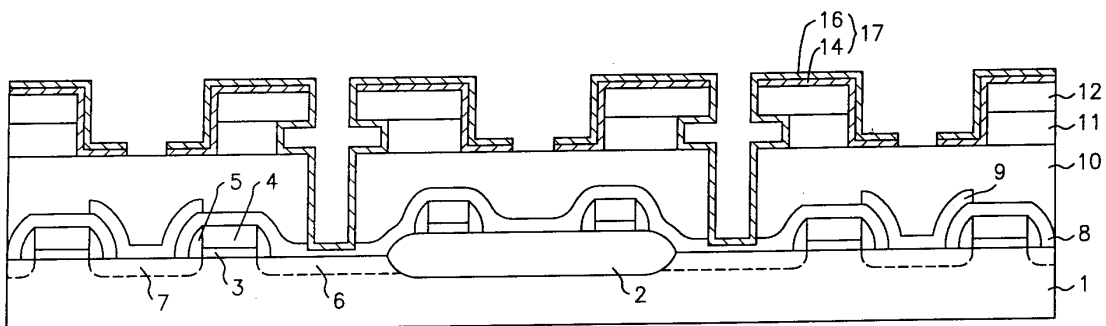
도면 1c



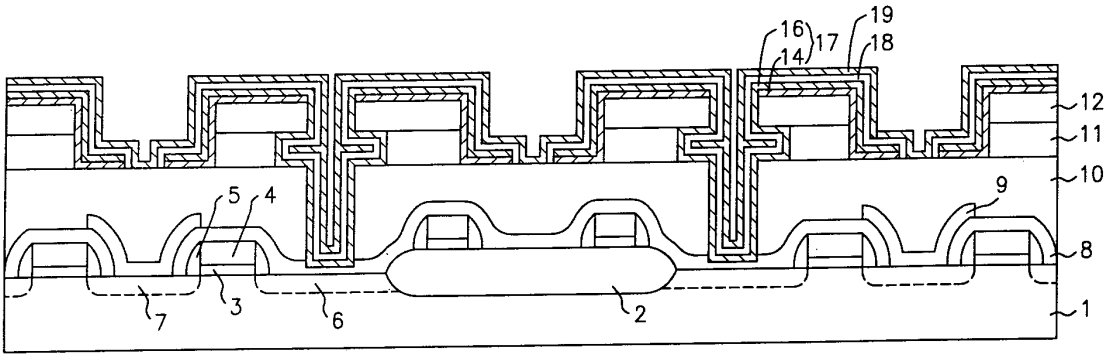
도면 1d



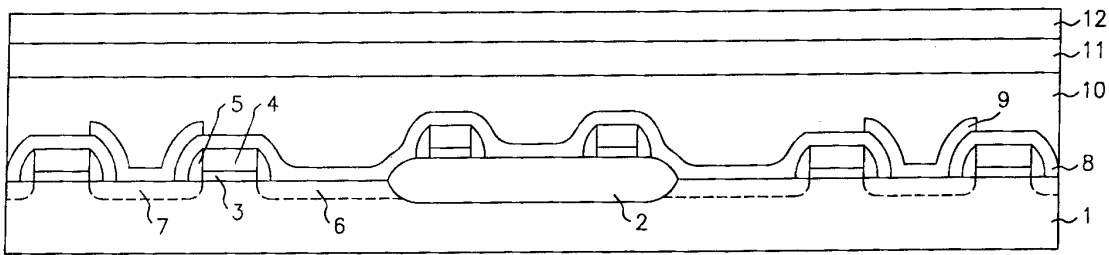
도면 1e



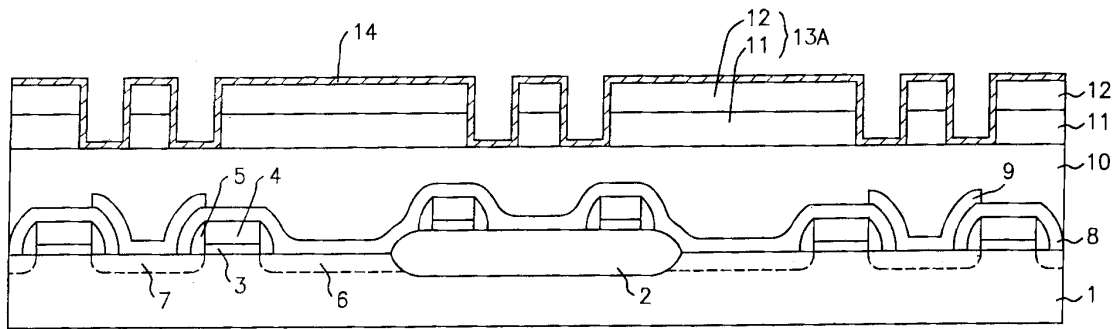
도면1f



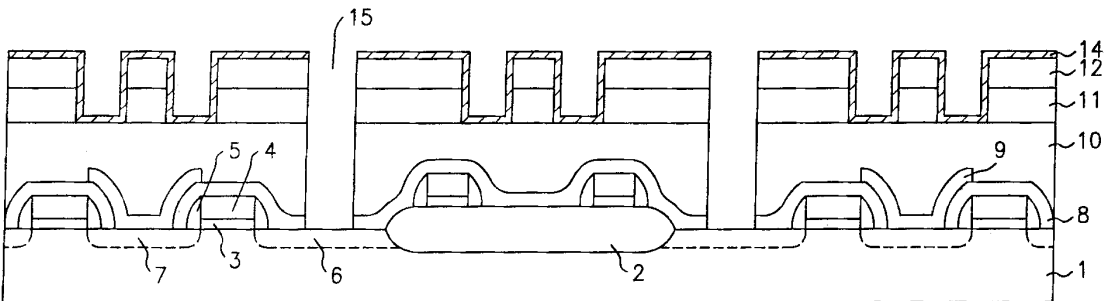
도면2a



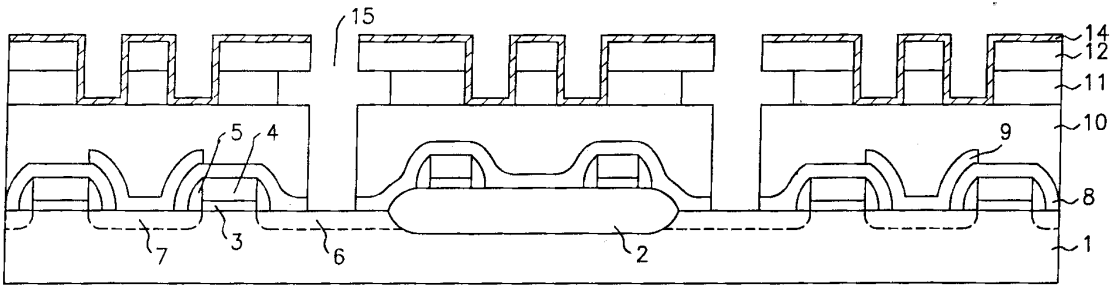
도면2b



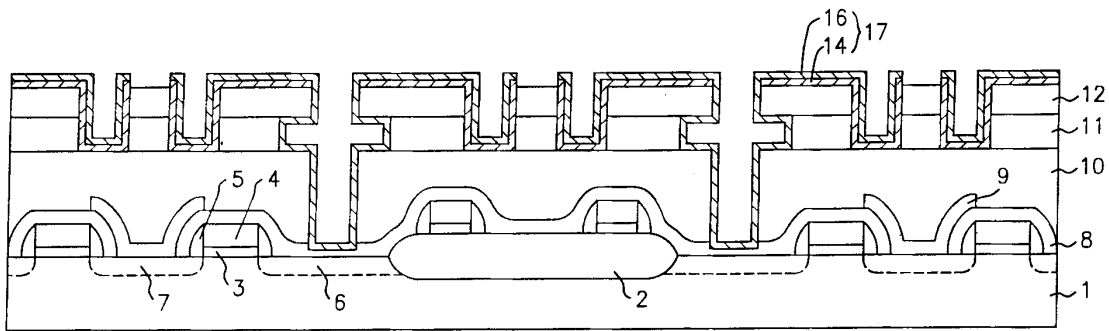
도면2c



도면2d



도면2e



도면2f

