

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4115028号  
(P4115028)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int.Cl.	F I
HO 1 L 23/50 (2006.01)	HO 1 L 23/50 X
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 B

請求項の数 6 (全 12 頁)

(21) 出願番号	特願平11-39247	(73) 特許権者	000005223
(22) 出願日	平成11年2月17日(1999.2.17)		富士通株式会社
(65) 公開番号	特開2000-243893(P2000-243893A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成12年9月8日(2000.9.8)	(74) 代理人	100094525
審査請求日	平成16年3月24日(2004.3.24)		弁理士 土井 健二
		(74) 代理人	100094514
			弁理士 林 恒徳
		(72) 発明者	神田 博美
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	柳川 幹
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 集積回路デバイス及びそれを搭載したモジュール

(57) 【特許請求の範囲】

【請求項1】

アドレス信号とコマンド信号とはクロックに同期して入力され、データの入力と出力は前記クロックとは異なるデータ入出力ストロープ信号の立ち上がりエッジと立ち下がりエッジに同期して行われる、複数のデータ入出力端子を有する集積回路デバイスであって、

集積回路が形成され、第1の辺に沿って前記複数のデータ入出力端子とデータ入出力用電源端子とを有するデータ入出力端子群が形成されたチップと、

前記チップ上の前記複数のデータ入出力端子と接続されるデータ入出力端子用リード群と、前記チップ上に延長され前記データ入出力用電源端子に接続される入出力用電源端子用リードと、前記チップと前記リードの一部を被覆するパッケージ部とを有し、

前記データ入出力端子用リード群が、前記第1の辺に対向する、前記パッケージ部の第1の辺に沿って配置された集積回路デバイスにおいて、

前記データ入出力端子群は、更に、前記データ入出力ストロープ信号が入力するデータ入出力ストロープ信号端子を含み、

更に、前記チップは、アドレス端子とコマンド端子及び前記クロックが入力されるクロック端子とを含む共通信号端子群を、前記第1の辺と異なる辺上に配置したことを特徴とする集積回路デバイス。

【請求項2】

アドレス信号とコマンド信号とはクロックに同期して入力され、データの入力と出力は前記クロックとは異なるデータ入出力ストロープ信号の立ち上がりエッジと立ち下がりエ

ッジに同期して行われる、複数のデータ入出力端子を有する集積回路デバイスであって、  
集積回路が形成され、第1の辺に沿って前記複数のデータ入出力端子とデータ入出力用  
電源端子とを有するデータ入出力端子群が形成されたチップと、  
前記チップ上の前記複数のデータ入出力端子と接続されるデータ入出力端子用リード群  
と、

前記チップ上に延長され前記データ入出力用電源端子に接続される入出力用電源端子用  
リードと、前記チップと前記リードの一部を被覆するパッケージ部とを有し、

前記データ入出力端子用リード群が、前記第1の辺に対向する、前記パッケージ部の第  
1の辺に沿って配置され、

前記データ入出力用電源端子用リードの一端は前記チップ上に延長され、他端は、前記  
パッケージ部の前記第1の辺上であって、前記データ入出力端子用リード群の外側に配置  
されることを特徴とする集積回路デバイスにおいて、

前記データ入出力端子群は、更に、前記データ入出力クロック信号がするデータ  
入出力クロック信号端子を含み、

更に、前記チップは、アドレス端子とコマンド端子及び前記クロックがされるクロ  
ック端子とを含む共通信号端子群を、前記第1の辺と異なる辺上に配置したことを特徴と  
する集積回路デバイス。

#### 【請求項3】

請求項1または2において、

前記入出力用電源端子用リードが、前記チップ上で高電源用リードと低電源用リードを  
有する複数層構造を有し、当該高電源用リードと低電源用リードとの間に誘電体層を介在  
して電源コンデンサを構成することを特徴とする集積回路デバイス。

#### 【請求項4】

請求項1または2において、

前記共通信号端子群に接続される共通信号端子用リード群が、一端が前記チップ上の共  
通信号端子群の近傍まで延在し、他端が、前記パッケージの第1の辺と隣接する第2又は  
第3の辺上で外部に引き出されていることを特徴とする集積回路デバイス。

#### 【請求項5】

請求項1に記載された複数の集積回路デバイスが、モジュール基板上に並べて搭載され  
、前記集積回路デバイスの第1の辺が、前記モジュール基板の第1の辺に対向するように  
配置され、前記データ入出力端子用リード群が前記モジュール基板の第1の辺に沿って設  
けられたモジュール外部端子群と、それぞれ対向する位置同志で基板内配線により接続さ  
れていることを特徴とするモジュール。

#### 【請求項6】

請求項4に記載された複数の集積回路デバイスが、モジュール基板上に並べて搭載され  
、前記集積回路デバイスの第1の辺が、前記モジュール基板の第1の辺に対向するよう  
に配置され、前記データ入出力端子用リード群が前記モジュール基板の第1の辺に沿って設  
けられたモジュール外部端子群と、それぞれ対向する位置同志で基板内配線により接続さ  
れ、

前記複数の集積回路デバイスの共通信号端子用リード群が、前記モジュール基板上に配  
置されたモジュール共通信号端子用配線と並列に接続されることを特徴とするモジュール  
。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体基板などを利用した集積回路デバイス及びそれを搭載したモジュールに  
関し、特に、高速なデータの入出力に対応した新規なチップ上の外部端子と外部リードと  
の構成を有するメモリデバイスなどの集積回路デバイスとそれを搭載したモジュールに関  
する。

##### 【0002】

10

20

30

40

50

### 【従来の技術】

集積回路デバイスは、半導体基板内に集積回路と外部との接続用の外部端子とを形成したチップと、その外部端子を外部に引き出す複数のリードと、チップ全部とリードの一部を被覆するプラスチック樹脂からなるパッケージとを有する。複数のリードとチップ上の外部端子とは、通常はワイヤーボンディング法により取り付けられる接続用ワイヤーにより接続される。また、このように内部にチップを有し外部に複数のリードを引き出した集積回路デバイスは、小さなプリント基板上に複数個搭載され、モジュールの形態にされる。集積回路デバイスが例えばDRAMなどのメモリデバイスの場合は、複数のメモリデバイスをプリント基板上に搭載してメモリモジュールとして利用される。メモリモジュールのプリント基板の一辺には、複数の接続端子が設けられ、メモリモジュール基板の一辺がマザーボード上のメモリモジュールコネクタに差し込まれることで搭載される。

10

### 【0003】

図1は、従来の集積回路デバイスの構造を示す図である。この例は、同期型のDRAM(SDRAM)からなるメモリデバイス20の構造である。半導体基板からなるチップ10には、図示しないメモリ回路が形成され、チップの中央部に一列に、外部端子16が設けられる。外部端子16には、アドレス端子A0～A12、電源端子VCC、VSS、コマンド信号端子/CS、/RAS、/CAS、/WE、クロックCLK、データの入出力端子DQ0～DQ15、入出力端子用の電源端子VCCQ、VSSQ、入出力マスク信号端子DQMU、DQMLなどが含まれる。このように、外部端子をチップ10の中央部に一列に配置することにより、チップ内部での配線を左右対称に且つ均等な長さにレイアウトすることが可能になり、高速メモリデバイスとして好都合である。

20

### 【0004】

これらのチップ上の外部端子16と接続するために、複数のリード12がチップ10の外部からチップ上に延長され、ワイヤー18により接続される。そして、チップ10全体とリード12の一部が、プラスチックモールドよりなるパッケージ14により被覆され、リード12の他端は外部に引き出される。このように、チップ10上にリードが延長される構成は、一般にリード・オン・チップ構造と称され、DRAMなどのメモリデバイスでは広く利用される。

### 【0005】

図2は、図1のメモリデバイスを搭載したメモリモジュールの例を示す図である。図2には、プリント基板からなるモジュール基板22上に複数のメモリデバイス20が搭載された場合の一部分が示される。具体的には、例えばモジュール基板22の左右に4個ずつのメモリデバイス20が搭載されるが、図2には、その中央部の右側の2個のメモリデバイスが示されるだけである。モジュール基板22の下側の一辺には、メモリデバイスのリードとモジュール基板内配線を介して接続される外部端子群が形成される。

30

### 【0006】

そして、複数のメモリデバイスに共通のクロックCLK、コマンド/CS、/RAS、/CAS、/WE、アドレス信号A0～A12に対する共通外部端子群24は、基板22の中央部に集中して設けられ、それらからモジュール基板22の内部配線25により、左右のメモリデバイス20に並列に供給される。従って、それぞれのメモリデバイス20の上部に、これらのリード端子群が設けられる。また、各メモリデバイス20に固有のデータ入出力端子DQ0～DQ15と、その入出力マスク信号DQMやデータ入出力のタイミングを制御するDQストロブ信号DQS等のメモリデバイスに個別の外部端子群23は、それぞれのメモリデバイス20の位置に対応する位置に設けられる。そして、図される如くメモリデバイスの下半分に位置するリード群とモジュール基板22の外部端子群23とが、内部配線で接続される。尚、データ入出力用の電源VCCQ、VSSQとは、図示しない電源配線により接続される。

40

### 【0007】

#### 【発明が解決しようとする課題】

ところで、近年においてデータの入出力速度をより高速化するための、ダブル・データ・

50

レート（DDR）型のSDRAMが提案されている。この高速型のSDRAMでは、アドレスやコマンド信号は、クロックCLKに同期して入力されるが、データの出力は、クロックCLKとは異なるデータ入出力ストロブ信号DQSの立ち上がりエッジと立ち下がりエッジに同期して行われる。従って、データ入出力端子DQと、そのマスクを制御するデータマスク信号DQMに加えて、データ入出力ストロブ信号DQSは、より高速動作が要求され、従って、メモリモジュール内のモジュール基板内での配線長もそれぞれ同程度であることが、タイミング制御の理由から好ましい。

【0008】

しかしながら、図2に示した通り、従来のメモリデバイス構造では、メモリデバイス20の両側にデータ入出力端子DQ、データマスク信号DQM、そしてデータ入出力ストロブ信号DQSが設けられ、モジュール基板22の下辺の外部端子群と接続する配線の長さが、均一にならない。図2の例では、同じデータ入出力端子DQ1とDQ14に対する基板内配線は、一方が他方に比べて極端に短くなる。また、データマスク信号DQM、DQLに対する基板内配線も、一方が長く、他方が短くなっている。これらの信号は、いずれも高速動作の理由から、メモリデバイス上でのタイミングはできるだけそろっていることが要求されるが、上記の如き基板内配線の長さのばらつきは、かかる要求を満たすことはできない。

10

【0009】

更に、図2の例では、データ入出力ストロブ信号DQSのモジュール基板内での配線の長さに比較して、データ入出力端子DQ1やデータマスク信号DQMLもモジュール基板内での長さが長くなり、アンバランスとなり、ストロブ信号DQSのタイミングとデータ入出力端子DQ1やデータマスク信号DQMLとのタイミングにずれが発生し、メモリデバイス20内での両者の同期がとれなくなる。更に、一部のデータ入出力端子やデータマスク信号等のモジュール基板内での配線長さが長くなり、そこでの配線容量による伝播信号の波形がなまってしまい、入出力電圧レベルの規格を満足できなくなる。

20

【0010】

そこで、本発明の目的は、データ入出力端子等に接続されるモジュール基板内配線の長さを全て同等にすることに適した集積回路デバイス及びそれを利用したモジュールを提供することにある。

【0011】

更に、本発明の目的は、データ入出力端子等に接続されるモジュール基板内配線の長さを最短にすることに適した集積回路デバイス及びそれを利用したモジュールを提供することにある。

30

【0012】

更に、本発明の目的は、アドレスやコマンド信号端子に接続される共通の基板内配線の配置を容易にすることに適した集積回路デバイス及びそれを利用したモジュールを提供することにある。

【0013】

【課題を解決するための手段】

上記の目的を達成するために、本発明は、チップの第1の辺に沿ってデータ入出力端子群を配置する。そして、第1の辺に沿ってデータ入出力端子用リード群を配置し、チップ上のデータ入出力端子群と接続することを特徴とする。このデータ入出力端子群には、複数のデータ入出力端子DQと、そのタイミングを制御するデータ入出力ストロブ信号の端子DQSと、データ入出力用電源端子VCCQ、VSSQと、必要に応じてデータマスク信号の端子DQMが含まれる。これらのデータ入出力端子用リード群は、データ入出力端子DQとデータ入出力ストロブ信号端子DQSに接続され、チップの第1の辺に沿って配置されるので、プラスチックモールド等により封止された後のデバイスにおいて、上記第1の辺に沿って一列にデータ入出力端子群用のリード端子群が配置される。

40

【0014】

従って、この集積回路デバイスをモジュール基板上に複数個搭載しても、その第1の辺に

50

対向するモジュール基板の辺上にデータ入出力端子群用の外部端子を配置し、リード端子群と最短距離で同等の長さの基板内配線で接続することが可能になる。

【 0 0 1 5 】

尚、データ入出力端子群には、データ入出力回路用の電源端子VCCQとVSSQとが複数個混在する。そして、チップ内の外部端子のピッチに比べてリードのピッチが大きくなる傾向にある。従って、本発明では更に、データ入出力回路用の電源端子群に対するリードは、チップ上に延長されたリード・オン・チップ構造にし、上記集積回路デバイスの第1の辺に並べられた複数のデータ入出力用リード群の幅と、チップ上のデータ入出力端子群の幅とがバランスするようにする。

【 0 0 1 6 】

上記の目的は、本発明によれば、複数のデータ入出力端子を有する集積回路デバイスにおいて、

集積回路が形成され、第1の辺に沿って前記複数のデータ入出力端子とデータ入出力用電源端子とを有するデータ入出力端子群が形成されたチップと、

前記第1の辺に対向する第1の辺に沿って配置され、前記チップ上のデータ入出力端子と接続されるデータ入出力端子用リード群と、

前記チップ上に延長され前記データ入出力用電源端子に接続される入出力用電源端子用リードと

前記チップと前記リードの一部を被覆するパッケージ部とを有することを特徴とする。

【 0 0 1 7 】

更に、上記の発明において、

前記データ入出力用電源端子用リードの一端は前記チップ上に延長され、他端は、前記パッケージ部の前記第1の辺上であって、前記データ入出力端子用リード群の外側に配置されることを特徴とする。

【 0 0 1 8 】

更に、上記の発明において、

前記データ入出力端子群は、更に、データ入出力のタイミングを制御するデータ入出力クロック信号端子を含み、更に、前記チップは、アドレス端子とコマンド端子及びそれらのタイミングを制御するクロック端子とを含む共通信号端子群を、前記第1の辺と異なる辺上に配置したことを特徴とする。

【 0 0 1 9 】

更に、上記の発明において、

前記入出力用電源端子用リードが、前記チップ上で高電源用リードと低電源用リードを有する複数層構造を有し、当該高電源用リードと低電源用リードとの間に誘電体層を介して電源コンデンサを構成することを特徴とする。

【 0 0 2 0 】

更に、上記の発明において、

前記共通信号端子群に接続される共通信号端子用リード群が、一端が前記チップ上の共通信号端子群の近傍まで延在し、他端が、前記パッケージの第1の辺と隣接する第2又は第3の辺上で外部に引き出されていることを特徴とする。

【 0 0 2 1 】

上記の目的を達成するために、第2の発明は、モジュールに関し、上記発明の複数の集積回路デバイスが、モジュール基板上に並べて搭載され、前記集積回路デバイスの第1の辺が、前記モジュール基板の第1の辺に対向するように配置され、前記データ入出力端子用リード群が前記モジュール基板の第1の辺に沿って設けられたモジュール外部端子群と、それぞれ対向する位置同志で基板内配線により接続されていることを特徴とする。

【 0 0 2 2 】

上記の目的を達成するために、第2の発明は、モジュールに関し、上記発明の複数の集積回路デバイスが、モジュール基板上に並べて搭載され、前記集積回路デバイスの第1の辺が、前記モジュール基板の第1の辺に対向するように配置され、前記データ入出力端子用

10

20

30

40

50

リード群が前記モジュール基板の第1の辺に沿って設けられたモジュール外部端子群と、それぞれ対向する位置同志で基板内配線により接続され、前記複数の集積回路デバイスの共通信号端子用リード群が、前記モジュール基板上に配置されたモジュール共通信号端子用配線と並列に接続されることを特徴とする。

【0023】

上記発明によれば、半導体デバイスに固有のデータ入出力端子やそのストロープ信号端子は、デバイスから同じ距離でリード群に接続され、更に、そのリード群は、最短距離で且つ同等の距離でモジュール基板の外部端子に接続される。

【0024】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。本発明は、メモリモジュールをはじめとする広く集積回路デバイスとそのモジュールに適用できる。但し、以下の実施の形態例では、メモリモジュールとそのモジュールを例にして説明する。

【0025】

図3は、第1の実施の形態例におけるメモリデバイスを示す図である。この例では、チップ10の下辺である第1の辺に沿って、データ入出力端子群30Bが配置される。データ入出力端子群30Bには、データ入出力端子DQ0～DQ15、これらのデータ入出力のタイミングを制御するデータ入出力ストロープ信号端子DQS、及びデータ入出力のマスクのタイミングを制御するデータ入出力マスク信号端子DQML, DQMUを含む。更に、データ入出力端子群30Bには、図示しないチップ10上に形成されるデータ入出力回路に供給されるデータ入出力用電源端子VCCQ、VSSQを含み、それら4対の電源端子は、上記データ入出力端子群の間に設けられる。

【0026】

また、チップ10の第1の辺とは異なる上辺に沿って、共通信号端子群30Aが配置される。共通信号端子群30Aには、アドレス端子A0～A12と、コマンド端子/CS, /RAS, /CAS, /WEと、クロック端子CLKと、クロックイネーブル端子CKEと電源VCC、VSSとが含まれる。

【0027】

第1の実施の形態例におけるメモリデバイスには、更に、チップの外部端子群を外部に引き出すリード群12A, 12Bが設けられる。チップ10の第1の辺に対向する位置に、データ入出力端子用リード群33が配置される。このデータ入出力端子用リード群33は、データ入出力端子DQ0～DQ15、データ入出力マスク端子DQML, DQMU及びデータストロープ信号端子DQSに接続されるリードを含む。これらのリード群33は、その横幅が、チップ10内の入出力端子群30Bが配置される第1の辺の幅とほぼ同等になるように、配列される。そして、リード群33は、チップ10の第1の辺上に設けられたデータ入出力端子群30B内の対応する端子と、ワイヤーによって直接接続される。

【0028】

通常、チップ10上の外部端子群30Bのピッチは、それに接続されるリード群12Bより小さい。従って、両者の横幅を整合させることは困難である。そこで、第1の実施の形態例では、チップの第1の辺上に形成される外部端子群30Bの内、4対のデータ入出力用電源端子VCCQ、VSSQに対しては、チップ10上に延在する電源用リード34, 36を設け、第1の辺に対向する位置に配置されたリードではなく、それらの電源用リード34, 36とワイヤーを介して接続する。そして、その電源用リード34, 36は、第1の辺の両側の辺から迂回し、第1の辺に対向するパッケージ14の第1の辺(図中下辺)に延在される。その結果、電源用リード34, 36も、データ入出力端子用リード群33と同じ辺上に並べられる。

【0029】

一方、アドレス端子やコマンド端子等のメモリモジュール構成になった時に共通に接続される共通信号端子群30Aに対するリード群12Aは、チップ10の上辺に対向する边上

10

20

30

40

50

に、並べて配置される。そして、これらのリード群 1 2 A も、共通信号端子群 3 0 A の対応する端子とワイヤーによって接続される。

チップ 1 0 とリード群 1 2 A、1 2 B の一端を被覆するプラスチック樹脂からなるパッケージ 1 4 が設けられると、パッケージ 1 4 の下辺に沿って一列に、データ入出力端子用リード群 1 2 B が配置され、パッケージ 1 4 の上辺に沿って一列に、共通端子用リード群 1 2 A が配置される。

#### 【 0 0 3 0 】

図 4 は、第 2 の実施の形態例におけるメモリデバイスを示す図である。この例では、チップ 1 0 の構成は、第 1 の実施の形態例と同じである。即ち、チップ 1 0 の下辺に位置する第 1 の辺上に、データ入出力端子群 3 0 B は配置され、それに対向してデータ入出力端子用リード群 1 2 B が配置される。また、リード群 1 2 B の両端には、データ入出力端子群 3 0 B 内に配置された 4 対の電源端子と接続されるリード・オン・チップ構造の電源用リード 3 4、3 6 が引き出される。更に、チップ 1 0 の上辺には、共通信号端子群 1 2 A が設けられ、それに対向して共通信号端子用リード群 1 2 A が設けられ、ワイヤーを介して対応する端子とリードが接続される。

10

#### 【 0 0 3 1 】

第 2 の実施の形態例では、共通信号端子群 3 0 A 内に配置された電源 VCC、VSS に接続される電源用リード 3 8、3 9 が、リード・オン・チップ構造をなし、共通信号端子用リード群 1 2 A の両端に、引き出される。そして、データ入出力用電源用リード 3 4、3 6 は、チップ 1 0 上で比較的大きな面積を有して、階層構造で形成される。そして、これらのデータ入出力用電源用リード 3 4、3 6 の間には、図示しない誘電体層が形成され、両リード 3 4、3 6 とその誘電体層により、第 1 のチップコンデンサが構成される。即ち、データ入出力電源間に挿入される第 1 のチップコンデンサが、チップ 1 0 上の広い領域を利用して形成され、比較的大きな容量を実現することができる。この第 1 のチップコンデンサにより、データ入出力用電源間のノイズが、吸収される。

20

#### 【 0 0 3 2 】

また、共通信号端子側の電源用リード 3 8、3 9 も、リード・オン・チップ構造をなし、チップ 1 0 上で比較的広い面積を有して、階層構造に形成される。そして、これらの共通信号用電源用リード 3 8、3 9 間には、図示しない誘電体層が形成され、同様に第 2 のチップコンデンサが形成される。この第 2 のチップコンデンサも、両電源 VCC、VSS 間のノイズを吸収することができる。

30

第 2 の実施の形態例におけるメモリデバイスも、チップ 1 0 とリード群 1 2 A、1 2 B の一端を被覆するプラスチック樹脂からなるパッケージ 1 4 が設けられると、パッケージ 1 4 の下辺に沿って一列に、データ入出力端子用リード群 1 2 B が配置され、パッケージ 1 4 の上辺に沿って一列に、共通端子用リード群 1 2 A が配置される。

#### 【 0 0 3 3 】

図 5 は、第 1 及び第 2 のメモリデバイスを搭載したメモリモジュールを示す図である。第 1 及び第 2 のメモリデバイスは、第 1 の辺に沿ってデータ入出力端子用リード群 1 2 B を設け、第 1 の辺に対向する上辺に沿って共通信号端子用リード群 1 2 A を設けた。かかる複数のメモリデバイス 2 0 は、図 5 に示される通り、第 1 の辺が、モジュール基板 2 2 の下辺に対向するように配列される。従って、メモリデバイス 2 0 の個別のデータ入出力端子用リード群 1 2 B は、モジュール基板 2 2 の下辺に沿って形成されたモジュール用外部端子群の内、データ入出力用外部端子群 2 3 に対向して配置される。従って、リード群 1 2 B と外部端子群 2 3 とは、最短で同じ長さのモジュール内配線 5 6 によって、接続することができる。

40

#### 【 0 0 3 4 】

一方、各メモリデバイス 2 0 の共通信号用リード群 1 2 A は、第 1 の辺と対向する上辺に沿って配置される。従って、モジュール基板 2 2 の下辺に配置されたモジュール用外部端子群の内共通信号用外部端子群 2 4 に接続され、左右に配置される複数のメモリデバイス 2 0 に対して、並列にモジュール内配線 2 5 を設けることができる。図示されないが、

50

このモジュール内配線 25 は、クロック CLK、アドレス信号 A0 ~ A12、コマンド信号 /CS、/RAS、/CAS、/WE用のリード 12A に、接続される複数の配線群を有する。

【0035】

上記のメモリモジュール構成によれば、高速動作が要求されるデータ入出力信号に関するモジュール用外部端子 23、メモリデバイスのリード群 12B、及びチップ内の端子群 30B とが、それぞれほぼ等距離で最短のモジュール内配線 56、リード 12B 及びワイヤーで接続される。従って、高速動作に対してタイミングの整合性がとれ、また、信号波形のなまりの問題も解決される。

【0036】

図 6 は、第 3 の実施の形態例におけるメモリデバイスを示す図である。この例も、第 1 の実施の形態例と同様に、チップ 10 の第 1 の辺（下辺）上にデータ入出力端子群 30B が設けられ、それに対向する上辺に、共通信号端子群 30A が設けられる。また、第 1 の実施の形態例と同様に、データ入出力端子群 30B に対向して、リード群 12B が配置される。また、データ入出力端子群 30B 内の 4 対の電源端子 VCCQ、VSSQ に対しては、リード・オン・チップ構造の電源用リード 34、36 が、チップ上に延在して設けられて、チップ上の電源端子とワイヤーで接続される。そして、その電源リード 34、36 の他端が、リード群 12B の両端に引き出される。

【0037】

第 3 の実施の形態例における特徴的な点は、共通信号端子群 30A に接続されるリード群が、全てリード・オン・チップ構造をなし、その左半分のリード群 12C は、チップ 10 の第 1 の辺に対して左側の辺上に引き出される。また、右半分のリード群 12D は、チップ 10 の第 1 の辺に対して右側の辺上に引き出される。これらのリード群 12C、12D の配置は、モジュール基板上に搭載された時に、モジュール基板内配線との接続を容易にする。

【0038】

図 7 は、第 4 の実施の形態例におけるメモリデバイスを示す図である。この例では、データ入出力端子群 20B とそのリード群 12B とは、第 3 の実施の形態例と同じである。第 3 の実施の形態例と異なるところは、アドレス信号、コマンド信号、クロック CLK、クロックイネーブル CE 及び電源を含む共通信号端子群が、チップ 10 の左右の辺上に分かれて配置されている点である。この共通信号端子群 30C、30D に対向する位置に、それぞれのリード群 12C、12D が設けられ、ワイヤーを介して接続される。

【0039】

第 4 の実施の形態例において、チップ上の共通信号端子群 30C、30D を、図 1 に示される様に、チップ 10 上の中央部に一列に配置しても良い。そのようにチップ中央部に配列された共通信号端子群に対して、図 1 の様にリード・オン・チップ構造のリード群を設けてワイヤーで接続し、それらのリード群を左右の辺に分けて引き出しても良い。

【0040】

上記した第 3 及び第 4 の実施の形態例では、データ入出力端子用リード群 12B が、パッケージ 14 の第 1 の辺上に配列され、共通信号端子用リード群 12C、12D が、パッケージ 14 の左右の辺上に分かれて配置される。

【0041】

図 8 は、第 3 及び第 4 のメモリデバイスを搭載したメモリモジュールを示す図である。このメモリモジュールも、モジュール基板 22 の下辺にモジュール用外部端子群が形成される。そして、メモリデバイス 20 の下辺（第 1 の辺）にそって形成されるリード群 12B は、対向するモジュール用外部端子群 23 と直接、同じ長さで最短の配線 56 により接続される。更に、第 3、第 4 のメモリデバイスは、共通信号端子用リード群 12C、12D が、第 1 の辺の両側の左右の辺に沿って形成されるので、それらを共通に接続するモジュール内配線 25 も、横方向に沿って延在するよう設けられる。図示されないが、この配線 25 には、クロック CLK、クロックイネーブル CE、アドレス A0 ~ A12、及びコマンドに対するリードに接続されるそれぞれの配線が含まれ、各メモリデバイスの共通

10

20

30

40

50



信号端子用リード群 1 2 C , 1 2 D と並列に接続される。またこの配線 2 5 は、モジュール基板 2 2 の下辺上のモジュール用外部端子 2 4 に接続される。

【 0 0 4 2 】

図 8 のメモリモジュールにおいても、高速動作が要求されるデータ入出力信号に関するモジュール用外部端子 2 3、メモリデバイスのリード群 1 2 B、及びチップ内の端子群 3 0 B とが、それぞれほぼ等距離で最短のモジュール内配線 5 6 , リード 1 2 B 及びワイヤーで接続される。従って、高速動作に対してタイミングの整合性がとれ、また、信号波形のなまりの問題も解決される。

【 0 0 4 3 】

本発明は、メモリデバイスまたはメモリモジュールに限定されない。高速動作を要求される信号端子、そのリードを有する集積回路デバイスとそれを複数搭載したモジュールにも適用できる。

【 0 0 4 4 】

【発明の効果】

以上、本発明によれば、データ入出力端子をチップの第 1 の辺上に配置し、それに対向してリード群を配置することができる。また、モジュール構成にしたとき、モジュール基板の一辺に配置されたモジュール用外部端子群とリード群とを対向して近接して設けることができ、最短で同じモジュール内配線により接続することができる。従って、高速動作が要求されるデータ入出力端子群に対するリード群、モジュール外部端子群との接続を、最短で同等の長さで実現することができる。

【図面の簡単な説明】

【図 1】従来の集積回路デバイスの構造を示す図である。

【図 2】図 1 のメモリデバイスを搭載したメモリモジュールの例を示す図である。

【図 3】第 1 の実施の形態例におけるメモリデバイスを示す図である。

【図 4】第 2 の実施の形態例におけるメモリデバイスを示す図である。

【図 5】第 1 及び第 2 のメモリデバイスを搭載したメモリモジュールを示す図である。

【図 6】第 3 の実施の形態例におけるメモリデバイスを示す図である。

【図 7】第 4 の実施の形態例におけるメモリデバイスを示す図である。

【図 8】第 3 及び第 4 のメモリデバイスを搭載したメモリモジュールを示す図である。

【符号の説明】

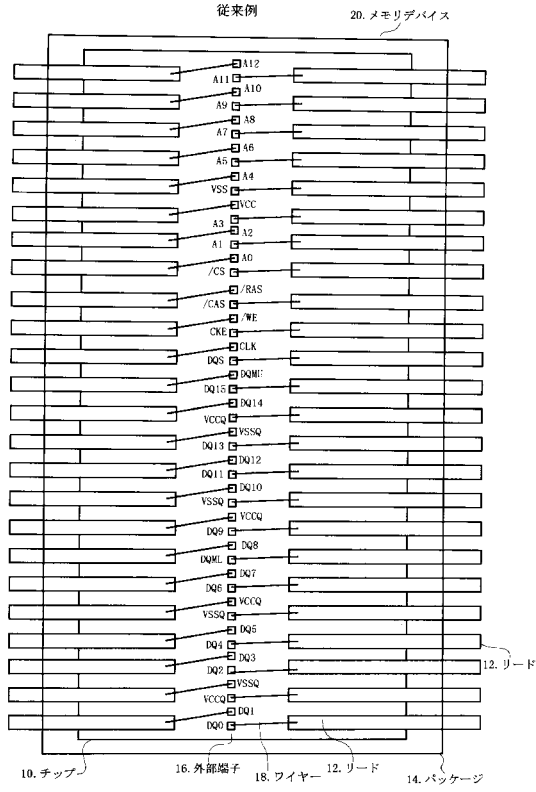
- 1 0        チップ
- 1 2        リード
- 1 4        パッケージ、プラスチックモールド
- 3 0 A      共通信号端子群
- 3 0 B      データ入出力端子群
- 1 2 A      共通信号端子用リード群
- 1 2 B      データ入出力端子用リード群

10

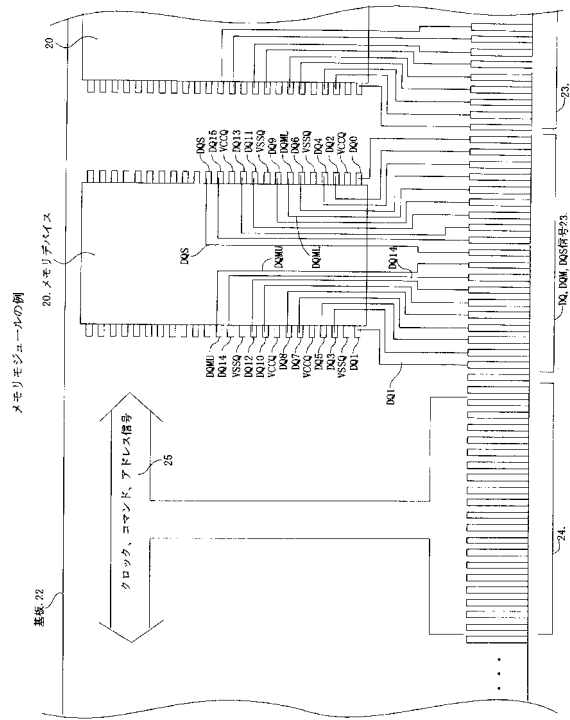
20

30

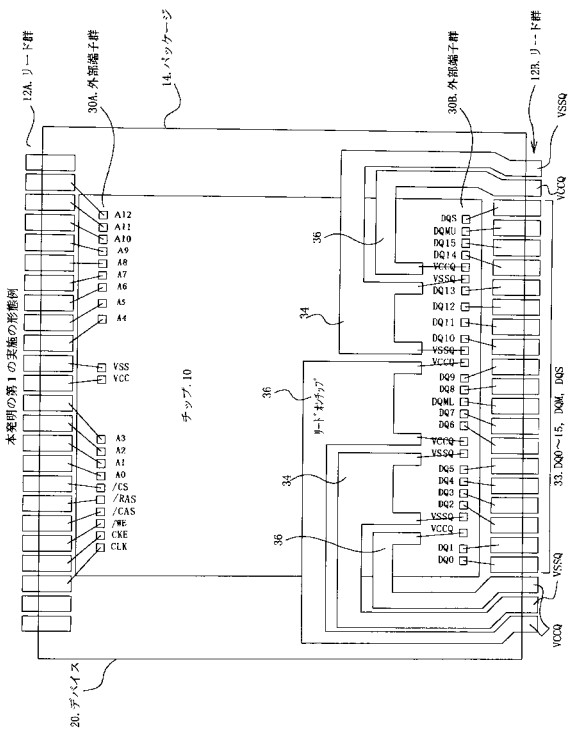
【図1】



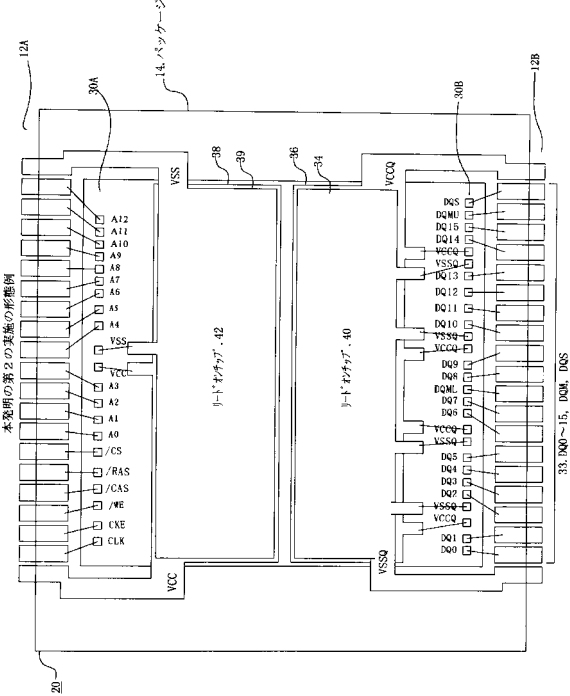
【図2】



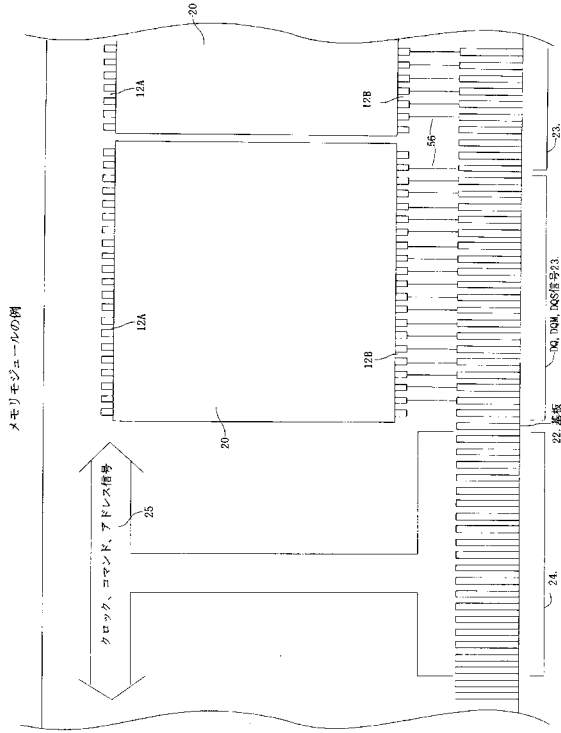
【図3】



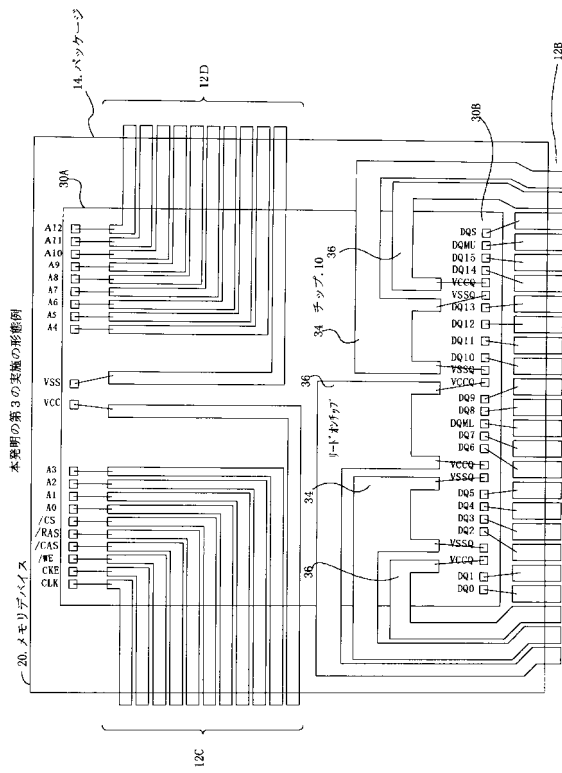
【図4】



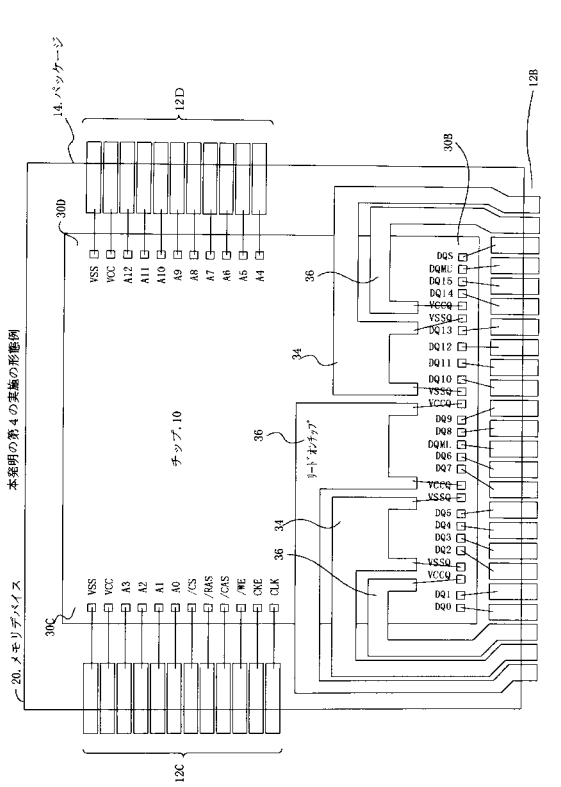
【図5】



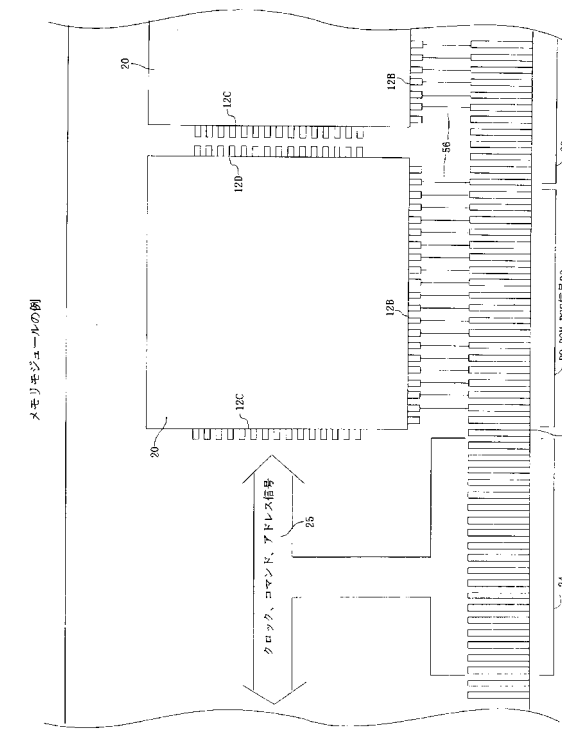
【図6】



【図7】



【図8】



---

フロントページの続き

(72)発明者 松崎 康郎  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 山本 雄一

(56)参考文献 特開平06-350014(JP,A)  
特開平05-021694(JP,A)  
特開平06-069407(JP,A)  
特開平10-022458(JP,A)  
特開平06-077395(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 23/50  
H01L 25/00