

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4638193号
(P4638193)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

(51) Int.Cl. F I
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 5 0 1 L
 G 1 1 C 11/22 5 0 1 F

請求項の数 6 (全 30 頁)

(21) 出願番号	特願2004-276510 (P2004-276510)	(73) 特許権者	509202835
(22) 出願日	平成16年9月24日 (2004.9.24)		パトレネラ キャピタル リミテッド,
(65) 公開番号	特開2006-92644 (P2006-92644A)		エルエルシー
(43) 公開日	平成18年4月6日 (2006.4.6)		アメリカ合衆国 デラウェア 19801
審査請求日	平成19年8月21日 (2007.8.21)		, ウィルミントン, オレンジ ストリート 1209
		(74) 代理人	100078282
			弁理士 山本 秀策
		(74) 代理人	100062409
			弁理士 安村 高明
		(74) 代理人	100113413
			弁理士 森下 夏樹
		(72) 発明者	境 直史
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 メモリ

(57) 【特許請求の範囲】

【請求項1】

データを保持するように構成された強誘電体キャパシタと、
 前記強誘電体キャパシタに結合された駆動ラインおよびデータラインと
 を備えたメモリであって、
 前記メモリは、

前記データの読み出し時において、前記強誘電体キャパシタに前記駆動ラインを介して電圧パルスを印加することにより、前記強誘電体キャパシタが第1のデータを保持する場合には、前記データライン上に負電位を生成し、前記強誘電体キャパシタが第2のデータを保持する場合には、前記データライン上に正電位を生成することと、

前記データの読み出し時において、前記強誘電体キャパシタに前記駆動ラインを介して前記電圧パルスを印加する前に、前記データラインを負電位に設定することと

を行うように構成されており、

前記データラインを負電位に設定することは、

前記駆動ラインの電位を所定の正電位に設定し、かつ、前記データラインの電位を接地電位に保持し、これにより、前記データラインをフローティング状態にし、その後、前記駆動ラインの電位を前記所定の正電位から接地電位に低下させることにより、前記データラインの電位を負電位に設定することによって行われる、メモリ。

【請求項2】

データを保持するように構成された強誘電体キャパシタと、

前記強誘電体キャパシタに結合された駆動ラインおよびデータラインと、
ダミー駆動ラインと、
前記ダミー駆動ラインおよび前記データラインに結合されたダミー強誘電体キャパシタ
と

を備えたメモリであって、
前記メモリは、

前記データの読み出し時において、前記強誘電体キャパシタに前記駆動ラインを介して電圧パルスを印加することにより、前記強誘電体キャパシタが第1のデータを保持する場合には、前記データライン上に負電位を生成し、前記強誘電体キャパシタが第2のデータを保持する場合には、前記データライン上に正電位を生成することと、

10

前記データの読み出し時において、前記強誘電体キャパシタに前記駆動ラインを介して前記電圧パルスを印加する前に、前記データラインを負電位に設定することと
を行うように構成されており、

前記データラインを負電位に設定することは、

前記ダミー駆動ラインの電位を所定の正電位に設定し、かつ、前記データラインの電位を接地電位に保持し、これにより、前記データラインをフローティング状態にし、その後、前記ダミー駆動ラインの電位を前記所定の正電位から接地電位に低下させることにより、前記データラインの電位を負電位に設定することによって行われる、メモリ。

【請求項3】

前記メモリは、前記データラインの電位と接地電位である参照電位とを比較することにより、前記強誘電体キャパシタにおいて保持されている前記データを判別するようにさらに構成されている、請求項1または請求項2に記載のメモリ。

20

【請求項4】

前記メモリは、前記強誘電体キャパシタに印加される前記電圧パルスが立ち下がった後、前記強誘電体キャパシタにおいて保持されている前記データを判別するようにさらに構成されている、請求項1～3のいずれか1項に記載のメモリ。

【請求項5】

前記メモリは、前記データの読み出し時において、前記強誘電体キャパシタが前記第1のデータを保持する場合には、前記データラインの総電荷量を減少させることにより、前記データライン上に負電位を生成し、前記強誘電体キャパシタが前記第2のデータを保持する場合には、前記データラインの総電荷量を増加させることにより、前記データライン上に正電位を生成するようにさらに構成されている、請求項1～4のいずれか1項に記載のメモリ。

30

【請求項6】

前記メモリは、前記強誘電体キャパシタが前記第1のデータを保持する場合には、前記強誘電体キャパシタに前記電圧パルスを印加する前後において前記データラインの総電荷量を変化させないことにより、前記データラインの電位を負電位に保持し、前記強誘電体キャパシタが前記第2のデータを保持する場合には、前記データラインの総電荷量を増加させることにより、前記データライン上に正電位を生成するようにさらに構成されている、請求項1～4のいずれか1項に記載のメモリ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリに関し、特に強誘電体キャパシタを含むメモリに関する。

【背景技術】

【0002】

従来、不揮発性メモリの1つとして、強誘電体メモリが知られている(たとえば、特許文献1参照)。この強誘電体メモリは、強誘電体の分極方向による擬似的な容量変化をメモリ素子として利用するメモリである。また、強誘電体メモリは、原理的に、高速かつ低電圧でデータ書き換えが可能であるという利点と、不揮発性であるという利点とを兼ね備

50

えた理想のメモリとして脚光を浴びている。

【 0 0 0 3 】

図 2 3 は、従来の一例による 1 T 1 C 型の強誘電体メモリの構成を示した回路図である。図 2 3 を参照して、従来の一例による 1 T 1 C 型の強誘電体メモリは、メモリセル 1 0 1 と、基準電圧発生回路 1 0 2 と、センスアンプ 1 0 3 とを備えている。メモリセル 1 0 1 は、ビット線 B L 1 0 0 および B L 1 0 1 からなるビット線対 B L 1 0 0 / B L 1 0 1 に沿って複数設けられている。また、ビット線対 B L 1 0 0 / B L 1 0 1 と直交する方向に延びるように、複数のワード線 W L 1 0 0 ~ W L 1 0 3 と、複数のプレート線 P L 1 0 0 および P L 1 0 1 とが設けられている。また、各メモリセル 1 0 1 は、それぞれ、データを保持する 1 つの強誘電体キャパシタ C F 1 0 0 ~ C F 1 0 3 と、n チャンネルトランジスタからなる 1 つのアクセストランジスタ T r 1 0 0 ~ T r 1 0 3 とからなる。強誘電体キャパシタ C F 1 0 0 ~ C F 1 0 3 は、それぞれ、一方電極と、他方電極と、一方電極と他方電極との間に挟まれる強誘電体膜とにより構成される。強誘電体キャパシタ C F 1 0 0 (C F 1 0 2) の一方電極は、プレート線 P L 1 0 0 (P L 1 0 1) に接続されるとともに、他方電極は、アクセストランジスタ T r 1 0 0 (T r 1 0 2) のソース/ドレインの一方に接続されている。また、アクセストランジスタ T r 1 0 0 (T r 1 0 2) のソース/ドレインの他方は、ビット線 B L 1 0 0 に接続されている。また、アクセストランジスタ T r 1 0 0 (T r 1 0 2) のゲートは、ワード線 W L 1 0 0 (W L 1 0 2) に接続されている。また、強誘電体キャパシタ C F 1 0 1 (C F 1 0 3) の一方電極は、プレート線 P L 1 0 0 (P L 1 0 1) に接続されるとともに、他方電極は、アクセストランジスタ T r 1 0 1 (T r 1 0 3) のソース/ドレインの一方に接続されている。また、アクセストランジスタ T r 1 0 1 (T r 1 0 3) のソース/ドレインの他方は、ビット線 B L 1 0 1 に接続されている。また、アクセストランジスタ T r 1 0 1 (T r 1 0 3) のゲートは、ワード線 W L 1 0 1 (W L 1 0 3) に接続されている。

【 0 0 0 4 】

また、基準電圧発生回路 1 0 2 は、ビット線対 B L 1 0 0 / B L 1 0 1 毎に設けられている。この基準電圧発生回路 1 0 2 は、データ判別時の基準電圧としての参照電位 V_{ref} をビット線 B L 1 0 0 または B L 1 0 1 を介してセンスアンプ 1 0 3 に供給するために設けられている。また、基準電圧発生回路 1 0 2 は、3 つの n チャンネルトランジスタ 1 0 4 ~ 1 0 6 と、1 つのキャパシタ 1 0 7 とからなる。n チャンネルトランジスタ 1 0 4 のソース/ドレインの一方は、n チャンネルトランジスタ 1 0 5 のソース/ドレインの一方と接続されている。また、n チャンネルトランジスタ 1 0 4 のソース/ドレインの他方は、ビット線 B L 1 0 0 に接続されるとともに、n チャンネルトランジスタ 1 0 5 のソース/ドレインの他方は、ビット線 B L 1 0 1 に接続されている。また、n チャンネルトランジスタ 1 0 4 および 1 0 5 のゲートには、それぞれ、n チャンネルトランジスタ 1 0 4 および 1 0 5 のオン/オフを制御するための制御信号 D M P 0 および D M P E が入力されている。また、n チャンネルトランジスタ 1 0 4 のソース/ドレインの一方と、n チャンネルトランジスタ 1 0 5 のソース/ドレインの一方との間のノード N D 1 0 1 には、n チャンネルトランジスタ 1 0 6 のソース/ドレインの一方が接続されている。この n チャンネルトランジスタ 1 0 6 のソース/ドレインの他方には、参照電位 V_{ref} が供給される。この参照電位 V_{ref} は、図示しない参照電位生成回路により生成される。また、n チャンネルトランジスタ 1 0 6 のゲートには、n チャンネルトランジスタ 1 0 6 のオン/オフを制御するための制御信号 D M P R S が入力される。また、キャパシタ 1 0 7 の一方電極は、n チャンネルトランジスタ 1 0 4 のソース/ドレインの一方と、n チャンネルトランジスタ 1 0 5 のソース/ドレインの一方との間のノード N D 1 0 2 に接続されている。また、キャパシタ 1 0 7 の他方電極は、接地されている。

【 0 0 0 5 】

また、センスアンプ 1 0 3 は、ビット線対 B L 1 0 0 / B L 1 0 1 毎に設けられている。このセンスアンプ 1 0 3 は、ビット線 B L 1 0 0 および B L 1 0 1 に接続されている。また、センスアンプ 1 0 3 には、センスアンプ 1 0 3 を活性化させるためのセンスアンプ

10

20

30

40

50

活性化信号 S A E が入力される。また、センスアンプ 1 0 3 は、強誘電体キャパシタ C F 1 0 0 ~ C F 1 0 3 からのデータの読み出し時に、ビット線 B L 1 0 0 または B L 1 0 1 に発生した強誘電体キャパシタ C F 1 0 0 ~ C F 1 0 3 のデータに対応する電位を参照電位 V_{ref} と比較して判別することによって、ビット線 B L 1 0 0 および B L 1 0 1 の電位差を増幅する機能を有する。具体的には、センスアンプ 1 0 3 は、データの読み出し時に、ビット線 B L 1 0 0 および B L 1 0 1 の一方に発生した強誘電体キャパシタ C F 1 0 0 ~ C F 1 0 3 のデータに対応する電位が、ビット線 B L 1 0 0 および B L 1 0 1 の他方を介して基準電圧発生回路 1 0 2 から供給された参照電位 V_{ref} よりも低い場合は、ビット線 B L 1 0 0 および B L 1 0 1 の一方に発生した電位を G N D レベルにするように構成されている。その一方、センスアンプ 1 0 3 は、データの読み出し時に、ビット線 B L 1 0 0 および B L 1 0 1 の一方に発生した強誘電体キャパシタ C F 1 0 0 ~ C F 1 0 3 のデータに対応する電位が、ビット線 B L 1 0 0 および B L 1 0 1 の他方を介して基準電圧発生回路 1 0 2 から供給された参照電位 V_{ref} よりも高い場合は、ビット線 B L 1 0 0 および B L 1 0 1 の一方に発生した電位を V_{cc} まで増幅するように構成されている。

【 0 0 0 6 】

図 2 4 は、従来の一例による 1 T 1 C 型の強誘電体メモリの動作を説明するための電圧波形図である。図 2 5 は、従来の一例による 1 T 1 C 型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。次に、図 2 3 ~ 図 2 5 を参照して、従来の一例による 1 T 1 C 型の強誘電体メモリの動作について説明する。

【 0 0 0 7 】

まず、データの読み出し時の初期状態では、図 2 4 に示すように、ワード線 W L 1 0 0 、プレート線 P L 1 0 0 およびビット線 B L 1 0 0 の電位は、G N D レベルに保持されている。また、制御信号 D M P R S 、制御信号 D M P 0 、制御信号 D M P E およびセンスアンプ活性化信号 S A E の電位も G N D レベルに保持されている。この状態で、ワード線 W L 1 0 0 を G N D レベルから V_{cc} の電位に立ち上げる。これにより、ワード線 W L 1 0 0 に繋がるアクセストランジスタ T r 1 0 0 がオン状態になる。また、制御信号 D M P R S を G N D レベルから V_{cc} の電位に立ち上げる。これにより、基準電圧発生回路 1 0 2 の n チャネルトランジスタ 1 0 6 がオン状態になる。このため、オン状態の n チャネルトランジスタ 1 0 6 を介して参照電位 V_{ref} が供給されることにより、ノード N D 1 0 1 および N D 1 0 2 の電位が参照電位 V_{ref} になるとともに、キャパシタ 1 0 7 に参照電位 V_{ref} が充電される。

【 0 0 0 8 】

次に、プレート線 P L 1 0 0 を G N D レベルから V_{cc} の電位に立ち上げる。これにより、プレート線 P L 1 0 0 を介して強誘電体キャパシタ C F 1 0 0 に V_{cc} の電圧が印加される。このため、強誘電体キャパシタ C F 1 0 0 に保持されているデータに応じた読み出し電位がビット線 B L 1 0 0 に発生する。この際、強誘電体キャパシタ C F 1 0 0 がデータ「0」を保持している場合は、図 2 5 に示すように、強誘電体キャパシタ C F 1 0 0 の分極状態がヒステリシス曲線に沿って「0」から A 点へ移動する。これにより、強誘電体キャパシタ C F 1 0 0 に繋がるビット線 B L 1 0 0 の総電荷量が図 2 5 中の Q_{0up} の電荷分増加する。このため、ビット線 B L 1 0 0 の電位は、 Q_{0up} の電荷に相当する分上昇する。一方、強誘電体キャパシタ C F 1 0 0 がデータ「1」を保持している場合は、強誘電体キャパシタ C F 1 0 0 の分極状態がヒステリシス曲線に沿って「1」から A 点へ移動する。これにより、強誘電体キャパシタ C F 1 0 0 に繋がるビット線 B L 1 0 0 の総電荷量が図 2 5 中の Q_{1up} の電荷分増加する。このため、ビット線 B L 1 0 0 の電位は、 Q_{1up} の電荷に相当する分上昇する。なお、図 2 5 のヒステリシス図から判るように、強誘電体キャパシタ C F 1 0 0 がデータ「1」を保持していた場合のビット線 B L 1 0 0 の総電荷量の増加分 Q_{1up} は、強誘電体キャパシタ C F 1 0 0 がデータ「0」を保持していた場合のビット線 B L 1 0 0 の総電荷量の増加分 Q_{0up} よりも大きくなる。これにより、強誘電体キャパシタ C F 1 0 0 がデータ「1」を保持していた場合のビット線 B L 1 0 0 の電位は、強誘電体キャパシタ C F 1 0 0 がデータ「0」を保持していた場合の

10

20

30

40

50

ビット線BL100の電位よりも高くなる。

【0009】

次に、制御信号DMPEをGNDレベルからVccの電位へ立ち上げる。これにより、基準電圧発生回路102のnチャンネルトランジスタ105がオン状態になる。このため、キャパシタ107に充電された参照電位 V_{ref} がオン状態のnチャンネルトランジスタ105を介してビット線BL101に供給される。これにより、ビット線BL101の電位は、参照電位 V_{ref} に保持される。次に、制御信号DMPRSをVccの電位からGNDレベルに立ち下げる。これにより、基準電圧発生回路102のnチャンネルトランジスタ106は、オフ状態になる。次に、制御信号DMPEをVccの電位からGNDレベルへ立ち下げる。これにより、基準電圧発生回路102のnチャンネルトランジスタ105は、オフ状態になる。このため、ビット線BL101は、参照電位 V_{ref} を保持しながら、フローティング状態（ハイインピーダンス状態）になる。

10

【0010】

この状態で、センスアンプ活性化信号SAEをGNDレベルからVccの電位へ立ち上げることにより、センスアンプ103を活性化させる。これにより、センスアンプ103により、ビット線BL100の読み出されたデータに対応する電位と、ビット線BL101の参照電位 V_{ref} とが比較されることにより、強誘電体キャパシタCF100から読み出されたデータが判別されて増幅される。すなわち、センスアンプ103は、ビット線BL100の電位がビット線BL101の電位（参照電位 V_{ref} ）よりも低い場合には、強誘電体キャパシタCF100から読み出したデータをデータ「0」と判別するとともに、ビット線BL100の電位をGNDレベルにする。一方、センスアンプ103は、ビット線BL100の電位がビット線BL101の電位（参照電位 V_{ref} ）よりも高い場合には、強誘電体キャパシタCF100から読み出したデータをデータ「1」と判別するとともに、ビット線BL100の電位をVccに増幅する。そして、センスアンプ103によりGNDレベルまたはVccの電位にされたビット線BL100の電位は、外部へ出力される。

20

【0011】

【特許文献1】特開2001-210795号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0012】

図23に示した従来の一例による1T1C型の強誘電体メモリでは、強誘電体キャパシタCF100を構成する強誘電体膜の成膜条件のばらつきなどに起因して、強誘電体キャパシタCF100のヒステリシス特性がばらつく場合がある。この場合には、強誘電体キャパシタCF100からデータ「0」が読み出された場合のビット線BL100の電位（「0」電位）と、データ「1」が読み出された場合のビット線BL100の電位（「1」電位）とは、図26に示すような分布を示す。また、強誘電体キャパシタCF100のヒステリシス特性によっては、図27に示すように、「0」電位の分布範囲が「1」電位の分布範囲よりも大きくなる場合や、図28に示すように、「1」電位の分布範囲が「0」電位の分布範囲よりも大きくなる場合もある。図26～図28に示したように「0」電位の分布範囲および「1」電位の分布範囲がばらつく場合には、データ「0」または「1」の判別の基準として用いる参照電位 V_{ref} を設定するのが困難になるという問題点がある。また、強誘電体キャパシタCF100のヒステリシス特性によっては、図29に示すように、「0」電位の分布範囲と「1」電位の分布範囲とが重なる場合もある。この場合には、参照電位 V_{ref} をどのような電位に設定したとしても、正確にデータを判別するのが困難になるという問題点がある。

40

【0013】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、参照電位を容易に設定することが可能であるとともに、正確にデータを判別することが可能なメモリを提供することである。

50

【課題を解決するための手段および発明の効果】

【0014】

上記目的を達成するために、この発明の一の局面における半導体記憶装置は、データを保持する強誘電体キャパシタと、強誘電体キャパシタに繋がる駆動ラインおよびデータラインとを備え、データの読み出し時において、強誘電体キャパシタに駆動ラインを介して電圧パルスを加えることにより、強誘電体キャパシタが第1データを保持する場合は、データラインに負電位が発生し、強誘電体キャパシタが第2データを保持する場合は、データラインに正電位が発生する。

【0015】

この一の局面による半導体記憶装置では、上記のように、データの読み出し時において、強誘電体キャパシタが第1データを保持する場合は、データラインに負電位が発生し、強誘電体キャパシタが第2データを保持する場合は、データラインに正電位が発生するように構成することによって、第1データまたは第2データの判別の基準としての参照電位をGNDレベルに設定することができる。これにより、データの読み出し時にデータラインに発生する電位がばらつく場合にも、容易に参照電位を設定することができる。また、強誘電体キャパシタが第1データを保持する場合は、データラインに負電位が発生し、強誘電体キャパシタが第2データを保持する場合は、データラインに正電位が発生するように構成することによって、データの読み出し時にデータラインに発生する電位の分布範囲が重ならないので、参照電位を接地電位(GNDレベル)に設定すれば、強誘電体キャパシタの保持するデータを正確に第1データまたは第2データとして判別することができる。また、第1データまたは第2データの判別の基準としての参照電位を接地電位に設定することができるので、メモリ内部で一般的に用いられる接地電位を参照電位として用いることができる。これにより、参照電位を接地電位以外の電位に設定する場合と異なり、参照電位を生成するための回路を別途設ける必要がないので、メモリの回路構成を簡素化することができる。

【0016】

上記一の局面によるメモリにおいて、好ましくは、データの読み出し時において、データラインの電位と接地電位である参照電位とを比較することにより強誘電体キャパシタの保持するデータの判別を行う。このように構成すれば、容易に、正電位または負電位のデータラインの電位と接地電位の参照電位とを比較することにより、強誘電体キャパシタの保持するデータを第1データまたは第2データとして判別することができる。

【0017】

上記一の局面によるメモリにおいて、好ましくは、強誘電体キャパシタに印加する電圧パルスが立ち下がった後、強誘電体キャパシタの保持するデータの判別を行う。このように構成すれば、電圧パルスにより、強誘電体キャパシタが第1データを保持する場合は、データラインに負電位を発生させるとともに、強誘電体キャパシタが第2データを保持する場合は、データラインに正電位を発生させた後、データの判別を行うことができるので、確実に強誘電体キャパシタの保持するデータを第1データまたは第2データとして判別することができる。

【0018】

上記一の局面によるメモリにおいて、好ましくは、データの読み出し時において、強誘電体キャパシタが第1データを保持する場合は、データラインの総電荷量が減少することによりデータラインに負電位が発生し、強誘電体キャパシタが第2データを保持する場合は、データラインの総電荷量が増加することによりデータラインに正電位が発生する。このように構成すれば、容易に、データの読み出し時において、強誘電体キャパシタが第1データを保持する場合は、データラインに負電位を発生させることができるとともに、強誘電体キャパシタが第2データを保持する場合は、データラインに正電位を発生させることができる。

【0019】

この場合において、好ましくは、強誘電体キャパシタに駆動ラインを介して電圧パルス

10

20

30

40

50

を印加する前の駆動ラインの電位は、接地電位であり、強誘電体キャパシタに駆動ラインを介して電圧パルスを印加した後の駆動ラインの電位は、負電位である。このように構成すれば、強誘電体キャパシタのヒステリシス曲線の形状により、強誘電体キャパシタが第1データを保持する場合には、電圧パルスを接地電位から立ち上げる際のデータラインの総電荷量の増加分を、電圧パルスを負電位に立ち下げる際のデータラインの総電荷量の減少分に比べて小さくすることができるとともに、強誘電体キャパシタが第2データを保持する場合には、電圧パルスを接地電位から立ち上げる際のデータラインの総電荷量の増加分を、電圧パルスを負電位に立ち下げる際のデータラインの総電荷量の減少分に比べて大きくすることができる。これにより、容易に、強誘電体キャパシタに電圧パルスを印加することにより、強誘電体キャパシタが第1データを保持する場合は、データラインの総電荷量を減少させることができるとともに、強誘電体キャパシタが第2データを保持する場合は、データラインの総電荷量を増加させることができる。

10

【0020】

上記一の局面によるメモリにおいて、好ましくは、データの読み出し時において、強誘電体キャパシタに駆動ラインを介して電圧パルスを印加する前にデータラインの電位を負電位とし、強誘電体キャパシタが第1データを保持する場合は、強誘電体キャパシタに電圧パルスを印加する前後においてデータラインの総電荷量に変化しないことによりデータラインの電位は負電位に保持され、強誘電体キャパシタが第2データを保持する場合は、データラインの総電荷量が増加することによりデータラインに正電位が発生する。このように構成すれば、容易に、データの読み出し時において、強誘電体キャパシタが第1データを保持する場合は、データラインに負電位を発生させることができるとともに、強誘電体キャパシタが第2データを保持する場合は、データラインに正電位を発生させることができる。

20

【0021】

この場合において、好ましくは、強誘電体キャパシタに駆動ラインを介して電圧パルスを印加する前において、データラインの電位を接地電位に保持しながら、駆動ラインの電位を所定の正電位とし、その後、データラインをフローティング状態にした後、駆動ラインの電位を所定の正電位から接地電位に低下させることによって、データラインの電位を負電位とする。このように構成すれば、駆動ラインの電位を所定の正電位から接地電位に低下させるのに伴って、データラインの電位を接地電位から所定の負電位に低下させることができるので、容易に、データの読み出し時において、強誘電体キャパシタに駆動ラインを介して電圧パルスを印加する前にデータラインの電位を負電位とすることができる。

30

【0022】

上記強誘電体キャパシタに駆動ラインを介して電圧パルスを印加する前にデータラインの電位を負電位とする構成において、好ましくは、ダミー駆動ラインと、ダミー駆動ラインとデータラインとに繋がるダミー強誘電体キャパシタとをさらに備え、強誘電体キャパシタに駆動ラインを介して電圧パルスを印加する前において、データラインの電位を接地電位に保持しながら、ダミー駆動ラインの電位を所定の正電位とし、その後、データラインをフローティング状態にした後、ダミー駆動ラインの電位を所定の正電位から接地電位に低下させることによって、データラインの電位を負電位とする。このように構成すれば、ダミー駆動ラインの電位を所定の正電位から接地電位に低下させるのに伴って、ダミー駆動ラインおよびダミー強誘電体キャパシタを介してデータラインの電位を接地電位から所定の負電位に低下させることができる。これにより、駆動ラインおよび強誘電体キャパシタを用いてデータラインの電位を接地電位から所定の負電位に低下させる場合と異なり、データを保持する強誘電体キャパシタに所定の正電圧を印加することなく、データラインの電位を接地電位から所定の負電位に低下させることができる。このため、データの読み出し時において、強誘電体キャパシタに駆動ラインを介して電圧パルスを印加する前に、データを保持する強誘電体キャパシタに所定の正電圧によるディスタ urb が生じるのを抑制しながら、データラインの電位を負電位とすることができる。

40

【発明を実施するための最良の形態】

50

【 0 0 2 3 】

以下、本発明の実施形態を図面に基づいて説明する。

【 0 0 2 4 】

(第1実施形態)

図1は、本発明の第1実施形態による1T1C型の強誘電体メモリの構成を示した回路図である。まず、図1を参照して、本発明の第1実施形態による1T1C型の強誘電体メモリの構成について説明する。

【 0 0 2 5 】

第1実施形態による1T1C型の強誘電体メモリは、図1に示すように、メモリセル1と、基準電圧発生回路2と、センスアンプ3とを備えている。メモリセル1は、ビット線BL0およびBL1からなるビット線対BL0/BL1に沿って複数設けられている。なお、このビット線BL0およびBL1は、本発明の「データライン」の一例である。また、ビット線対BL0/BL1と直交する方向に延びるように、複数のワード線WL0~WL3と、複数のプレート線PL0およびPL1とが設けられている。なお、プレート線PL0およびPL1は、本発明の「駆動ライン」の一例である。また、各メモリセル1は、それぞれ、データを保持する1つの強誘電体キャパシタCF0~CF3と、nチャンネルトランジスタからなる1つのアクセストランジスタTr0~Tr3とからなる。強誘電体キャパシタCF0~CF3は、それぞれ、一方電極と、他方電極と、一方電極と他方電極との間に挟まれる強誘電体膜とにより構成される。強誘電体キャパシタCF0(CF2)の一方電極は、プレート線PL0(PL1)に接続されるとともに、他方電極は、アクセストランジスタTr0(Tr2)のソース/ドレインの一方に接続されている。また、アクセストランジスタTr0(Tr2)のソース/ドレインの他方は、ビット線BL0に接続されている。また、アクセストランジスタTr0(Tr2)のゲートは、ワード線WL0(WL2)に接続されている。また、強誘電体キャパシタCF1(CF3)の一方電極は、プレート線PL0(PL1)に接続されるとともに、他方電極は、アクセストランジスタTr1(Tr3)のソース/ドレインの一方に接続されている。また、アクセストランジスタTr1(Tr3)のソース/ドレインの他方は、ビット線BL1に接続されている。また、アクセストランジスタTr1(Tr3)のゲートは、ワード線WL1(WL3)に接続されている。

【 0 0 2 6 】

また、基準電圧発生回路2は、各ビット線対BL0/BL1毎に設けられている。この基準電圧発生回路2は、データの判別時の基準電圧として、GNDレベル(接地電位)の参照電位 V_{ref} をビット線BL0またはBL1を介してセンスアンプ3に供給するために設けられている。また、基準電圧発生回路2は、3つのnチャンネルトランジスタ4~6と、1つのキャパシタ7とからなる。nチャンネルトランジスタ4のソース/ドレインの一方は、nチャンネルトランジスタ5のソース/ドレインの一方と接続されている。また、nチャンネルトランジスタ4のソース/ドレインの他方は、ビット線BL0に接続されるとともに、nチャンネルトランジスタ5のソース/ドレインの他方は、ビット線BL1に接続されている。また、nチャンネルトランジスタ4および5のゲートには、それぞれ、nチャンネルトランジスタ4および5のオン/オフを制御するための制御信号DMP0およびDMP Eが入力されている。また、nチャンネルトランジスタ4のソース/ドレインの一方と、nチャンネルトランジスタ5のソース/ドレインの一方との間のノードND1には、nチャンネルトランジスタ6のソース/ドレインの一方が接続されている。このnチャンネルトランジスタ6のソース/ドレインの他方には、GNDレベル(接地電位)の参照電位 V_{ref} が供給される。また、nチャンネルトランジスタ6のゲートには、nチャンネルトランジスタ6のオン/オフを制御するための制御信号DMP RSが入力される。また、キャパシタ7の一方電極は、nチャンネルトランジスタ4のソース/ドレインの一方と、nチャンネルトランジスタ5のソース/ドレインの一方との間のノードND2に接続されている。また、キャパシタ7の他方電極は、接地されている。

【 0 0 2 7 】

また、センスアンプ3は、ビット線対BL0/BL1毎に設けられている。このセンスアンプ3は、ビット線BL0およびBL1に接続されている。また、センスアンプ3には、センスアンプ3を活性化させるためのセンスアンプ活性化信号SAEが入力される。また、センスアンプ3は、強誘電体キャパシタCF0~CF3からのデータの読み出し時に、ビット線BL0またはBL1に発生した強誘電体キャパシタCF0~CF3のデータに対応する電位を参照電位 V_{ref} と比較して判別することによって、ビット線BL0およびBL1の電位差を増幅する機能を有する。具体的には、センスアンプ3は、データの読み出し時に、ビット線BL0およびBL1の一方に発生した強誘電体キャパシタCF0~CF3のデータに対応する電位が、ビット線BL0およびBL1の他方を介して基準電圧発生回路2から供給されたGNDレベルの参照電位 V_{ref} よりも低い場合は、ビット線BL0およびBL1の一方に発生した電位をGNDレベルにするように構成されている。その一方、センスアンプ3は、データの読み出し時に、ビット線BL0およびBL1の一方に発生した強誘電体キャパシタCF0~CF3のデータに対応する電位が、ビット線BL0およびBL1の他方を介して基準電圧発生回路2から供給されたGNDレベルの参照電位 V_{ref} よりも高い場合は、ビット線BL0およびBL1の一方に発生した電位をVccまで増幅するように構成されている。

10

【0028】

図2は、本発明の第1実施形態による1T1C型の強誘電体メモリの動作を説明するための電圧波形図である。図3~図5は、本発明の第1実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。次に、図1~

20

【0029】

まず、データの読み出し時の初期状態では、図2に示すように、ワード線WL0、プレート線PL0およびビット線BL0の電位は、GNDレベル(接地電位)に保持されている。また、制御信号DMPS、制御信号DMP0、制御信号DMPEおよびセンスアンプ活性化信号SAEの電位もGNDレベルに保持されている。この状態で、ワード線WL0をGNDレベルからVccの電位に立ち上げる。これにより、ワード線WL0に繋がるアクセストランジスタTr0がオン状態になる。また、制御信号DMPSをGNDレベルからVccの電位に立ち上げる。これにより、基準電圧発生回路2のnチャンネルトランジスタ6がオン状態になる。このため、オン状態のnチャンネルトランジスタ6を介してGNDレベル(接地電位)の参照電位 V_{ref} が供給されることにより、ノードND1およびND2の電位がGNDレベルになるとともに、キャパシタ7にGNDレベルの参照電位 V_{ref} が充電される。次に、制御信号DMP0をGNDレベルからVccの電位に立ち上げる。これにより、基準電圧発生回路2のnチャンネルトランジスタ4がオン状態になる。このため、オン状態のnチャンネルトランジスタ4を介してビット線BL0にGNDレベルの参照電位 V_{ref} が供給される。この後、制御信号DMP0をVccの電位からGNDレベルに立ち下げる。これにより、基準電圧発生回路2のnチャンネルトランジスタ4がオフ状態になる。このため、ビット線BL0は、GNDレベルの参照電位 V_{ref} を保持しながら、フローティング状態(ハイインピーダンス状態)になる。

30

【0030】

次に、図2に示した期間T1において、プレート線PL0を介して強誘電体キャパシタCF0にVccの電位まで立ち上げる電圧パルス印加する。具体的には、プレート線PL0をGNDレベルからVccの電位に立ち上げる。これにより、プレート線PL0を介して強誘電体キャパシタCF0にVccの電圧が印加される。このため、強誘電体キャパシタCF0に保持されているデータに応じた電位がビット線BL0に発生する。この際、強誘電体キャパシタCF0がデータ「0」を保持している場合は、図3に示すように、強誘電体キャパシタCF0の分極状態がヒステリシス曲線に沿って「0」からA点へ移動する。これにより、強誘電体キャパシタCF0に繋がるビット線BL0の総電荷量が図3中の Q_{up} の電荷分増加する。このため、ビット線BL0の電位は、 Q_{up} の電荷に相当する分上昇する。一方、強誘電体キャパシタCF0がデータ「1」を保持している場合

40

50

は、図4に示すように、強誘電体キャパシタCF0の分極状態がヒステリシス曲線に沿って「1」からA点へ移動する。これにより、強誘電体キャパシタCF0に繋がるビット線BL0の総電荷量が図4中の Q_{1up} の電荷分増加する。このため、ビット線BL0の電位は、 Q_{1up} の電荷に相当する分上昇する。次に、制御信号DMPEをGNDレベルからVccの電位へ立ち上げる。これにより、基準電圧発生回路2のnチャネルトランジスタ5がオン状態になる。このため、キャパシタ7に充電されたGNDレベル（接地電位）の参照電位 V_{ref} がオン状態のnチャネルトランジスタ5を介してビット線BL1に供給される。これにより、ビット線BL1の電位は、GNDレベル（接地電位）の参照電位 V_{ref} に保持される。次に、制御信号DMPSをVccの電位からGNDレベルに立ち下げる。これにより、基準電圧発生回路2のnチャネルトランジスタ6は、オフ状態になる。

10

【0031】

次に、図2に示した期間T2において、プレート線PL0をVccの電位から $-1/3Vcc$ の電位へ立ち下げる。これにより、強誘電体キャパシタCF0に $-1/3Vcc$ の電圧が印加される。この際、強誘電体キャパシタCF0がデータ「0」および「1」のどちらを保持していた場合にも、図5に示すように、強誘電体キャパシタCF0の分極状態はヒステリシス曲線に沿ってA点からB点へ移動する。これにより、強誘電体キャパシタCF0に繋がるビット線BL0の総電荷量が図5中の Q_{down} の電荷分減少する。このため、ビット線BL0の電位は、強誘電体キャパシタCF0がデータ「0」および「1」のどちらを保持していた場合にも、 Q_{down} の電荷に相当する分低下する。

20

【0032】

なお、強誘電体キャパシタCF0にデータ「0」が保持されていた場合は、上記した期間T1およびT2におけるビット線BL0の総電荷量の変化量は、 $Q_{0up} - Q_{down}$ となる。ここで、図3および図5のヒステリシス曲線の形状から判るように、 $Q_{0up} < Q_{down}$ であるので、 $Q_{0up} - Q_{down}$ は負となる。したがって、ビット線BL0の初期状態の電位は、GNDレベル（接地電位）であったので、強誘電体キャパシタCF0がデータ「0」を保持していた場合の期間T2におけるビット線BL0の電位は、負電位になる。一方、強誘電体キャパシタCF0にデータ「1」が保持されていた場合は、期間T1およびT2におけるビット線BL0の総電荷量の変化量は、 $Q_{1up} - Q_{down}$ となる。ここで、図4および図5のヒステリシス曲線の形状から判るように、 $Q_{1up} > Q_{down}$ であるので、 $Q_{1up} - Q_{down}$ は正となる。したがって、ビット線BL0の初期状態の電位は、GNDレベル（接地電位）であったので、強誘電体キャパシタCF0がデータ「1」を保持していた場合の期間T2におけるビット線BL0の電位は、正電位になる。

30

【0033】

次に、制御信号DMPEをVccの電位からGNDレベルへ立ち下げる。これにより、基準電圧発生回路2のnチャネルトランジスタ5は、オフ状態になる。このため、ビット線BL1は、GNDレベルの参照電位 V_{ref} を保持しながら、フローティング状態（ハイインピーダンス状態）になる。この状態で、センスアンプ活性化信号SAEをGNDレベルからVccの電位へ立ち上げることにより、センスアンプ3を活性化させる。これにより、センスアンプ3により、ビット線BL0の読み出されたデータに対応する電位と、ビット線BL1の参照電位 V_{ref} とが比較されることによって、強誘電体キャパシタCF0から読み出されたデータが判別されて増幅される。すなわち、センスアンプ3は、ビット線BL0の電位がビット線BL1の電位（参照電位 $V_{ref} = GND$ ）よりも低い場合には、強誘電体キャパシタCF0から読み出したデータをデータ「0」と判別するとともに、ビット線BL0の電位をGNDレベルにする。一方、センスアンプ3は、ビット線BL0の電位がビット線BL1の電位（参照電位 $V_{ref} = GND$ ）よりも高い場合には、強誘電体キャパシタCF0から読み出したデータをデータ「1」と判別するとともに、ビット線BL0の電位をVccに増幅する。上記したように、強誘電体キャパシタCF0がデータ「0」を保持していた場合には、期間T2におけるビット線BL0

40

50

の電位は負電位になるので、ビット線BL0の電位は、センスアンプ3によりGNDレベルにされる。また、強誘電体キャパシタCF0がデータ「1」を保持していた場合には、期間T2におけるビット線BL0の電位は正電位になるので、ビット線BL0の電位は、センスアンプ3によりVccに増幅される。そして、センスアンプ3によりGNDレベルまたはVccの電位にされたビット線BL0の電位は、外部へ出力される。

【0034】

第1実施形態では、上記のように、強誘電体キャパシタCF0がデータ「0」を保持する場合は、ビット線BL0に負電位が発生し、強誘電体キャパシタCF0がデータ「1」を保持する場合は、ビット線BL0に正電位が発生するように、プレート線PL0を介して強誘電体キャパシタCF0に電圧パルスを印加した後、データを読み出すことによって、データ「0」またはデータ「1」の判別の基準としての参照電位 V_{ref} をGNDレベル（接地電位）に設定することができる。これにより、データの読み出し時にビット線BL0に発生する電位がばらつく場合にも、容易に参照電位 V_{ref} を設定することができる。

10

【0035】

また、第1実施形態では、強誘電体キャパシタCF0がデータ「0」を保持する場合は、ビット線BL0に負電位が発生し、強誘電体キャパシタCF0がデータ「1」を保持する場合は、ビット線BL0に正電位が発生するように、プレート線PL0を介して強誘電体キャパシタCF0に電圧パルスを印加した後、データを読み出すことによって、データの読み出し時にビット線BL0に発生する電位は、図6のような分布を示す。これにより、データの読み出し時に、強誘電体キャパシタCF0からデータ「0」を読み出した場合のビット線BL0の電位（「0」電位）の分布範囲（負電位）と、強誘電体キャパシタCF0からデータ「1」を読み出した場合のビット線BL0の電位（「1」電位）の分布範囲（正電位）とは、重ならないので、参照電位 V_{ref} をGNDレベル（接地電位）に設定することにより、強誘電体キャパシタCF0の保持するデータを正確にデータ「0」またはデータ「1」として判別することができる。

20

【0036】

また、第1実施形態では、データ「0」またはデータ「1」の判別の基準としての参照電位 V_{ref} をGNDレベル（接地電位）に設定することができるので、強誘電体メモリ内部で一般的に用いられるGNDレベルの電位を参照電位 V_{ref} として用いることができる。これにより、参照電位 V_{ref} をGNDレベル以外の電位に設定する場合と異なり、参照電位 V_{ref} を生成するための回路を別途設ける必要がないので、強誘電体メモリの回路構成を簡素化することができる。

30

【0037】

（第2実施形態）

図7は、本発明の第2実施形態による1T1C型の強誘電体メモリの動作を説明するための電圧波形図である。図8～図15は、本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。この第2実施形態による1T1C型の強誘電体メモリでは、上記第1実施形態による強誘電体メモリと異なり、予め強誘電体キャパシタに繋がるビット線の電位を負電位にした後、強誘電体キャパシタに電圧パルスを印加して、強誘電体キャパシタのデータを読み出す。次に、図1および図7～図15を参照して、第2実施形態による1T1C型の強誘電体メモリの動作について説明する。なお、この第2実施形態による1T1C型の強誘電体メモリの回路構成は、図1に示した第1実施形態による1T1C型の強誘電体メモリの回路構成と全く同様である。

40

【0038】

第2実施形態による1T1C型の強誘電体メモリでは、図7に示すように、データの読み出し時の初期状態において、ワード線WL0、プレート線PL0およびビット線BL0の電位は、GNDレベルに保持されている。また、制御信号DMPS、制御信号DMP0、制御信号DMP Eおよびセンスアンプ活性化信号SAEの電位もGNDレベルに保持

50

されている。そして、ワード線 $WL0$ を GND レベルから V_{cc} の電位に立ち上げる。これにより、ワード線 $WL0$ に繋がるアクセストランジスタ $Tr0$ がオン状態になる。また、制御信号 $DMPRS$ を GND レベルから V_{cc} の電位に立ち上げる。これにより、基準電圧発生回路2の n チャンネルトランジスタ6がオン状態になる。このため、オン状態の n チャンネルトランジスタ6を介して GND レベル(接地電位)の参照電位 V_{ref} が供給されることにより、ノード $ND1$ および $ND2$ の電位が GND レベルになるとともに、キャパシタ7に GND レベルの参照電位 V_{ref} が充電される。次に、制御信号 $DMP0$ を GND レベルから V_{cc} の電位に立ち上げる。これにより、基準電圧発生回路2の n チャンネルトランジスタ4がオン状態になる。このため、オン状態の n チャンネルトランジスタ4を介してビット線 $BL0$ に GND レベルの参照電位 V_{ref} が供給される。これにより、ビット線 $BL0$ の電位は GND レベルに保持される。

10

【0039】

次に、第2実施形態では、図7に示した期間 $T1$ において、プレート線 $PL0$ を GND レベルから $1/3V_{cc}$ の電位に立ち上げる。これにより、プレート線 $PL0$ を介して強誘電体キャパシタ $CF0$ に $1/3V_{cc}$ の電圧が印加される。この際、強誘電体キャパシタ $CF0$ がデータ「0」を保持している場合は、図8に示すように、強誘電体キャパシタ $CF0$ の分極状態が「0」からC点へ移動する。一方、強誘電体キャパシタ $CF0$ がデータ「1」を保持している場合は、図12に示すように、強誘電体キャパシタ $CF0$ の分極状態が「1」からD点へ移動する。なお、この際、強誘電体キャパシタ $CF0$ に繋がるビット線 $BL0$ の電位は、 GND レベルに固定されているので、強誘電体キャパシタ $CF0$ の分極状態が変化しても、ビット線 $BL0$ の電位は GND レベルから変化しない。この後、制御信号 $DMP0$ を V_{cc} の電位から GND レベルに立ち下げる。これにより、基準電圧発生回路2の n チャンネルトランジスタ4がオフ状態になる。このため、ビット線 $BL0$ は、 GND レベルの電位を保持しながら、フローティング状態(ハイインピーダンス状態)になる。

20

【0040】

次に、第2実施形態では、図7に示した期間 $T2$ において、プレート線 $PL0$ を $1/3V_{cc}$ の電位から GND レベルに立ち下げる。これにより、強誘電体キャパシタ $CF0$ に GND レベルの電圧が印加される。このため、強誘電体キャパシタ $CF0$ がデータ「0」を保持していた場合は、図9に示すように、強誘電体キャパシタ $CF0$ の分極状態がヒステリシス曲線に沿ってC点から「0」へ移動する。これにより、強誘電体キャパシタ $CF0$ に繋がるビット線 $BL0$ の総電荷量が図9中の Q_{downA} の電荷分減少する。このため、ビット線 $BL0$ の電位は、 GND レベルから Q_{downA} の電荷に相当する分低下することにより負電位になる。一方、強誘電体キャパシタ $CF0$ がデータ「1」を保持していた場合は、図13に示すように、強誘電体キャパシタ $CF0$ の分極状態がヒステリシス曲線に沿ってD点から「1」へ移動する。これにより、強誘電体キャパシタ $CF0$ に繋がるビット線 $BL0$ の総電荷量が図13中の Q_{downA} の電荷分減少する。このため、ビット線 $BL0$ の電位は、 GND レベルから Q_{downA} の電荷に相当する分低下することにより負電位になる。上記のように、第2実施形態では、期間 $T2$ において、ビット線 $BL0$ の電位を負電位にする。この後、制御信号 $DMP0$ を GND レベルから V_{cc} の電位へ立ち上げる。これにより、基準電圧発生回路2の n チャンネルトランジスタ5がオン状態になる。このため、キャパシタ7により保持されていた GND レベルの参照電位 V_{ref} がオン状態の n チャンネルトランジスタ5を介してビット線 $BL1$ に供給される。これにより、ビット線 $BL1$ の電位は、 GND レベルの参照電位 V_{ref} になる。

30

40

【0041】

次に、第2実施形態では、図7に示した期間 $T3$ において、プレート線 $PL0$ を介して強誘電体キャパシタ $CF0$ に V_{cc} の電位まで立ち上げる電圧パルスを印加する。具体的には、プレート線 $PL0$ を GND レベルから V_{cc} の電位に立ち上げる。これにより、プレート線 $PL0$ を介して強誘電体キャパシタ $CF0$ に V_{cc} の電圧が印加される。このため、強誘電体キャパシタ $CF0$ がデータ「0」を保持している場合は、図10に示すよう

50

に、強誘電体キャパシタCF0の分極状態がヒステリシス曲線に沿って「0」からA点へ移動する。これにより、強誘電体キャパシタCF0に繋がるビット線BL0の総電荷量が図10中の Q_{0upB} の電荷分増加する。このため、ビット線BL0の電位は、 Q_{0upB} の電荷に相当する分上昇する。一方、強誘電体キャパシタCF0がデータ「1」を保持している場合は、図14に示すように、強誘電体キャパシタCF0の分極状態がヒステリシス曲線に沿って「1」からA点へ移動する。これにより、強誘電体キャパシタCF0に繋がるビット線BL0の総電荷量が図5中の Q_{1upB} の電荷分増加する。このため、ビット線BL0の電位は、 Q_{1upB} の電荷に相当する分上昇する。この後、制御信号DMPEをVccの電位からGNDレベルへ立ち下げる。これにより、基準電圧発生回路2のnチャンネルトランジスタ5は、オフ状態になる。このため、ビット線BL1は、GNDレベルの参照電位 V_{ref} を保持しながら、フローティング状態（ハイインピーダンス状態）になる。そして、制御信号DMPRSをVccの電位からGNDレベルに立ち下げる。これにより、基準電圧発生回路2のnチャンネルトランジスタ6は、オフ状態になる。

10

【0042】

次に、図7に示した期間T4において、プレート線PL0をVccの電位からGNDレベルに立ち下げる。これにより、プレート線PL0を介して強誘電体キャパシタCF0にGNDレベルの電圧が印加される。このため、強誘電体キャパシタCF0がデータ「0」を保持していた場合は、図11に示すように、強誘電体キャパシタCF0の分極状態がヒステリシス曲線に沿ってA点から「0」へ移動する。これにより、強誘電体キャパシタCF0に繋がるビット線BL0の総電荷量が図11中の Q_{0downB} の電荷分減少する。このため、ビット線BL0の電位は、 Q_{0downB} の電荷に相当する分低下する。一方、強誘電体キャパシタCF0がデータ「1」を保持していた場合も、図15に示すように、強誘電体キャパシタCF0の分極状態がヒステリシス曲線に沿ってA点から「0」へ移動する。これにより、強誘電体キャパシタCF0に繋がるビット線BL0の総電荷量が図15中の Q_{1downB} （ $=Q_{0downB}$ ）の電荷分減少する。このため、ビット線BL0の電位は、 Q_{1downB} の電荷に相当する分低下する。

20

【0043】

なお、強誘電体キャパシタCF0にデータ「0」が保持されていた場合は、図7に示した期間T1～T4におけるビット線BL0の総電荷量の変化量は、 $-Q_{0downA} + Q_{0upB} - Q_{0downB}$ となる。ここで、図9～図11のヒステリシス図から判るように、 $Q_{0upB} = Q_{0downB}$ であるので、 $-Q_{0downA} + Q_{0upB} - Q_{0downB} = -Q_{0downA}$ となる。したがって、期間T1～T4におけるビット線BL0の総電荷量の変化量は負となる。ビット線BL0の初期状態の電位は、GNDレベルであったので、強誘電体キャパシタCF0がデータ「0」を保持していた場合の期間T4におけるビット線BL0の電位は、負電位になる。一方、強誘電体キャパシタCF0にデータ「1」が保持されていた場合は、期間T1～T4におけるビット線BL0の総電荷量の変化量は、 $-Q_{1downA} + Q_{1upB} - Q_{1downB}$ となる。ここで、図13～図15のヒステリシス図から判るように、 $-Q_{1downA} + Q_{1upB} - Q_{1downB}$ は正となる。したがって、期間T1～T4におけるビット線BL0の総電荷量の変化量は正となる。ビット線BL0の初期状態の電位は、GNDレベルであったので、強誘電体キャパシタCF0がデータ「1」を保持していた場合の期間T4におけるビット線BL0の電位は、正電位になる。

30

40

【0044】

次に、センスアンプ活性化信号SAEをGNDレベルからVccの電位へ立ち上げることにより、センスアンプ3を活性化させる。これにより、上記第1実施形態と同様にして、センスアンプ3により強誘電体キャパシタCF0からビット線BL0へ読み出されたデータが「0」または「1」として判別されて増幅される。すなわち、強誘電体キャパシタCF0がデータ「0」を保持していた場合には、期間T4におけるビット線BL0の電位は負電位になるので、ビット線BL0の電位は、センスアンプ3によりGNDレベルにされる。また、強誘電体キャパシタCF0がデータ「1」を保持していた場合には、期間T

50

4におけるビット線BL0の電位は正電位になるので、ビット線BL0の電位は、センスアンプ3によりVccに増幅される。そして、センスアンプ3によりGNDレベルまたはVccの電位にされたビット線BL0の電位は、外部へ出力される。

【0045】

第2実施形態では、上記のように、予め強誘電体キャパシタCF0に繋がるビット線BL0の電位を負電位にした後、強誘電体キャパシタCF0に電圧パルスを印加して、強誘電体キャパシタCF0のデータを読み出すことによって、容易に、データの読み出し時において、強誘電体キャパシタCF0がデータ「0」を保持する場合は、ビット線BL0に負電位を発生させることができるのと同時に、強誘電体キャパシタCF0がデータ「1」を保持する場合は、ビット線BL0に正電位を発生させることができるので、データ「0」またはデータ「1」の判別の基準としての参照電位V_{ref}をGNDレベル（接地電位）に設定することができる。これにより、データの読み出し時にビット線BL0に発生する電位がばらつく場合にも、容易に参照電位V_{ref}を設定することができる。また、第2実施形態では、容易に、データの読み出し時に、強誘電体キャパシタCF0がデータ「0」を保持する場合は、ビット線BL0に負電位を発生させることができると同時に、強誘電体キャパシタCF0がデータ「1」を保持する場合は、ビット線BL0に正電位を発生させることができるので、データの読み出し時に、強誘電体キャパシタCF0からデータ「0」を読み出した場合のビット線BL0の電位の分布範囲（負電位）と、強誘電体キャパシタCF0からデータ「1」を読み出した場合のビット線BL0の電位の分布範囲（正電位）とを、重ならないようにすることができる。これにより、参照電位V_{ref}をGNDレベルに設定することにより、強誘電体キャパシタCF0の保持するデータを正確にデータ「0」またはデータ「1」として判別することができる。

【0046】

第2実施形態による上記以外の効果は、上記第1実施形態による効果と同様である。

【0047】

（第3実施形態）

図16は、本発明の第3実施形態による1T1C型の強誘電体メモリの構成を示した回路図である。次に、図16を参照して、本発明の第3実施形態による1T1C型の強誘電体メモリの構成について説明する。

【0048】

この第3実施形態による1T1C型の強誘電体メモリは、図16に示すように、上記第1実施形態による1T1C型の強誘電体メモリと異なり、強誘電体キャパシタCF0に電圧パルスを印加して強誘電体キャパシタCF0のデータをビット線BL0に読み出す前に、ビット線BL0を負電位にするためのダミー回路11を備えている。このダミー回路11は、ビット線対BL0/BL1毎に設けられている。また、ダミー回路11は、ダミー強誘電体キャパシタCFD0およびCFD1と、nチャネルトランジスタからなるダミーアクセストランジスタTrD0およびTrD1とからなる。ダミー強誘電体キャパシタCFD0の一方電極は、ダミープレート線PLDに接続されるとともに、他方電極は、ダミーアクセストランジスタTrD0のソース/ドレインの一方に接続されている。なお、ダミープレート線PLDは、本発明の「ダミー駆動ライン」の一例である。また、ダミーアクセストランジスタTrD0のソース/ドレインの他方は、ビット線BL0に接続されている。また、ダミーアクセストランジスタTrD0のゲートは、ダミーワード線WLD0に接続されている。また、ダミー強誘電体キャパシタCFD1の一方電極は、ダミープレート線PLDに接続されるとともに、他方電極は、ダミーアクセストランジスタTrD1のソース/ドレインの一方に接続されている。また、ダミーアクセストランジスタTrD1のソース/ドレインの他方は、ビット線BL1に接続されている。また、ダミーアクセストランジスタTrD1のゲートは、ダミーワード線WLD1に接続されている。第3実施形態による1T1C型の強誘電体メモリの上記以外の構成は、上記第1実施形態による1T1C型の強誘電体メモリの構成と同様である。

【0049】

10

20

30

40

50

図17は、本発明の第3実施形態による1T1C型の強誘電体メモリの動作を説明するための電圧波形図である。次に、図8、図9、図12、図13、図16および図17を参照して、本発明の第3実施形態による1T1C型の強誘電体メモリの動作について説明する。

【0050】

この第3実施形態による1T1C型の強誘電体メモリでは、上記第2実施形態による1T1C型の強誘電体メモリと異なり、強誘電体キャパシタCF0（図16参照）にプレート線PL0を介して電圧パルスを印加して強誘電体キャパシタCF0のデータをビット線BL0に読み出す前において、ダミー回路11を用いてビット線BL0を負電位にする。具体的には、図17に示すように、制御信号DMPRSおよびDMP0とダミーワード線WLD0とをVccの電位に立ち上げることににより、基準電圧発生回路2のnチャンネルトランジスタ6および4とダミーアクセストランジスタTrD0とをオン状態にする。そして、図17に示した期間T1において、ビット線BL0にGNDレベルの参照電位Vrefを供給しながら、ダミープレート線PLDをGNDレベルから1/3Vccの電位に立ち上げる。これにより、ダミープレート線PLDを介してダミー強誘電体キャパシタCFD0に1/3Vccの電圧が印加される。この際、ダミー強誘電体キャパシタCFD0がデータ「0」を保持している場合は、図8に示すように、ダミー強誘電体キャパシタCFD0の分極状態が「0」からC点へ移動する。一方、ダミー強誘電体キャパシタCFD0がデータ「1」を保持している場合は、図12に示すように、ダミー強誘電体キャパシタCFD0の分極状態が「1」からD点へ移動する。なお、このようにダミー強誘電体キャパシタCFD0の分極状態が変化した場合にも、ダミー強誘電体キャパシタCFD0に繋がるビット線BL0には、GNDレベルの参照電位Vrefが供給されているので、ビット線BL0の電位はGNDレベルから変化しない。この後、制御信号DMP0をVccの電位からGNDレベルに立ち下げる。これにより、基準電圧発生回路2のnチャンネルトランジスタ4がオフ状態になる。このため、ビット線BL0は、GNDレベルの電位を保持しながら、フローティング状態（ハイインピーダンス状態）になる。

【0051】

次に、図17に示した期間T2において、ダミープレート線PLDを1/3Vccの電位からGNDレベルに立ち下げる。これにより、ダミー強誘電体キャパシタCFD0にGNDレベルの電圧が印加される。このため、ダミー強誘電体キャパシタCFD0がデータ「0」を保持していた場合は、図9に示した第2実施形態の場合と同様、ダミー強誘電体キャパシタCFD0の分極状態がヒステリシス曲線に沿ってC点から「0」へ移動する。これにより、ダミー強誘電体キャパシタCFD0に繋がるビット線BL0の総電荷量が図9中のQ_{0downA}の電荷分減少する。このため、ビット線BL0の電位は、GNDレベルからQ_{0downA}の電荷に相当する分低下することにより負電位になる。一方、ダミー強誘電体キャパシタCFD0がデータ「1」を保持していた場合は、図13に示した第2実施形態の場合と同様、ダミー強誘電体キャパシタCFD0の分極状態がヒステリシス曲線に沿ってD点から「1」へ移動する。これにより、ダミー強誘電体キャパシタCFD0に繋がるビット線BL0の総電荷量が図13中のQ_{1downA}の電荷分減少する。このため、ビット線BL0の電位は、GNDレベルからQ_{1downA}の電荷に相当する分低下することにより負電位になる。

【0052】

上記のようにして、第3実施形態では、ダミー回路11を用いて、図17に示した期間T2においてビット線BL0の電位を負電位にする。このため、第3実施形態による1T1C型の強誘電体メモリでは、期間T2にビット線BL0の電位を負電位にするために、プレート線PL0を介してメモリセル1の強誘電体キャパシタCF0に1/3Vccの電圧を印加しない。そして、第3実施形態では、図17に示した期間T2以降において、上記第2実施形態による期間T2以降の動作（図7参照）と同様にして、強誘電体キャパシタCF0がデータ「0」を保持する場合は、ビット線BL0に負電位を発生させるとともに、強誘電体キャパシタCF0がデータ「1」を保持する場合は、ビット線BL0に正電

10

20

30

40

50

位を発生させる。第3実施形態による1T1C型の強誘電体メモリの上記以外の動作は、上記第2実施形態による1T1C型の強誘電体メモリの動作と同様である。

【0053】

第3実施形態では、強誘電体キャパシタCF0にプレート線PL0を介して電圧パルス
を印加する前において、ビット線BL0の電位をGNDレベルに保持しながら、ダミープレ
ート線PLDの電位を $1/3V_{cc}$ とし、その後、ビット線BL0をフローティング状
態にした後、ダミープレート線PLDの電位を $1/3V_{cc}$ からGNDレベルに低下させ
ることにより、ビット線BL0の電位を負電位とすることによって、強誘電体キャパシタ
CF0にプレート線PL0を介して電圧パルスを印加する前にダミープレート線PLDお
よびダミー強誘電体キャパシタCFD0を介してビット線BL0の電位をGNDレベルか
ら所定の負電位に低下させることができる。これにより、プレート線PL0および強誘電
体キャパシタCF0を用いてビット線BL0の電位をGNDレベルから所定の負電位に低
下させる場合と異なり、データを保持する強誘電体キャパシタCF0に $1/3V_{cc}$ の電
圧を印加することなく、ビット線BL0の電位をGNDレベルから所定の負電位に低下さ
せることができる。このため、データの読み出し時において、強誘電体キャパシタCF0
に電圧パルスを印加してデータを読み出す前に、データを保持する強誘電体キャパシタC
F0に $1/3V_{cc}$ の電圧によるディスタブが生じるのを抑制しながら、ビット線BL
0の電位を負電位とすることができる。

10

【0054】

第3実施形態による上記以外の効果は、上記第1実施形態による効果と同様である。

20

【0055】

(第4実施形態)

図18は、本発明の第4実施形態によるクロスポイント型の強誘電体メモリの構成を示し
た回路図である。次に、図18を参照して、この第4実施形態では、上記第1～第3実施
形態と異なり、本発明をクロスポイント型の強誘電体メモリに適用した例について説明す
る。

【0056】

この第4実施形態によるクロスポイント型の強誘電体メモリでは、図18に示すように
、ワード線WL0～WL3と、ビット線BL0～BL5とが互いに直交する方向に延びる
ように配置されている。なお、このワード線WL0～WL3は、本発明の「駆動ライン」
の一例であり、ビット線BL0～BL5は、本発明の「データライン」の一例である。また、
ワード線WL0～WL3とビット線BL0～BL5とが交差する位置には、それぞれ
、1つの強誘電体キャパシタCF10のみからなるメモリセル21が設けられている。また、
ビット線BL0～BL5の一方の端部は、それぞれ、ビット線BL0～BL5毎に設
けられたnチャネルトランジスタからなるスイッチトランジスタ22のソース/ドレイン
の一方に接続されている。このスイッチトランジスタ22は、データの読み出し時に、後
述するセンスアンプ23により増幅された電位がビット線BL0～BL5および強誘電体
キャパシタCF10側に逆流するのを抑制するために設けられている。また、スイッチト
ランジスタ22のゲートには、スイッチトランジスタ22のオン/オフを制御するための
制御信号SWAが入力されるとともに、スイッチトランジスタ22のソース/ドレインの
他方は、ビット線BL10～BL15に接続されている。

30

40

【0057】

また、ビット線BL10～BL15には、それぞれ、ビット線BL10～BL15(B
L0～BL5)毎に設けられたセンスアンプ23に接続されている。このセンスアンプ2
3は、強誘電体キャパシタCF10からのデータの読み出し時に、ビット線BL10～B
L15に発生した強誘電体キャパシタCF10のデータに対応する電位をGNDレベル(接
地電位)の参照電位 V_{ref} と比較して判別することによって、ビット線BL10～B
L15の電位と参照電位 V_{ref} との電位差を増幅する機能を有する。また、センスア
ンプ23には、nチャネルトランジスタからなるスイッチトランジスタ24のソース/ドレ
インの一方が接続されている。このスイッチトランジスタ24のゲートには、スイッチト

50

ランジスタ 24 のオン/オフを制御するための制御信号 SWB が入力されるとともに、スイッチトランジスタ 24 のソース/ドレインの他方には、GND レベルの参照電位 V_{ref} が供給される。また、センスアンプ 23 には、センスアンプ 23 を活性化させるためのセンスアンプ活性化信号 SAE が入力される。

【0058】

図 19 は、本発明の第 4 実施形態によるクロスポイント型の強誘電体メモリの動作を説明するための電圧波形図である。次に、図 3 ~ 図 5、図 18 および図 19 を参照して、本発明の第 4 実施形態によるクロスポイント型の強誘電体メモリの動作について説明する。なお、以下の動作説明において、ワード線 WL3 に繋がる全てのメモリセル 21 のデータが一括して読み出されるものとする。また、ワード線 WL3 とビット線 BL0 ~ 2 とに繋がる強誘電体キャパシタ CF10 には、データ「0」が保持されているとともに、ワード線 WL3 とビット線 BL3 ~ 5 に繋がる強誘電体キャパシタ CF10 には、データ「1」が保持されているものとする。

【0059】

まず、データの読み出し時の初期状態では、図 19 に示すように、ワード線 WL0 ~ 3 の電位と、ビット線 BL0 ~ 5 および BL10 ~ 15 の電位とは、GND レベルに保持されている。また、制御信号 SWA、SWB およびセンスアンプ活性化信号 SAE の電位も GND レベルに保持されている。そして、ビット線 B0 ~ 5 をフローティング状態とした後、図 19 に示した期間 T1 において、ワード線 WL3 を選択して、ワード線 WL3 に繋がる全ての強誘電体キャパシタ CF10 に V_{cc} の電位まで立ち上げる電圧パルスを印加する。具体的には、ワード線 WL3 を GND レベルから V_{cc} の電位に立ち上げる。これにより、ワード線 WL3 に繋がる全ての強誘電体キャパシタ CF10 に V_{cc} の電圧が印加される。この際、ワード線 WL3 とビット線 BL0 ~ 2 とに繋がる強誘電体キャパシタ CF10 では、図 3 に示した第 1 実施形態の場合と同様、分極状態がヒステリシス曲線に沿って「0」から A 点へ移動する。これにより、ビット線 BL0 ~ 2 の総電荷量が図 3 中の Q_{0up} の電荷分増加する。このため、ビット線 BL0 ~ 2 の電位は、 Q_{0up} の電荷に相当する分上昇する。一方、ワード線 WL3 とビット線 BL3 ~ 5 とに繋がる強誘電体キャパシタ CF10 では、図 4 に示した第 1 実施形態の場合と同様、分極状態がヒステリシス曲線に沿って「1」から A 点へ移動する。これにより、ビット線 BL3 ~ 5 の総電荷量が図 4 中の Q_{1up} の電荷分増加する。このため、ビット線 BL3 ~ 5 の電位は、 Q_{1up} の電荷に相当する分上昇する。

【0060】

次に、図 19 に示した期間 T2 において、ワード線 WL3 を V_{cc} の電位から $-1/3 V_{cc}$ の電位へ立ち下げる。これにより、ワード線 WL3 に繋がる全ての強誘電体キャパシタ CF10 に $-1/3 V_{cc}$ の電圧が印加される。この際、ワード線 WL3 とビット線 BL0 ~ 5 とに繋がる強誘電体キャパシタ CF10 では、図 5 に示した第 1 実施形態の場合と同様、分極状態がヒステリシス曲線に沿って A 点から B 点へ移動する。これにより、ビット線 BL0 ~ 5 の総電荷量は、図 5 中の Q_{down} の電荷分減少する。このため、ビット線 BL0 ~ 5 の電位は、 Q_{down} の電荷に相当する分低下する。

【0061】

なお、図 19 に示した期間 T1 および T2 におけるビット線 BL0 ~ 2 の総電荷量の変化量は、 $Q_{0up} - Q_{down}$ となる。ここで、図 3 および図 5 に示したヒステリシス曲線の形状から判るように、 $Q_{0up} < Q_{down}$ であるので、 $Q_{0up} - Q_{down}$ は負となる。したがって、ビット線 BL0 ~ 2 の初期状態の電位は、GND レベルであったので、期間 T2 におけるビット線 BL0 ~ 2 の電位は、負電位になる。一方、期間 T1 および T2 におけるビット線 BL3 ~ 5 の総電荷量の変化量は、 $Q_{1up} - Q_{down}$ となる。ここで、図 4 および図 5 に示したヒステリシス曲線の形状から判るように、 $Q_{1up} > Q_{down}$ であるので、 $Q_{1up} - Q_{down}$ は正となる。したがって、ビット線 BL3 ~ 5 の初期状態の電位は、GND レベルであったので、期間 T2 におけるビット線 BL3 ~ 5 の電位は、正電位になる。

【0062】

そして、図19に示した期間T2において、制御信号SWAおよびSWBをGNDレベルからVccの電位に立ち上げる。これにより、スイッチトランジスタ22および24がオン状態になる。このため、オン状態のスイッチトランジスタ22を介してBL0~5の電位がそれぞれビット線BL10~15に伝達される。これにより、ビット線BL10~12の電位は、負電位になるとともに、ビット線BL13~15の電位は、正電位になる。また、オン状態のスイッチトランジスタ24を介してGNDレベルの参照電位Vrefがセンスアンプ23に供給される。この後、制御信号SWAおよびSWBをVccの電位からGNDレベルに立ち下げる。これにより、スイッチトランジスタ22および24がオフ状態になる。

10

【0063】

この状態で、センスアンプ活性化信号SAEをGNDレベルからVccの電位へ立ち上げることにより、センスアンプ23を活性化させる。これにより、センスアンプ23により、ビット線BL10~15の読み出されたデータに対応する電位と、GNDレベルの参照電位Vrefとがそれぞれ比較されることによって、強誘電体キャパシタCF10から読み出されたデータが判別されて増幅される。このデータの判別時の動作は、上記第1実施形態によるセンスアンプ3のデータの判別時の動作と同様である。すなわち、データ「0」が読み出されたビット線BL10~12の電位は、GNDレベルの参照電位Vrefよりも低い負電位であるので、センスアンプ23によりGNDレベルにされる。一方、データ「1」が読み出されたビット線BL13~15の電位は、GNDレベルの参照電位Vrefよりも高い正電位であるので、センスアンプ23によりVccに増幅される。そして、センスアンプ23によりGNDレベルおよびVccの電位にそれぞれされたビット線BL10~15の電位は、外部へ出力される。なお、ビット線BL10~15の電位がセンスアンプ23により増幅される際には、スイッチトランジスタ22はオフ状態になっているので、増幅されたビット線BL10~15の電位がビット線BL0~5および強誘電体キャパシタCF10側に逆流するのが抑制される。

20

【0064】

第4実施形態では、上記のように、クロスポイント型の強誘電体メモリにおいて、データ「0」を保持する強誘電体キャパシタCF10に繋がるビット線BL10~12に負電位が発生し、データ「1」を保持する強誘電体キャパシタCF10に繋がるビット線BL13~15に正電位が発生するように、ワード線WL3を介して強誘電体キャパシタCF10に電圧パルス印加した後、ワード線WL3に繋がる強誘電体キャパシタCF10のデータを一括して読み出すことによって、データ「0」またはデータ「1」の判別の基準としての参照電位VrefをGNDレベル（接地電位）に設定することができる。これにより、データの読み出し時にビット線BL10~15に発生する電位がばらつく場合にも、容易に参照電位Vrefを設定することができる。

30

【0065】

また、第4実施形態では、クロスポイント型の強誘電体メモリにおいて、データ「0」を保持する強誘電体キャパシタCF10に繋がるビット線BL10~12に負電位が発生し、データ「1」を保持する強誘電体キャパシタCF10に繋がるビット線BL13~15に正電位が発生するように、ワード線WL3を介して強誘電体キャパシタCF10に電圧パルス印加した後、ワード線WL3に繋がる強誘電体キャパシタCF10のデータを一括して読み出すことによって、データの読み出し時に、強誘電体キャパシタCF10からデータ「0」を読み出したビット線BL10~12の電位の分布範囲（負電位）と、強誘電体キャパシタCF10からデータ「1」を読み出したビット線BL13~15の電位の分布範囲（正電位）とを、重ならないようにすることができる。これにより、参照電位VrefをGNDレベル（接地電位）に設定することにより、強誘電体キャパシタCF10の保持するデータを正確にデータ「0」またはデータ「1」として判別することができる。

40

【0066】

50

第4実施形態による上記以外の効果は、上記第1実施形態による効果と同様である。

【0067】

(第5実施形態)

図20は、本発明の第5実施形態によるクロスポイント型の強誘電体メモリの動作を説明するための電圧波形図である。この第5実施形態によるクロスポイント型の強誘電体メモリでは、上記第4実施形態によるクロスポイント型の強誘電体メモリと異なり、予め強誘電体キャパシタに繋がるビット線の電位を負電位にした後、強誘電体キャパシタに電圧パルスを印加することにより、強誘電体キャパシタのデータをビット線に読み出す。次に、図8～図15、図18および図20を参照して、本発明の第5実施形態によるクロスポイント型の強誘電体メモリの動作について説明する。なお、この第5実施形態によるクロス

10

【0068】

第5実施形態によるクロスポイント型の強誘電体メモリでは、図20に示すように、データの読み出し時の初期状態において、ワード線WL0～3の電位と、ビット線BL0～5およびBL10～15の電位とは、GNDレベルに保持されている。また、制御信号SWA、SWBおよびセンスアンプ活性化信号SAEの電位もGNDレベルに保持されている。そして、期間T1において、ワード線WL3を選択して、GNDレベルから $1/3V_{cc}$ の電位に立ち上げる。これにより、ワード線WL3に繋がる全ての強誘電体キャパシタCF10(図18参照)に $1/3V_{cc}$ の電圧が印加される。この際、ワード線WL3とビット線BL0～2とに繋がる強誘電体キャパシタCF10では、図8に示した第2実施形態の場合と同様、分極状態が「0」からC点へ移動する。一方、ワード線WL3とビット線BL3～5とに繋がる強誘電体キャパシタCF10では、図12に示した第2実施形態の場合と同様、分極状態が「1」からD点へ移動する。なお、この際、ビット線BL0～5の電位は、GNDレベルに固定されている。これにより、強誘電体キャパシタCF10の分極状態が変化しても、ビット線BL0～5の電位はGNDレベルから変化しない。この後、ビット線BL0～5をフローティング状態(ハイインピーダンス状態)にする。

20

【0069】

次に、図20に示した期間T2において、ワード線WL3を $1/3V_{cc}$ の電位からGNDレベルに立ち下げる。これにより、ワード線WL3に繋がる全ての強誘電体キャパシタCF10にGNDレベルの電圧が印加される。この際、ワード線WL3とビット線BL0～2とに繋がる強誘電体キャパシタCF10では、図9に示した第2実施形態の場合と同様、分極状態がヒステリシス曲線に沿ってC点から「0」へ移動する。これにより、ビット線BL0～2の総電荷量が図9中の $Q_{0\ down A}$ の電荷分減少する。このため、ビット線BL0～2の電位は、GNDレベルから $Q_{0\ down A}$ の電荷に相当する分低下することにより負電位になる。一方、ワード線WL3とビット線BL3～5とに繋がる強誘電体キャパシタCF10では、図13に示した第2実施形態の場合と同様、分極状態がヒステリシス曲線に沿ってD点から「1」へ移動する。これにより、ビット線BL3～5の総電荷量が図13中の $Q_{1\ down A}$ の電荷分減少する。このため、ビット線BL3～5の電位は、GNDレベルから $Q_{1\ down A}$ の電荷に相当する分低下することにより負電位になる。上記のようにして、第5実施形態では、図20に示した期間T2において、ビット線BL0～5の電位を負電位にする。

30

40

【0070】

次に、図20に示した期間T3において、ワード線WL3を選択して、ワード線WL3に繋がる全ての強誘電体キャパシタCF10に V_{cc} の電位まで立ち上げる電圧パルスを印加する。具体的には、ワード線WL3をGNDレベルから V_{cc} の電位に立ち上げる。これにより、ワード線WL3に繋がる全ての強誘電体キャパシタCF10に V_{cc} の電圧が印加される。この際、ワード線WL3とビット線BL0～2とに繋がる強誘電体キャパシタCF10では、図10に示した第2実施形態の場合と同様、分極状態がヒステリシス

50

曲線に沿って「0」からA点へ移動する。これにより、ビット線BL0～2の総電荷量が図10中の Q_{0upB} の電荷分増加する。このため、ビット線BL0～2の電位は、 Q_{0upB} の電荷に相当する分上昇する。一方、ワード線WL3とビット線BL3～5とに繋がる強誘電体キャパシタCF10では、図14に示した第2実施形態の場合と同様、分極状態がヒステリシス曲線に沿って「1」からA点へ移動する。これにより、ビット線BL3～5の総電荷量が図14中の Q_{1upB} の電荷分増加する。このため、ビット線BL3～5の電位は、 Q_{1upB} の電荷に相当する分上昇する。

【0071】

次に、図20に示した期間T4において、ワード線WL3をVccの電位からGNDレベルに立ち下げる。これにより、ワード線WL3に繋がる全ての強誘電体キャパシタCF10にGNDレベルの電圧が印加される。この際、ワード線WL3とビット線BL0～2とに繋がる強誘電体キャパシタCF10では、図11に示した第2実施形態の場合と同様、分極状態がヒステリシス曲線に沿ってA点から「0」へ移動する。これにより、ビット線BL0～2の総電荷量が図11中の Q_{0downB} の電荷分減少する。このため、ビット線BL0～2の電位は、 Q_{0downB} の電荷に相当する分低下する。一方、ワード線WL3とビット線BL3～5とに繋がる強誘電体キャパシタCF10でも、図15に示した第2実施形態の場合と同様、分極状態がヒステリシス曲線に沿ってA点から「0」へ移動する。これにより、ビット線BL3～5の総電荷量が図15中の Q_{1downB} ($= Q_{0downB}$)の電荷分減少する。このため、ビット線BL3～5の電位は、 Q_{1downB} の電荷に相当する分低下する。

【0072】

なお、図20に示した期間T1～T4におけるビット線BL0～2の総電荷量の変化量は、 $-Q_{0downA} + Q_{0upB} - Q_{0downB}$ となる。ここで、図9～図11に示したヒステリシス曲線の形状から判るように、 $Q_{0upB} = Q_{0downB}$ であるので、 $-Q_{0downA} + Q_{0upB} - Q_{0downB} = -Q_{0downA}$ となる。したがって、図20に示した期間T1～T4におけるビット線BL0～2の総電荷量の変化量は負となる。ビット線BL0～2の初期状態の電位は、GNDレベルであったので、期間T4におけるビット線BL0～2の電位は、負電位になる。一方、期間T1～T4におけるビット線BL3～5の総電荷量の変化量は、 $-Q_{1downA} + Q_{1upB} - Q_{1downB}$ となる。ここで、図13～図15に示したヒステリシス曲線の形状から判るように、 $-Q_{1downA} + Q_{1upB} - Q_{1downB}$ は正となる。したがって、期間T1～T4におけるビット線BL3～5の総電荷量の変化量は正となる。ビット線BL3～5の初期状態の電位は、GNDレベルであったので、期間T4におけるビット線BL3～5の電位は、正電位になる。

【0073】

そして、制御信号SWAおよびSWBをGNDレベルからVccの電位に立ち上げる。これにより、スイッチトランジスタ22および24がオン状態になる。このため、オン状態のスイッチトランジスタ22を介してBL0～5の電位がそれぞれビット線BL10～15に伝達される。これにより、ビット線BL10～12の電位は、負電位になるとともに、ビット線BL13～15の電位は、正電位になる。また、オン状態のスイッチトランジスタ24を介してセンスアンプ23にGNDレベルの参照電位 V_{ref} を供給する。これ以降は、上記第4実施形態と同様にして、センスアンプ23により強誘電体キャパシタCF10からビット線BL10～15に読み出したデータを「0」または「1」に判別して増幅する。

【0074】

第5実施形態では、上記のように、クロスポイント型の強誘電体メモリにおいて、予め強誘電体キャパシタCF10に繋がるビット線BL0～5の電位を負電位にした後、強誘電体キャパシタCF10に電圧パルスを印加して、ワード線WL3に繋がる強誘電体キャパシタCF10のデータを一括して読み出すことによって、容易に、データの読み出し時において、データ「0」を保持する強誘電体キャパシタCF10に繋がるビット線BL0

10

20

30

40

50

～ 2 に負電位を発生させることができるとともに、データ「1」を保持する強誘電体キャパシタCF10に繋がるビット線BL3～5に正電位を発生させることができるので、容易に、データの読み出し時に、ビット線BL0～2にスイッチトランジスタを介して繋がるビット線BL10～12に負電位を発生させることができるとともに、ビット線BL3～5にスイッチトランジスタを介して繋がるビット線BL13～15に正電位を発生させることができる。これにより、強誘電体キャパシタCF10からビット線BL10～15に読み出されたデータを「0」または「1」として判別するために用いる参照電位 V_{ref} をGNDレベルに設定することができる。このため、データの読み出し時にビット線BL10～15に発生する電位がばらつく場合にも、容易に参照電位 V_{ref} を設定することができる。また、第5実施形態では、容易に、データの読み出し時に、データ「0」を保持する強誘電体キャパシタCF10に繋がるビット線BL10～12に負電位を発生させることができるとともに、データ「1」を保持する強誘電体キャパシタCF10に繋がるビット線BL13～15に正電位を発生させることができるので、データの読み出し時に、強誘電体キャパシタCF10からデータ「0」を読み出したビット線BL10～12の電位の分布範囲（負電位）と、強誘電体キャパシタCF10からデータ「1」を読み出したビット線BL13～15の電位の分布範囲（正電位）とを、重ならないようにすることができる。これにより、参照電位 V_{ref} をGNDレベルに設定することにより、強誘電体キャパシタCF10の保持するデータを正確にデータ「0」またはデータ「1」として判別することができる。

10

【0075】

20

第5実施形態による上記以外の効果は、上記第1実施形態による効果と同様である。

【0076】

（第6実施形態）

図21は、本発明の第6実施形態によるクロスポイント型の強誘電体メモリの構成を示した回路図である。次に、図21を参照して、本発明の第6実施形態によるクロスポイント型の強誘電体メモリの構成について説明する。

【0077】

この第6実施形態によるクロスポイント型の強誘電体メモリは、図21に示すように、上記第4実施形態によるクロスポイント型の強誘電体メモリと異なり、強誘電体キャパシタCF10に電圧パルスを印加して強誘電体キャパシタCF10のデータをビット線BL0～5に読み出す前に、ビット線BL0～5を負電位にするためのダミー回路31を備えている。このダミー回路31は、ビット線BL0～5毎に設けられたダミー強誘電体キャパシタCFD10からなる。このダミー強誘電体キャパシタCFD10は、ビット線BL0～5と直交する方向に延びるように配置されたダミーワード線WLDと、ビット線BL0～5とが交差する位置にそれぞれ設けられている。なお、ダミーワード線WLDは、本発明の「ダミー駆動ライン」の一例である。また、ダミー強誘電体キャパシタCFD10の一方電極は、ダミーワード線WLDに接続されるとともに、他方電極は、ビット線BL0～5にそれぞれ接続されている。第6実施形態によるクロスポイント型の強誘電体メモリの上記以外の構成は、上記第4実施形態によるクロスポイント型の強誘電体メモリの構成と同様である。

30

40

【0078】

図22は、本発明の第6実施形態によるクロスポイント型の強誘電体メモリの動作を説明するための電圧波形図である。次に、図8、図9、図12、図13、図21および図22を参照して、本発明の第6実施形態によるクロスポイント型の強誘電体メモリの動作について説明する。なお、以下の動作説明において、ワード線WL3に繋がる全てのメモリセルのデータが一括して読み出され、かつ、ビット線BL0～2に繋がるダミー強誘電体キャパシタCFD10には、データ「0」が保持されているとともに、ビット線BL3～5に繋がるダミー強誘電体キャパシタCFD10には、データ「1」が保持されているものとする。

【0079】

50

この第6実施形態によるクロスポイント型の強誘電体メモリでは、上記第5実施形態によるクロスポイント型の強誘電体メモリと異なり、強誘電体キャパシタCF10（図21参照）に電圧パルスを印加して強誘電体キャパシタCF10のデータをビット線BL0～5に読み出す前において、ダミー回路31を用いてビット線BL0～5をそれぞれ負電位にする。具体的には、期間T1（図22参照）において、ビット線BL0～5の電位をGNDレベルに固定しながら、ダミーワード線WLDをGNDレベルから $1/3V_{cc}$ の電位に立ち上げる。これにより、ダミーワード線WLDに繋がるダミー強誘電体キャパシタCFD0に $1/3V_{cc}$ の電圧が印加される。この際、ビット線BL0～2に繋がるダミー強誘電体キャパシタCFD10では、図8に示した第2実施形態の場合と同様、分極状態が「0」からC点へ移動する。一方、ビット線BL3～5に繋がるダミー強誘電体キャパシタCFD10では、図12に示した第2実施形態の場合と同様、分極状態が「1」からD点へ移動する。なお、このようにダミー強誘電体キャパシタCFD10の分極状態が変化した場合にも、ダミー強誘電体キャパシタCFD10に繋がるビット線BL0～5の電位は、GNDレベルに固定されているので、ビット線BL0～5の電位はGNDレベルから変化しない。この後、ビット線BL0～5をフローティング状態（ハイインピーダンス状態）にする。

【0080】

次に、図22に示した期間T2において、ダミーワード線WLDを $1/3V_{cc}$ の電位からGNDレベルに立ち下げる。これにより、ダミーワード線WLDに繋がる全てのダミー強誘電体キャパシタCFD10にGNDレベルの電圧が印加される。この際、ビット線BL0～2に繋がるダミー強誘電体キャパシタCFD10では、図9に示した第2実施形態の場合と同様、分極状態がヒステリシス曲線に沿ってC点から「0」へ移動する。これにより、ビット線BL0～2の総電荷量が図9中の Q_{downA} の電荷分減少する。このため、ビット線BL0～2の電位は、GNDレベルから Q_{downA} の電荷に相当する分低下することにより負電位になる。一方、ビット線BL3～5に繋がるダミー強誘電体キャパシタCFD10では、図13に示した第2実施形態の場合と同様、分極状態がヒステリシス曲線に沿ってD点から「1」へ移動する。これにより、ビット線BL3～5の総電荷量が図13中の Q_{downA} の電荷分減少する。このため、ビット線BL3～5の電位は、GNDレベルから Q_{downA} の電荷に相当する分低下することにより負電位になる。

【0081】

上記のようにして、第6実施形態では、ダミー回路31を用いて、図22に示した期間T2においてビット線BL0～5の電位を負電位にする。このため、第6実施形態によるクロスポイント型の強誘電体メモリでは、図22に示した期間T2にビット線BL0～5の電位を負電位にするために、ワード線WL3を介してメモリセル21の強誘電体キャパシタCF10に $1/3V_{cc}$ の電圧を印加しない。そして、第6実施形態では、図22に示した期間T2以降において、上記第5実施形態による期間T2以降の動作（図20参照）と同様にして、データ「0」を保持する強誘電体キャパシタCF10に繋がるビット線BL10～12に負電位を発生させるとともに、データ「1」を保持する強誘電体キャパシタCF10に繋がるビット線BL13～15に正電位を発生させる。第6実施形態によるクロスポイント型の強誘電体メモリの上記以外の動作は、上記第5実施形態によるクロスポイント型の強誘電体メモリの動作と同様である。

【0082】

第6実施形態では、クロスポイント型の強誘電体メモリにおいて、強誘電体キャパシタCF10にワード線WL3を介して電圧パルスを印加する前において、ビット線BL0～5の電位をGNDレベルに保持しながら、ダミーワード線WLDの電位を $1/3V_{cc}$ とし、その後、ビット線BL0～5をフローティング状態にした後、ダミーワード線WLDの電位を $1/3V_{cc}$ からGNDレベルに低下させることにより、ビット線BL0～5の電位を負電位とすることによって、強誘電体キャパシタCF10にワード線WL3を介して電圧パルスを印加する前にダミーワード線WLDおよびダミー強誘電体キャパシタCF

10

20

30

40

50

D10を介してビット線BL0～5の電位をGNDレベルから所定の負電位に低下させることができる。これにより、ワード線WL3および強誘電体キャパシタCF10を用いてビット線BL0～5の電位をGNDレベルから所定の負電位に低下させる場合と異なり、データを保持する強誘電体キャパシタCF10に1/3Vccの電圧を印加することなく、ビット線BL0～5の電位をGNDレベルから所定の負電位に低下させることができる。このため、データの読み出し時において、強誘電体キャパシタCF10に電圧パルスを印加してデータを読み出す前に、データを保持する強誘電体キャパシタCF10に1/3Vccの電圧によるディスターブが生じるのを抑制しながら、ビット線BL0～5の電位を負電位とすることができる。

【0083】

第6実施形態による上記以外の効果は、上記第1実施形態による効果と同様である。

【0084】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0085】

たとえば、上記実施形態では、1T1C型およびクロスポイント型の強誘電体メモリに本発明を適用した例について説明したが、本発明はこれに限らず、1T1C型およびクロスポイント型以外の強誘電体メモリにも本発明を適用することが可能である。

【0086】

また、上記第2および第5実施形態では、強誘電体キャパシタに電圧パルスを印加して強誘電体キャパシタのデータをビット線に読み出す前に、1/3Vccの電圧を強誘電体キャパシタに印加することにより、ビット線の電位を負電位にしたが、本発明はこれに限らず、1/3Vcc以外の電圧を強誘電体キャパシタに印加することにより、ビット線の電位を負電位にするようにしてもよい。なお、この場合において、1/2Vcc以下の電圧を強誘電体キャパシタに印加することにより、ビット線の電位を負電位にするのが、強誘電体キャパシタに大きなディスターブが発生するのを抑制するために好ましい。

【図面の簡単な説明】

【0087】

【図1】本発明の第1実施形態による1T1C型の強誘電体メモリの構成を示した回路図である。

【図2】本発明の第1実施形態による1T1C型の強誘電体メモリの動作を説明するための電圧波形図である。

【図3】本発明の第1実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図4】本発明の第1実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図5】本発明の第1実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図6】本発明の第1実施形態による1T1C型の強誘電体メモリのデータ読み出し時におけるビット線の電位の分布を示した図である。

【図7】本発明の第2実施形態による1T1C型の強誘電体メモリの動作を説明するための電圧波形図である。

【図8】本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図9】本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図10】本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

10

20

30

40

50

【図11】本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図12】本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図13】本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図14】本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図15】本発明の第2実施形態による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図16】本発明の第3実施形態による1T1C型の強誘電体メモリの構成を示した回路図である。

【図17】本発明の第3実施形態による1T1C型の強誘電体メモリの動作を説明するための電圧波形図である。

【図18】本発明の第4実施形態によるクロスポイント型の強誘電体メモリの構成を示した回路図である。

【図19】本発明の第4実施形態によるクロスポイント型の強誘電体メモリの動作を説明するための電圧波形図である。

【図20】本発明の第5実施形態によるクロスポイント型の強誘電体メモリの動作を説明するための電圧波形図である。

【図21】本発明の第6実施形態によるクロスポイント型の強誘電体メモリの構成を示した回路図である。

【図22】本発明の第6実施形態によるクロスポイント型の強誘電体メモリの動作を説明するための電圧波形図である。

【図23】従来の一例による1T1C型の強誘電体メモリの構成を示した回路図である。

【図24】従来の一例による1T1C型の強誘電体メモリの動作を説明するための電圧波形図である。

【図25】従来の一例による1T1C型の強誘電体メモリの強誘電体キャパシタの分極状態を示したヒステリシス図である。

【図26】従来の一例による1T1C型の強誘電体メモリのデータ読み出し時におけるビット線の電位の分布を示した図である。

【図27】従来の一例による1T1C型の強誘電体メモリのデータ読み出し時におけるビット線の電位の分布を示した図である。

【図28】従来の一例による1T1C型の強誘電体メモリのデータ読み出し時におけるビット線の電位の分布を示した図である。

【図29】従来の一例による1T1C型の強誘電体メモリのデータ読み出し時におけるビット線の電位の分布を示した図である。

【符号の説明】

【0088】

- 1、21 メモリセル
- 2 基準電圧発生回路
- 3、23 センスアンプ
- CF0、CF1、CF2、CF3、CF10 強誘電体キャパシタ
- BL0、BL1、BL2、BL3、BL4、BL5 ビット線（データライン）
- PL0、PL1 プレート線（駆動ライン）
- WL0、WL1、WL2、WL3 ワード線（駆動ライン）
- PLD ダミープレート線（ダミー駆動ライン）
- WLD ダミーワード線（ダミー駆動ライン）
- CFD0、CFD1 ダミー強誘電体キャパシタ

10

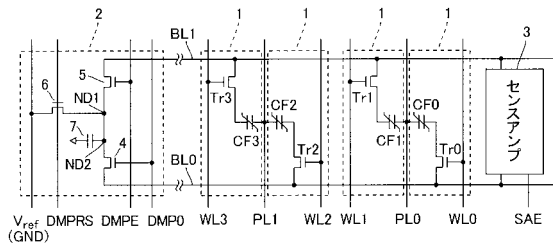
20

30

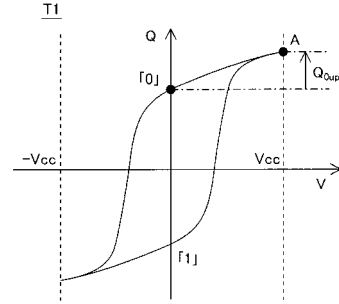
40

50

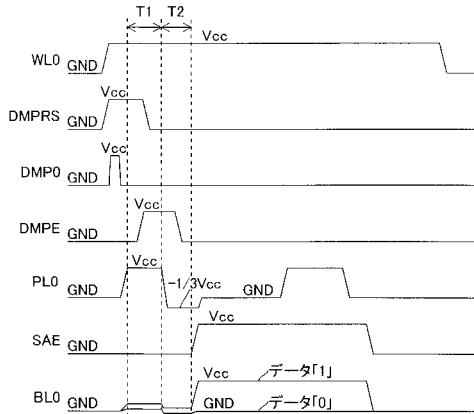
【図1】



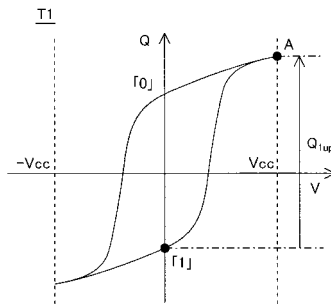
【図3】



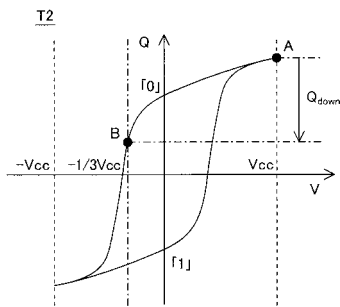
【図2】



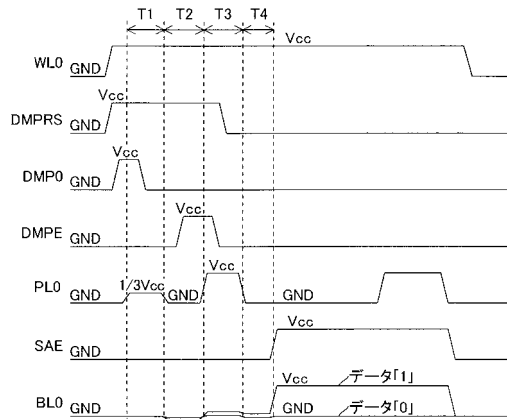
【図4】



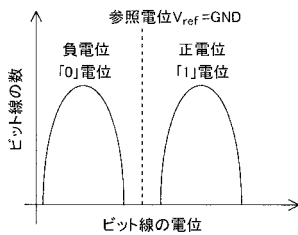
【図5】



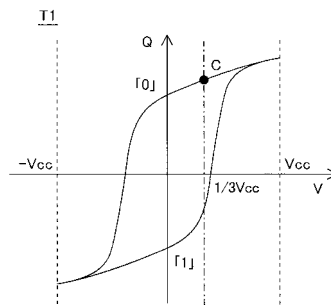
【図7】



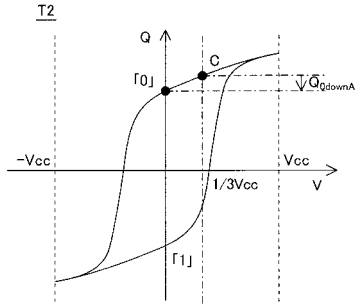
【図6】



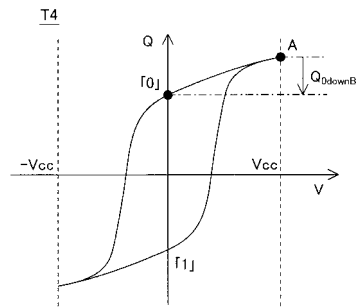
【図8】



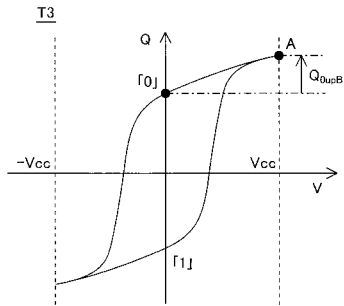
【図 9】



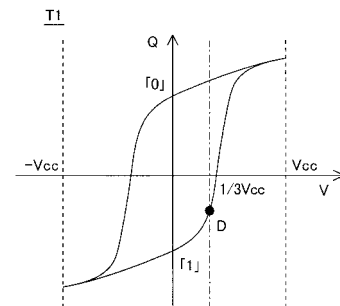
【図 11】



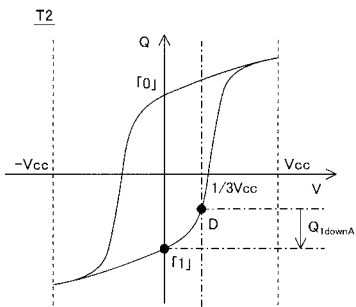
【図 10】



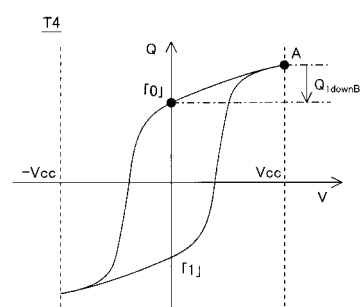
【図 12】



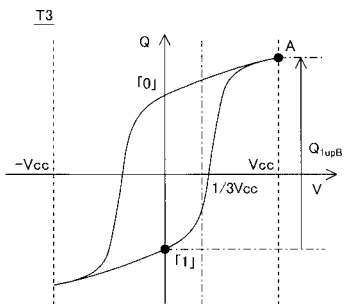
【図 13】



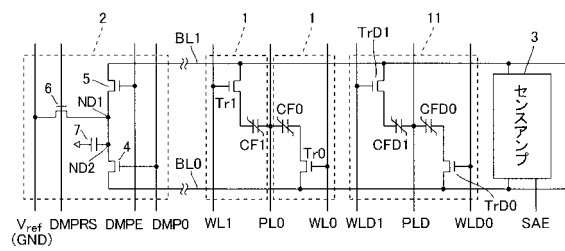
【図 15】



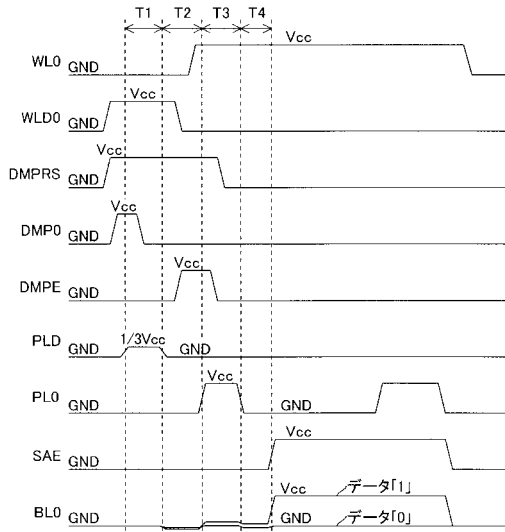
【図 14】



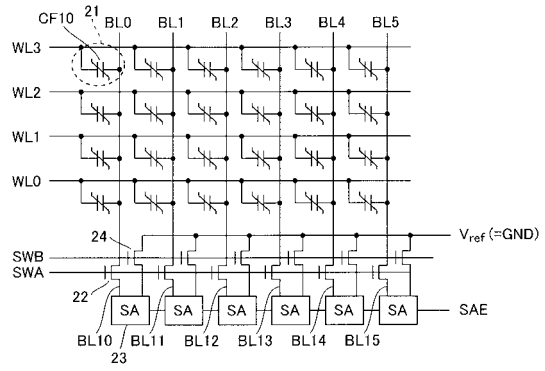
【図 16】



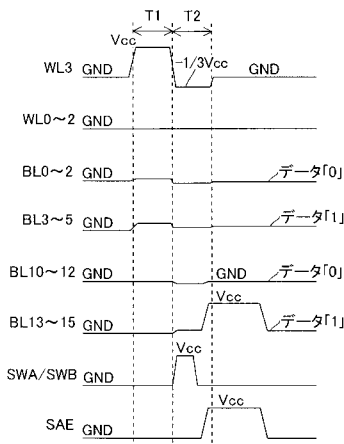
【図17】



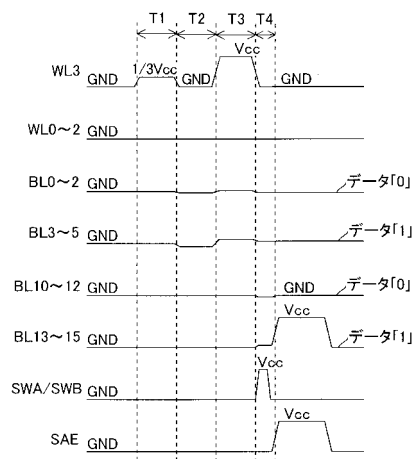
【図18】



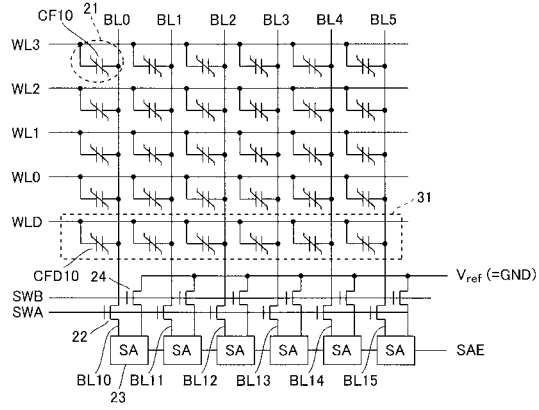
【図19】



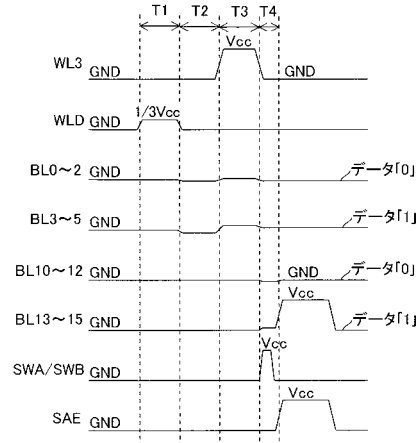
【図20】



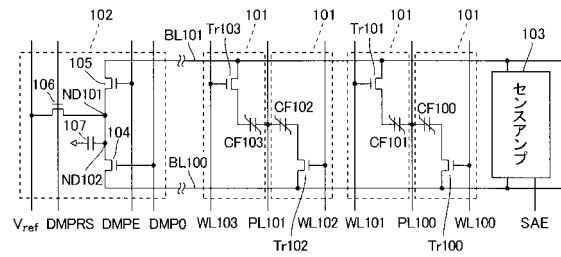
【図 2 1】



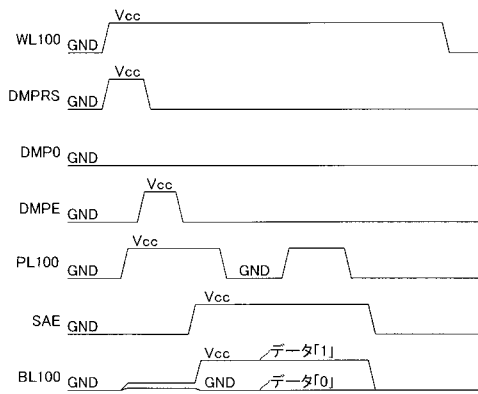
【図 2 2】



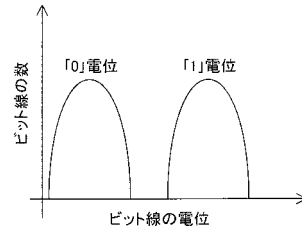
【図 2 3】



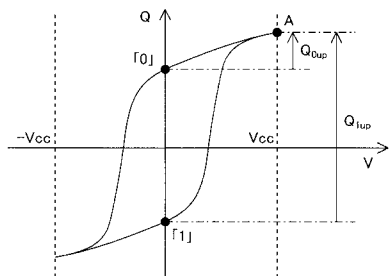
【図 2 4】



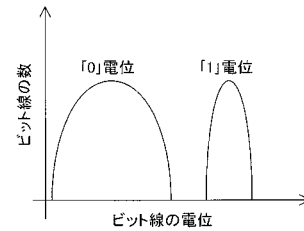
【図 2 6】



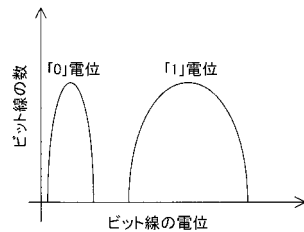
【図 2 5】



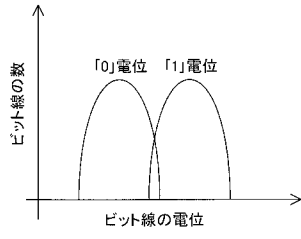
【図 2 7】



【図 2 8】



【図 29】



フロントページの続き

審査官 高野 芳徳

(56)参考文献 国際公開第2004/077442(WO, A1)

特開平09-180467(JP, A)

特開平11-260066(JP, A)

特開2001-319472(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/22