



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0051886
(43) 공개일자 2017년05월12일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 21/027</i> (2006.01) <i>H01L 21/033</i> (2006.01)
 <i>H01L 21/311</i> (2006.01) <i>H01L 21/3213</i> (2006.01)
 <i>H01L 51/00</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>H01L 21/0274</i> (2013.01)
 <i>H01L 21/0337</i> (2013.01)</p> <p>(21) 출원번호 10-2015-0153532
 (22) 출원일자 2015년11월03일
 심사청구일자 없음</p> | <p>(71) 출원인
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
 김은성
 서울특별시 양천구 목동동로 240, 103동 1104호 (목동, 현대1차아파트)
 이경미
 경기도 수원시 영통구 신원로 105-8, C동 606호 (신동, 해오름빌)
 (뒷면에 계속)</p> <p>(74) 대리인
 특허법인가산</p> |
|---|---|

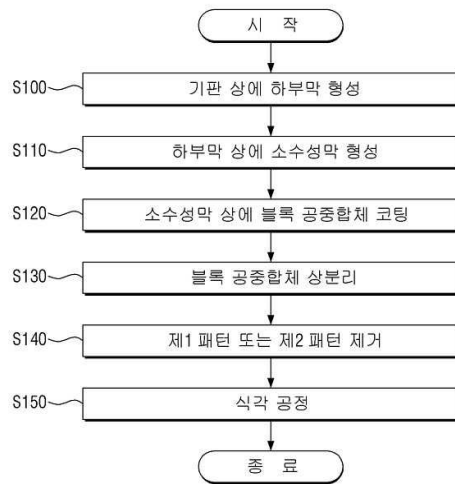
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 장치의 패턴 형성 방법**

(57) 요약

반도체 장치의 패턴 형성 방법이 제공된다. 상기 반도체 장치의 패턴 형성 방법은, 기판 상에, 단차가 있는 제1 면과 제2 면을 포함하는 하부막을 형성하고, 상기 하부막 상에 소수성 물질을 포함하는 상부막을 형성하고, 상기 상부막 상에 블록 공중합체(block copolymer)막을 코팅하고, 상기 블록 공중합체막을 상분리시켜, 상기 제1 면과 상기 제2 면 상에 서로 이격된 제1 패턴들과, 상기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고, 상기 제1 패턴 또는 상기 제2 패턴을 제거하고, 상기 제1 패턴들과 상기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하되, 상기 제1 패턴의 하부면과 상기 상부막 사이에는 상기 제2 패턴이 배치된다.

대표도 - 도3



(52) CPC특허분류

H01L 21/31138 (2013.01)

H01L 21/32135 (2013.01)

H01L 51/0043 (2013.01)

(72) 발명자

권승철

경기도 수원시 장안구 천천로74번길 35, 818동 60
1호 (정자동, 대월마을 주공아파트)

박정주

경기도 화성시 동탄반석로 160, A동 1904호 (반송
동, 동탄 지웰 에스테이트)

이시용

경기도 성남시 분당구 운중로166번길 20-23 (운중
동)

명세서

청구범위

청구항 1

기판 상에, 단차가 있는 제1 면과 제2 면을 포함하는 하부막을 형성하고,
 상기 하부막 상에 소수성 물질을 포함하는 상부막을 형성하고,
 상기 상부막 상에 블록 공중합체(block copolymer)막을 코팅하고,
 상기 블록 공중합체막을 상분리시켜, 상기 제1 면과 상기 제2 면 상에 서로 이격된 제1 패턴들과, 상기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고,
 상기 제1 패턴 또는 상기 제2 패턴을 제거하고,
 상기 제1 패턴들과 상기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하
 되,
 상기 제1 패턴의 하부면과 상기 상부막 사이에는 상기 제2 패턴이 배치되는 반도체 장치의 패턴 형성 방법.

청구항 2

제 1항에 있어서,
 상기 상부막을 형성하는 것은, 상기 하부막의 상기 제1 면과 상기 제2 면을 따라 컨포말하게 형성하는 반도체
 장치의 패턴 형성 방법.

청구항 3

제 1항에 있어서,
 상기 제1 패턴과 상기 제2 패턴은 서로 다른 성질을 갖는 반도체 장치의 패턴 형성 방법.

청구항 4

제 3항에 있어서,
 상기 제1 패턴은 친수성이고, 상기 제2 패턴은 소수성인 반도체 장치의 패턴 형성 방법.

청구항 5

제 1항에 있어서,
 상기 블록 공중합체막은 PMMA(PolyMethyl MethAcrylate)와 PS(PolyStyrene)를 포함하는 반도체 장치의 패턴 형
 성 방법.

청구항 6

제 5항에 있어서,
 상기 소수성 물질은 PS(PolyStyrene)를 포함하는 반도체 장치의 패턴 형성 방법.

청구항 7

제 1항에 있어서,
 상기 제1 패턴 또는 상기 제2 패턴을 제거하는 것은, 건식 식각 공정을 이용하는 반도체 장치의 패턴 형성
 방법.

청구항 8

제 1항에 있어서,
상기 하부막은 요철 구조를 포함하는 반도체 장치의 패턴 형성 방법.

청구항 9

제 8항에 있어서,
상기 요철 구조는 복수 개의 홀을 포함하는 반도체 장치의 패턴 형성 방법.

청구항 10

제 9항에 있어서,
상기 복수 개의 홀 각각에는, 하나의 상기 제1 패턴만이 형성되는 반도체 장치의 패턴 형성 방법.

청구항 11

제 10항에 있어서,
상기 제1 패턴은 실린더 형태로 형성되는 반도체 장치의 패턴 형성 방법.

청구항 12

하부막과 중성막이 순차적으로 형성된 기판을 준비하고,
상기 중성막의 일부를 제거하여 상기 하부막의 일부를 노출시키고,
상기 노출된 하부막을 식각하여 트렌치를 형성하고,
상기 트렌치 내에 소수성막을 형성하고,
상기 중성막과 상기 소수성막 상에 블록 공중합체(block copolymer)막을 코팅하고,
상기 블록 공중합체막을 상분리시켜, 상기 중성막과 상기 소수성막 상에 서로 이격된 제1 패턴들과, 상기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고,
상기 제1 패턴 또는 상기 제2 패턴을 제거하고,
상기 제1 패턴들과 상기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하
되,
상기 트렌치 상의 상기 제1 패턴의 하부면과 상기 소수성막 사이에는 상기 제2 패턴이 배치되는 반도체 장치의
패턴 형성 방법.

청구항 13

제 12항에 있어서,
상기 트렌치 내에 상기 소수성막을 형성하는 것은, 상기 트렌치의 하부면과 측벽을 따라 상기 소수성막이 형성
되는 반도체 장치의 패턴 형성 방법.

청구항 14

제 12항에 있어서,
상기 제1 패턴은 친수성이고, 상기 제2 패턴은 소수성인 반도체 장치의 패턴 형성 방법.

청구항 15

제 12항에 있어서,
상기 제1 패턴 또는 상기 제2 패턴을 제거하는 것은, 건식 식각 공정을 이용하는 반도체 장치의 패턴 형성
방법.

청구항 16

기판 상에 하부막을 형성하고,
 상기 하부막 상에 마스크막 패턴을 형성하고,
 상기 마스크막 패턴을 이용하여 식각 공정을 수행하여, 상기 하부막에 단차가 있는 제1 면과 제2 면을 형성하고,
 상기 마스크막 패턴을 제거하고,
 상기 제1 면과 상기 제2 면 상에 소수성막을 형성하고,
 상기 소수성막 상에 블록 공중합체(block copolymer)막을 코팅하고,
 상기 블록 공중합체막을 상분리시켜, 상기 제1 면과 상기 제2 면 상에 서로 이격된 제1 패턴들과, 상기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고,
 상기 제1 패턴 또는 상기 제2 패턴을 제거하고,
 상기 제1 패턴들과 상기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하
 되,
 상기 제1 패턴의 하부면과 상기 소수성막 사이에는 상기 제2 패턴이 배치되는 반도체 장치의 패턴 형성 방법.

청구항 17

제 16항에 있어서,
 상기 소수성막을 형성하는 것은, 상기 제1 면과 상기 제2 면을 따라 건조되도록 형성하는 반도체 장치의 패턴
 형성 방법.

청구항 18

제 16항에 있어서,
 상기 블록 공중합체막을 상분리시키는 것은, 어닐링 공정을 이용하는 반도체 장치의 패턴 형성 방법.

청구항 19

기판 상에 하부막과 중성막을 순차적으로 형성하고,
 상기 중성막 상에 마스크막 패턴을 형성하고,
 상기 마스크막 패턴을 이용하여 식각 공정을 수행하여, 상기 중성막의 일부를 제거하고,
 상기 제거된 중성막에 의해 노출된 상기 하부막을 제거하여, 상기 하부막에 트렌치를 형성하고,
 상기 마스크막 패턴을 제거하고,
 상기 트렌치 내에 소수성막을 형성하고,
 상기 남겨진 중성막과 상기 소수성막 상에 블록 공중합체(block copolymer)막을 코팅하고,
 상기 블록 공중합체막을 상분리시켜, 상기 남겨진 중성막과 상기 소수성막 상에 서로 이격된 제1 패턴들과, 상
 기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고,
 상기 제1 패턴 또는 상기 제2 패턴을 제거하고,
 상기 제1 패턴들과 상기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하
 되,
 상기 트렌치 상의 상기 제1 패턴의 하부면과 상기 소수성막 사이에는 상기 제2 패턴이 배치되는 반도체 장치의
 패턴 형성 방법.

청구항 20

제 19항에 있어서,

상기 트렌치 내에 상기 소수성막을 형성하는 것은, 상기 트렌치의 하부면과 측벽을 따라 상기 소수성막이 형성되는 반도체 장치의 패턴 형성 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 패턴 형성 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치가 고집적화됨에 따라 반도체 장치 내에 포함된 패턴의 선폭은 더욱 미세해지고 있다. 따라서, 반도체 장치의 제조시에 미세 패턴 형성을 위한 미세공정이 다양해지고 있다. 미세공정은, 탑 다운(top down) 방식으로 DPT(Double Patterning Technology), QPT(Quadruple Patterning Technology), EUV(Extreme Ultra Violet) 방식이 이용되며, 바텀 업(bottom up) 방식으로 DSA(Directed Self Assembly), 나노임프린트(Nanoimprint) 방식이 이용된다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는, DSA(Directed Self Assembly) 공정을 이용하여 형성되는 미세 패턴의 결함 발생을 줄일 수 있는 반도체 장치의 패턴 형성 방법을 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 다른 과제는, DSA(Directed Self Assembly) 공정에서 미세 패턴 형성에 있어, 소수성 물질 사이의 소수성 결합력을 이용하여 마스크 패턴 형성시에 결함 발생을 줄일 수 있는 반도체 장치의 패턴 형성 방법을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 과제들은, 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법은, 기판 상에, 단차가 있는 제1 면과 제2 면을 포함하는 하부막을 형성하고, 상기 하부막 상에 소수성 물질을 포함하는 상부막을 형성하고, 상기 상부막 상에 블록 공중합체(block copolymer)막을 코팅하고, 상기 블록 공중합체막을 상분리시켜, 상기 제1 면과 상기 제2 면 상에 서로 이격된 제1 패턴들과, 상기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고, 상기 제1 패턴 또는 상기 제2 패턴을 제거하고, 상기 제1 패턴들과 상기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하되, 상기 제1 패턴의 하부면과 상기 상부막 사이에는 상기 제2 패턴이 배치된다.

[0007] 본 발명의 몇몇 실시예에서, 상기 상부막을 형성하는 것은, 상기 하부막의 상기 제1 면과 상기 제2 면을 따라 키포말하게 형성할 수 있다.

[0008] 본 발명의 몇몇 실시예에서, 상기 제1 패턴과 상기 제2 패턴은 서로 다른 성질을 가질 수 있다.

[0009] 본 발명의 몇몇 실시예에서, 상기 제1 패턴은 친수성이고, 상기 제2 패턴은 소수성일 수 있다.

[0010] 본 발명의 몇몇 실시예에서, 상기 블록 공중합체막은 PMMA(PolyMethyl MethAcrylate)와 PS(PolyStyrene)를 포함할 수 있다.

[0011] 본 발명의 몇몇 실시예에서, 상기 소수성 물질은 PS(PolyStyrene)를 포함할 수 있다.

[0012] 본 발명의 몇몇 실시예에서, 상기 제1 패턴 또는 상기 제2 패턴을 제거하는 것은, 건식 식각 공정을 이용할 수 있다.

[0013] 본 발명의 몇몇 실시예에서, 상기 하부막은 요철 구조를 포함할 수 있다.

- [0014] 본 발명의 몇몇 실시예에서, 상기 요철 구조는 복수 개의 홀을 포함할 수 있다.
- [0015] 본 발명의 몇몇 실시예에서, 상기 복수 개의 홀 각각에는, 하나의 상기 제1 패턴만이 형성될 수 있다.
- [0016] 본 발명의 몇몇 실시예에서, 상기 제1 패턴은 실린더 형태로 형성될 수 있다.
- [0017] 상기 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법은, 하부막과 중성막이 순차적으로 형성된 기판을 준비하고, 상기 중성막의 일부를 제거하여 상기 하부막의 일부를 노출시키고, 상기 노출된 하부막을 식각하여 트렌치를 형성하고, 상기 트렌치 내에 소수성막을 형성하고, 상기 중성막과 상기 소수성막 상에 블록 공중합체(block copolymer)막을 코팅하고, 상기 블록 공중합체막을 상분리시켜, 상기 중성막과 상기 소수성막 상에 서로 이격된 제1 패턴들과, 상기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고, 상기 제1 패턴 또는 상기 제2 패턴을 제거하고, 상기 제1 패턴들과 상기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하되, 상기 트렌치 상의 상기 제1 패턴의 하부면과 상기 소수성막 사이에는 상기 제2 패턴이 배치된다.
- [0018] 본 발명의 몇몇 실시예에서, 상기 트렌치 내에 상기 소수성막을 형성하는 것은, 상기 트렌치의 하부면과 측벽을 따라 상기 소수성막이 형성될 수 있다.
- [0019] 본 발명의 몇몇 실시예에서, 상기 제1 패턴은 친수성이고, 상기 제2 패턴은 소수성일 수 있다.
- [0020] 본 발명의 몇몇 실시예에서, 상기 블록 공중합체막은 PMMA(PolyMethyl MethAcrylate)와 PS(PolyStyrene)를 포함할 수 있다.
- [0021] 본 발명의 몇몇 실시예에서, 상기 소수성막은 PS(PolyStyrene)를 포함할 수 있다.
- [0022] 본 발명의 몇몇 실시예에서, 상기 중성막은 PMMA(PolyMethyl MethAcrylate)와 PS(PolyStyrene)의 랜덤 공중합체(random copolymer)를 포함할 수 있다.
- [0023] 본 발명의 몇몇 실시예에서, 상기 제1 패턴 또는 상기 제2 패턴을 제거하는 것은, 건식 식각 공정을 이용할 수 있다.
- [0024] 상기 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법은, 기판 상에 하부막을 형성하고, 상기 하부막 상에 마스크막 패턴을 형성하고, 상기 마스크막 패턴을 이용하여 식각 공정을 수행하여, 상기 하부막에 단차가 있는 제1 면과 제2 면을 형성하고, 상기 마스크막 패턴을 제거하고, 상기 제1 면과 상기 제2 면 상에 소수성막을 형성하고, 상기 소수성막 상에 블록 공중합체(block copolymer)막을 코팅하고, 상기 블록 공중합체막을 상분리시켜, 상기 제1 면과 상기 제2 면 상에 서로 이격된 제1 패턴들과, 상기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고, 상기 제1 패턴 또는 상기 제2 패턴을 제거하고, 상기 제1 패턴들과 상기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하되, 상기 제1 패턴의 하부면과 상기 소수성막 사이에는 상기 제2 패턴이 배치된다.
- [0025] 본 발명의 몇몇 실시예에서, 상기 소수성막을 형성하는 것은, 상기 제1 면과 상기 제2 면을 따라 컨포말하게 형성할 수 있다.
- [0026] 본 발명의 몇몇 실시예에서, 상기 블록 공중합체막은 PMMA(PolyMethyl MethAcrylate)와 PS(PolyStyrene)를 포함할 수 있다.
- [0027] 본 발명의 몇몇 실시예에서, 상기 블록 공중합체막을 상분리시키는 것은, 어닐링 공정을 이용할 수 있다.
- [0028] 본 발명의 몇몇 실시예에서, 인접하는 상기 제1 패턴들 사이의 피치는 20nm 이상 60nm 이하일 수 있다.
- [0029] 본 발명의 몇몇 실시예에서, 상기 제1 패턴 또는 상기 제2 패턴을 제거하는 것은, 건식 식각 공정을 이용할 수 있다.
- [0030] 상기 과제를 해결하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법은, 기판 상에 하부막과 중성막을 순차적으로 형성하고, 상기 중성막 상에 마스크막 패턴을 형성하고, 상기 마스크막 패턴을 이용하여 식각 공정을 수행하여, 상기 중성막의 일부를 제거하고, 상기 제거된 중성막에 의해 노출된 상기 하부막을 제거하여, 상기 하부막에 트렌치를 형성하고, 상기 마스크막 패턴을 제거하고, 상기 트렌치 내에 소수성막을 형성하고, 상기 남겨진 중성막과 상기 소수성막 상에 블록 공중합체(block copolymer)막을 코팅하고, 상기 블록 공중합체막을 상분리시켜, 상기 남겨진 중성막과 상기 소수성막 상에 서로 이격된 제1 패턴들과, 상기 제1 패턴들 사이를 채우는 제2 패턴을 형성하고, 상기 제1 패턴 또는 상기 제2 패턴을 제거하고, 상기 제1 패턴들과 상

기 제2 패턴 중 남겨진 패턴을 식각 마스크로 이용하여 식각 공정을 수행하는 것을 포함하되, 상기 트렌치 상의 상기 제1 패턴의 하부면과 상기 소수성막 사이에는 상기 제2 패턴이 배치된다.

- [0031] 본 발명의 몇몇 실시예에서, 상기 중성막은 PMMA(PolyMethyl MethAcrylate)와 PS(PolyStyrene)의 랜덤 공중합체(random copolymer)를 포함할 수 있다.
- [0032] 본 발명의 몇몇 실시예에서, 상기 트렌치 내에 상기 소수성막을 형성하는 것은, 상기 트렌치의 하부면과 측벽을 따라 상기 소수성막이 형성될 수 있다.
- [0033] 본 발명의 몇몇 실시예에서, 상기 소수성막은 PS(PolyStyrene)를 포함할 수 있다.
- [0034] 본 발명의 몇몇 실시예에서, 상기 블록 공중합체막은 PMMA(PolyMethyl MethAcrylate)와 PS(PolyStyrene)를 포함할 수 있다.
- [0035] 본 발명의 몇몇 실시예에서, 상기 제1 패턴 또는 상기 제2 패턴을 제거하는 것은, 건식 식각 공정을 이용할 수 있다.
- [0036] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0037] 도 1 및 도 2는 블록 공중합체의 상분리 과정을 설명하기 위한 도면들이다.
- 도 3은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 순차적으로 나타낸 흐름도이다.
- 도 4 내지 도 17은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 중간단계 도면들이다.
- 도 18은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 도면이다.
- 도 19는 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 도면이다.
- 도 20 및 도 21은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 도면이다.
- 도 22는 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 순차적으로 나타낸 흐름도이다.
- 도 23 내지 도 27은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 중간단계 도면들이다.
- 도 28은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 이용하여 형성한 NAND 플래시 메모리 장치를 도시한 평면도이다.
- 도 29는 도 28의 I-I' 를 따라 절단한 단면도이다.
- 도 30은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 이용하여 형성한 반도체 장치를 포함하는 전자 시스템의 블록도이다.
- 도 31 및 도 32는 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 이용하여 형성한 반도체 장치를 적용할 수 있는 예시적인 반도체 시스템이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0039] 구성 요소가 다른 구성 요소의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 구성 요소의 바로 위뿐만 아니라 중간에 다른 구성 요소를 개재한 경우를 모두 포함한다. 반면, 구성 요소가 다른 구성 요소의 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 구성 요소를 개재하지 않은 것을 나타낸다.

- [0040] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 구성 요소들과 다른 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 대하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 구성 요소는 다른 구성 요소의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 구성 요소는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0041] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성 요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성 요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0042] 비록 제1, 제2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소 일 수도 있음은 물론이다.
- [0043] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0044] 이하에서 설명되는 반도체 장치의 패턴 형성 방법은, 공정 안정성을 도모하고, 미세 패턴 형성을 위한 공정의 공정비용 절감을 목적으로 하는 DSA(Directed Self Assembly) 공정에 관한 것이다. 특히, 본 발명의 기술적 사상에 따른 실시예는, 요철 구조를 갖는 소수성막을 이용하여 블록 공중합체(block copolymer)를 본딩시킴으로써 고정력(pinning power)을 증가시키고 그리드(grid) 결함을 감소시킬 수 있는 DSA 공정을 포함한다.
- [0045] 또한, 본 발명의 기술적 사상에 따른 실시예는, 블록 공중합체(block copolymer)를 본딩시키는 고정력(pinning power) 강화를 위해 중성막과 소수성막을 함께 이용하는 헤테로(Hetero) 타입의 DSA 공정을 포함한다.
- [0046] 도 1 및 도 2는 블록 공중합체의 상분리 과정을 설명하기 위한 도면들이다.
- [0047] 본 발명의 기술적 사상에 따른 반도체 장치의 패턴 형성 방법을 설명하기에 앞서, DSA 공정에 대해 설명한다. DSA란, 스스로 패턴을 형성하는 방식을 의미한다. 즉, 포토리소그래피 공정을 이용하지 않고 PR(Photo Resist)이 패턴링을 진행한다. 구체적으로, DSA는 화학적 패턴 형성 방식으로서, 성질이 다른 두 고분자를 하나의 분자로 합성한 블록 공중합체(block copolymer)를 PR로 이용하여 기판(예를 들어, 웨이퍼) 상에 도포하고 가열하여 미세 패턴을 형성하는 방식이다.
- [0048] DSA는 분자의 자기 조립(Self-Assembly) 현상에 기반을 두며, 반도체 미세공정이 점점 한계에 다다르고, EUV가 양산화되더라도 미세공정 난이도가 점점 더 높아지기 때문에 DSA의 필요성이 증가하고 있다.
- [0049] 도 1 및 도 2를 참조하면, 블록 공중합체(block copolymer)는 제1 고분자 블록(A)과 제2 고분자 블록(B)의 일단들이 공유결합에 의해 블록 정션(block junction)을 형성하고, 블록 정션에 의해 연결되지 않은 타단들은 서로 반발한다. 예를 들면, 제1 고분자 블록(A)과 제2 고분자 블록(B) 중의 하나는 친수성을 나타내고 다른 하나는 소수성을 나타낼 수 있다. 친수성의 고분자 블록은 극성(polarity)을 가질 수 있다.
- [0050] 제1 고분자 블록(A)과 제2 고분자 블록(B)이 무질서하게 위치하는 균질(Homogeneous) 상태에서 어닐링 공정을 수행하면, 제1 고분자 블록(A)과 제2 고분자 블록(B)이 자기조립하면서 서로 다른 도메인으로 분리되는 미세 상분리(micropase seperation) 상태로 변화한다. 미세 상분리 상태에서는 제1 고분자 블록(A) 도메인 사이의 피치(P)는 일정하다. 즉, 제1 고분자 블록(A) 도메인의 폭과 제2 고분자 블록(B) 도메인의 폭은 각각 일정하다. 이 때, 각 고분자 블록(A, B) 도메인의 폭은 각 고분자 블록(A, B)의 분자량에 의해 결정될 수 있다.
- [0051] 이하에서, 도 3 내지 도 17을 참조하여 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법에 대해 설명하기로 한다.
- [0052] 도 3 내지 도 6을 참조하면, 기판(100) 상에 하부막(200)을 형성하고, 하부막(200) 상에 반사 방지막(210)을 형성하고, 반사 방지막(210) 상에 제1 마스크막 패턴(M1)을 형성한다. 다만, 필요에 따라 반사 방지막(210)은 생

략될 수 있다.

- [0053] 제1 마스크막 패턴(M1)을 이용하여, 기판(100) 상에 복수 개의 제1 홀(200t)들을 포함하는 하부막 구조물(200a)을 형성한다. 하부막 구조물(200a)은 단일층이나 다층의 절연막일 수 있으며, 내부에 도전막을 포함할 수 있다. 하부막 구조물(200a)은 증착과 식각 공정을 통해 형성될 수 있다. 하부막 구조물(200a)에 형성된 제1 홀(200t)들은 각각 제1 폭(W1)을 가지도록 형성될 수 있다.
- [0054] 도 7 및 도 8을 참조하면, 하부막 구조물(200a)이 형성된 기판(100)의 전면 상에 소수성막(300)을 컨포말(conformal)하게 형성한다. 즉, 소수성막(300)의 두께는 제1 홀(200t)의 하부면, 측벽 및 하부막 구조물(200a) 상에서 모두 실질적으로 동일할 수 있다.
- [0055] 소수성막(300)은 코팅 방식으로 형성될 수 있다. 소수성막(300)이 요철 구조의 하부막 구조물(200a) 상에 컨포말하게 형성되므로, 소수성막(300)의 상부면도 요철 구조를 가질 수 있다. 즉, 소수성막(300)의 상부에 제1 홀(200t)들과 중첩되는 복수 개의 제2 홀(300t)들이 형성될 수 있다.
- [0056] 제2 홀(300t)들의 폭(W2)은 소수성막(300)의 두께에 의해 좁아지므로 제1 홀(200t)들의 폭(W1) 보다 좁다. 소수성막(300)은 소수성 고분자 블록에 대해 친화력을 가진다. 소수성막(300)은 블록 공중합체(block copolymer)의 두 고분자 블록 중 더 소수화된 고분자 블록과 친한 성질의 막이거나, 실린더 형태의 블록 공중합체(block copolymer)의 두 고분자 블록 중 분자량 비(ratio)가 높아서 외층을 형성하는 고분자 블록과 친한 성질의 막일 수 있다. 예를 들어, 소수성막(300)은 PS(PolyStyrene)를 포함할 수 있다.
- [0057] 도 9 및 도 10을 참조하면, 소수성막(300) 상에 블록 공중합체(block copolymer)막(400)을 코팅한다. 블록 공중합체막(400)에 포함되는 블록 공중합체는 블록 형태로 결합된 친수성 고분자와 소수성 고분자를 포함할 수 있다.
- [0058] 예를 들어, 블록 공중합체는 폴리스티렌-블록-폴리메틸메타크릴레이트 (polystyrene-block-polymethylmethacrylate: PS-b-PMMA), 폴리부타디엔-폴리부틸메타크릴레이트 (polybutadiene-block-polybutylmethacrylate), 폴리부타디엔-블록-폴리디메틸실록산 (polybutadiene-block-polydimethylsiloxane), 폴리부타디엔-블록-폴리메틸메타크릴레이트 (polybutadiene-block-polymethylmethacrylate), 폴리부타디엔-블록-폴리비닐피리딘 (polybutadiene-block-polyvinylpyridine), 폴리부틸아크릴레이트-블록-폴리메틸메타크릴레이트 (polybutylacrylate-block-polymethylmethacrylate), 폴리부틸아크릴레이트-블록-폴리비닐피리딘 (polybutylacrylate-block-polyvinylpyridine), 폴리이소프렌-블록-폴리비닐피리딘 (polyisoprene-block-polyvinylpyridine), 폴리이소프렌-블록-폴리메틸메타크릴레이트 (polyisoprene-block-polymethylmethacrylate), 폴리헥실아크릴레이트-블록-폴리비닐피리딘 (polyhexylacrylate-block-polyvinylpyridine), 폴리이소부틸렌-블록-폴리부틸메타크릴레이트 (polyisobutylene-block-polybutylmethacrylate), 폴리이소부틸렌-블록-폴리메틸메타크릴레이트 (polyisobutylene-block-polymethylmethacrylate), 폴리이소부틸렌-블록-폴리부틸메타크릴레이트 (polyisobutylene-block-polybutylmethacrylate), 폴리이소부틸렌-블록-폴리디메틸실록산 (polyisobutylene-block-polydimethylsiloxane), 폴리부틸메타크릴레이트-블록-폴리부틸아크릴레이트 (polybutylmethacrylate-block-polybutylacrylate), 폴리에틸에틸렌-블록-폴리메틸메타크릴레이트 (polyethylene-block-polymethylmethacrylate), 폴리스티렌-블록-폴리부틸메타크릴레이트 (polystyrene-block-polybutylmethacrylate), 폴리스티렌-블록-폴리부타디엔 (polystyrene-block-polybutadiene), 폴리스티렌-블록-폴리이소프렌 (polystyrene-block-polyisoprene), 폴리스티렌-블록-폴리디메틸실록산 (polystyrene-block-polydimethylsiloxane), 폴리스티렌-블록-폴리비닐피리딘 (polystyrene-block-polyvinylpyridine), 폴리에틸에틸렌-블록-폴리비닐피리딘 (polyethylene-block-polyvinylpyridine), 폴리에틸렌-블록-폴리비닐피리딘 (polyethylene-block-polyvinylpyridine), 폴리비닐피리딘-블록-폴리메틸메타크릴레이트 (polyvinylpyridine-block-polymethylmethacrylate), 폴리에틸렌옥사이드-블록-폴리이소프렌 (polyethyleneoxide-block-polyisoprene), 폴리에틸렌옥사이드-블록-폴리부타디엔 (polyethyleneoxide-block-polybutadiene), 폴리에틸렌옥사이드-블록-폴리스티렌 (polyethyleneoxide-block-polystyrene), 폴리에틸렌옥사이드-블록-폴리메틸메타크릴레이트 (polyethyleneoxide-block-polymethylmethacrylate), 폴리에틸렌옥사이드-블록-폴리디메틸실록산 (polyethyleneoxide-block-polydimethylsiloxane), 폴리스티렌-블록-폴리에틸렌옥사이드 (polystyrene-block-polyethyleneoxide), 폴리스티렌-블록-폴리메틸메타크릴레이트-블록-폴리스티렌 (polystyrene-block-polymethylmethacrylate-block-polystyrene), 폴리부타디엔-블록-폴리부틸메타크릴레이트-블록-폴리부타디엔 (polybutadiene-block-polybutylmethacrylate-block-polybutadiene), 폴리부타디엔-블록-폴리디메틸실록산-블

록-폴리부타디엔 (polybutadiene-block-polydimethylsiloxane-block-polybutadiene), 폴리부타디엔-블록-폴리메틸메타크릴레이트-블록-폴리부타디엔 (polybutadiene-block-polymethylmethacrylate-block-polybutadiene), 폴리부타디엔-블록-폴리비닐피리딘-블록-폴리부타디엔 (polybutadiene-block-polyvinylpyridine-block-polybutadiene), 폴리부틸아크릴레이트-블록-폴리메틸메타크릴레이트-블록-폴리부틸아크릴레이트 (polybutylacrylate-block-polymethylmethacrylate-block-polybutylacrylate), 폴리부틸아크릴레이트-블록-폴리비닐피리딘-블록-폴리부틸아크릴레이트 (polybutylacrylate-block-polyvinylpyridine-block-polybutylacrylate), 폴리이소프렌-블록-폴리비닐피리딘-블록-폴리이소프렌 (polyisoprene-block-polyvinylpyridine-block-polyisoprene), 폴리이소프렌-블록-폴리메틸메타크릴레이트-블록-폴리이소프렌 (polyisoprene-block-polymethylmethacrylate-block-polyisoprene), 폴리헥실아크릴레이트-블록-폴리비닐피리딘-블록-폴리헥실아크릴레이트 (polyhexylacrylate-block-polyvinylpyridine-block-polyhexylacrylate), 폴리이소부틸렌-블록-폴리부틸메타크릴레이트-블록-폴리이소부틸렌 (polyisobutylene-block-polybutylmethacrylate-block-polyisobutylene), 폴리이소부틸렌-블록-폴리메틸메타크릴레이트-블록-폴리이소부틸렌 (polyisobutylene-block-polymethylmethacrylate-block-polyisobutylene), 폴리이소부틸렌-블록-폴리부틸메타크릴레이트-블록-폴리이소부틸렌 (polyisobutylene-block-polybutylmethacrylate-block-polyisobutylene), 폴리이소부틸렌-블록-폴리디메틸실록산-블록-폴리이소부틸렌 (polyisobutylene-block-polydimethylsiloxane-block-polyisobutylene), 폴리부틸메타크릴레이트-블록-폴리부틸아크릴레이트-블록-폴리부틸메타크릴레이트 (polybutylmethacrylate-block-polybutylacrylate-block-polybutylmethacrylate), 폴리에틸렌-블록-폴리메틸메타크릴레이트-블록-폴리에틸렌 (polyethylene-block-polymethylmethacrylate-block-polyethylene), 폴리스티렌-블록-폴리부틸메타크릴레이트-블록-폴리스티렌 (polystyrene-block-polybutylmethacrylate-block-polystyrene), 폴리스티렌-블록-폴리부타디엔-블록-폴리스티렌 (polystyrene-block-polybutadiene-block-polystyrene), 폴리스티렌-블록-폴리이소프렌-블록-폴리스티렌 (polystyrene-block-polyisoprene-block-polystyrene), 폴리스티렌-블록-폴리디메틸실록산-블록-폴리스티렌 (polystyrene-block-polydimethylsiloxane-block-polystyrene), 폴리스티렌-블록-폴리비닐피리딘-블록-폴리스티렌 (polystyrene-block-polyvinylpyridine-block-polystyrene), 폴리에틸렌-블록-폴리비닐피리딘-블록-폴리에틸렌 (polyethylene-block-polyvinylpyridine-block-polyethylene), 폴리에틸렌-블록-폴리비닐피리딘-블록-폴리메틸메타크릴레이트-블록-폴리비닐피리딘 (polyvinylpyridine-block-polymethylmethacrylate-block-polyvinylpyridine), 폴리에틸렌옥사이드-블록-폴리이소프렌-블록-폴리에틸렌옥사이드 (polyethyleneoxide-block-polyisoprene-block-polyethyleneoxide), 폴리에틸렌옥사이드-블록-폴리부타디엔-블록-폴리에틸렌옥사이드 (polyethyleneoxide-block-polybutadiene-block-polyethyleneoxide), 폴리에틸렌옥사이드-블록-폴리스티렌-블록-폴리에틸렌옥사이드 (polyethyleneoxide-block-polystyrene-block-polyethyleneoxide), 폴리에틸렌옥사이드-블록-폴리메틸메타크릴레이트-블록-폴리에틸렌옥사이드 (polyethyleneoxide-block-polymethylmethacrylate-block-polyethyleneoxide), 폴리에틸렌옥사이드-블록-폴리디메틸실록산-블록-폴리에틸렌옥사이드 (polyethyleneoxide-block-polydimethylsiloxane-block-polyethyleneoxide), 및 폴리스티렌-블록-폴리에틸렌옥사이드-블록-폴리스티렌 (polystyrene-block-polyethyleneoxide-block-polystyrene)을 포함하는 그룹에서 선택되는 적어도 하나를 포함할 수 있다. 이 중에서 선택된 블록 공중합체를 용매에 녹인후 스핀 코팅등의 방법으로 블록 공중합체막(400)을 형성할 수 있다. 상기 용매는 예를 들어, 톨루엔일 수 있다. 코팅 후에, 상기 용매는 대부분 증발될 수 있다.

[0059] 바람직하게는, 블록 공중합체는 폴리스티렌-블록-폴리메틸메타크릴레이트 (polystyrene-block-polymethylmethacrylate: PS-b-PMMA)일 수 있다. 본 발명의 몇몇 실시예에서, 폴리스티렌(PS)은 부피비로 약 70%가 첨가되고, 폴리메틸메타크릴레이트(PMMA)는 부피비로 약 30% 첨가되어 블록 공중합체를 형성할 수 있다.

[0060] 도 11 내지 도 13을 참조하면, 블록 공중합체막(400)에 자외선(UV)을 조사하거나 열을 가하여 어닐링 공정을 진행한다. 어닐링 공정은 블록 공중합체의 Tg(유리전이온도) 이상에서 진행될 수 있다. 어닐링 공정으로 블록 공중합체막(400) 내에는 미세 상분리 현상이 발생하고, 소수성막(300) 상에 제1 패턴(400a)들과 제2 패턴(400b)이 형성된다.

[0061] 제1 패턴(400a)은 예를 들어, 실린더 형태로 형성될 수 있다. 제2 패턴(400b)은 제1 패턴(400a)들 사이를 채우는 형태로 형성될 수 있다. 제1 패턴(400a)과 제2 패턴(400b)은 서로 다른 성질을 가질 수 있다. 예를 들어, 제1 패턴(400a)은 친수성을 가질 수 있고, 제2 패턴(400b)은 소수성을 가질 수 있다. 구체적인 일 예로, 제1 패턴(400a)은 폴리메틸메타크릴레이트(PMMA)를 포함할 수 있고, 제2 패턴(400b)은 폴리스티렌(PS)을 포함할 수

있다.

- [0062] 제2 홀(300t)의 하부면에서 소수성막(300)의 표면이 소수성 고분자 블록에 대해 친화력을 가지므로, 소수성을 갖는 제2 패턴(400b)이 외측으로 배치되어 제2 홀(300t)의 하부면 상에 결합될 수 있다. 즉, 제2 홀(300t) 내에서, 제1 패턴(400a)의 하부면과 소수성막(300)의 사이에 제2 패턴(400b)이 배치될 수 있다. 이러한 구조에 따르면, 소수성을 갖는 제2 패턴(400b)과 소수성막(300) 사이의 화학적 친화도에 의해 고정력(pinning power)이 강하게 발생한다. 또한, 이러한 구조에서, 제2 홀(300t) 내의 측벽에 형성된 소수성막(300)에 의해 소수성막(300)과 제2 패턴(400b) 사이에 강한 물리적 고정력(pinning power)이 발생한다. 따라서, 제1 패턴(400a)의 수직 배양이 강하게 이루어지며, 그리드(grid)에서의 결합 발생도 감소하게 된다.
- [0063] 그리고, 제2 홀(300t)의 크기를 조절하여 제2 홀(300t) 안에 하나의 제1 패턴(400a) 만이 형성될 수 있다. 제1 패턴(400a)은 제2 홀(300t)의 중심에 배치될 수 있다. 본 발명의 몇몇 실시예에서, 두 개의 제2 홀(300t) 사이의 소수성막(300) 상에는 하나의 제1 패턴(400a) 만이 배치될 수 있다. 제1 패턴(400a)들 사이의 간격은 서로 동일할 수 있다.
- [0064] 또한, 제1 패턴(400a)들 사이의 간격은 제1 패턴(400a)의 직경과 실질적으로 동일할 수 있다. 각각의 제2 홀(300t) 내에는 하나의 제1 패턴(400a) 만이 배치되도록 하기 위하여, 제2 홀(300t)의 폭(W2)은 제1 패턴(400a)의 직경 보다는 크고 제1 패턴(400a)의 직경의 세배 보다는 작을 수 있다. 제2 홀(300t)의 폭(W2)과 위치를 조절함으로써 원하는 위치에 제1 패턴(400a)들이 형성되도록 유도할 수 있다.
- [0065] 블록 공중합체를 구성하는 친수성 고분자와 소수성 고분자의 분자량이 커질수록, 패턴들(400a, 400b)의 크기도 커질 수 있고, 제2 홀(300t)의 폭과 깊이도 커질 수 있다. 제1 홀(200t)은 노광 공정의 한계 치수로 형성할지라도 제1 패턴(400a)은 제1 홀(200t)의 폭(W1) 보다 더욱 작은 직경을 가지도록 형성될 수 있다. 이웃하는 두 개의 제1 패턴(400a)들 사이의 피치는 예를 들어, 20nm 이상 60nm 이하일 수 있다.
- [0066] 도 14 및 도 15를 참조하면, 제1 패턴(400a)들을 선택적으로 제거한다. 이 때, 제1 패턴(400a)들에 대하여 심자외선(Deep ultraviolet, DUV)을 조사하고 IPA(Isopropyl alcohol)와 같은 식각액을 이용하여 습식 식각 공정을 진행할 수 있다. 또는, 불소계열의 가스나, 아르곤, 산소등을 이용하여 건식 식각을 진행하여 제1 패턴(400a)들을 선택적으로 제거할 수도 있다. 이에 따라, 소수성막(300)의 상부면을 노출시키는 복수 개의 제3 홀(400h)들을 형성한다. 이 때, 제2 패턴(400b)은 남겨진다.
- [0067] 도 16 및 도 17을 참조하면, 제2 패턴(400b)들을 식각 마스크로 이용하여 하부막 구조물(200a)을 식각하여 제3 홀(400h)들이 전사된 제4 홀(200h)들을 포함하는 하부막 패턴(200b)을 형성한다.
- [0068] 이와 같이, 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법에서는 요철 구조를 가지는 소수성막(300) 상에 블록 공중합체막(400)을 형성하고 상분리를 유도한다. 소수성막(300)은 소수성 고분자 블록에 대해 친화력을 가져, 요철 구조에서 수직 배양이 잘 이루어지도록 강한 고정력(pinning power)을 제공할 수 있다. 또한, 블록 공중합체의 분자량을 조절하여 노광 공정의 한계 치수보다 작은 크기의 패턴 형성이 가능하다.
- [0069] 도 18은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 도면이다. 설명의 편의상, 위에서 설명한 반도체 장치의 패턴 형성 방법과 실질적으로 동일한 부분의 설명은 생략하기로 한다.
- [0070] 도 18을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법에서 하부막(200)의 상부면은 평탄하며, 소수성막(310)의 상부면에 복수 개의 홀(310g)들이 형성될 수 있다. 이 때, 소수성막(310)은 코팅 공정, 증착 공정, 및 식각 공정을 통해 형성될 수 있다. 즉, 하부막(200)을 식각하여 하부막 구조물을 형성하는 것이 아니라, 소수성막(310)을 적절하게 식각하여 요철 구조를 갖도록 형성할 수 있다. 다른 부분에 대한 설명은 위에서 설명한 것과 실질적으로 동일하다.
- [0071] 도 19는 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 도면이다. 설명의 편의상, 위에서 설명한 반도체 장치의 패턴 형성 방법과 실질적으로 동일한 부분의 설명은 생략하기로 한다.
- [0072] 도 19를 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법은, 이웃하는 두 개의 제2 홀(320t)들 사이의 소수성막(320) 상에는 두 개의 제1 패턴(400a)들이 형성될 수 있다. 이 때는, 제2 홀(320t)들 사이의 간격이 도 11 및 도 12를 참조하여 설명한 제1 패턴(400a)들 사이의 간격보다 넓을 수 있다.
- [0073] 도 20 및 도 21은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 도면이다. 설명의 편의상, 위에서 설명한 반도체 장치의 패턴 형성 방법과 실질적으로 동일한 부분의 설명은 생략하기로 한다.

다.

- [0074] 도 20 및 도 21을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법에서는 패턴들(400c, 400d)이 라멜라형으로 형성될 수 있다. 즉, 하부막 구조물(220) 상에 라인 형태의 제1 그루브(220t)들이 형성되고, 소수성막(330)은 하부막 구조물(220)을 컨포말하게 덮어 소수성막(330) 상부면에는 제1 그루브(220t)들과 중첩되는 제 2 그루브(330t)들이 형성된다.
- [0075] 블록 공중합체를 제조할 때 첨가되는 친수성 고분자와 소수성 고분자의 부피비는 약 50:50일 수 있다. 이 때 형성되는 제1 패턴(400c)들과 제2 패턴(400d)들은 라인 형태를 가질 수 있다. 하나의 제2 그루브(330t) 내에는 하나의 제1 패턴(400c)만이 형성될 수 있다. 이웃하는 제1 패턴(400c)들 사이의 피치는 예를 들어, 20nm 이상 60nm 이하일 수 있다.
- [0076] 다른 부분에 대한 설명은 도 4 내지 도 17을 참조하여 설명한 것과 실질적으로 동일하다.
- [0077] 도 22는 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 순차적으로 나타낸 흐름도이다. 도 23 내지 도 27은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 설명하기 위한 중간단계 도면들이다. 설명의 편의상, 위에서 설명한 반도체 장치의 패턴 형성 방법과 실질적으로 동일한 부분의 설명은 생략하기로 한다.
- [0078] 도 22 및 도 23을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법은, 기판(100) 상에 하부막(250)을 형성하고, 하부막(250) 상에 중성막(260)을 형성하고, 중성막(260) 상에 제2 마스크막 패턴(M2)을 형성한다.
- [0079] 도 24 및 도 25를 참조하면, 제2 마스크막 패턴(M2)을 이용하여, 기판(100) 상에 제5 홀(260t)과 제6 홀(250t)을 형성한다. 즉, 증착과 식각 공정을 이용하여 하부막 구조물(250a)을 형성할 수 있다. 하부막 구조물(250a)은 단일층이나 다층의 절연막일 수 있으며, 내부에 도전막을 포함할 수 있다.
- [0080] 도 26 및 도 27을 참조하면, 하부막 구조물(250a) 내의 하부면과 측벽을 따라 컨포말하게 소수성막 패턴(260b)을 형성한다. 소수성막 패턴(260b)은 코팅 방식으로 형성될 수 있다. 소수성막 패턴(260b)이 하부막 구조물(250a) 내에 컨포말하게 형성됨에 따라, 제7 홀(260t)이 형성될 수 있다.
- [0081] 즉, 이러한 구조에 따르면, 하부막 구조물(250a)에서 트렌치가 형성된 영역에는 소수성막 패턴(260b)이 형성되고, 하부막 구조물(250a)에서 트렌치가 미형성된 영역의 상부면에는 중성막 패턴(260a)이 형성된다. 이와 같은 헤테로(Hetero) 구조에서는 소수성막 패턴(260b) 상에 형성된 제1 패턴(450a)이 소수성막 패턴(260b)과의 사이에서 화학적 결합력 및 단차 구조에 의한 물리적 결합력을 제공받아 강한 고정력(pinning power)을 받는다. 그리고, 중성막 패턴(260a) 상에 형성된 제1 패턴(450a)은, 중성막 패턴(260a)이 친수성 고분자와 소수성 고분자 모두에 대해 친화력을 가져, 제1 패턴(450a)의 수직 배양이 잘 이루어지도록 유도 자기 조립 현상이 잘 이루어질 수 있다. 결론적으로, 요철 구조 내의 소수성막 패턴(260b) 상에 형성된 제1 패턴(450a)과 중성막 패턴(260a) 상에 형성된 제1 패턴(450a) 모두 강한 고정력(pinning power)을 제공받아 그리드(grid) 결함 발생을 감소시킬 수 있다.
- [0082] 그리고, 중성막(260)은 후속의 블록 공중합체(block copolymer)를 포함하는 용액에 대하여 75~80°의 접촉 각(contact angle)을 유발시킬 수 있는 물질로 형성될 수 있다. 예를 들면, 중성막(260)은 자기조립 단분자층(Self-assembled Monolayer: SAM), 고분자 브러쉬(Polymer Brush) 또는 가교된 랜덤 공중합체 매트(cross-linked random copolymer mat)일 수 있다.
- [0083] 상기 자기조립 단분자층은 페네틸트리클로로실란(Phenethyltrichlorosilane: PETCS), 페닐트리클로로실란(Phenyltrichlorosilane: PTCS), 벤질트리클로로실란(Benzyltrichlorosilane: BZTCS), 톨릴트리클로로실란(Tolyltrichlorosilane: TTCS), 2-[(트리메톡시실릴)에틸]-2-피리딘(2-[(trimethoxysilyl)ethyl]-2-pyridine: PYRTMS), 4-바이페닐릴 트리메톡시실란(4-biphenyltrimethoxysilane: BPTMS), 옥타데실트리클로로실란(Octadecyltrichlorosilane: OTS), 1-나프틸트리메톡시실란(1-Naphthyltrimethoxysilane: NAPTMS), 1-[(트리메톡시실릴)메틸]나프탈렌(1-[(trimethoxysilyl)methyl]naphthalene: MNATMS) 및 (9-메틸안트라세닐)트리메톡시실란{(9-methylanthracenyl)trimethoxysilane: MANTMS}을 포함하는 그룹에서 선택될 수 있다.
- [0084] 상기 고분자 브러쉬는 친수성 고분자와 소수성 고분자가 랜덤 형태로 결합된 형태를 가질 수 있다. 상기 고분자 브러쉬는 브러쉬 타입의 랜덤 공중합체로 명명될 수도 있다. 상기 고분자 브러쉬는 예를 들면 폴리스티렌-폴리메틸메타크릴레이트 랜덤 공중합체[polystyrene-random-poly(methylmethacrylate): PS-r-PMMA]일 수 있다.

- [0085] 상기 가교된 랜덤 공중합체 매트(cross-linked random copolymer mat)는 벤조사이클로부텐을 포함하는 폴리스티렌-폴리메틸메타크릴레이트 랜덤 공중합체[beznocyclobutene-functionalized polystyrene-r-poly(methacrylate) copolymer]일 수 있다.
- [0086] 이하에서는, 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 이용하여 형성한 NAND 플래시 메모리 장치에 대해 설명한다.
- [0087] 도 28은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 이용하여 형성한 NAND 플래시 메모리 장치를 도시한 평면도이다. 도 29는 도 28의 I-I'를 따라 절단한 단면도이다.
- [0088] 도 28 및 도 29를 참조하면, 단결정 실리콘 기판(100)의 상부면은 회로들이 구현되기 위한 액티브 영역 및 각 소자들을 전기적으로 분리시키기 위한 소자 분리 영역으로 구분된다.
- [0089] 상기 액티브 영역은 제2 방향으로 연장되는 라인 형상을 갖고 반복적으로 배치되는 액티브 패턴(318)들을 포함한다. 액티브 패턴(318)은 포토리소그래피 공정의 한계 선폭만큼 좁은 선폭을 갖는다. 액티브 패턴(318)들 사이에는 트렌치들이 구비되며, 상기 트렌치들 내부에는 절연 물질이 채워짐으로써 소자 분리막 패턴(317)들이 구비된다.
- [0090] 액티브 패턴(318) 상에는 셀 트랜지스터(332), 워드 라인(340) 및 선택 트랜지스터(334)들이 구비된다.
- [0091] 셀 트랜지스터(332)는 터널 산화막 패턴(340a), 플로팅 게이트 전극(340b), 유전막 패턴(340c) 및 콘트롤 게이트 전극(340)을 포함한다. 구체적으로, 터널 산화막 패턴(340a)은 액티브 패턴(317)의 표면 상에 구비된다. 플로팅 게이트 전극(340b)은 고립된 패턴 형상을 가지며 터널 산화막 패턴(340a) 상에서 규칙적으로 배치된다. 플로팅 게이트 전극(340a) 상에는 유전막 패턴(340c)이 구비된다. 또한, 유전막 패턴(340c) 상에 구비되는 콘트롤 게이트 전극(340)은 상기 제2 방향과 수직인 제1 방향으로 연장되는 라인 형상을 가지면서 하부에 위치하는 플로팅 게이트 전극(340b)과 서로 대향한다. 콘트롤 게이트 전극(340)은 워드 라인(340)과 공통으로 사용된다.
- [0092] 상기 NAND 플래시 메모리 소자의 경우, 소자 분리막 패턴 및 콘트롤 게이트 전극이 라인 형상의 반복 패턴 형상을 갖는다. 그러므로, 상기 소자 분리막 패턴 및 콘트롤 게이트 전극을 형성하기 위한 패턴링 공정에서 상술한 반도체 장치의 패턴 형성 방법을 사용할 수 있다.
- [0093] 도 30은 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 이용하여 형성한 반도체 장치를 포함하는 전자 시스템의 블록도이다.
- [0094] 도 30을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다.
- [0095] 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 버스(1150)를 통하여 서로 결합될 수 있다. 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0096] 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다.
- [0097] 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치등을 포함할 수 있다. 기억 장치(1130)는 데이터 및/또는 명령어등을 저장할 수 있다.
- [0098] 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 인터페이스(1140)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다. 또한, 전자 시스템(1100)은 컨트롤러(1110)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램 등을 더 포함할 수도 있다.
- [0099] 본 발명의 실시예들에 따라 제조된 반도체 장치는 기억 장치(1130) 내에 제공되거나, 컨트롤러(1110), 입출력 장치(1120, I/O) 등의 일부로 제공될 수 있다.
- [0100] 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0101] 도 31 및 도 32는 본 발명의 몇몇 실시예에 따른 반도체 장치의 패턴 형성 방법을 이용하여 형성한 반도체 장치

를 적용할 수 있는 예시적인 반도체 시스템이다. 도 31은 태블릿 PC이고, 도 32는 노트북을 도시한 것이다. 본 발명의 실시예들에 따라 제조된 반도체 장치 중 적어도 하나는 태블릿 PC, 노트북 등에 사용될 수 있다. 본 발명의 몇몇 실시예들에 따라 제조된 반도체 장치는 예시하지 않는 다른 집적 회로 장치에도 적용될 수 있음은 당업자에게 자명하다.

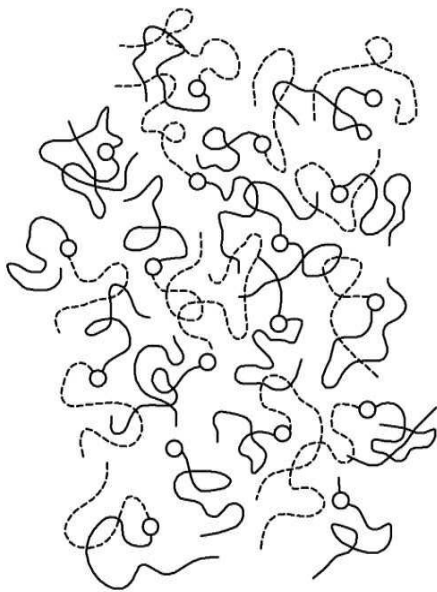
[0102] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0103] 100: 기관 200: 하부막
 210: 반사 방지막 300: 소수성막
 400: 블록 공중합체막 400a: 제1 패턴
 400b: 제2 패턴

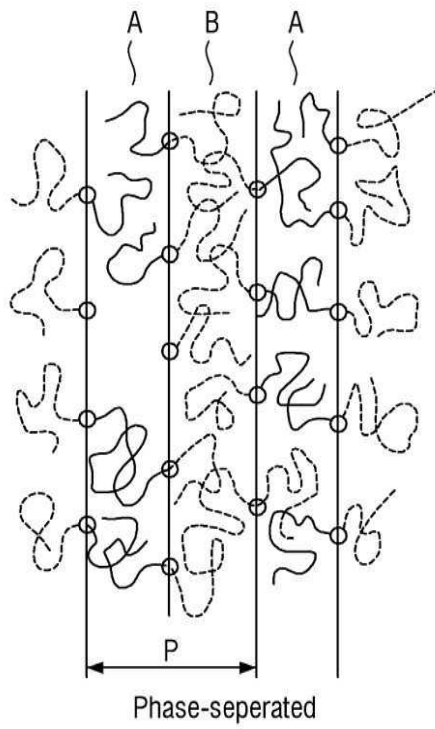
도면

도면1

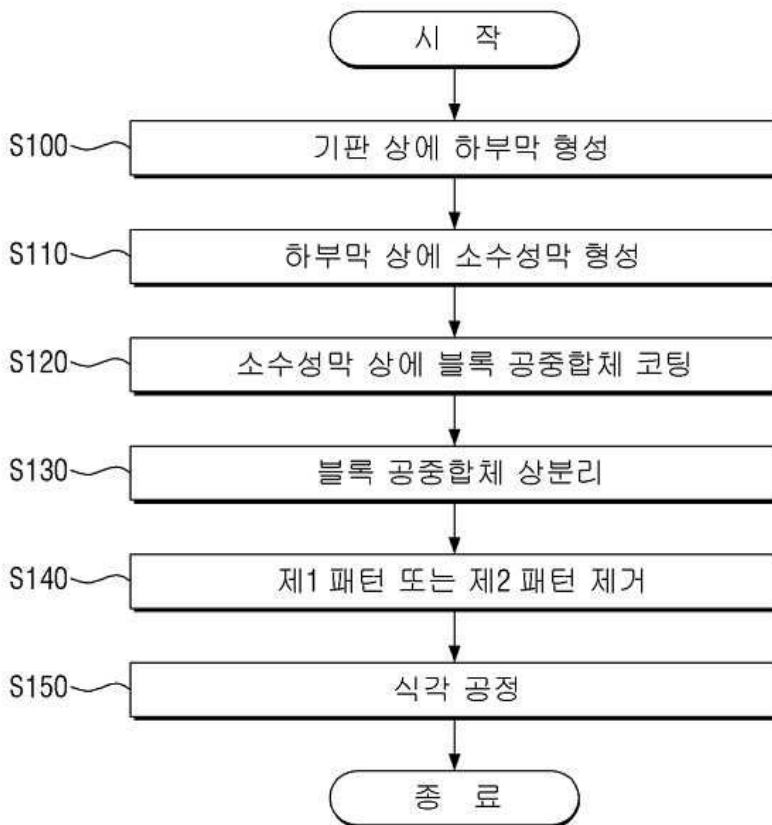


Homogeneous

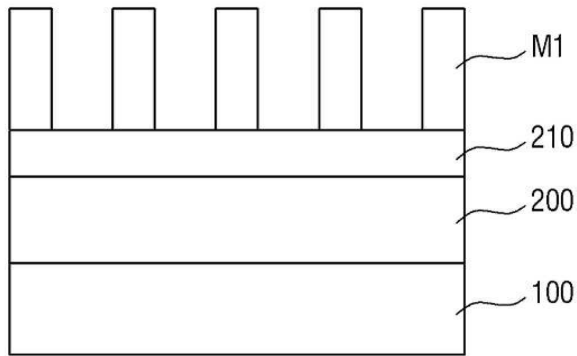
도면2



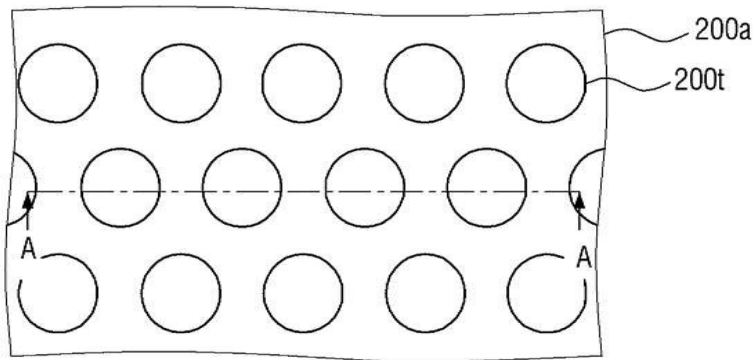
도면3



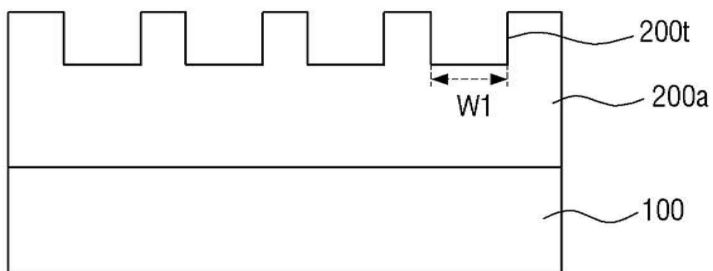
도면4



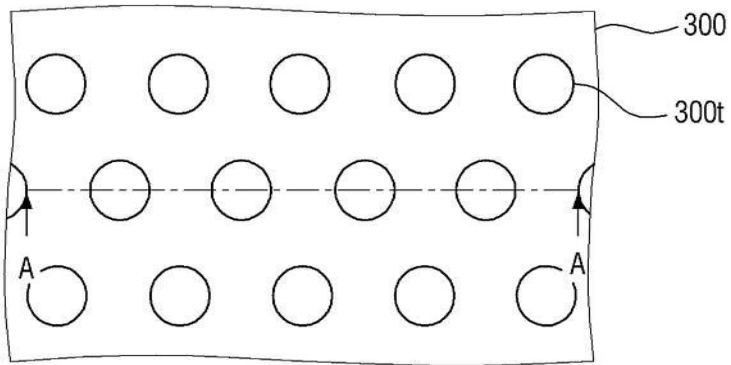
도면5



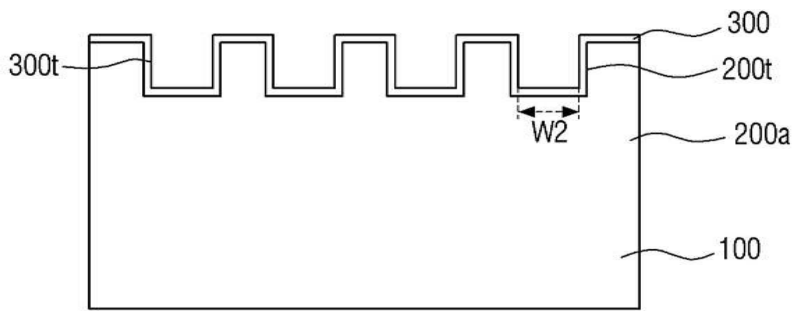
도면6



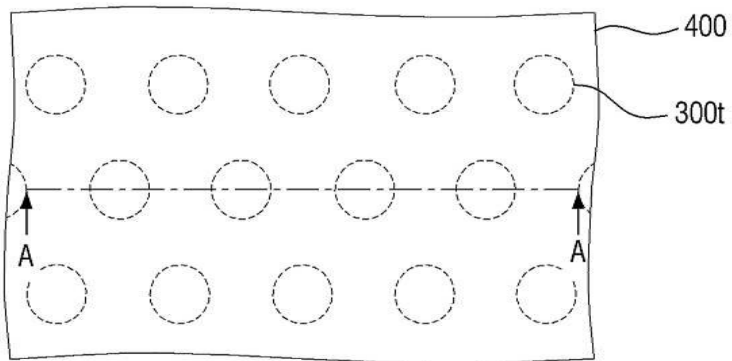
도면7



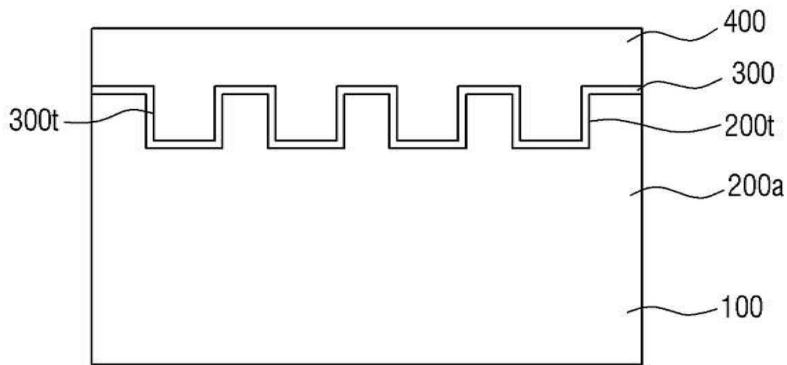
도면8



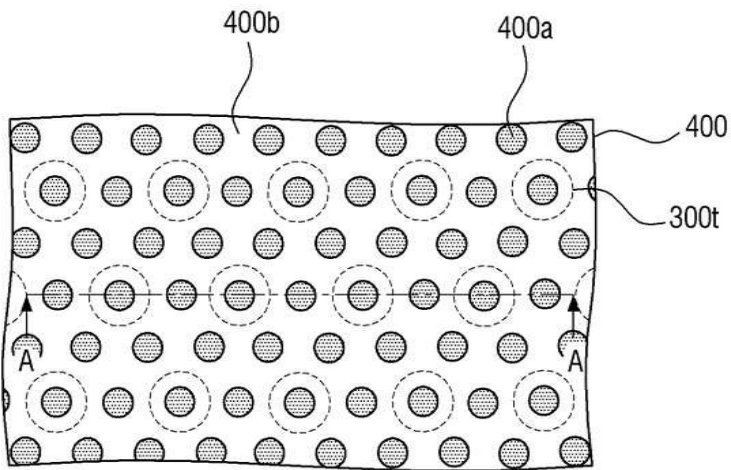
도면9



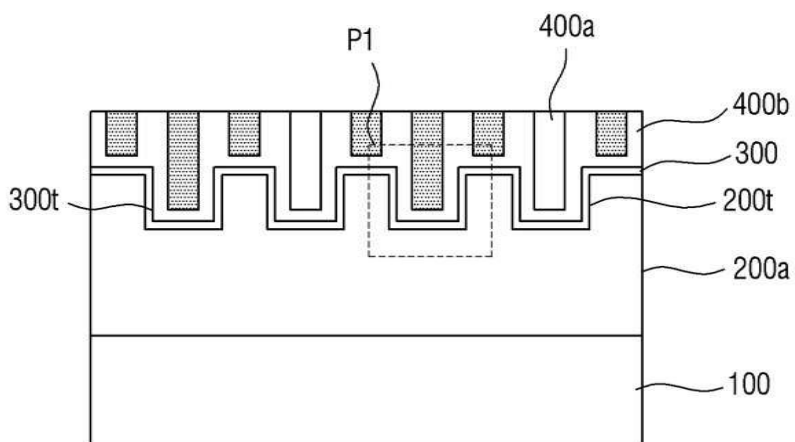
도면10



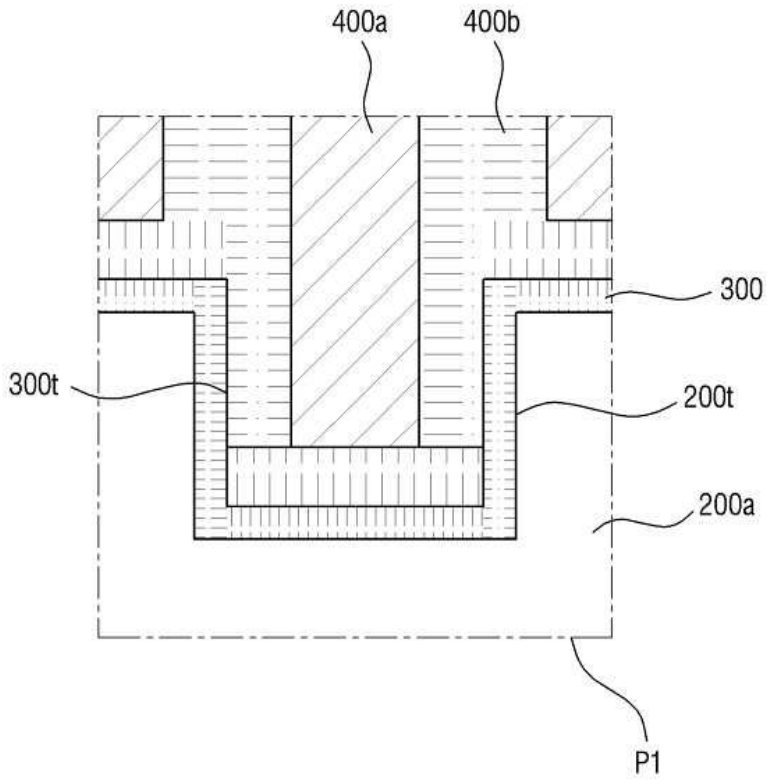
도면11



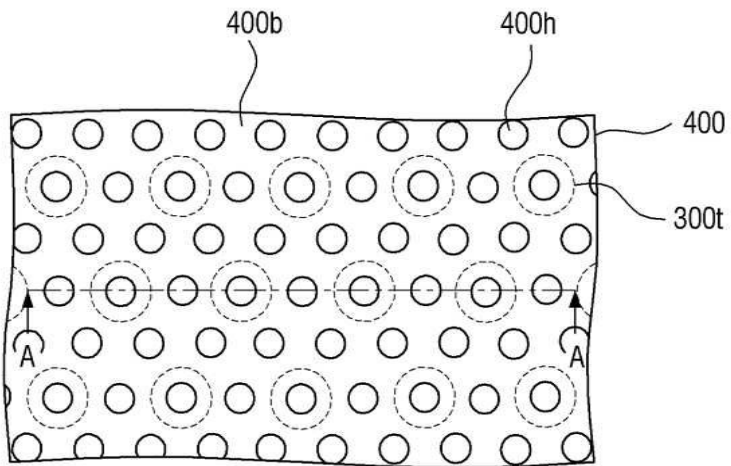
도면12



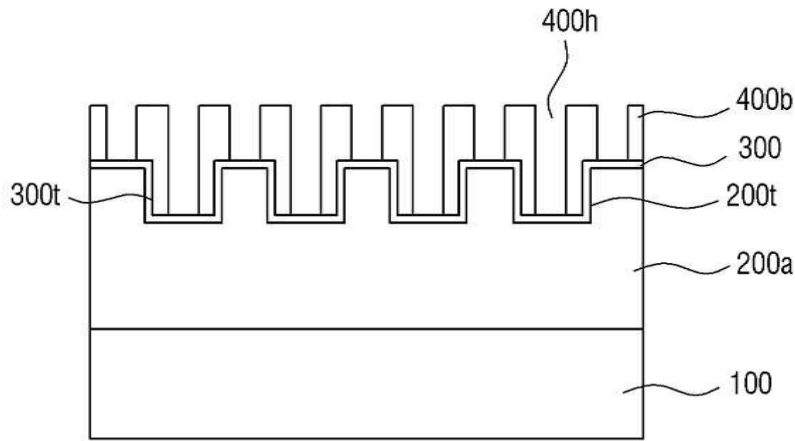
도면13



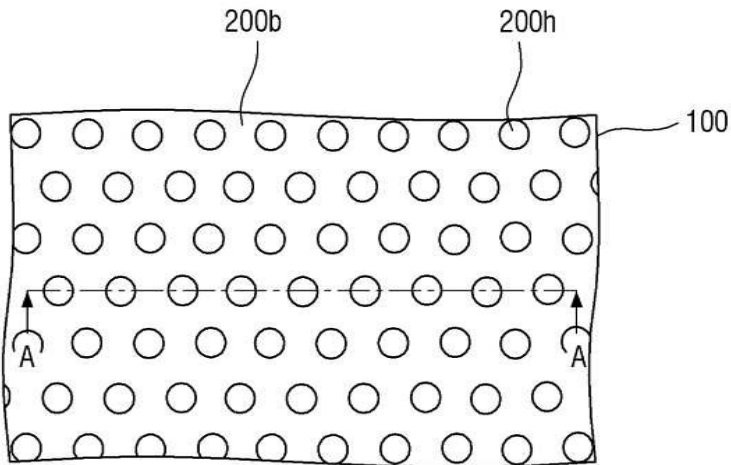
도면14



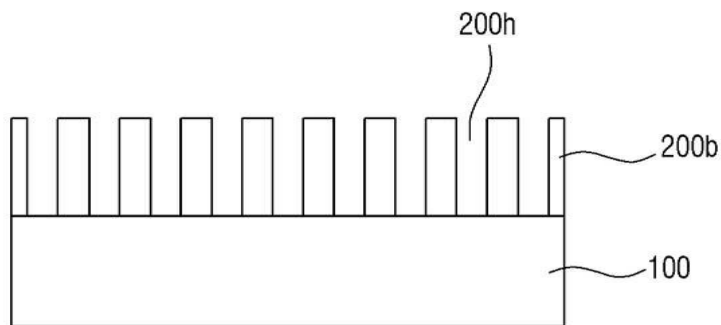
도면15



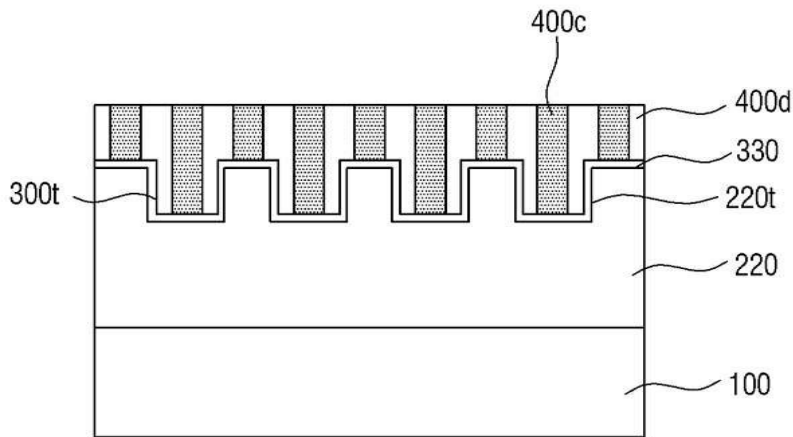
도면16



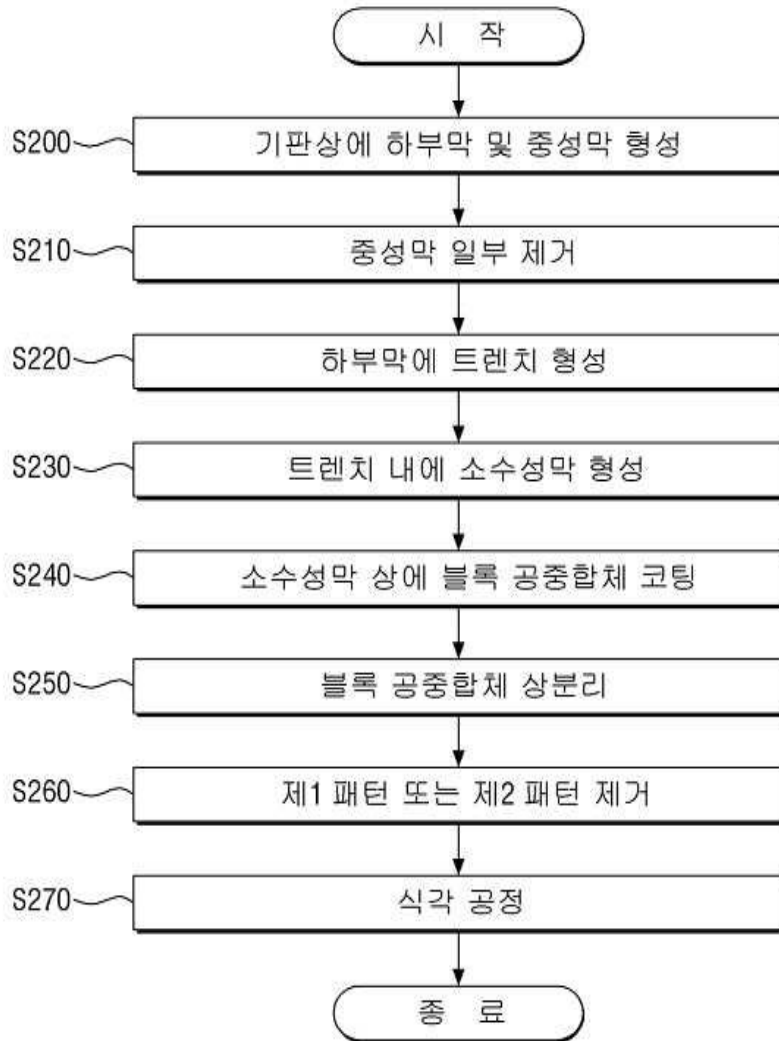
도면17



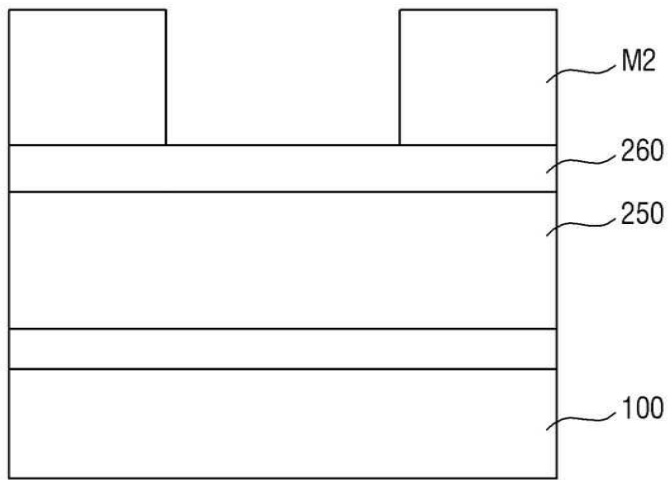
도면21



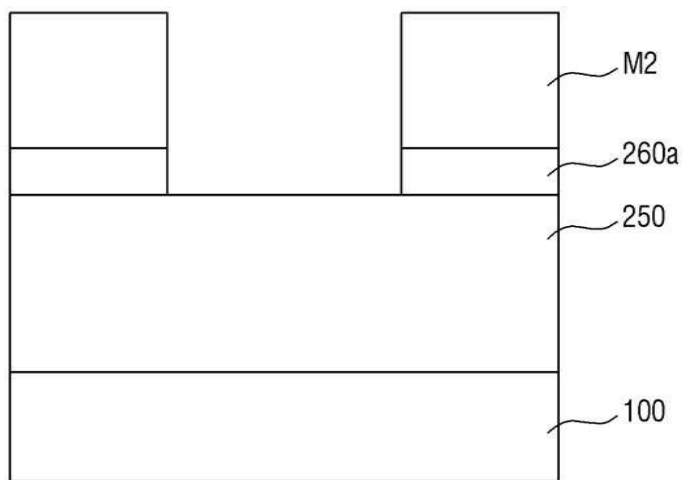
도면22



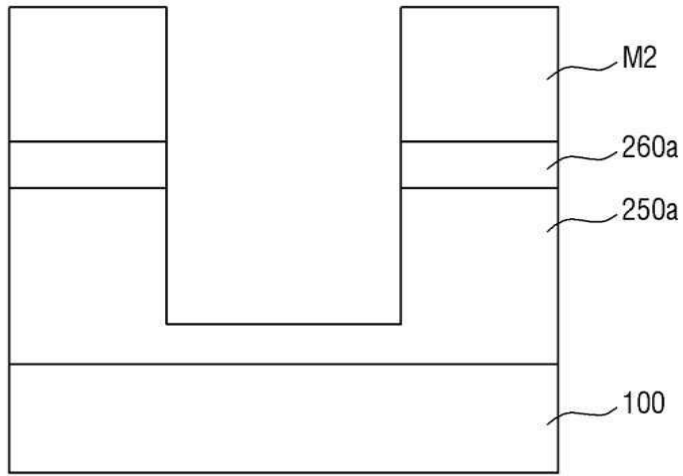
도면23



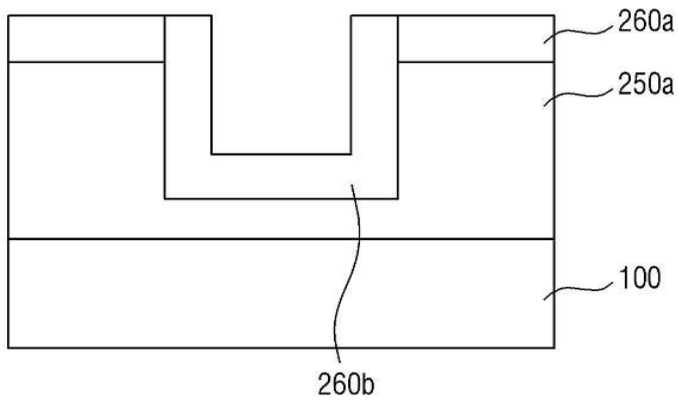
도면24



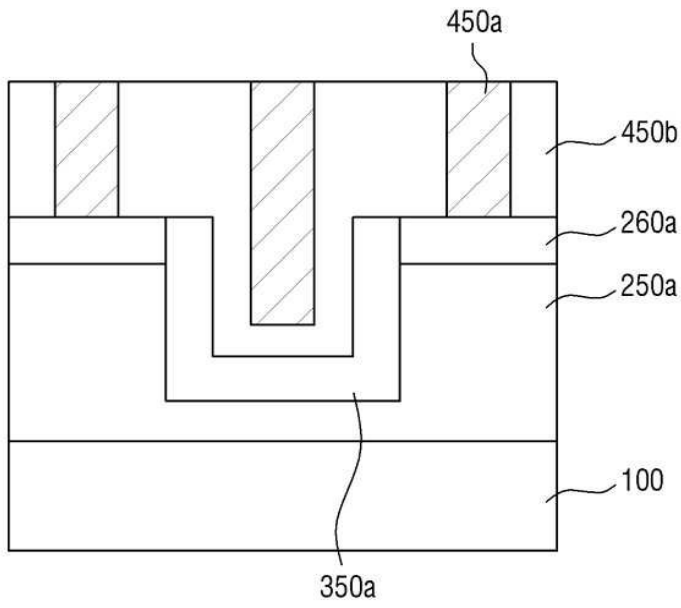
도면25



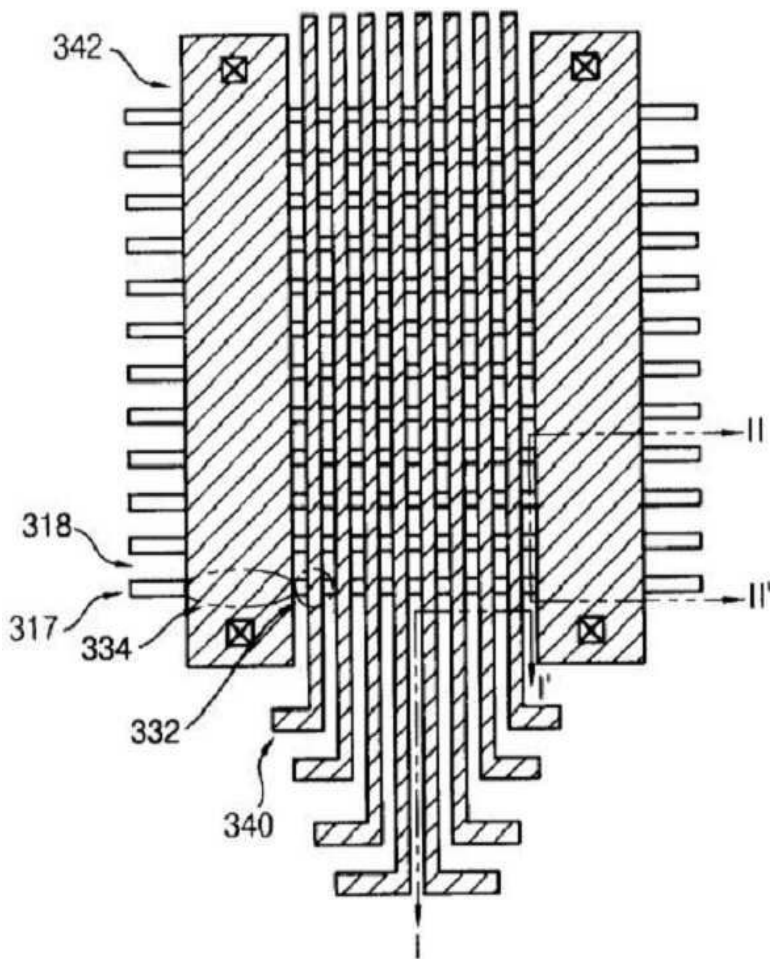
도면26



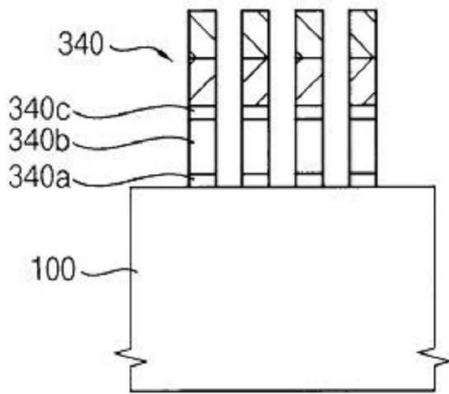
도면27



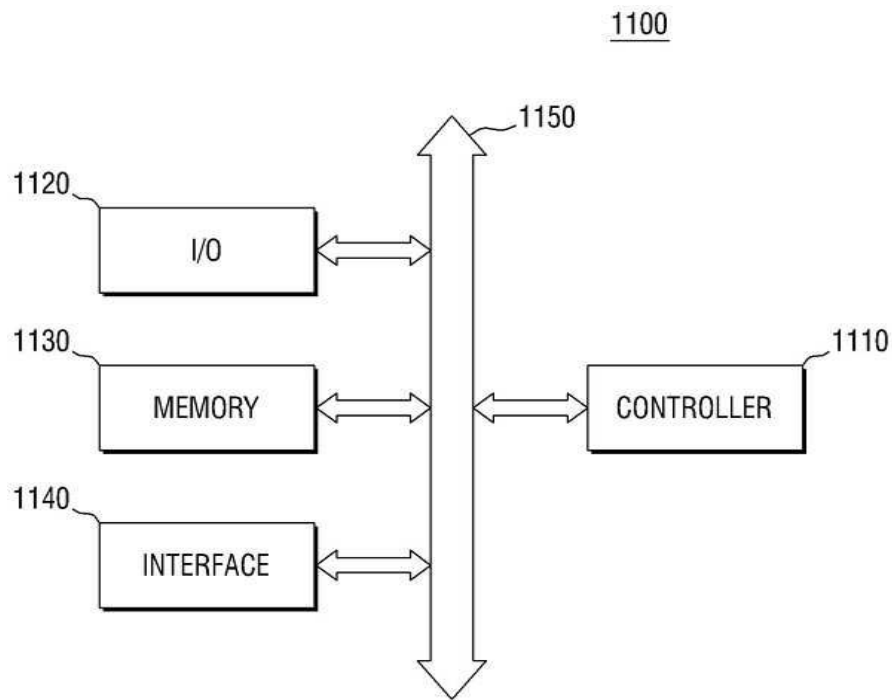
도면28



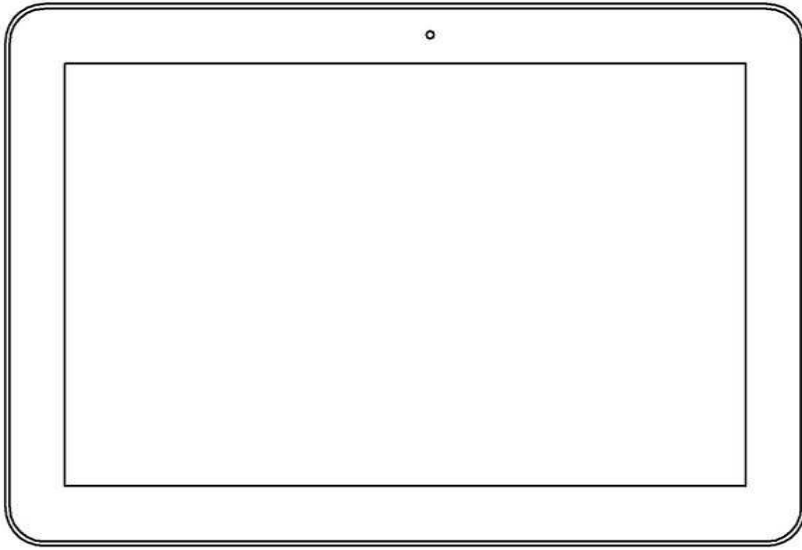
도면29



도면30



도면31



도면32

