



도 1

## 특허청구의 범위

### 청구항 1.

제1스위칭 트랜지스터와;

상기 제1스위칭 트랜지스터와 연결되어 있는 제1구동 트랜지스터와;

입력단이 상기 제1스위칭 트랜지스터의 출력단에 연결되어 있는 제2스위칭 트랜지스터와;

상기 제2스위칭 트랜지스터와 연결되어 있는 제2구동 트랜지스터와;

상기 제1구동 트랜지스터와 연결되어 있는 서브 화소전극과 상기 서브 화소전극과 분리되어 있으며 상기 제2구동 트랜지스터와 연결되어 있는 메인 화소전극을 갖는 화소부를 포함하는 것을 특징으로 하는 디스플레이장치.

### 청구항 2.

제1항에 있어서,

상기 서브 화소전극에 인가되는 전압을 유지하기 위한 서브유지전극 및 상기 메인 화소전극에 인가되는 전압을 유지하기 위한 메인유지전극을 더 포함하는 것을 특징으로 하는 디스플레이장치.

### 청구항 3.

제2항에 있어서,

상기 서브유지전극과 상기 메인유지전극에 축적되는 용량은 상이한 것을 특징으로 하는 디스플레이장치.

### 청구항 4.

제3항에 있어서,

상기 서브유지전극에 축적되는 용량은 상기 메인유지전극에 축적되는 용량보다 큰 것을 특징으로 하는 디스플레이장치.

### 청구항 5.

제1항에 있어서,

상기 서브화소전극과 상기 메인화소전극의 면적은 서로 상이한 것을 특징으로 하는 디스플레이장치.

### 청구항 6.

제5항에 있어서,

상기 서브화소전극의 면적은 상기 메인화소전극의 면적보다 작은 것을 특징으로 하는 디스플레이장치.

#### 청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 서브화소전극과 상기 메인화소전극의 상부에 형성되어 있는 발광층을 더 포함하며,

상기 서브화소전극과 상기 메인화소전극 상부의 상기 발광층은 동일한 색상의 빛을 발광하는 것을 특징으로 하는 디스플레이장치.

#### 청구항 8.

제1항에 있어서,

상기 화소부는 복수 개로 마련되며, 상기 화소부의 크기는 불균일한 것을 특징으로 하는 디스플레이장치.

#### 청구항 9.

제1항에 있어서,

구동전압을 인가하기 위한 구동전압라인과;

일부는 상기 제1구동 트랜지스터의 입력단과 연결되며 일부는 상기 제2구동 트랜지스터의 입력단과 연결되고, 상기 구동전압라인으로부터 분지되어 있는 구동전압공급부를 더 포함하는 것을 특징으로 디스플레이장치.

#### 청구항 10.

제1항에 있어서,

상기 서브화소전극과 상기 메인화소전극은 상기 게이트 라인을 사이에 두고 마련되는 것을 특징으로 하는 디스플레이장치.

#### 청구항 11.

제1항에 있어서,

상기 스위칭 트랜지스터 및 상기 구동 트랜지스터는 비정질 실리콘, 미세결정질 및 다결정 실리콘 중 어느 하나를 포함하여 이루어진 반도체층을 포함하는 것을 특징으로 하는 디스플레이 장치.

#### 청구항 12.

제11항에 있어서,

상기 스위칭 트랜지스터는 비정질 실리콘을 갖는 반도체층을 포함하고, 상기 구동 트랜지스터는 미세결정질 및 다결정 실리콘 중 어느 하나를 갖는 반도체층을 포함하는 것을 특징으로 하는 디스플레이장치.

### 청구항 13.

제1항에 있어서,

상기 스위칭 트랜지스터 및 상기 구동 트랜지스터의 반도체층은 다결정 실리콘을 포함하며,

상기 스위칭 트랜지스터 및 상기 구동 트랜지스터는 탑 게이트 방식으로 마련되는 것을 특징으로 하는 디스플레이장치.

### 청구항 14.

제1항에 있어서,

상기 화소부에 대응하는 컬러필터층을 더 포함하는 것을 특징으로 하는 디스플레이장치.

### 청구항 15.

데이터 라인과;

상기 데이터 라인과 직렬로 연결되어 있는 제1스위칭 트랜지스터 및 제2스위칭 트랜지스터와;

상기 제1스위칭 트랜지스터와 연결되어 있는 제1구동 트랜지스터와;

상기 제2스위칭 트랜지스터와 연결되어 있는 제2구동 트랜지스터와;

상기 제1구동 트랜지스터와 연결되어 있는 제1부화소와;

상기 제1부화소와 분리되어 있으며, 상기 제2구동 트랜지스터와 연결되어 있는 제2부화소를 포함하는 것을 특징으로 하는 디스플레이장치.

### 청구항 16.

제15항에 있어서,

상기 제1 및 제2구동 트랜지스터는 다결정 실리콘을 포함하여 이루어진 반도체층을 포함하는 것을 특징으로 하는 디스플레이 장치.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이장치에 관한 것으로서, 보다 상세하게는 박막트랜지스터를 사용하는 디스플레이장치에 관한 것이다.

최근, 표시장치 중에서 소형, 경량화의 장점을 가지는 평판표시장치(flat display device)가 각광을 받고 있다. 이러한 평판 표시장치는 액정표시장치(LCD)와 유기전기발광장치(OLED)를 포함한다.

액정표시장치와 유기전기발광장치는 영상을 표시하기 위해 공통적으로 박막트랜지스터를 포함하고 있다. 박막트랜지스터는 기본적으로 전류가 흐르는 채널이 형성되는 반도체층, 신호가 인가됨에 따라 채널에 전계를 형성하여 전류의 흐름을 온(ON) 또는 오프(OFF)시키는 게이트 전극, 신호가 입력되고 출력되어 게이트 전극의 온 또는 오프에 따라 화소에 신호를 전달하는 소스 전극 및 드레인 전극 등으로 이루어져 있다.

여기서, 반도체층은 비정질 실리콘으로 형성할 수 있는데, 비정질 실리콘은 낮은 이동도로 인해 전기적 특성과 신뢰성이 낮으며, 표시소자를 대면적화하는데 어려움이 있다. 이러한 문제점을 극복하기 위해 이동도가 대략 20 내지 150cm<sup>2</sup>/Vsec 정도가 되는 다결정실리콘을 반도체층으로 사용하는 다결정실리콘 박막트랜지스터가 개발되었다. 다결정실리콘 박막트랜지스터는 비교적 높은 이동도를 갖고 있어 구동 회로를 기판에 직접 내장하는 칩 인 글래스(chip in glass)를 구현하기 용이하다.

반면, 다결정실리콘은 게이트 오프 시 비정질 실리콘 보다 많은 누설 전류가 발생하고 이로 인하여 화소 간의 크로스 토크(Cross-talk)를 유발시킨다. 반도체층의 전기적 특성을 향상시키고 크로스 토크를 최소화시키기 위해서, 박막트랜지스터에 반도체층에 이온을 주입하여 이온이 주입되지 않은 영역과 고농도의 이온이 주입된 영역 및 저농도의 이온이 주입된 영역으로 분할하는 LDD(Lightly Doped Domain) 구조를 적용하기도 한다. 그러나, LDD 구조의 반도체층은 저농도와 고농도의 이온을 주입하는 이온주입공정이 2회 요구되어 상대적으로 공정이 복잡한 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 누설전류가 감소되어 크로스토크를 방지할 수 있는 디스플레이장치를 제공하는 것이다.

### 발명의 구성

상기 목적은, 본 발명에 따라 제1스위칭 트랜지스터와; 상기 제1스위칭 트랜지스터와 연결되어 있는 제1구동 트랜지스터와; 입력단이 상기 제1스위칭 트랜지스터의 출력단에 연결되어 있는 제2스위칭 트랜지스터와; 상기 제2스위칭 트랜지스터와 연결되어 있는 제2구동 트랜지스터와; 상기 제1구동 트랜지스터와 연결되어 있는 서브 화소전극과 상기 서브 화소전극과 분리되어 있으며 상기 제2구동 트랜지스터와 연결되어 있는 메인 화소전극을 갖는 화소부를 포함하는 디스플레이장치에 의해 달성된다.

상기 서브 화소전극에 인가되는 전압을 유지하기 위한 서브유지전극 및 상기 메인 화소전극에 인가되는 전압을 유지하기 위한 메인유지전극을 더 포함하는 것이 바람직하다.

상기 서브유지전극과 상기 메인유지전극에 축적되는 용량은 상이할 수 있다.

누설 전류에 의한 영향을 서브 유지전극이 흡수하기 위하여 상기 서브유지전극에 축적되는 용량은 상기 메인유지전극에 축적되는 용량보다 큰 것이 바람직하다.

상기 서브화소전극과 상기 메인화소전극의 면적은 서로 상이할 수 있다.

이 경우, 발광되는 영역을 증가시키기 위하여 상기 서브화소전극의 면적은 상기 메인화소전극의 면적보다 작은 것이 바람직하다.

상기 서브화소전극과 상기 메인화소전극의 상부에 형성되어 있는 발광층을 더 포함하며, 상기 서브화소전극과 상기 메인 화소전극 상부의 상기 발광층은 동일한 색상의 빛을 발광한다.

상기 화소부는 복수 개로 마련되며, 발광층의 수명, 시인성, 휘도 등에 따라 상기 화소부의 크기는 불균일한 것이 바람직하다.

구동전압을 인가하기 위한 구동전압라인과; 일부는 상기 제1구동 트랜지스터의 입력단과 연결되며 일부는 상기 제2구동 트랜지스터의 입력단과 연결되고, 상기 구동전압라인으로부터 분리되어 있는 구동전압공급부를 더 포함하여 하나의 구동 전압공급부를 제1 및 제2구동 트랜지스터가 공유하는 것이 바람직하다.

이 때, 상기 서브화소전극과 상기 메인화소전극은 상기 게이트 라인을 사이에 두고 마련될 수 있다.

상기 스위칭 트랜지스터 및 상기 구동 트랜지스터는 비정질 실리콘, 미세결정질 및 다결정 실리콘 중 어느 하나를 포함하여 이루어진 반도체층을 포함할 수 있다.

상기 스위칭 트랜지스터 및 상기 구동 트랜지스터의 반도체층은 다결정 실리콘을 포함하며, 상기 스위칭 트랜지스터 및 상기 구동 트랜지스터는 탑 게이트 방식으로 마련될 수 있다.

상기 스위칭 트랜지스터는 비정질 실리콘을 갖는 반도체층을 포함하고, 상기 구동 트랜지스터는 미세결정질 및 다결정 실리콘 중 어느 하나를 갖는 반도체층을 포함할 수도 있다.

한편, 상기 목적은, 본 발명에 따라, 데이터 라인과; 상기 데이터 라인과 직렬로 연결되어 있는 제1스위칭 트랜지스터 및 제2스위칭 트랜지스터와; 상기 제1스위칭 트랜지스터와 연결되어 있는 제1구동 트랜지스터와; 상기 제2스위칭 트랜지스터와 연결되어 있는 제2구동트랜지스터와; 상기 제1구동 트랜지스터와 연결되어 있는 제1부화소와; 상기 제1부화소와 분리되어 있으며, 상기 제2구동 트랜지스터와 연결되어 있는 제2부화소를 포함하는 디스플레이장치에 의해서도 달성될 수 있다.

상기 제1 및 제2구동 트랜지스터는 다결정 실리콘을 포함하여 이루어진 반도체층을 포함할 수 있다.

디스플레이장치는 백색을 발광하는 발광층을 사용하고, 상기 화소부에 대응하는 컬러필터층을 더 포함할 수도 있다.

이하에서는 첨부도면을 참조하여 본 발명에 대하여 설명한다.

여러 실시예에 있어서 동일한 구성요소에 대하여는 동일한 참조번호를 부여하였으며, 동일한 구성요소에 대하여는 제1실시예에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

도 1은 본 발명의 제1 실시예에 따른 디스플레이장치의 화소의 등가회로이다. 도시된 바와 같이 하나의 화소는 두 개의 부화소를 포함하며, 부화소를 구성하는 두 개의 스위칭 트랜지스터와 두 개의 구동 트랜지스터를 포함한다. 또한, 디스플레이장치는 상기 트랜지스터에 전기적 신호를 인가하기 위한 게이트 라인, 데이터 라인 및 구동전압라인을 포함한다. 본 실시예에 따른 디스플레이장치는 박막트랜지스터에 구동전압이 인가되고, 유기발광층으로부터 빛이 방출되는 OLED이다.

데이터 라인과 게이트 라인의 교차점에 제1스위칭 트랜지스터가 형성되어 있으며, 제1스위칭 트랜지스터의 출력단인 소스 전극은 제1구동 트랜지스터와 제2스위칭 트랜지스터에 연결되어 있다. 제2스위칭 트랜지스터는 제2구동 트랜지스터와 연결되어 있으며, 각 구동 트랜지스터는 애노드인 부화소 전극과 연결되어 있다. 구동 트랜지스터의 드레인 전극은 구동 전압을 인가하는 구동전압라인과 연결되어 있다.

또한, 부화소는 각각 화소전압을 유지하기 위한 축적용량( $C_1$ ,  $C_2$ )을 포함한다. 축적용량을 위한 유지전극은 구동 트랜지스터의 게이트 전극과 드레인 전극 사이에 형성되어 있다. 유지전극의 면적에 따라 축적되는 용량이 상이해지며, 부화소 간의 축적용량은 서로 상이할 수도 동일할 수도 있다.

제1스위칭 트랜지스터와 제2스위칭 트랜지스터는 데이터 라인에 대하여 직렬로 연결되어 있다. 즉, 제1스위칭 트랜지스터와 출력단은 제2스위칭 트랜지스터의 입력단과 연결되어 있다. 제1스위칭 트랜지스터를 통해 공급되는 데이터 전압은 제1구동 트랜지스터에 공급되는 구동전압과 함께 제1부화소를 구동시키고, 제1스위칭 트랜지스터를 통해 제2스위칭 트랜지스터에 전달된 데이터 전압과 제2구동 트랜지스터를 통해 공급되는 구동전압에 의하여 제2부화소가 구동된다.

하나의 화소가 두 개의 부화소로 분리되어 있을 뿐, 각 부화소에 인가되는 데이터 전압 및 구동전압은 동일하다. 다만, 종래와 비교하였을 때 둘 이상의 스위칭 트랜지스터가 마련되며, 스위칭 트랜지스터는 상호 직렬로 연결되어 있기 때문에 데이터 라인으로부터 데이터 전압을 직접적으로 인가 받는 제1스위칭 트랜지스터가 아닌 다른 트랜지스터(제2스위칭 트랜지스터)는 제1스위칭 트랜지스터를 통해 데이터 전압을 인가 받는다. 부화소전극의 크기 역시, 축적 용량의 크기와 같이 사용자에 의하여 균일하게 또는 불균일하게 마련될 수 있다.

스위칭 트랜지스터에 게이트 오프 전압이 인가되었을 때 스위칭 트랜지스터의 반도체층에 흐르는 누설 전류(Ioff)의 크기가 큰 경우, 인접한 화소에 인가되는 다른 데이터 전압에 변동에 따라 화소전극에 충전되어 있는 화소전압이 영향을 받게 된다. 이로 인하여 표시되는 영상의 밝기 및 패턴이 변경되는 크로스 특이 발생하는데 크로스 특이 반도체층이 다결정실리콘을 포함할 경우 더욱 문제시 된다.

이를 방지하기 위하여 본 발명에 따른 디스플레이장치는 직렬로 연결되어 있는 복수의 스위칭 트랜지스터를 포함한다. 제1스위칭 트랜지스터로부터 인가된 데이터 전압은 제1부화소와 직렬로 연결된 제2부화소에 축적되므로, 게이트 오프 시 누설 전류에 의한 영향은 제1부화소에서 완화 또는 흡수된다. 즉, 데이터 라인과 연결되어 있는 제1부화소의 축적용량은 누설전류에 의한 신호 변화의 영향을 완충시켜 주고, 이로 인하여 제2부화소에 축적된 화소전압 변화의 폭이 감소되어 디스플레이장치는 보다 안정적으로 발광할 수 있다.

버퍼 역할을 하는 제1부화소의 축적용량을 누설전류에 의한 화소전압 변화를 감소시키기 위하여 제2부화소보다 크게 하고, 발광 역할을 주로 하는 제2부화소의 화소전극의 면적을 제1부화소의 화소전극의 면적보다 크게 할 수 있다. 다만, 상술한 바와 같이 특정 부화소의 축적용량 및 화소전극의 크기는 특정되는 것이 아니며, 사용자에 의하여 다양하게 변경 가능하다.

또한, 본 발명에 따른 디스플레이장치는 다결정실리콘을 사용하더라도 누설 전류 감소를 위한 LDD(Lightly Doped Domain) 등을 형성할 필요가 없기 때문에 LDD의 추가 공정이 요구되지 않는다.

그리고, 하나의 색을 발광하는 화소가 복수 개의 부화소를 포함하고 있기 때문에 화소 불량률이 감소된다. 턴온되어야 하는 트랜지스터가 턴 오프 되거나 턴 오프되어야 하는 트랜지스터가 턴온되는 화소 불량은 화소 단위로 발생하기 때문에 하나의 트랜지스터에 하나의 불량이 발생할 경우, 사용자는 쉽게 디스플레이장치의 불량을 인식하게 된다. 반면, 하나의 화소가 복수의 부화소를 포함하는 경우 어느 하나의 부화소에 불량이 발생하여도 다른 부화소가 구동되므로 화소는 정상적으로 구동될 수 있는 장점이 있다.

하나의 화소가 포함하고 있는 부화소의 개수는 본 실시예와 같이 두 개에 한정되지 않는다. 제2스위칭 트랜지스터에 직렬로 연결되어 있는 복수의 제3스위칭 트랜지스터를 더 포함할 수도 있으며 또는 추가의 제3스위칭 트랜지스터가 제1스위칭 트랜지스터의 출력단에 연결될 수도 있다. 또한, 데이터 라인에 연결되어 있는 제1스위칭 트랜지스터가 복수 개로 마련되고, 각 제1스위칭 트랜지스터에 연결되어 있는 제2 및 제3 스위칭 트랜지스터를 포함할 수도 있다. 부화소가 각각 스위칭 트랜지스터, 구동 트랜지스터, 화소전극 및 축적 용량을 포함한다면, 트랜지스터의 설계는 다양하게 변형 가능하다.

그리고, 반도체층을 구성하는 물질은 반드시 다결정실리콘에 한정되지 않으며 비정질 실리콘 또는 미세결정질의 경우에도 본 발명이 적용될 수 있다.

도 2는 본 발명의 제1실시예에 따른 디스플레이장치의 개략도로서 도1의 등가회로를 구현하기 위한 화소를 도시한 것이며, 도 3은 도2의 III-III에 따른 단면도이다.

도시된 바와 같이, 디스플레이장치는 일 방향으로 연장되어 있는 게이트 라인(10), 게이트 라인(10)에 수직으로 교차하고 있는 데이터 라인(20) 및 구동전압라인(30)을 포함한다. 데이터 라인(20)과 구동전압라인(30)은 서로 평행하게 형성되어 있다. 구동전압라인(30)은 구동 트랜지스터(60, 70)에 구동전압을 제공하기 위하여 일 방향으로 연장되어 있는 구동전압 공급부(31)를 포함한다.

데이터 라인(20)과 게이트 라인(10)의 교차점에는 제1스위칭 트랜지스터(40)와 제2스위칭 트랜지스터(50)가 형성되어 있으며, 이들은 서로 직렬로 연결되어 있다. 제1스위칭 트랜지스터(40)와 제2스위칭 트랜지스터(50)는 각각 제1구동 트랜지스터(60)와 제2구동 트랜지스터(70)와 연결되어 있다.

또한, 제1구동 트랜지스터(60)와 제2구동 트랜지스터(70)는 각각 서브 화소전극(80)와 메인 화소전극(90)에 연결되어 있다. 직사각형 형상을 갖는 하나의 화소는 두 개의 화소전극, 즉 서브 화소전극(80)와 메인 화소전극(90)을 포함하고 있으며 이하 두 개의 화소전극층을 화소부라고 일컫는다.

도 3과 같이, 투명한 유리와 같은 절연기판(10) 상에 트랜지스터(40, 50, 60, 70)의 게이트 전극(41, 51, 61, 71)이 형성되어 있다. 게이트 전극(41, 51, 61, 71)은 게이트 절연막(110)으로 덮여 있다.

제1스위칭 트랜지스터(40) 및 제2스위칭 트랜지스터(50)의 게이트 전극(41, 51)은 게이트 라인(10)의 일부가 연장된 것이다.

게이트 절연막(110) 상에는 다결정실리콘으로 이루어진 반도체층(42, 52, 62, 72)이 형성되어 있으며, 반도체층(42, 52, 62, 72) 상에는 반도체층(42, 52, 62, 72)을 중심으로 양 편으로 나누어진 저항 접촉층(43, 53, 63, 73)이 형성되어 있다. 저항 접촉층(43, 53, 63, 73)은 n형 불순물이 고농도 도핑된  $n^+$  다결정 실리콘으로 이루어져 있다.

반도체층(42, 52, 62, 72)과 저항 접촉층(43, 53, 63, 73)은 비정질 실리콘을 패터닝한 후 결정화 시킴으로써 형성된다. 결정화 방법으로는 고상 결정화, 레이저 결정화, 급속열처리 방법 등을 사용할 수 있다. 고상결정화는 600°C 이하의 저온에서 장시간 열처리하여 결정입자가 큰 다결정실리콘을 얻는 방법이다. 레이저 결정화는 엑시머 레이저 어닐링(excimer laser annealing) 및 순차적 측면 고상화(sequential lateral solidification) 등 레이저를 이용하여 다결정 실리콘을 얻는 방법이다. 급속 열처리 방법은 저온에서 비정질 실리콘 증착 후 표면을 빛으로 급속하게 열처리하여 결정화하는 방법이다.

게이트 절연막(110)과 저항 접촉층(43, 53, 63, 73) 상에는 각 트랜지스터(40, 50, 60, 70)의 드레인 전극(44, 54, 64, 74) 및 소스 전극(45, 55, 65, 75)이 동일한 금속층으로 형성되어 있다. 드레인 전극(44, 54, 64, 74) 및 소스 전극(45, 55, 65, 75)은 게이트 전극(41, 51, 61, 71)을 사이에 두고 이격되어 있다.

제1스위칭 트랜지스터(40)의 소스전극(45)과 제2스위칭 트랜지스터(50)의 드레인 전극(54)은 일체형으로 이루어져 있다. 따라서, 제1스위칭 트랜지스터(40)의 소스 전극(45)으로 빠져나간 전류는 제2스위칭 트랜지스터(50)로 유입된다.

제1스위칭 트랜지스터(40)의 소스 전극(45)과 제1구동 트랜지스터(60)의 게이트 전극(61) 및 제2스위칭 트랜지스터(50)의 소스 전극(55)과 제2구동 트랜지스터(70)의 게이트 전극(71)에는 각각 접촉구(46, 56, 67, 77)가 형성되어 있으며, 브릿지 전극(48, 58)을 통해 전기적으로 연결되어 있다. 스위칭 트랜지스터(40, 50)의 소스 전극(45, 55)은 구동 트랜지스터(60, 70)의 게이트 전극(61, 71)과 연결되기 위하여 상부로 길게 연장되어 있다.

제1구동 트랜지스터(60)와 제2구동 트랜지스터(70)는 화소의 중심부에 게이트 라인(10)의 연장방향으로 배열되어 있다. 구동 트랜지스터(60, 70)의 드레인 전극(64, 74)은 구동전압공급부(31)의 일부로 구성되며, 구동전압라인(30)으로부터 구동전압을 인가 받는다. 즉, 두 개의 구동 트랜지스터(60, 70)는 하나의 구동전압공급부(31)를 드레인 전극(64, 74)으로 공유하고 있다. 구동 트랜지스터(60, 70)의 반도체층(62, 72) 역시 다결정 실리콘을 포함한다.

드레인 전극(44, 54, 64, 74)과 소스 전극(45, 55, 65, 75) 및 이들 전극(44, 54, 64, 74, 45, 55, 65, 75)이 가리지 않는 트랜지스터(40, 50, 60, 70)의 상부에는 보호막(120)이 형성되어 있다. 보호막(120)에는 제1 및 제2구동 트랜지스터(60, 70)의 소스 전극(65, 75)을 노출시키는 접촉구(66, 76)가 형성되어 있다. 보호막(120)은 실리콘 질화물과 같이 무기물 또는 유기물로 이루어질 수 있다. 유기물로는 BCB(benzocyclobutene)계열, 올레핀 계열, 아크릴 수지(acrylic resin) 계열, 폴리 이미드(polyimide)계열, 테프론 계열, 사이토프(cytop), PECB(perfluorocyclobutene) 중 어느 하나가 사용될 수 있다.

보호막(120) 상에는 서브 화소전극(80)와 메인 화소전극(90)이 형성되어 있다. 서브 화소전극(80)과 메인 화소전극(90)은 투명한 전도 물질인 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등으로 이루어 질 수 있다. 화소부(80, 90)은 음극(cathode)이라고도 불리며, 발광층(140)에 정공을 공급한다. 화소부(80, 90)은 접촉구(66, 76)를 통해 소스 전극(65, 75)과 연결되어 화소전압을 공급 받는다.

게이트 라인(20)에 직접 연결되어 있는 제1스위칭 트랜지스터(40)에 의하여 게이트 온/오프 전압이 인가되는 서브 화소전극(80)은 메인 화소전극(90) 보다 그 크기가 작다. 따라서, 메인 화소전극(90)에서 더 많은 발광이 이루어 진다.

본 실시예에서 화소부(80, 90)을 서브 또는 메인으로 구분하여 명명한 것은 하나의 일 예에 불과한 것으로 이에 의하여 각 서브 화소전극(80) 또는 메인 화소전극(90)의 기능이 한정되는 것이 아니다.

게이트 라인(10)을 형성하는 게이트 금속층으로 이루어진 유지전극(81, 91)은 구동전압라인(30)과 함께 축적용량을 형성하며, 서브 화소전극(80)과 메인 화소전극(90)에 인가되는 화소전압을 한 프레임 동안 유지하는 역할을 한다. 서브 유지전극(81)이 메인 유지전극(91)보다 넓은 면적을 갖는다. 이는 데이터 라인(20)과 직접 연결되어 있는 서브 화소전극(80)에 충분한 축적 용량을 확보하여 누설전류에 의한 영향을 최소화 하기 위한 것이다.



서브 화소전극(80)의 면적이 메인 화소전극(90)의 면적보다 작은 것과 서브 유지전극(81)의 면적이 메인 화소전극(91)의 면적보다 큰 것은 하나에 실시예로서 이는 다양하게 변경 가능하다.

서브 화소전극(80)과 메인 화소전극(90)의 사이 및 트랜지스터(40, 50, 60, 70) 상에는 격벽(130)이 형성되어 있다. 격벽(130)은 화소부(80, 90) 사이 및 화소 간을 구분한다. 격벽(130)은 아크릴 수지, 폴리 이미드 수지 등의 내열성, 내용매성이 있는 감광물질이나 SiO<sub>2</sub>, TiO<sub>2</sub>와 같은 무기재료로 이루어질 수 있으며 유기층과 무기층의 2층 구조도 가능하다.

격벽(130)이 가리지 않는 화소부(80, 90) 상에는 발광층(140)이 형성되어 있다. 발광층(140)은 폴리플루오렌 유도체, (폴리)파라페닐렌비닐렌 유도체, 폴리 페닐렌 유도체, 폴리비닐카바졸, 폴리티오펜 유도체, 또는 이들의 고분자 재료에 페릴렌계 색소, 로더민계 색소, 루브렌, 페릴렌, 9,10-디페닐안트라센, 테트라페닐부타디엔, 나일 레드, 쿠마린 6, 퀴나크리돈 등을 도핑하여 사용할 수 있다. 하나의 화소를 형성하는 서브 화소전극(80)과 메인 화소전극(90) 상의 발광층(140)은 동일한 색상의 빛을 발광한다.

본 실시예에 따른 하나의 화소는 인접한 화소와 상이한 크기를 갖는다. 복수 개로 마련되어 적색, 녹색 및 청색을 순차적으로 발광하는 화소는 일반적으로 직사각형 형상을 갖는다. 도2에 도시된 바와 같이 화소의 단면의 길이(d<sub>1</sub>, d<sub>2</sub>)는 동일하지 않고 다르다. 화소의 크기는 다양한 요소에 결정된다. 발광층(140)을 이루는 유기물의 수명(life time), 시인성 또는 휘도 등에 따라 차등적인 면적을 갖는 발광층(140)을 형성할 수 있다. 즉, 적색 및 청색 보다 적색 발광층(140) 아래에 형성되어 있는 화소부(80, 90)의 크기가 더 클 수도 있으며, 세 가지 색을 발광하는 화소의 크기가 각각 상이할 수도 있다. 물론 모든 화소가 동일한 크기를 가질 수 있음은 당연하다.

격벽(130) 및 발광층(140)의 상부에는 공통전극(150)이 위치한다. 공통전극(150)은 음극(cathode)라고 불리며 발광층(140)에 전자를 공급한다. 공통전극(150)은 갈슘층과 알루미늄층으로 적층되어 구성될 수 있다.

화소부(80, 90)에서 전달된 정공과 공통전극(150)에서 전달된 전자는 발광층(140)에서 결합하여 여기자(exciton)가 된 후, 여기자의 비활성화 과정에서 빛을 발생시킨다.

도시하지는 않았지만, 화소전극(80,90) 및 발광층(140)의 사이에는 정공주입층 및 정공수송층 중 적어도 어느 하나가 더 마련될 수도 있으며, 발광층(140)과 공통전극(150)의 사이에는 전자수송층 및 전자주입층 중 적어도 어느 하나가 더 마련될 수 있다. 또한, 디스플레이장치는 공통전극(150)의 보호를 위한 보호층, 발광층(140)으로 수분 및 공기가 침투하는 것을 방지하기 위한 봉지부재를 더 포함할 수 있다. 봉지부재를 밀봉수지와 밀봉캔으로 이루어질 수 있다.

본 실시예에 따른 트랜지스터(40, 50, 60, 70)는 모두 바텀 게이트(bottom gate) 타입이다. 트랜지스터(40, 50, 60, 70)의 형상은 도3의 바텀 게이트 타입에 한정되지 않으며 제2실시예를 통해 설명한다.

도 4는 본 발명의 제2실시예에 따른 디스플레이장치의 단면도이다. 본 실시예에 따른 트랜지스터(40, 50, 60, 70)는 탑 게이트(top gate) 타입이다. 도시된 바와 같이, 트랜지스터(40, 50, 60, 70)의 게이트 전극(41, 51, 61, 71)은 반도체층(42, 52, 62, 72), 소스 전극(45, 55, 65, 75) 및 드레인 전극(44, 54, 64, 74)보다 상부에 위치한다.

제조공정에서는 먼저 절연기판(100) 상에 비정질 실리콘층과 n<sup>+</sup>비정질 실리콘층 증착이 먼저 행해진다. 이 후 패터닝과 결정화를 통해 다결정 실리콘으로 이루어진 반도체층(42, 52, 62, 72) 및 저항 접촉층(43, 53, 63, 73)을 형성하고 다음으로 소스 전극(45, 55, 65, 75) 및 드레인 전극(44, 54, 64, 74), 게이트 절연막(110), 게이트 전극(41, 51, 61, 71)을 순차적으로 형성한다.

다른 실시예에 따르면, 제2 실시예와는 달리 트랜지스터(40, 50, 60, 70)의 소스 전극(45, 55, 65, 75)과 드레인 전극(44, 54, 64, 74)이 반도체층(42, 52, 62, 72)의 하부에 위치할 수도 있다. 이러한 경우, 절연기판(100) 상에 데이터 금속층과 n<sup>+</sup>비정질 실리콘층을 먼저 형성한 다음, 금속층과 n<sup>+</sup>비정질 실리콘층을 단일 마스크를 이용하여 패터닝한다. 패터닝을 통해 소스 전극(45, 55, 65, 75)과 드레인 전극(44, 54, 64, 74) 상에 저항 접촉층(43, 53, 63, 73)이 남아 있도록 한다. 이 후 비정질 실리콘층을 증착하고 패터닝과 결정화를 통해 반도체층(42, 52, 62, 72)을 형성한다. 반도체층(42, 52, 62, 72) 형성과정에서 비정질 실리콘층에 얇은 절연막을 추가로 형성한 후 패터닝 및 결정화 과정을 거치는 것도 가능하다.

도 5는 본 발명의 제3실시예에 따른 디스플레이장치의 개략도이다.

도시된 바와 같이, 게이트 라인(10)은 서브 화소전극(80)과 메인 화소전극(90) 사이에 위치한다. 즉, 게이트 라인(10)이 하나의 화소의 중간을 통과하고, 서브 화소전극(90)과 메인 화소전극(90)은 게이트 라인(10)을 사이에 두고 대칭적으로 마련된다. 게이트 라인(10)을 제외한 나머지 구성요소는 제1실시예와 동일하다.

본 실시예에 따르면 제1스위칭 트랜지스터(40)의 소스 전극(45)은 제1실시예와 같이 화소의 상부로 연장되어 있지만, 제2스위칭 트랜지스터(50)의 소스 전극(55)은 게이트 라인(10)을 가로질러 하부의 메인 화소전극(90)과 연결되어 있다. 이러한 구성을 통해 제2스위칭 트랜지스터(50)의 소스 전극(55)은 메인 화소전극(90)과 연결되기 위하여 길게 연장될 필요가 없고, 제1스위칭 트랜지스터(40)의 소스 전극(45)과 인접하게 형성되지 않아도 되므로 보다 용이하게 금속층을 패터닝 할 수 있다.

제1구동 트랜지스터(60)의 드레인 전극(64)과 제2구동 트랜지스터(70)의 드레인 전극(74)을 형성하는 구동전압공급부(32, 33)는 구동전압라인(30)으로부터 연장되어 있다.

도 2 및 도 5에 도시되어 있는 트랜지스터(40, 50, 60, 70)의 배열은 제조공정 상의 마진 및 금속 배선의 설계에 따라 다양하게 변형 가능하다.

도 6은 본 발명의 제4실시예에 따른 디스플레이장치의 개략도이고, 도7은 제4실시예에 따른 디스플레이장치의 단면도이다. 본 실시예에 따른 디스플레이장치는 박막트랜지스터(160, 170)가 형성되어 있는 제1절연기판(100)과 컬러필터(220)가 형성되어 있는 제1절연기판(200)을 포함하고 있는 액정표시장치이다. 제1절연기판(100) 및 제2절연기판(200) 사이에는 액정층(300)이 형성되어 있다.

도 6에 도시되어 있는 바와 같이 하나의 화소는 서브 화소전극(180)과 메인 화소전극(190)을 포함하며 각각 제1박막 트랜지스터(160)와 제2박막 트랜지스터(170)에 연결되어 있다.

제1박막 트랜지스터(160)와 제2박막 트랜지스터(170)는 데이터 라인(20)에 직렬로 연결되어 있다. 데이터 라인(20)으로부터 인가된 데이터 전압은 제1박막 트랜지스터(160)를 통해 서브 화소전극(180)에 충전되고, 제2박막 트랜지스터(170)에 전달되어 메인 화소전극(190)을 충전시킨다. 이처럼, 데이터 전압은 서브 화소전극(180)에 직접적으로 충전되므로, 서브 화소전극(180)은 게이트 오프 시 누설 전류에 의한 영향을 받을 수 있지만, 메인 화소전극(190)에는 거의 영향을 받지 않는다. 이러한 구성으로 발광이 주로 이루어지는 메인 화소전극(190)의 발광 상태를 보다 안정적으로 유지할 수 있다.

본 실시예에 따른 반도체층(162, 172)은 비정질 실리콘으로 이루어져 있으며, 박막 트랜지스터(160, 170)는 바텀 게이트 타입이다. 반도체층(162, 172)이 비정질 실리콘으로 형성될 경우 백라이트 유닛(미도시)으로부터 제공된 빛에 의하여 누설전류가 발생할 수 있다. 따라서, 이를 방지하고자 게이트 전극(161, 171)이 반도체층(162, 172)을 가리는 바텀 게이트 타입이 바람직하다. 제1 및 제2박막 트랜지스터(160, 170)는 공지된 방법에 의하여 형성된다.

제2절연기판(200) 상에 매트릭스 형상으로 블랙매트릭스(210)가 형성되어 있다. 블랙매트릭스(210)는 적색, 녹색 및 청색(RGB)의 3원색 또는 청록색, 자홍색 및 노랑색의 3원색을 갖는 컬러필터(220)의 색 사이를 구분하여 인접한 화소 사이의 빛샘 현상을 막고, 박막트랜지스터(160, 170)에 빛이 입사되는 것을 막아 화질의 불량을 방지한다.

그리고, 컬러필터(220)는 블랙 매트릭스(210)의 개구영역에 각각 적색, 녹색 및 청색 또는 청록색, 자홍색 및 노랑색이 반복되어 형성되며, 액정층(300)을 통과한 빛에 색을 부여하는 역할을 한다. 오버코트층(230)은 컬러필터(220)를 보호하고, 제2절연기판(200)을 평탄화 하며, 주로 아크릴계 에폭시 재료를 이용하여 만들어진다.

공통전극(240)은 투명 도전성 물질로ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등으로 이루어진다. 이러한 공통전극(240)은 제1절연기판(100)의 화소부(80, 90)과 함께 액정층(300)에 직접 신호전압을 인가하게 된다.

반도체층(162, 172)은 비정질 실리콘이 아닌 다결정 실리콘으로 형성될 수 있으며, 이 경우 제1 및 제2박막 트랜지스터(160, 170)는 탑 게이트 타입으로 형성될 수 있다.

도 8은 본 발명의 제5실시예에 따른 디스플레이장치의 단면도이다.

본 실시예에 따른 스위칭 트랜지스터(40, 50)와 구동 트랜지스터(60, 70)는 상이한 층에 형성되어 있다. 스위칭 트랜지스터(40, 50)의 게이트 전극(41, 51)은 구동 트랜지스터(60, 70)의 소스 및 드레인 전극(64, 65, 74, 75)과 동일한 층에 마련

된다. 스위칭 트랜지스터(40, 50)의 반도체층(42, 52)은 비정질 실리콘을 포함하며, 구동 트랜지스터(60, 70)의 반도체층(62, 72)은 폴리 실리콘 또는 미세결정질을 포함한다. 즉, 반도체층을 구성하는 실리콘이 상이하므로 스위칭 트랜지스터(40, 50)와 구동 트랜지스터(60, 70)는 층을 달리하여 형성된다.

절연기관(100) 상에 구동 트랜지스터(60, 70)의 게이트 전극(61, 71)을 형성되어 있으며, 게이트 전극(61, 71)의 상부에 게이트 절연막(110)으로 덮여 있다.

게이트 절연막(110)의 구동 트랜지스터(60, 70)의 게이트 전극(61, 71)에 대응하는 부분에는 반도체층(62, 72)이 형성되어 있다. 반도체층(62, 72)은 다결정 실리콘으로 이루어져 있다. 반도체층(62, 72) 상에는 반도체층(62, 72)을 중심으로 양편으로 나누어진 저항접촉층(63, 73)이 형성되어 있다.

게이트 절연막(110)과 저항 접촉층(63, 73) 상에는 스위칭 트랜지스터(40, 50)의 게이트 전극(41, 51), 구동 트랜지스터(60, 70)의 소스 전극(65, 75), 드레인 전극(64, 74)이 마련되어 있다. 이상의 전극(41, 51, 65, 75, 64, 74)은 동일한 금속층을 패터닝하여 형성된 것이다.

이들 전극(41, 51, 65, 75, 64, 74) 및 이들 전극(41, 51, 65, 75, 64, 74)이 가리지 않은 반도체층(62, 72)의 상부에는 제1 절연막(121)이 마련되어 있다. 제1절연막(121)에는 구동 트랜지스터(60, 70)의 소스 전극(65, 75)을 노출시키는 접촉구(66, 76)이 형성되어 있는데 접촉구(66, 76)는 제2절연막(122)도 같이 제거되어 형성되어 있다.

스위칭 트랜지스터(40, 50)의 게이트 전극(41, 51)에 대응하는 제1절연막(121)의 상부에는 비정질 실리콘을 포함하는 반도체층(42, 52)이 형성되어 있다.

반도체층(42, 52) 상에는 각각 n형 불순물이 고농도 도핑된 n+ 비정질 실리콘으로 이루어져 있는 저항 접촉층(43, 53)이 형성되어 있다.

저항 접촉층(43, 53) 상에는 스위칭 트랜지스터(40, 50)의 소스 전극(45, 55) 및 드레인 전극(46, 56)이 형성되어 있다. 이상의 전극(340, 350, 440, 450)은 동일한 금속층을 패터닝하여 형성된 것이다.

이들 전극(45, 55, 46, 56) 및 이들 전극(45, 55, 46, 56)이 가리지 않은 반도체층(42, 52) 상부에는 제2절연막(122)이 마련되어 있다.

제1 및 제2절연막(121, 122)에 형성되어 있는 접촉구(66, 76)를 통해 구동 트랜지스터(60, 70)는 화소부(80, 90)와 전기적으로 연결된다.

도 9는 본 발명의 제6실시예에 따른 디스플레이장치의 단면도이다.

도시된 바와 같이, 본 실시예에 따른 디스플레이장치는 화소부(80, 90)에 대응되는 부분에 컬러필터층(160)을 더 포함한다. 이 경우, 발광층(141)은 적색, 녹색 및 청색을 발광하는 것이 아니라 백색을 발광하는 유기물질로 이루어진다.

컬러필터층(160)은 각 화소부(80, 90)에 적색, 녹색 및 청색 또는 청록색, 자홍색 및 노랑색이 주기적으로 반복되도록 형성된다. 본 실시예의 경우, 컬러필터층(160)은 발광층(141)의 하부에 형성되어 있으므로 발광층(141)으로부터 발광된 빛은 하부의 컬러필터층(160)을 통과하는 바텀 에미션 방식이다. 물론 이와는 상이하게 컬러필터층(160)은 발광층(141)의 상부에 형성될 수 있다. 이 경우 빛은 절연기관(100)의 상부로 방출되어 디스플레이장치는 탑 에미션 방식으로 구현 가능하다.

비록 본 발명의 몇몇 실시예들이 도시되고 설명되었지만, 본 발명이 속하는 기술분야의 통상의 지식을 가진 당업자라면 본 발명의 원칙이나 정신에서 벗어나지 않으면서 본 실시예를 변형할 수 있음을 알 수 있을 것이다. 발명의 범위는 첨부된 청구항과 그 균등물에 의해 정해질 것이다.

### **발명의 효과**

이상 설명한 바와 같이, 본 발명에 따르면 누설전류가 감소되어 크로스톡을 방지할 수 있는 디스플레이장치가 제공된다.

또한, 본 발명에 따르면, 화소에 발생한 불량률을 줄일 수 있는 디스플레이장치가 제공된다.

### 도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 디스플레이장치 화소의 등가회로이고,

도 2는 본 발명의 제1 실시예에 따른 디스플레이장치의 개략도이고,

도 3은 도 2의 III-III에 따른 단면도이고,

도 4는 본 발명의 제2 실시예에 따른 디스플레이장치의 단면도이고,

도 5는 본 발명의 제3 실시예에 따른 디스플레이장치의 개략도이고,

도 6은 본 발명의 제4 실시예에 따른 디스플레이장치의 개략도이고,

도 7은 본 발명의 제4 실시예에 따른 디스플레이장치의 단면도이다.

도 8은 본 발명의 제5 실시예에 따른 디스플레이장치의 단면도이고,

도 9는 본 발명의 제6 실시예에 따른 디스플레이장치의 단면도이다.

\* 도면의 주요 부분에 대한 부호의 설명 \*

10 : 게이트 라인 20 : 데이터 라인

30 : 구동전압라인 40, 50 : 스위칭 트랜지스터

60, 70 : 구동 트랜지스터 80, 180 : 서브 화소전극

90, 190 : 메인 화소전극 100, 200 : 절연기판

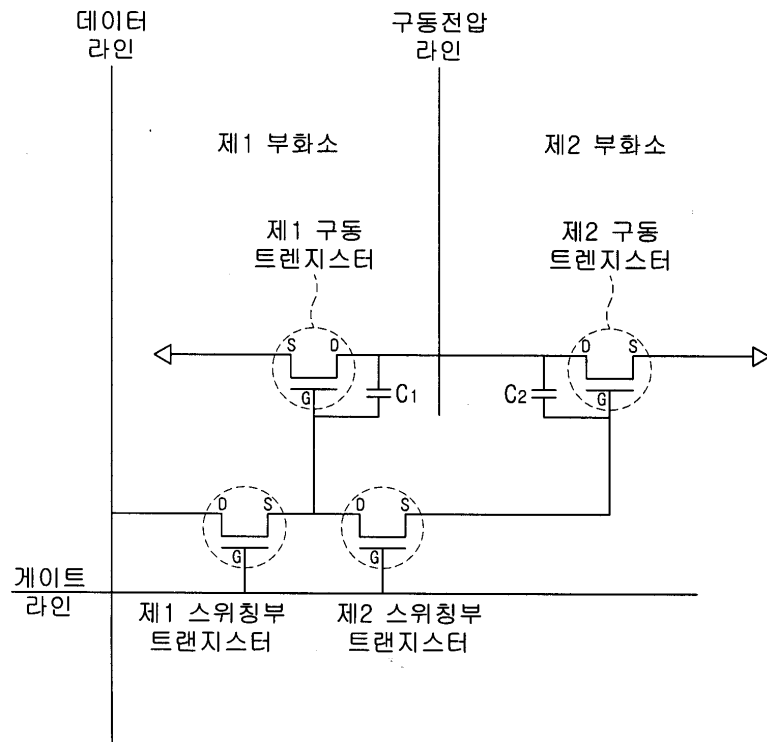
160, 170 : 박막 트랜지스터 210 : 블랙매트릭스

220 : 컬러필터 230 : 오버코트층

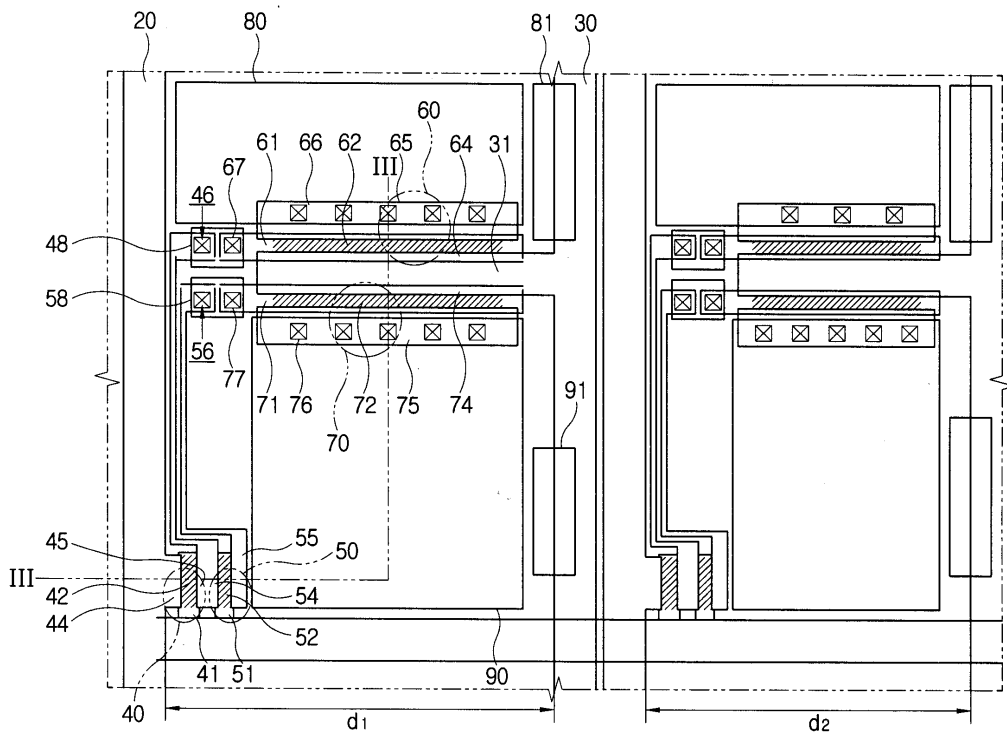
240 : 공통전극

도면

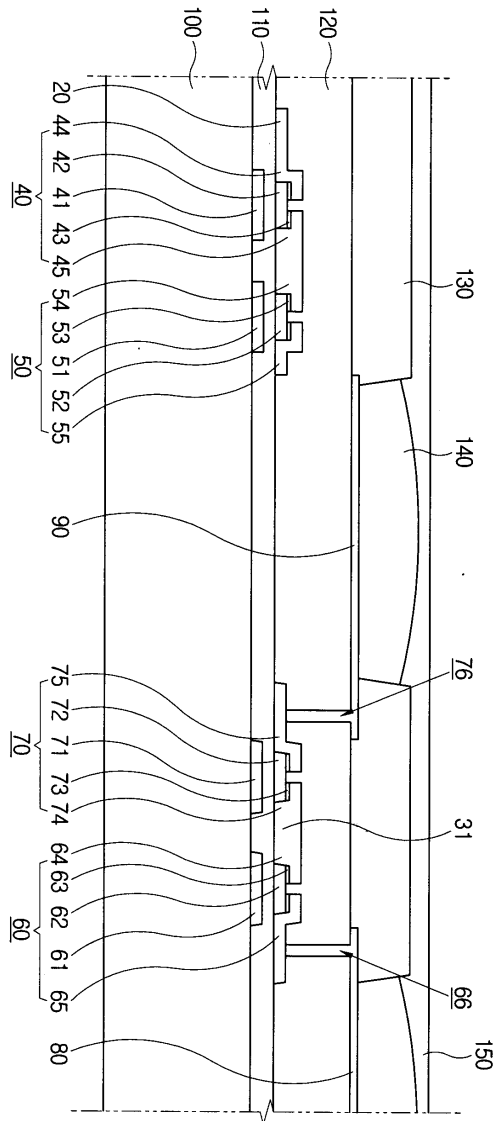
도면1



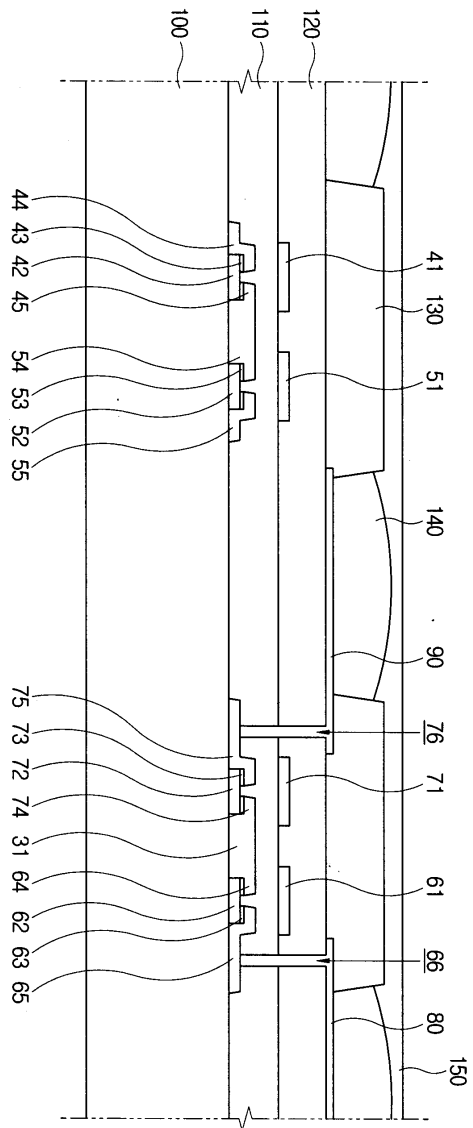
도면2



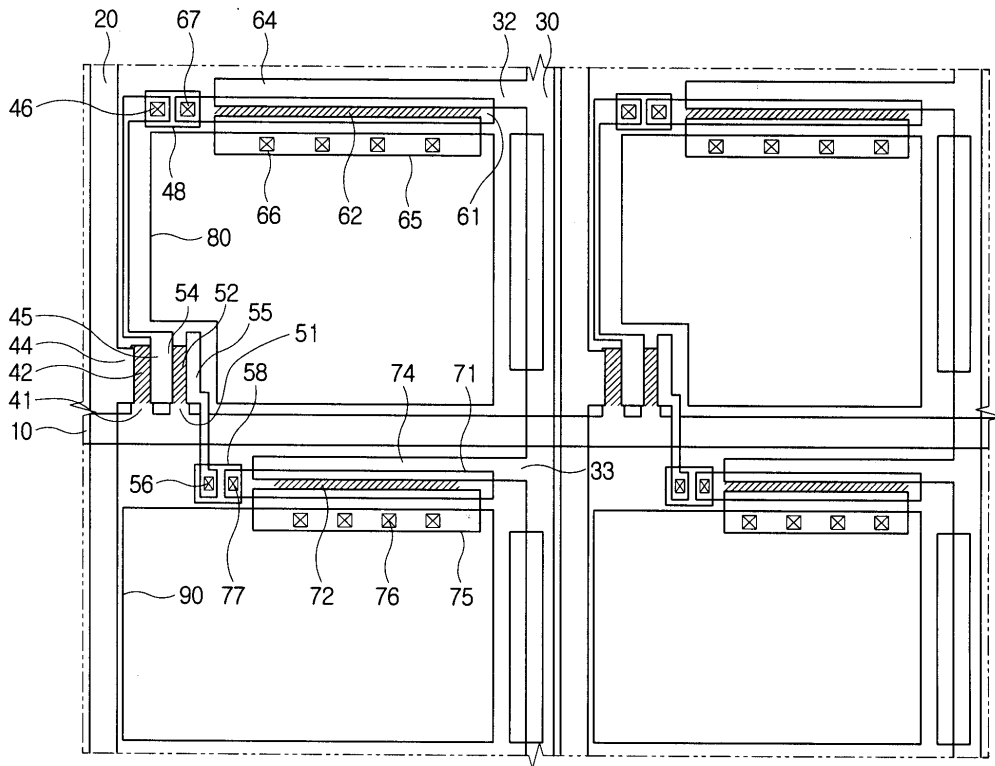
도면3



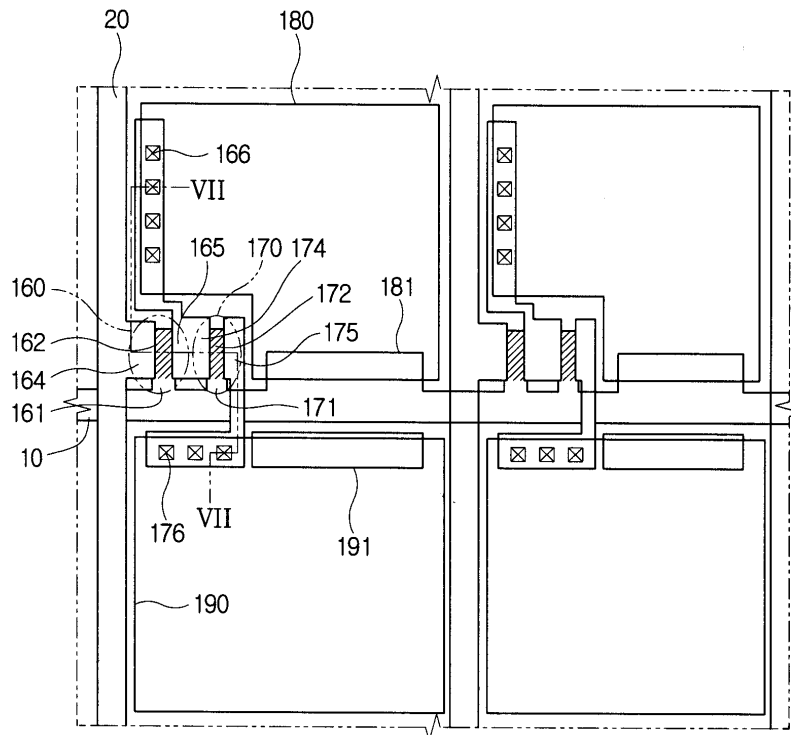
도면4



도면5

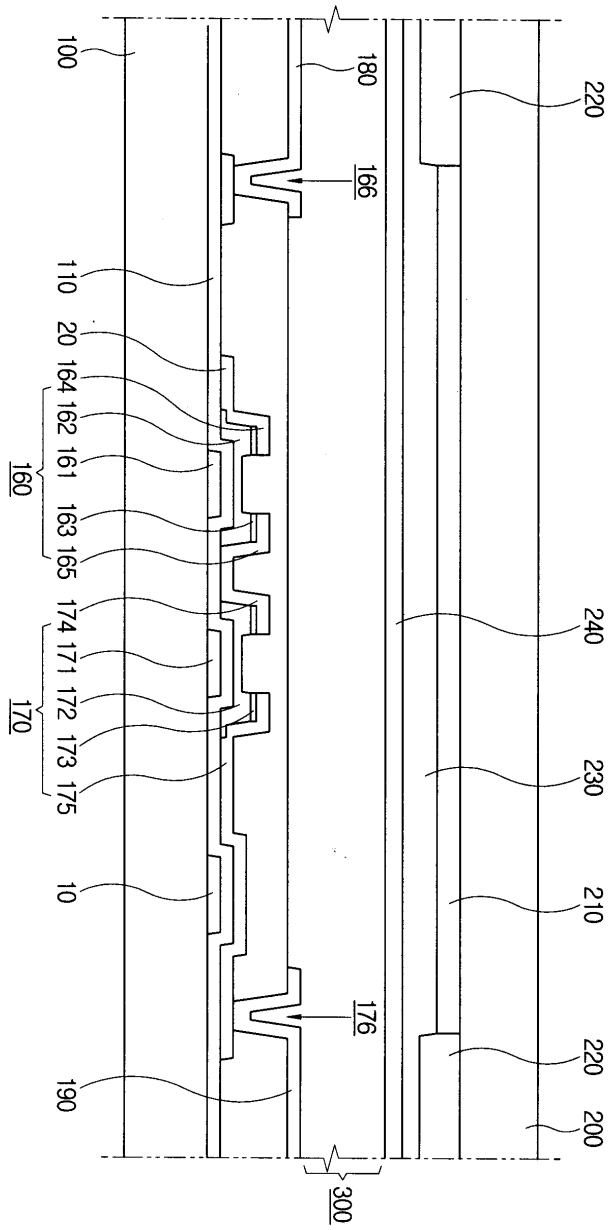


도면6

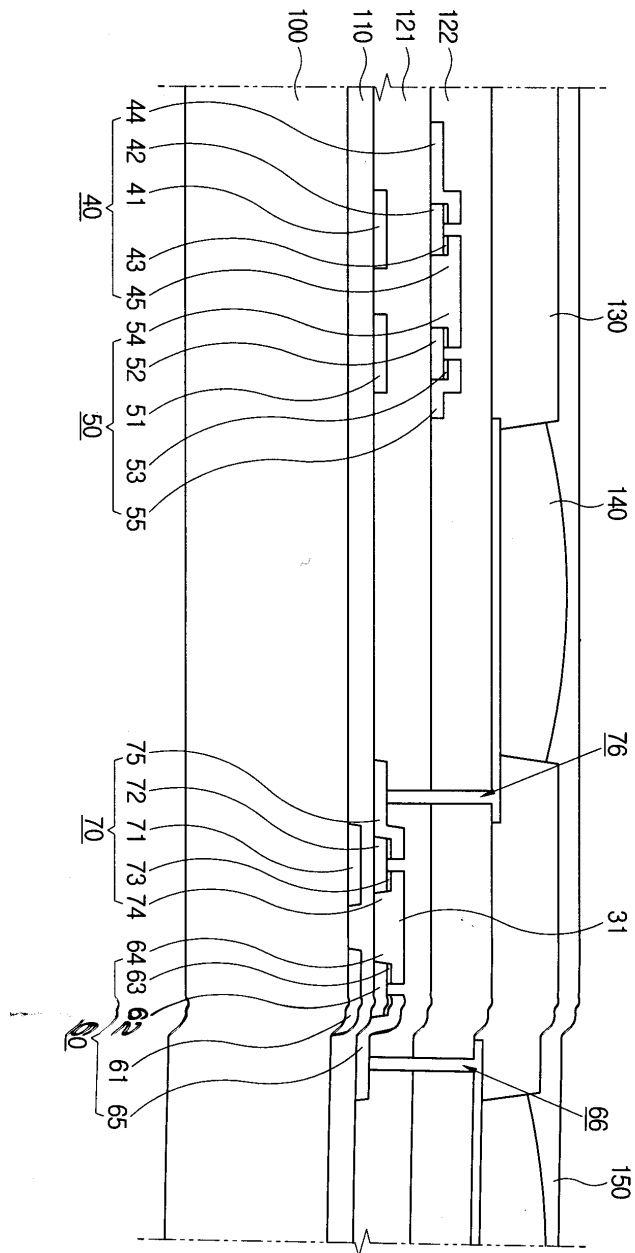




도면7



도면8



도면9

