

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-210957

(P2006-210957A)

(43) 公開日 平成18年8月10日(2006.8.10)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 23/50 (2006.01) HO 1 L 23/50 N 5 F O 6 7

審査請求 有 請求項の数 2 O L (全 33 頁)

(21) 出願番号	特願2006-129326 (P2006-129326)	(71) 出願人	000005223 富士通株式会社
(22) 出願日	平成18年5月8日(2006.5.8)		神奈川県川崎市中原区上小田中4丁目1番1号
(62) 分割の表示	特願平10-48080の分割	(74) 代理人	100070150 弁理士 伊東 忠彦
原出願日	平成10年2月27日(1998.2.27)		
(31) 優先権主張番号	特願平9-44227	(72) 発明者	川島 豊茂 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(32) 優先日	平成9年2月27日(1997.2.27)	(72) 発明者	佐藤 光孝 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	藤沢 哲也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の実装構造

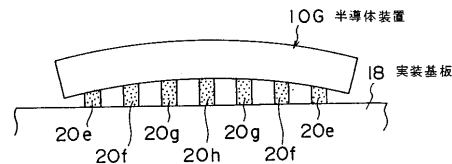
(57) 【要約】

【課題】本発明は実装密度を向上させるためリードの一部のみをパッケージの壁面に露出させた構成の半導体装置の実装構造に関し、半導体装置と実装基板との熱線膨張率差により発生する応力を緩和することにより、実装性及び信頼性の向上を図ることを課題とする。

【解決手段】複数設けられたリードの一端側が半導体チップと電気的に接続されると共に他端側がパッケージの壁面に露出して外部端子16bから16eを形成し、かつこの外部端子16bから16eを除く他の部分はパッケージ17に封止された構成とされた半導体装置10Cをはんだを用いて実装基板18に実装する半導体装置の実装構造であって、この半導体装置10Cに発生する反り量が大なる位置に配設されるはんだ(20h, 20g)の配設量を、半導体装置10Cに発生する反り量が小なる位置(20f, 20e)に配設されるはんだの配設量に比べて多く設定する。

【選択図】 図16

本発明の第9実施例である半導体装置の実装構造を説明するための図



【特許請求の範囲】

【請求項 1】

半導体チップと電氣的に接続されると共にパッケージの底面に露出して外部端子を形成する複数のリードを有する半導体装置を、軟質接合材を用いて前記実装基板に実装する半導体装置の実装構造であって、

前記半導体装置に発生する反り量が大きなる位置に配設される前記軟質接合材の配設量を、前記半導体装置に発生する反り量が小なる位置に配設される前記軟質接合材の配設量に比べて多く設定したことを特徴とする半導体装置の実装構造。

【請求項 2】

請求項 1 記載の半導体装置の実装構造であって、

前記軟質接合材としてはんだを用いたことを特徴とする半導体装置の実装構造。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の実装構造に係り、特に実装密度を向上させるためリードの一部のみをパッケージの壁面に露出させた構成の半導体装置の実装構造に関する。

【0002】

近年の電子機器の小型化、高速化、更には高機能化に伴い、それらに用いられる半導体装置についても同様の要求がある。

【0003】

また、このような半導体装置自体に対する要求に加え、半導体装置を基板に実装する時の信頼性の向上も望まれている。即ち、半導体装置の実装時には加熱処理が行われるため、半導体装置と実装基板の熱線膨張率差に起因して熱応力が発生するおそれがある。

20

【0004】

そこで、半導体装置の小型化及び実装時における信頼性の向上を共に実現しうる半導体装置が望まれている。

【背景技術】

【0005】

図 37 は従来における半導体装置 10 の斜視図であり、図 38 は図 37 における A - A 線に沿う断面図である。この半導体装置 1 は、本出願人が先に提案した半導体装置であり、特許文献 1 及び特許文献 2 に開示されたものである。

30

【0006】

各図に示す半導体装置 1 は、半導体チップ 2、この半導体チップ 2 を封止する樹脂パッケージ 3、夫々の一端部 4 a が半導体チップ 2 とワイヤ 5 により接続されると共に他端側がパッケージ 3 の底面 3 a (壁面) に露出して外部端子 6 を形成するリード 4、半導体チップ 2 が搭載されるステージ 7 等により構成されている。即ち、半導体装置 10 では、リード 4 の外部端子 6 を除く他の部分はパッケージ 3 内に封止された構成とされている。

【0007】

上記構成とされた半導体装置 1 では、リード 4 の内、外部端子 6 となる部分が樹脂パッケージ 3 の底面 3 a に露出した構成となるため、リード 4 のパッケージ 3 より側方への張り出し量を短くでき、これにより実装密度の向上を図ることができる。また、リードの張り出し部の曲げ加工が不要であり、この曲げ加工用の金型も不要となり、製造コストの低減を図ることができる等の種々の効果を奏するものである。

40

【特許文献 1】特開昭 63 - 15453 号公報

【特許文献 2】特開昭 63 - 15451 号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、半導体装置 1 とこれを実装する実装基板とは材質が異なっているため、その熱線膨張率も異なっている。また、半導体装置 1 を実装基板 8 に実装する時には、例えば

50

はんだリフロー処理等の加熱処理が実施され、図38に示されるように、外部端子6は実装基板8にはんだ9を用いて接合される。従って、実装時において加熱処理を行った場合、上記熱線膨張率の差に起因して外部端子6と実装基板8との間に応力が発生する。

【0009】

この応力は、従来から一般的に用いられているリードがパッケージから外方に長く延出した構成のパッケージ構造、即ちSOP (Small Outline Package), QFP (Quad Flat Package) 等のパッケージ構造の場合には特に問題となるようなことはなかった。これは、リードがパッケージから外方に長く延出したパッケージ構造では、金属製のリードがバネとして機能するため、熱線膨張率差に起因した応力が印加されてもリードが弾性変形することにより応力が吸収されることによる。

10

【0010】

これに対し、図37及び図38に示す半導体装置1は、リード4の外部端子6を除く他の部分はパッケージ3内に封止された構造となっているため、上記の応力をリード4の弾性変形で逃がすことはできない。このため、半導体装置1と実装基板8との熱線膨張率差により発生する応力は、特に半導体装置1と実装基板との接合部分に印加され、最悪の場合には接合部に配設されたはんだ9に損傷が生じたり、またパッケージ17にクラックが発生したりするおそれがある。

【0011】

一方、図39は半導体装置1の外部端子6を拡大して示しており、また図40は図39におけるB-B断面であり、はんだ9による接合部分を拡大して示している。

20

【0012】

ところで、通常図37乃至図40に示される樹脂封止型の半導体装置1を製造する場合、樹脂封止工程を実施した後、リードフレームに対して表面処理(メッキ処理)を行い、その後リードの成形工程(プレス処理)を実施する。このプレス処理により、切断面においてはリードフレームの基材が露出した状態となり、よって表面処理がされていない状態となる。

【0013】

このため、はんだ9を用いて半導体装置1を基板8に接合する際、メッキ処理が行われていない部分ははんだ9の濡れ性が低下するため、図40(A)に示されるように、切断面6aにおいてははんだ9は実装されない状態となる。これに対し実装性が高い望ましい実装構造は、図40(B)に示されるように、外部端子6のパッケージ3から露出している部分を全てはんだ9で覆うような構造である。当然、はんだ9が外部端子6と接合している面積は実装強度に比例することとなり、よってメッキ処理が行われていない部分が增大すると、外部端子6と基板8との実装性が低下してしまう。

30

【0014】

このように、従来の半導体装置1は小型化及び低コスト化を図ることができるものの、実装性及び信頼性が低下する可能性があるという問題点があった。

【0015】

本発明は上記の点に鑑みてなされたものであり、半導体装置と実装基板との熱線膨張率差により発生する応力を緩和することにより、実装性及び信頼性の向上を図った半導体装置の実装構造を提供することを目的とする。

40

【課題を解決するための手段】

【0016】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

【0017】

請求項1記載の発明では、

半導体チップと電氣的に接続されると共にパッケージの底面に露出して外部端子を形成する複数のリードを有する半導体装置を、軟質接合材を用いて前記実装基板に実装する半導体装置の実装構造であって、

50

前記半導体装置に発生する反り量が大なる位置に配設される前記軟質接合材の配設量を、前記半導体装置に発生する反り量の小なる位置に配設される前記軟質接合材の配設量に比べて多く設定したことを特徴とするものである。

【0018】

また、請求項2記載の発明では、
前記請求項1記載の半導体装置であって、
前記軟質接合材としてはんだを用いたことを特徴とするものである。

【0019】

上記の各手段は、次のように作用する。

【0020】

請求項1載の発明によれば、

半導体装置に発生する反り量が大なる位置に配設される軟質接合材の配設量を、半導体装置の反り量の小なる位置に配設される軟質接合材の配設量に比べて多く設定したことにより、半導体装置に反りが発生しても確実に半導体装置を実装基板に実装することができる。

【0021】

ここで、半導体装置に反りが発生した時の実装基板と半導体装置との状態を考察する。いま、半導体装置が上に凸の湾曲形状に反ったとすると、実装基板と半導体装置との離間距離は中央部が最も離間し、両端部に向かうにつれて離間距離は小さくなる。逆に、半導体装置が下に凸の湾曲形状に反ったとすると、実装基板と半導体装置との離間距離は両端部が最も離間し、中央に向かうにつれて離間距離は小さくなる。

【0022】

一方、半導体装置の外部端子数に対応して複数個設けられる軟質接合材の実装後における形状は、各軟質接合材の配設量を全て等しくした構成を想定すると、実装基板と半導体装置との離間距離が大きいと軟質接合材は引き伸ばされた状態となりその断面積は小さくなり、逆に実装基板と半導体装置との離間距離が小さいと断面積は大きくなる。従って、実装基板と半導体装置との離間距離が最も大きい位置、即ち半導体装置が上に凸の湾曲形状に反った場合には中央部において、また半導体装置が下に凸の湾曲形状に反った場合には両端部において、軟質接合材の断面積が細くなり電氣的接続不良が発生するおそれがある。

【0023】

しかるに、半導体装置に発生する反り量が大なる位置に配設される軟質接合材の配設量を、半導体装置の反り量の小なる位置に配設される軟質接合材の配設量に比べて多く設定することにより、半導体装置に反りが発生しても軟質接合材の配設位置に拘わらず（中央部，両端部に拘わらず）軟質接合材の断面積を均一化することができ、よって確実に半導体装置を実装基板に実装することができる。

【0024】

また、請求項2記載の発明によれば、

軟質接合材としてはんだを用いることにより、半導体装置と実装基板の熱線膨張率に起因して発生する熱応力の緩和、及び半導体装置と実装基板との接合性の向上を図ることができる。

【0025】

即ち、はんだは半導体装置を実装基板に接合する接合部材として一般に用いられているものであり、その接合性には実績を有している。また周知のように、はんだは軟質な金属であるため、変形することにより半導体装置と実装基板の熱線膨張率に起因して発生する熱応力を吸収することができる。特に、はんだは融点が高いため、熱応力が問題となる加熱時には軟化しており、有効に熱応力を吸収することができる。従って、軟質接合材としてはんだを用いることにより、熱応力の緩和と接合性の向上を共に図ることができる。

【発明の効果】

【0026】

10

20

30

40

50

上述の如く本発明によれば、下記のような種々の効果を実現できる。

【0027】

請求項1記載の発明によれば、半導体装置に反りが発生しても確実に半導体装置を実装基板に実装することができる。

【0028】

また、請求項2記載の発明によれば、軟質接合材としてはんだを用いることにより、半導体装置と実装基板の熱線膨張率に起因して発生する熱応力の緩和及び半導体装置と実装基板との接合性の向上を図ることができる。

【発明を実施するための最良の形態】

【0029】

次に、本発明を実施するための最良の形態について図面と共に説明する。

【0030】

図1乃至図3は本発明の第1実施例である半導体装置10を示しており、図1は半導体装置10の横断面を、図2は半導体装置10の外観を、図3は半導体装置10の底面を夫々示している。以下、各図を用いて半導体装置10の構成について説明する。

【0031】

図1に示されるように、半導体チップ11はステージ12に固着されている。この半導体チップ11は、例えばメモリチップ用のチップであり、その形状は比較的大きな形状を有している。また、この半導体チップ11に設けられている電極パッド13は、チップ上面の中央位置に長手方向に沿って形成されている。

【0032】

また、同図において14は複数のリードであり、その一端側14aと半導体チップ11の電極パッド13とは、ワイヤ15により接続されている。また、リード14は、半導体装置10の高さ方向(図中、矢印Hで示す方向)に対し折曲形成されており、図1に示すように側部より見て略Z形状(或いは逆Z形状)とされている。よって、リード14は上記の一端側14aより先ず水平方向(図中、矢印Gで示す方向)に延出した後、下方へ延出し、再び他端側が水平となる形状を有している。尚、後に詳述するように、リード14の上記した一端側14aと異なる側の端部は外部端子16を構成する。

【0033】

一方、各図において17は樹脂製のパッケージであり、その内部に前記した半導体チップ11、ワイヤ15、及び複数のリード14は封止され保護される。このパッケージ17は、平面的に見て半導体チップ11の面積と略等しい面積を有するよう構成されており(いわゆる、チップサイズパッケージ化がされており)、よって小型化が図られている。

【0034】

また、上記したリード14の内、外部端子16の露出面16aはパッケージ17の底面部17aに露出するよう構成されている。更に、外部端子16にはパッケージ17の底面部17a(壁面)より突出するよう形成されたリード側突出部19が形成されている。そして、このリード側突出部19が形成された外部端子16を実装基板18(図4参照)に半田付けすることにより、半導体装置10は実装基板18に実装される。

【0035】

外部端子16の露出面16aをパッケージ17の底面部17aに対して露出させる方法としては、パッケージ17を樹脂モールドする際用いる金型に外部端子16を直接当接させることにより樹脂に覆われないようにすること等が考えられ、比較的容易に形成することができる。

【0036】

また、リード側突出部19をパッケージ17の底面部17a(壁面)より突出するよう形成する方法としては、本実施例ではパッケージ17を成形した状態においてパッケージ17の側方にリード14の一部が延出するよう構成しておき、このパッケージ17より延出した部分を折曲形成することによりリード側突出部19を形成する方法を用いている。

【0037】

10

20

30

40

50

この方法により形成されるリード側突出部 19 は、リード 14 と一体的な構成となり、別個に部品を必要としないためコストの低減を図ることができる。更に、上記の方法によればパッケージ 17 を成形する際に用いる金型は従来と同様のものを用いることができるため、金型コストの低減を図ることもできる。

【0038】

ここで、半導体装置 10 の構成上の特徴について説明する。図 1 に示すように、半導体装置 10 は、内設された複数のリード 14 がパッケージ 17 内で高さ方向 H に対し、その略全部が半導体チップ 11 と重なり合った構造を有している。即ち、リード 14 と半導体チップ 11 はパッケージ 17 内で平面的に見てオーバーラップした構造を有している。

【0039】

いま、各リード 14 の水平方向（矢印 G 方向）の長さを L_1 とすると、上記リード 14 と半導体チップ 11 のオーバーラップ量 L_2 は、 $L_2 = 2 \times L_1$ で表すことができる。また前記のように、パッケージ 17 は平面的に見て半導体チップ 11 の面積と略等しい面積を有するよう構成されているため、よって半導体チップ 11 の長さを L_3 とすると半導体装置 10 の水平方向の長さも略 L_3 となる。

【0040】

これに対して、図 20 及び図 21 で示した従来構成の半導体装置 1 の構造ではパッケージ 3 の寸法 L_4 は、大略半導体チップ 11 の長さ L_3 にリード 14 の長さ $2 \times L_1$ を加算した値となる（ $L_4 = L_3 + 2 \times L_1$ ）。即ち、半導体装置 10 は、従来構成の半導体装置 1 に比べて上記オーバーラップ量 L_2 だけ小型化を図ることができる。

【0041】

このように、半導体装置 10 は、従来構成の半導体装置 1 に比べて大幅に小型化ができるため、実装基板に対する実装効率を向上させることができ、延いては半導体装置 10 を搭載する機器類の小型化、高性能化を図ることが可能となる。続いて、上記構成を有する半導体装置 10 を実装基板 18 に実装する実装構造上の特徴について図 4 を用いて説明する。図 4 (A) は半導体装置 10 のリード側突出部 19 近傍を拡大して示す図であり、図 4 (B) は半導体装置 10 を実装基板 18 に実装した状態を示している。

【0042】

尚、図 4 では説明及び図示の便宜上、半導体チップ 11 とリード 14 とのオーバーラップ量が少ない構成を図示している。また、図 4 に示す半導体装置 10 はステージ 12 がパッケージ 17 から露出した構成となっており、放熱性の向上が図られている。

【0043】

前記したように、本実施例に係る半導体装置 10 は、外部端子 16 にパッケージ 17 の底面部 17a より突出するリード側突出部 19 が形成されている。このリード側突出部 19 を設けることにより、リード側突出部 19 を設けない従来構成の半導体装置 1（図 20、図 21 参照）に比べ、実装基板 18 に対し半導体装置 10 を高い信頼性を持って実装することが可能となる。以下、その理由について説明する。

【0044】

従来のようにリード側突出部 19 を設けない構成の半導体装置 1 では、半導体装置 1 を実装基板 7 に対し離間した状態に支持する構成が設けられていなかった。このため、図 38 に示されるように、半導体装置 1 と実装基板 8 との間に介装されて両者を接合するはんだ 9 の厚み（図 38 に矢印 t で示す）は薄くなっていた。

【0045】

これに対し、本実施例に係る半導体装置 10 のように外部端子 16 にパッケージ 17 の底面部 17a より突出するリード側突出部 19 を設けることにより、このリード側突出部 19 の突出高さ（図中、矢印 H_1 で示す）がはんだ 20（軟質接合材）の最低限の高さとして確保されることとなる。よって、リード側突出部 19 を設けることにより、従来の実装構造に比べて外部端子 16 に配設されるはんだ 20 の厚みを増大させることができる。

【0046】

一方、軟質接合材であるはんだ 20 は、半導体装置 10 を実装基板 18 に接合させる機

10

20

30

40

50

能を有すると共に、軟質であるために半導体装置 10 と実装基板 18 との間に介装される応力吸収部材としての機能も奏する。即ち、はんだ 20 は軟質な金属であるため、変形することにより半導体装置 10 と実装基板 18 の熱線膨張率に起因して発生する熱応力を吸収することができる。

【0047】

特に、はんだ 20 は融点が低いため、熱応力が問題となる加熱時には軟化しており、有効に熱応力を吸収することができる。また一方において、はんだ 20 は半導体装置を実装基板に接合する接合部材として用いられているものであり、その接合性には実績を有している。従って、軟質接合材としてはんだ 20 を用いることにより、熱応力の緩和と接合性の向上を共に図ることができる。

10

【0048】

また、このはんだ 20 の応力吸収機能は、はんだ 20 の厚さが大きくなる程増大する。従って、リード側突出部 19 を設けはんだ 20 の厚みを増大させることによりはんだ 20 の応力吸収機能を増大し、よって半導体装置 10 と実装基板 18 の熱線膨張率に起因して熱応力が発生しても、はんだ 20 によりこの熱応力を確実に吸収することが可能となる。これにより、半導体装置 10 と実装基板 18 との接合部における損傷及びパッケージにおけるクラック発生を防止でき、従って半導体装置 10 の実装性及び信頼性を向上させることができる。

【0049】

ここで、本発明者が実施したリード側突出部 19 の底面部 17 a からの突出量 H_1 と、半導体装置 10 を実装基板 18 に実装した時に発生する不良率との関係について図 5 を用いて説明する。図 5 は、縦軸に実装時の不良率を示し、横軸にリード側突出部 19 の底面部 17 a からの突出量 H_1 を示している。

20

【0050】

尚、実装時の不良率 (B) とは、リード側突出部 19 の高さが同一とされた複数個 (N) の半導体装置 10 を実装基板 18 に実装した際に、上記した個数 (N) に対し接合不良が発生した数 (n) の割合 ($B = (n / N) \times 100$) をいう。また、横軸にとったリード側突出部 19 の底面部 17 a からの突出量 H_1 は、リード 14 の厚さ寸法 (T) を基準として示している。

【0051】

図 5 から明らかなように、突出量 H_1 が $(0.4 \times T)$ 以上となった時 ($H_1 > 0.4 \times T$) に不良率 (B) は急激に減少していることが判る。これは、突出量 H_1 を $(0.4 \times T)$ 以上とすることにより、はんだ 20 の高さも大となり、前記した半導体装置 10 と実装基板 18 との間に発生する熱応力をはんだ 20 が有効に吸収することによる。よって、リード側突出部 19 の底面部 17 a からの突出量 H_1 を $(0.4 \times T)$ 以上となるよう設定することにより、接合部における損傷及びパッケージ 17 におけるクラック発生は防止され、半導体装置 10 と実装基板 18 とを高い信頼性を持って接合することができる。

30

【0052】

一方、リード側突出部 19 の底面部 17 a からの突出量 H_1 があまりに大きくなると、はんだ 20 の高さ方向 (図 1 における H 方向) の長さが大きくなり機械的強度が低下してしまう。従って、リード側突出部 19 の突出量 H_1 があまりに大きくなると半導体装置 10 と実装基板 18 との接合力が低下してしまい、やはり実装時における信頼性の低下を招いてしまう。はんだ 20 が高い信頼性を有して半導体装置 10 と実装基板 18 とを接合するためには、リード側突出部 19 の突出量 H_1 は $(3.0 \times T)$ 以下 (即ち、 $H_1 < 3.0 \times T$) であることが望ましい。

40

【0053】

従って、以上の結果を総括すると、リード側突出部 19 の底面部 17 a からの突出量 H_1 が、 $(0.4 \times T)$ 以上でかつ $(3.0 \times T)$ 以下の時、即ち $0.4 \times T < H_1 < 3.0 \times T$ の条件を満たすようリード側突出部 19 の底面部 17 a からの突出量 H_1 を設定することにより、半導体装置 10 と実装基板 18 の熱線膨張率に起因して発生する熱応力をはんだ 20 により有

50

効に吸収することができると共に、はんだ20に半導体装置10を実装基板18に接合するに足る所定の接合強度を持たせることができ、よって半導体装置10の実装性及び信頼性を向上させることができる。

【0054】

また、チップサイズパッケージ構造を有した半導体装置10において、一般に用いられるリード14の厚さ寸法Tは約 $50\mu\text{m}$ ($T = 50\mu\text{m}$)である。従って、このリード14の厚さ寸法Tを上記条件 ($0.4 \times T \leq H_1 \leq 3.0 \times T$) に代入すると、 $20\mu\text{m} \leq H_1 \leq 150\mu\text{m}$ となる。即ち、リード側突出部19の底面部17aからの突出量 H_1 を $20\mu\text{m} \sim 150\mu\text{m}$ に設定することにより、半導体装置10の実装性及び信頼性を向上させることができる。

10

【0055】

続いて、本発明の第2実施例について説明する。

【0056】

図6は本発明の第2実施例である半導体装置10A及びその実装構造を示している。図6(A)は半導体装置10Aのリード側突出部19A近傍を拡大して示す図であり、図6(B)は半導体装置10Aを実装基板18に実装した状態を示している。尚、同図に示す半導体装置10Aにおいて、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0057】

前記した第1実施例に係る半導体装置10では、リード側突出部19を形成するのに、パッケージ17を成形した後にリード14のパッケージ17から延出した部分を折曲形成する方法を採用していた。しかるにこの方法では、リード14の折曲時に過剰な折り曲げ力が印加されると、外部端子16がパッケージ17から剥離してしまうおそれがある。

20

【0058】

これに対し本実施例では、外部端子16の先端部をリード14の加工時に同時に折曲形成することによりリード側突出部19Aを形成することを特徴とするものである。この方法を用いることにより、パッケージ17の成形時には既にリード側突出部19Aは形成されているため、外部端子16がパッケージ17から剥離するようなことはない。また、リード側突出部19Aはリード加工時に同時に形成されるため、容易かつ効率的にリード側突出部19Aを形成することができる。

30

【0059】

また、本実施例においても第1実施例と同様に、リード側突出部19Aの底面部17aからの突出量 H_1 は、リード14の厚さ寸法をTとした場合、 $0.4 \times T \leq H_1 \leq 3.0 \times T$ の条件を満たすよう設定されている。また、具体的な寸法としては、突出量 H_1 は $20\mu\text{m} \sim 150\mu\text{m}$ の間となるよう設定されている。

【0060】

従って、第1実施例に係る半導体装置10を実装する時と同様に、半導体装置10Aと実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができる、かつ半導体装置10Aを実装基板18に接合させる所定の接合強度をはんだ20に持たせることができ、よって半導体装置10Aの実装性及び信頼性を向上させることができる。

40

【0061】

尚、本実施例において採用したパッケージ17を成形する前にリード側突出部19Aが形成される方法では、単に従来からの金型を用いてパッケージ17を成形するのでは、外部端子16及びリード側突出部19Aが樹脂により覆われてしまう。

【0062】

しかるに、これを防止し外部端子16の露出面16aをパッケージ17の底面部17aに露出させるには、金型のリード側突出部19Aと対向する位置に予め凹部を形成しておけばよい。これにより、樹脂モールド時においてリード側突出部19Aは凹部内に位置し、よって外部端子16の露出面16aは金型と直接当接した状態となるため、露出面16

50

a 及びリード側突出部 19 A をパッケージ 17 から露出させることができる。

【0063】

続いて、本発明の第3実施例について説明する。

【0064】

図7は本発明の第3実施例である半導体装置10B及びその実装構造を示している。図7(A)は半導体装置10Bのリード側突出部19B近傍を拡大して示す図であり、図7(B)は半導体装置10Bを実装基板18に実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0065】

前記した第1及び第2実施例に係る半導体装置10, 10Aでは、リード側突出部19, 19Aをパッケージ17の底面部17aから突出させるのに、リード14に対し折曲形成を行っていた。これに対し本実施例では、外部端子16にプレス加工を行うことにより、リード側突出部19Bを形成したことを特徴とするものである。

【0066】

この方法を用いることにより、第2実施例と同様にパッケージ17の成形時には既にリード側突出部19Bは形成されているため、外部端子16がパッケージ17から剥離するようなことはない。また、リード側突出部19Bはリード加工時に同時に形成することが可能であり、容易かつ効率的にリード側突出部19Bを形成することができる。

【0067】

また、本実施例においても第1及び第2実施例と同様に、リード側突出部19Bの底面部17aからの突出量 H_1 は、リード14の厚さ寸法を T とした場合、 $0.4 \times T < H_1 < 3.0 \times T$ の条件を満たすように、また、具体的な寸法としては、突出量 H_1 は $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。

【0068】

従って、第1及び第2実施例に係る半導体装置10, 10Aを実装する時と同様に、半導体装置10Bと実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができ、かつ半導体装置10Bを実装基板18に接合するに足る所定の接合強度をはんだ20に持たせることができ、よって半導体装置10Bの実装性及び信頼性を向上させることができる。

【0069】

続いて、本発明の第4実施例について説明する。

【0070】

図8は本発明の第4実施例である半導体装置10C及びその実装構造を示している。図8(A)は半導体装置10Cの外部端子16近傍を拡大して示す図であり、図8(B)は半導体装置10Cを実装基板18Aに実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0071】

前記した第1乃至第3実施例に係る半導体装置10, 10A, 10Bでは、リード側突出部19, 19A, 19Bをリード14に形成することにより、実装時におけるはんだ20の厚さを大きくする構成とした。これに対し本実施例では、半導体装置10Cにリード側突出部19, 19A, 19Bは形成されておらず、その代わりに実装基板18Aにスペーサ部21を形成したことを特徴とするものである。

【0072】

このように、実装基板18Aにスペーサ部21を形成することにより、半導体装置10Cを実装基板18Aの表面に対し離間した状態で支持することが可能となり、半導体装置10Cと実装基板18Aとの間に形成された離間部分にはんだ20を配設することができる。

【0073】

10

20

30

40

50

このスペーサ部 21 の実装基板 18 A の表面からの突出量 H_4 は、リード 14 の厚さ寸法を T とした場合、 $0.4 \times T < H_4 < 3.0 \times T$ の条件を満たすように、また具体的な寸法としては $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。

【0074】

上記構成とされたスペーサ部 21 を実装基板 18 A に形成することにより、このスペーサ部 21 の高さのはんだ 20 の最低限の高さとして確保されることとなる。よって、スペーサ部 21 を設けることにより、はんだ 20 の厚みを増大させることができる。

【0075】

従って、第 1 乃至第 3 実施例に係る半導体装置 10, 10 A, 10 B を実装する時と同様に、半導体装置 10 C と実装基板 18 A の熱線膨張率に起因して発生する熱応力をはんだ 20 により有効に吸収することができ、かつ半導体装置 10 C を実装基板 18 A に接合するに足る所定の接合強度をはんだ 20 に持たせることができるため、半導体装置 10 C の実装性及び信頼性を向上させることができる。

【0076】

続いて、本発明の第 5 実施例について説明する。

【0077】

図 9 は本発明の第 5 実施例である半導体装置 10 D 及びその実装構造を示している。図 9 (A) は半導体装置 10 D の外部端子 16 近傍を拡大して示す図であり、図 9 (B) は半導体装置 10 D を実装基板 18 に実装した状態を示している。尚、同図においても、既に説明した半導体装置 10 と同一構成部分については同一符号を付してその説明を省略する。

【0078】

前記した第 4 実施例に係る半導体装置 10 C 及びその実装構造では、実装基板 18 A にスペーサ部 21 を形成することにより、実装時におけるはんだ 20 の厚さを大きくする構成とした。これに対し本実施例では、半導体装置 10 D を構成するパッケージ 17 の底面部 17 a に下方に向け突出したパッケージ側突出部 22 を形成したことを特徴とするものである。

【0079】

このパッケージ側突出部 22 はパッケージ 17 の成形時に同時に形成されるものであり、よってパッケージ側突出部 22 はパッケージ 17 と一体的な構成とされている。よって、パッケージ側突出部 22 の形成は容易であり、かつ半導体装置 10 の製造工程を増やすことなく形成することができる。

【0080】

上記のように、パッケージ 17 にパッケージ側突出部 22 を形成することにより、半導体装置 10 D を実装基板 18 の表面に対し離間した状態で支持することが可能となり、半導体装置 10 D と実装基板 18 との間に形成された離間部分にはんだ 20 を配設することができる。

【0081】

このパッケージ側突出部 22 の底面部 17 a からの突出量 H_2 は、リード 14 の厚さ寸法を T とした場合、 $0.4 \times T < H_2 < 3.0 \times T$ の条件を満たすように、また具体的な寸法としては $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。

【0082】

上記構成とされたパッケージ側突出部 22 を半導体装置 10 D (パッケージ 17) に形成することにより、このパッケージ側突出部 22 の高さのはんだ 20 の最低限の高さとして確保されることとなる。よって、パッケージ側突出部 22 を設けることにより、はんだ 20 の厚みを増大させることができる。

【0083】

従って、第 1 乃至第 4 実施例に係る半導体装置 10, 10 A ~ 10 C を実装する時と同様に、半導体装置 10 D と実装基板 18 の熱線膨張率に起因して発生する熱応力をはんだ 20 により有効に吸収することができ、かつ半導体装置 10 D を実装基板 18 に接合する

10

20

30

40

50

に足る所定の接合強度をはんだ20に持たせることが可能となり、よって半導体装置10Dの実装性及び信頼性を向上させることができる。

【0084】

続いて、本発明の第6実施例について説明する。

【0085】

図10は本発明の第6実施例である半導体装置10E及びその実装構造を示している。図10(A)は半導体装置10Eの外部端子16近傍を拡大して示す図であり、図10(B)は半導体装置10Eを実装基板18に実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

10

【0086】

前記した第1乃至第3実施例に係る半導体装置10, 10A, 10Bでは、リード側突出部19, 19A, 19Bをリード14に形成することにより、実装時におけるはんだ20の厚さを大きくする構成とした。これに対し本実施例では、リード14にリード側凹部23を形成することにより、実装時におけるはんだ20の厚さを大きくする構成としたことを特徴とするものである。

【0087】

本実施例では、略Z形状とされたリード14の折り曲がり部分を利用してリード側凹部23を形成しており、またリード側凹部23の形成部分においてはパッケージ17を構成する樹脂が配設されないよう構成している。即ち、リード側凹部23はパッケージ17から露出した構造となっている。

20

【0088】

上記のように、リード14にリード側凹部23を形成し、このリード側凹部23がパッケージ17から露出した構成とすることにより、半導体装置10Eを実装基板18に実装した状態においてリード側凹部23と実装基板18とは対向離間した状態となり、この離間部分にはんだ20を配設することが可能となる。

【0089】

このリード側凹部23の底面部17aからの窪み量を H_3 は、リード14の厚さ寸法を T とした場合、 $0.4 \times T < H_3 < 3.0 \times T$ の条件を満たすように、また具体的な寸法としては $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。

30

【0090】

上記構成とされたリード側凹部23を設けることにより、このリード側凹部23の窪み量を H_3 がはんだ20の最低限の高さとして確保されることとなる。よって、リード側凹部23を設けることにより、はんだ20の厚みを増大させることができる。

【0091】

従って、上記した各実施例に係る半導体装置10, 10A~10Dを実装する時と同様に、半導体装置10Eと実装基板18の熱線膨張率に起因して発生する熱応力をはんだ20により有効に吸収することができ、かつ半導体装置10Eを実装基板18に接合するに足る所定の接合強度をはんだ20に持たせることが可能となり、よって半導体装置10Eの実装性及び信頼性を向上させることができる。

40

【0092】

続いて、本発明の第7実施例について説明する。

【0093】

図11は本発明の第7実施例である半導体装置10F及びその実装構造を示している。図11(A)は半導体装置10Fの外部端子16近傍を拡大して示す図であり、図11(B)は半導体装置10Fを実装基板18に実装した状態を示している。尚、同図においても、既に説明した半導体装置10と同一構成部分については同一符号を付してその説明を省略する。

【0094】

前記した第6実施例に係る半導体装置10Eでは、略Z形状とされたリード14の折り

50

曲がり部分を利用してリード側凹部 23 を形成し、これにより実装時におけるはんだ 20 の厚さを大きくする構成とした。これに対し本実施例では、リード 14 にエッチング加工を実施することによりリード側凹部 23 A を形成し、実装時におけるはんだ 20 の厚さを大きくする構成としたことを特徴とするものである。

【0095】

このリード側凹部 23 A を形成するには、先ず外部端子 16 の部分のみリード材が 2 層構造となるよう構成しておき（即ち、2 枚のリード材が重ね合わされた状態に接合しておき）、その後図 11 (A) に符号 26 で示す部分を残して下層のリード材をエッチング加工により除去する。これにより、リード 14 に窪んだ形状のリード側凹部 23 A を形成することができる。

10

【0096】

尚、エッチング加工のタイミングは、リード 14 の形成時に実施しても、またパッケージ 17 を形成した後に実施してもよい。また、リード側凹部 23 A の形成は、上記したエッチング加工による方法の他に、例えばプレス加工（塑性加工）を実施することによっても形成することができる。

【0097】

上記のように、リード 14 にリード側凹部 23 A を形成し、このリード側凹部 23 A がパッケージ 17 から露出した構成とすることにより、半導体装置 10 F を実装基板 18 に実装した状態においてリード側凹部 23 A と実装基板 18 とは対向離間した状態となり、この離間部分にはんだ 20 を配設することが可能となる。

20

【0098】

このリード側凹部 23 A の底面部 17 a からの窪み量 H_3 は、リード 14 の厚さ寸法を T とした場合、 $0.4 \times T < H_3 < 3.0 \times T$ の条件を満たすように、また、具体的な寸法としては、 $20 \mu\text{m} \sim 150 \mu\text{m}$ の間にあるように設定されている。

【0099】

上記構成とされたリード側凹部 23 A を設けることにより、このリード側凹部 23 A の窪み量を H_3 がはんだ 20 の最低限の高さとして確保されることとなる。よって、リード側凹部 23 A を設けることにより、はんだ 20 の厚みを増大させることができる。

【0100】

従って、上記した各実施例に係る半導体装置 10, 10 A ~ 10 E を実装する時と同様に、半導体装置 10 F と実装基板 18 の熱線膨張率に起因して発生する熱応力をはんだ 20 により有効に吸収することができ、かつ半導体装置 10 F を実装基板 18 に接合するに足る所定の接合強度をはんだ 20 に持たせることが可能となり、よって半導体装置 10 F の実装性及び信頼性を向上させることができる。

30

【0101】

図 12 は本発明の第 8 実施例である半導体装置 10 L 及びその実装構造を示している。図 12 (A) は半導体装置 10 L のリード側突出部 19 C 近傍を拡大して示す図であり、図 12 (B) は半導体装置 10 L を実装基板 18 に実装した状態を示す図であり、更に図 12 (C) はリード側突出部 19 C の形成方法の一例を示す図である。尚、同図に示す半導体装置 10 A において、既に説明した半導体装置 10 と同一構成部分については同一符号を付してその説明を省略する。

40

【0102】

本実施例に係る半導体装置 10 L は、図 12 (C) に示されるように、外部端子 16 の先端部をリード 14 の加工時に同時に略 U 字状に折曲形成し、リード側突出部 19 A がパッケージ 17 の底面部 17 a と対向するよう形成したことを特徴とするものである。

【0103】

この構成とされたリード側突出部 19 C は、略 U 字状の形状を有しているため、リード側突出部 19 C にバネ性を持たせることができる。即ち、はんだ接合が行われるリード側突出部 19 C とパッケージ 17 の底面部 17 a との間には空間部が形成され、よって応力が印加されてもリード側突出部 19 C はこの空間部内において可撓変形可能な構成となる

50

。よって、応力（熱応力）が印加されてもリード側突出部 19C が可撓変形することによりこの応力は吸収され、よってパッケージ 17 にクラックが発生することを有効に防止することができる。これにより、半導体装置 10L の実装性及び信頼性を向上させることができる。

【0104】

続いて、本発明の第9実施例について説明する。

【0105】

図13乃至図16は本発明の第9実施例である半導体装置の実装構造を説明するための図である。図13は比較例として従来の実装構造を示しており、図14ははんだ20の配設方法を示しており、図15は本実施例に係る外部端子16a~16eを示しており、更に図16は本実施例により半導体装置10Gが回路基板18に実装された状態を示している。

10

【0106】

前記した各実施例では、半導体装置10, 10A~10Fと実装基板18, 18Aとを接合するはんだ20の配設量は、夫々の半導体装置10, 10A~10Fに複数個配設される各外部端子16において、全て同量配設される構成とされていた。

【0107】

これに対し本実施例では、半導体装置10Gに発生する反り量が大なる位置に配設されるはんだ20dの配設量を、半導体装置10Gに発生する反り量が小なる位置に配設されるはんだ20aの配設量に比べて多く設定したことを特徴とする。この実装構造を採用することにより、半導体装置10Gに反りが発生しても、確実に半導体装置10Gを実装基板18に実装することが可能となる。以下、この理由について説明する。

20

【0108】

ここで、従来の実装構造において半導体装置10に反りが発生した時の実装基板18と半導体装置10との状態を考察する。

【0109】

いま、図13に示されるように、半導体装置10が上に凸の湾曲形状に反った場合を想定する。半導体装置10が上に凸の湾曲形状に反った場合、実装基板18と半導体装置10との離間距離は中央部が最も離間し、両端部に向かうにつれて離間距離は小さくなる。（尚、半導体装置10が下に凸の湾曲形状に反ったとすると、実装基板18と半導体装置10との離間距離は両端部が最も離間し、中央に向かうにつれて離間距離は小さくなる）

30

【0110】

一方、半導体装置10の外部端子16の数に対応して複数個設けられるはんだ20の実装後における形状は、前記のように従来では各外部端子16においてはんだ配設量は全て等しくしていたため、実装基板18と半導体装置10との離間距離が大きいとはんだ20は引き延ばされた状態となりその断面積は小さくなり（図中、符号20c, 20dで示す状態）、逆に実装基板18と半導体装置10との離間距離が小さいと断面積は大きくなる（図中、符号20a, 20bで示す状態）。

【0111】

従って、実装基板18と半導体装置10との離間距離が最も大きい位置、即ち図12に示す半導体装置10が上に凸の湾曲形状に反った場合では中央部においてはんだ20c, 20dの断面積が細くなり電氣的接続不良及び接合不良が発生するおそれがある。

40

【0112】

これに対し本実施例では、上記のように半導体装置10Gに発生する反り量が大なる位置に配設されるはんだ20g, 20hの配設量を、半導体装置10Gに発生する反り量が小なる位置に配設されるはんだ20e, 20fの配設量に比べて多くなるよう設定している。

【0113】

このように、半導体装置10Gの反り量に応じて配設されるはんだ20の配設量を可変

50

する方法としては次のような方法が考えられる。

【0114】

図14は、半導体装置10G(10)に設けられた外部端子16(同図には現れず)にはんだ20を配設する方法を示している。同図に示されるように、はんだ20を外部端子16に配設するには、一般に厚膜印刷法が用いられており、具体的には外部端子16の形成位置に対応する位置に開口を有したマスク25を用い、このマスク25上でスキージ24を移動させることによりはんだペースト27をマスク25に形成された開口を介して外部端子16の上部に印刷形成する。

【0115】

そこで本実施例では、図15に示されるように、半導体装置10Gに発生する反り量が 10
 大なる位置に配設される外部端子16d, 16eの形状を、半導体装置10Gの反り量が
 小なる位置に配設される外部端子16b, 16cの形状に比べて大きく設定すると共に、
 マスク25に形成される開口の面積をこれに対応して異ならせる構成とした。

【0116】

上記構成において、図14に示した厚膜印刷を実施すると、半導体装置10Gに発生す
 る反り量が小なる位置に配設されるはんだ20g, 20hの配設量を、半導体装置10G
 の反り量が小なる位置に配設されるはんだ20e, 20fの配設量に比べて多く設定す
 ることができる。

【0117】

従って、図16に示されるように半導体装置10Gに反りが発生しても、はんだ20e 20
 ~20hの配設位置に拘わらず(中央部, 両端部に拘わらず)はんだ20e~20hの断
 面積を均一化することができ、よって電氣的接続不良及び接合不良の発生を抑制するこ
 とができ確実に半導体装置10Gを実装基板18に実装することが可能となる。

【0118】

尚、上記した各実施例では、図3に示されるように、外部端子16が半導体装置10,
 10A~10Gの底面両端部に夫々一例に列設した構成を示した。しかるに、近年の半導
 体装置の高密度化に伴い外部端子数は増大する傾向にあり、よって図17に示される半導
 体装置10Hように、外側外部端子16Aと内側外部端子16Bとを千鳥状に配設するこ
 とが行われている。このような、外側外部端子16Aと内側外部端子16Bとを千鳥状に
 配設した半導体装置10Hにおいても、上記した各実施例を適用することは可能である。 30

【0119】

続いて、本発明の第10乃至第12実施例について図18乃至図20を用いて説明する
 。第10乃至第12実施例は、外部端子16とはんだ20(図示を省略)との接合強度を
 向上させることを目的としている。

【0120】

図18は第10実施例である半導体装置10Iを示しており、図18(A)は外部端子
 16の近傍を拡大して示しており、また図18(B)は外部端子16の露出面16aを示
 している。同図に示されるように、本実施例では外部端子16の露出面16aに多数の小
 径溝16-1を形成したことを特徴とするものである。

【0121】

このように、はんだ20と接合される露出面16aに多数の小径溝16-1を形成するこ
 とにより、露出面16aとはんだ20との接触面積を増大することができ、よってリード
 14とはんだ20との接合強度を向上させることができる。これにより、半導体装置10
 Iと実装基板18(図示せず)との実装信頼性を向上することができる。

【0122】

図19は第11実施例である半導体装置10Jを示しており、図19(A)は外部端子
 16の近傍を拡大して示しており、また図19(B)は外部端子16の露出面16aを示
 している。同図に示されるように、本実施例では外部端子16の露出面16aに多数の三
 角溝16-2を形成したことを特徴とするものである。

【0123】

40

50

このように、はんだ20と接合される露出面16aに多数の三角溝16-2を形成することによっても、露出面16aとはんだ20との接触面積を増大することができ、よってリード14とはんだ20との接合強度を向上させることが可能となる。

【0124】

尚、露出面16aに形成される溝形状は、前記した図18及び図19に示した構成に限定されるものではなく、露出面16aとはんだ20との接触面積を増大することができる形状であれば他の形状としてもよく、更に露出面16aの表面全体を粗面化した構成としてもよい。

【0125】

図20は、第12実施例である半導体装置10Kの外部端子16近傍を拡大して示す図である。同図に示されるように、本実施例では外部端子16の露出面16a及びこれと対向する内側面16fの双方に多数の三角溝16-2を形成したことを特徴とするものである。

10

【0126】

この構成とすることにより、露出面16aにおいては多数の三角溝16-2を形成することによりはんだ20との接触面積を増大することができ、よってリード14とはんだ20との接合強度を向上させることが可能となる。また、内側面16fにおいては多数の三角溝16-2を形成することによりパッケージ17との接触面積を増大することができ、よってリード14とパッケージ17との接合強度を向上させることができる。

【0127】

次に、本発明の第13実施例乃至第15実施例について、図21乃至図23を用いて説明する。

20

【0128】

図21は発明の第13実施例である半導体装置10Mを説明するための図である。図21(A)は半導体装置10Mの要部(リード側突出部19D)を拡大して示す図であり、また図21(B)はリード側突出部19Dの形成方法を説明するための図である。

【0129】

本実施例に係る半導体装置10Mも、リード14の外部端子16に配設されたリード側突出部19Dをパッケージ17の壁面より突出するよう形成している。更に、本実施例では、リード側突出部19Dの先端部における幅寸法(図中、W1で示す)をパッケージ17の壁面における幅寸法(図中、W2で示す)に対し小さくなるよう構成したことを特徴としている($W1 < W2$)。

30

【0130】

このように、リード側突出部19Dの先端部の幅寸法W1をパッケージ17の壁面における幅寸法W2に比べて小さく構成することにより、リード成形処理時における切断面19D-1(梨地で示す)の面積を小さくすることができる。

【0131】

前記したように、外部端子16にはリード成形処理前においてははんだメッキ処理が行われるため、プレス加工によりリードの切断処理が実施されると、メッキ膜が形成されていない切断面19D-1が露出することとなる。しかるに、本実施例の構成によれば、上記のように切断面19D-1の面積を小さくできるため、従来に比べてリード側突出部19Dに形成されるメッキ膜の被膜面積は増大する。

40

【0132】

よって、はんだとリード側突出部19Dとの濡れ性は良好となり、実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。この際、リード側突出部19Dの壁面における幅寸法W2と切断面19D-1の幅寸法の比は、 $W1 / W2 = 1 / 2 \sim 1 / 3$ となるよう構成することが望ましく、この範囲に設定することにより、はんだの濡れ性を最も良好とすることができる。

【0133】

上記構成とされたリード側突出部19Dを形成するには、図21(B)に示されるよう

50

に、リードフレーム 40A の外部端子 16 の形成位置に予め図示されるような形状（台形状）の貫通孔 41A を形成しておき、この貫通孔 41A が形成されたリードフレーム 40A にメッキ処理を行った上で、図中破線で示す位置でリードフレーム 40A を切断する。

【0134】

このように、外部端子 16 に予め貫通孔 41A を形成し、この貫通孔 41A の形成位置で外部端子 16（リードフレーム 40A）を切断してリード側突出部 19D を形成することにより、容易にかつ確実に $W1 < W2$ を有した形状のリード側突出部 19D を形成することができる。

【0135】

図 22 は発明の第 14 実施例である半導体装置 10N を説明するための図である。図 22 (A) は半導体装置 10N の要部（リード側突出部 19E）を拡大して示す図であり、また図 22 (B) はリード側突出部 19E の形成方法を説明するための図である。

【0136】

本実施例に係る半導体装置 10N もリード 14 の外部端子 16 に配設されたリード側突出部 19E をパッケージ 17 の壁面より突出するよう形成しており、またリード側突出部 19D の先端部を二股状に分岐した構成とすることにより、先端部における幅寸法（図中、 $W3$ で示す）がパッケージ 17 の壁面における幅寸法（図中、 $W2$ で示す）に対し小さくなるよう構成している（ $W1 < W3$ ）。

【0137】

このように、リード側突出部 19E の先端部の幅寸法 $W3$ をパッケージ 17 の壁面における幅寸法 $W2$ に比べて小さく構成することにより、リード成形処理時における切断面 19E-1（梨地で示す）の面積を小さくすることができる。

【0138】

よって、本実施例の構成とすることによっても切断面 19E-1 の面積を小さくできるため、従来に比べてリード側突出部 19E に形成されるメッキ膜の被膜面積は増大し、はんだとリード側突出部 19E との濡れ性は良好となり、実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。この際、本実施例においてもリード側突出部 19E の壁面における幅寸法 $W2$ と切断面 19E-1 の幅寸法（総和したもの）との比は、 $(W3 \times 2) / W2 = 1/2 \sim 1/3$ となるよう構成することが望ましく、この

【0139】

上記構成とされたリード側突出部 19E を形成するには、図 22 (B) に示されるように、リードフレーム 40B の外部端子 16 の形成位置に予め図示されるような形状（矩形形状）の貫通孔 41B を形成しておき、この貫通孔 41B が形成されたリードフレーム 40B にメッキ処理を行った上で、図中破線で示す位置でリードフレーム 40B を切断する。

【0140】

このように、外部端子 16 に予め貫通孔 41B を形成し、この貫通孔 41B の形成位置で外部端子 16（リードフレーム 40B）を切断してリード側突出部 19E を形成することにより、容易にかつ確実に $W3 < W2$ を有した形状のリード側突出部 19D を形成する

【0141】

図 23 は発明の第 15 実施例である半導体装置 10P を説明するための図である。図 23 (A) は半導体装置 10P の要部（リード側突出部 19F）を拡大して示す図であり、また図 23 (B) はリード側突出部 19F の形成方法を説明するための図であり、更に図 23 (C) は半導体装置 10P の変形例である半導体装置 10Q を示す図である。

【0142】

本実施例に係る半導体装置 10M も、リード 14 の外部端子 16 に配設されたリード側突出部 19F をパッケージ 17 の壁面より突出するよう形成している。更に、本実施例では、リード側突出部 19F の先端部における厚さ寸法（図中、 $T1$ で示す）をパッケージ

10

20

30

40

50

17の壁面における厚さ寸法(図中、T2で示す)に対し小さくなるよう構成したことを特徴としている(T1<T2)。

【0143】

このように、リード側突出部19Fの先端部の厚さ寸法T1をパッケージ17の壁面における厚さ寸法T2に比べて小さく構成することにより、リード成形処理時における切断面19F-1(梨地で示す)の面積を小さくすることができる。

【0144】

よって、本実施例の構成とすることによっても切断面19F-1の面積を小さくできるため、従来に比べてリード側突出部19Fに形成されるメッキ膜の被膜面積は増大し、ほとんどリード側突出部19Fとの濡れ性は良好となり、実装性及び半導体装置と実装基板との接合時における信頼性を向上させることができる。

【0145】

上記構成とされたリード側突出部19Fを形成するには、図23(B)に示されるように、リードフレーム40Cの外部端子16の形成位置にエッチング或いはプレス加工等により、内側(パッケージ側)から外側に向け厚さ寸法が小さくなる形状のテーパ部42(図23(A)参照)及び貫通孔41Cを形成しておく。そして、このテーパ部42及び貫通孔41Cが形成されたリードフレーム40Cにメッキ処理を行った上で、図中破線で示す位置でリードフレーム40Cを切断する。

【0146】

このように、外部端子16に予めテーパ部42及び貫通孔41Cを形成し、このテーパ部42の形成位置で外部端子16(リードフレーム40C)を切断してリード側突出部19Fを形成することにより、容易にかつ確実にT1<T2を有した形状のリード側突出部19Fを形成することができる。尚、テーパ部42の形成位置は、図23(A)に示されるように、外部端子16の下部位置に限定されるものではなく、図23(C)に示されるように、外部端子16の上部位置に形成する構成としてもよい。

【0147】

続いて、図24乃至図35を用いて、上記した各実施例に係る半導体装置の製造方法について説明する。

【0148】

尚、以下説明する半導体装置の製造方法は、半導体装置の本体部分(以下、装置本体という)を製造した後に実施されるホーニング工程、エッチング工程、めっき工程に特徴を有するものであり、装置本体の製造方法は前記した各公報に開示された方法を適用して製造できるため、以下の説明ではホーニング工程以下の工程についてのみ説明するものとする。

【0149】

また、図示及び説明の便宜上、図24乃至図35に示す装置本体90は、リード側突出部及びパッケージ側突出部が形成されていない構成を例に挙げているが、リード側突出部及びパッケージ側突出部が形成された半導体装置に対しても、以下説明する製造方法を適用することができることは勿論である。

【0150】

図24は、本実施例に係る半導体装置の製造方法の一例を示す工程図である。同図に示されるように、装置本体製造工程50が実施され、図25に示す半導体装置本体90が製造されると、ホーニング工程51、エッチング工程52、及びめっき工程53が順次実施されて半導体装置が製造される。尚、ここで半導体装置本体90とは、樹脂パッケージ17の形成処理及びリードフレームの切断処理が終了し、リード14に対する外装処理を残す状態の半導体装置をいうものとする。

【0151】

図25は、装置本体製造工程50が終了した状態の半導体装置本体90を示している。図25(A)は半導体装置本体90の要部断面図であり、また図25(B)はリード14の拡大図である。

10

20

30

40

50

【0152】

同図に示されるように、装置本体製造工程50が終了した時点では、リード14の実装側の面には不要積層体55が形成されている。この不要積層体55は、装置本体製造工程50で実施される種々の処理（加熱処理，封止処理等）において形成されるものであり、図25（B）に拡大して示すように、外側から樹脂バリ56，ガス吸着層57，酸化皮膜層58，ベイルビー層59，加工変質層60が順次リード14上に積層された構成となっている。また、その厚さは通常2～10μm程度となっている。

【0153】

後に説明するように、リード14の表面にはめっき工程において軟質接合材であるはんだめっき処理が実施されるが、上記の不要積層体55がリード14上に形成された状態ではんだめっき処理を実施しても、不要積層体55が存在するとはんだとの接合性は不良となる。よって、不要積層体55が存在するリード14にはんだめっきを施し、この半導体装置を実装基板に実装しても、不要積層体55の部分においてはんだとリード14との間に剥離が発生してしまう。よって、装置本体製造工程50が終了した後、ホーニング工程51，エッチング工程52を実施することにより、不要積層体55の除去処理を行う。

【0154】

図26及び図27は、ホーニング工程51を示す図である。このホーニング工程51では、水に研磨材を混入した構成の研磨液を被研磨位置に噴射することによりホーニング処理を行う。従来においても、このホーニング工程は実施されているが、従来では樹脂パッケージ17を形成する際に発生する樹脂バリ56を除去するためにのみ実施されていた。このため、従来では研磨強度の弱い樹脂ビーズを研磨材として用いた研磨液を用いたホーニング処理のみが実施されていた。よって、従来のホーニング工程では、金属の変質層である不要積層体55を除去することはできなかった。

【0155】

これに対し、本実施例に係るホーニング工程51では、第1のホーニング工程と第2のホーニング工程との2回のホーニング処理を実施することを特徴としている。図26（A）は、第1のホーニング工程を示している。この第1のホーニング工程では、不要積層体55に対し高硬度研磨材62を混入した第1の研磨液61を用いてホーニング処理を行う。ここで用いる高硬度研磨材62は、アルミナビーズ，ガラスビーズ，或いはアルミナビーズとガラスビーズとを混ぜたものであり、前記した樹脂ビーズに比べて硬度の高いビーズである。

【0156】

また、ホーニング処理の条件としては、研磨材噴射圧力は例えば3.5Kg/cm²，研磨材濃度は例えば20%～30%，半導体装置本体90の搬送スピードは2m/minとしている。この第1のホーニング工程におけるホーニング条件は、従来行われていたホーニング処理のホーニング条件に比べ、研磨噴射圧力及び研磨材濃度については1.5～2.0倍程度、搬送スピードについては1/2～1/3以下に設定されている。このように、第1のホーニング工程は、そのホーニング強度が強く設定されている。

【0157】

上記のようにホーニング条件を設定し、かつ高硬度研磨材62を用いてホーニング処理を行うことにより、ホーニング強度を強めることができる。よって、第1のホーニング工程を実施することにより、樹脂バリ56に加えて不要積層体55の一部を除去することが可能となる。図26（B）は、第1のホーニング工程が終了した状態のリード14を拡大して示している。同図に示す例では、樹脂バリ56に加えてガス吸着層57及び酸化皮膜層58の一部が除去された例を示している。

【0158】

このように、第1のホーニング工程において、高硬度研磨材62を用いたホーニング強度の強いホーニング処理を行うことにより、樹脂バリ56に加えて不要積層体55の一部を除去する処理を短時間で確実に行うことができる。

【0159】

10

20

30

40

50

しかるに、高硬度研磨材 6 2 によりホーニング処理を行うと、図 2 6 (B) に示されるように、研磨面 6 3 (第 1 の研磨面) が荒れてしまう。このように、研磨面 6 3 の表面粗さが粗い状態でエッチング工程 5 2 を実施すると、エッチング液が研磨面 6 3 の全面に回り込まなくなる現象が発生する。

【 0 1 6 0 】

即ち、ホーニング強度が強いホーニング処理を行った場合には、研磨面 6 3 に形成される凹凸が大きくなり、特に凹部についてはエッチング処理時にエッチング液が回り込まなくなるおそれがある。よって、高硬度研磨材 6 2 を用いたホーニング処理を実施した後、直ちにエッチング処理を実施するのでは、上記した凹部についてはエッチング処理が実施されず、不要積層体 5 5 の除去を確実に行うことができなくなってしまう。

10

【 0 1 6 1 】

そこで本実施例では、上記の第 1 のホーニング工程を実施した後、低硬度研磨材 6 6 を用いて第 2 のホーニング工程を実施することとしている。図 2 7 (A) は、第 2 のホーニング工程を示している。この第 2 のホーニング工程では、低硬度研磨材 6 6 として樹脂ビーズを用いている。また、ホーニング処理の条件としては、研磨材噴射圧力は例えば 1 . 5 K g / c m 2 , 研磨材濃度は例えば 1 5 % , 半導体装置本体 9 0 の搬送スピードは 3 m / m i n としている。このように、第 2 のホーニング工程では第 1 のホーニング工程に比べてホーニング強度が低く設定されている。

【 0 1 6 2 】

上記のようにホーニング条件を設定し、かつ低硬度研磨材 6 6 を用いた第 2 の研磨液 6 5 にてホーニング処理することにより、図 2 7 (B) に示すように、第 1 のホーニング工程において形成された荒れた研磨面 6 3 を平滑な研磨面 6 7 (第 2 の研磨面) とすることができる。これにより、ホーニング工程 5 1 の次工程として実施されるエッチング工程 5 2 において、研磨面 6 7 の全面に確実にエッチング液を供給することが可能となる。よって、エッチング工程 5 2 において良好なエッチング処理を行うことが可能となり、不要積層体 5 5 の除去処理を確実に行うことができる。

20

【 0 1 6 3 】

上記したホーニング工程 5 1 が終了すると、続いてエッチング工程 5 2 が実施される。図 2 8 は、エッチング工程 5 2 を実施している半導体装置本体 9 0 を示している。このエッチング工程 5 2 で実施されるエッチング処理は、電解エッチング或いは化学研磨エッチングのいずれをも用いることが可能である。このエッチング工程 5 2 も、ホーニング工程 5 1 と同様に不要積層体 5 5 を除去することを目的として実施される。

30

【 0 1 6 4 】

従来 of 製造方法においてもこのエッチング工程は実施されているが、そのエッチング強度は弱いものであった。具体的なエッチング条件としては、電解エッチングを用いた場合には、エッチング時間が X 域 3 0 秒 , Y 域 3 0 秒程度であり、また化学研磨エッチングを用いた場合にはそのエッチング時間は 3 0 秒程度であり、双方共にエッチング量は 1 μ m 以下であった。

【 0 1 6 5 】

これに対し、本実施例で実施するエッチング工程は、エッチング強度を従来に比べて強くし、不要積層体 5 5 のエッチング量を 2 μ m 以上としたことを特徴とするものである。具体的なエッチング条件としては、電解エッチングを用いた場合には、エッチング時間を X 域 1 2 0 秒以上 , Y 域 6 0 秒以上に設定し、また化学研磨エッチングを用いた場合にはそのエッチング時間を 1 2 0 秒以上に設定した。

40

【 0 1 6 6 】

このように、エッチング工程 5 2 において、不要積層体 5 5 を少なくとも 2 μ m 以上除去することにより、不要積層体 5 5 の残量を更に少なく、或いは完全に無くすることができる。これにより、次工程として実施されるめっき工程 5 3 において軟質接合材 (本実施例の場合ははんだ) を確実にリード 1 4 にめっきすることができる。

【 0 1 6 7 】

50

図29は、エッチング工程52が終了した状態の半導体装置本体90を示している。尚、以下の説明では、同図に示されるように、エッチング工程52の終了後においても、不要積層体55の一部（ベイルビー層59，加工変質層60）が残存した例について説明するものとする。また、エッチング工程52の終了時において、不要積層体55が残存するか否かは、装置本体製造工程50の終了時における不要積層体55の厚さ（この厚さは、前記のように2～10μmとバラツキがある）による。

【0168】

上記したエッチング工程52が終了すると、続いてめっき工程53が実施される。本実施例では、このめっき工程53においてはんだめっき処理を行うことにより、リード14（不要積層体55）上にはんだめっき膜70，75を形成する。また本実施例では、形成されるはんだめっき膜70，75の厚さにより、以後実施される処理を異ならせている。以下、形成されるはんだめっき膜70，75の厚さにより場合分けして説明するものとする。

10

【0169】

本実施例では、形成されるはんだめっき膜70，75の厚さが15μm未満と15μm以上で処理を異ならせている。図30は、めっき工程53において厚さが15μm未満の第1のめっき膜70を形成した半導体装置本体90のリード14を拡大して示している。

【0170】

リード14（不要積層体55）上に15μm未満の厚さの第1のめっき膜70を形成した場合は、図31（A）に示すようにディップ処理が実施される。具体的には、第1のはんだめっき膜70が形成された半導体装置本体90を溶融はんだ72が装填されたはんだディップ槽71に浸漬する。これにより、図31（B）に示されるように、リード14には外装はんだ73が形成される。

20

【0171】

このように、はんだディップ処理を実施することにより、ディップ処理終了後に形成される外装はんだ73とリード14との接合強度を高めることができる。以下、この理由について説明する。

【0172】

前記したように、エッチング工程52を終了した時点ではリード14の表面に不要積層体55が残存している可能性があり、よって第1のはんだめっき膜70とリード14との接合性は十分であるとはいえない。また、はんだディップ処理を行うことなく、即ちめっき膜の厚さが15μm未満と薄いままの状態を実装処理を行い加熱処理しても、後に詳述するように、第1のはんだめっき膜70及び不要積層体55の溶融時におけるはんだに対する不要積層体55の割合が高くなり十分な接合性が確保できなくなる。

30

【0173】

しかるに、本実施例のように第1のはんだめっき膜70が形成された後にはんだディップ処理を実施することにより、ディップ処理時に印加される熱で第1のはんだめっき膜70及び不要積層体55は溶融し、これに伴い不要積層体55ははんだディップ槽71に装填されている溶融はんだ72に溶け込む。

【0174】

この際、不要積層体55ははんだディップ槽71に装填された溶融はんだ72に対し微量であるため、はんだディップ処理によりリード14上に形成される外装はんだ73は、純粋なはんだと等価のものとなる。よって、図31（B）に示されるように、外装はんだ73は直接リード14上に形成されることとなり、かつ外装はんだ73は純粋なはんだと等価であるため、ディップ処理終了後における外装はんだ73とリード14との接合強度を高めることができる。

40

【0175】

上記のようにして製造された半導体装置を実装基板に実装すると、外装はんだ73とリード14との間には不要積層体55は存在せず、かつ外装はんだ73とリード14との接合強度は強固であるため、実装信頼性の高い実装を行うことができる。よって、半導体装

50

置と実装基板との熱膨張差に起因した応力がリード14と実装基板との接合部分に集中的に印加される半導体装置であっても、この接合部分に破損が発生することを確実に防止することができる。

【0176】

続いて、図32に示されるように、めっき工程53において厚さが15 μ m以上の厚いはんだめっき膜75（第2のはんだめっき膜）を形成した場合の処理について説明する。本実施例のように、第2のはんだめっき膜75の厚さを15 μ m以上とすることにより、この構成の半導体装置を実装基板に実装した際の実装信頼性を高めることができる。以下、この理由について説明する。

【0177】

上記のように、不要積層体55上に第2のはんだめっき膜75が形成された半導体装置を実装基板に実装するため加熱処理すると、不要積層体55及び第2のはんだめっき膜75は共に溶融する。この際、不要積層体55はホーニング工程51及びエッチング工程52を経ているため、その付着量（厚さ）は少ない。また、第2のはんだめっき膜75は15 μ m以上と厚く（多量に）形成されているため、上記のように不要積層体55及び第2のはんだめっき膜75が共に溶融すると、少量の不要積層体55は多量存在する第2のはんだめっき膜75内に溶け込んだ状態となる。

【0178】

よって、図33に示されるように、最終的にリード14と実装基板18との間に形成される実装後はんだ76（第2のはんだめっき膜75と不要積層体55の合金物）は、実質的にリード14と直接接合した状態となる。これにより、半導体装置を実装基板18に実装した後における、実装後はんだ76とリード14との接合強度を高めることができる。よって、半導体装置と実装基板18との間に熱膨張差が存在しても、両者の接合部分に破損が発生することを確実に防止することができる。実装信頼性を高めることができる。

【0179】

図34及び図35は、ホーニング工程51の変形例を示している。

【0180】

前記した実施例では、ホーニング工程51においてリード14に形成された不要積層体55のみを除去する構成としていたが、本変形例では、このホーニング工程51において、不要積層体55と共に樹脂パッケージ17の一部も除去する構成としたことを特徴とするものである。前記したように、ホーニング工程51で実施される第1のホーニング工程では高硬度研磨材62を用いて強いホーニング処理を実施することができるため、樹脂パッケージ17を除去処理（ホーニング処理）することも可能である。

【0181】

このように、ホーニング工程51において樹脂パッケージ17の一部を除去することにより、樹脂パッケージ17から露出するリード14の面積を広くすることができる。これにより、リード14に対する外装はんだ73及び実装後はんだ76の接合性を向上させることができ、高い実装性を持って半導体装置を実装基板に実装することができる。

【0182】

図34は、樹脂パッケージ17のリード14の近傍位置にのみホーニング処理を行い、部分凹部80を形成した例を示している。また、図35は樹脂パッケージ17の実装側面全体にホーニング処理を行うことにより全体凹部81を形成した例を示している。このように、ホーニング処理により除去する部位は、マスク処理を行うことにより任意に選定することができる。

【0183】

続いて、図35に示した半導体装置を実装基板18に実装する実装構造について説明する。

【0184】

本実施例に係る実装構造では、半導体装置（半導体装置本体90）と実装基板18との間にアンダーフィル樹脂82を配設したことを特徴とするものである。このように、半導

10

20

30

40

50

体装置と実装基板 18 との間にアンダーフィル樹脂 82 を配設することにより、リード 14 の一部のみが樹脂パッケージ 17 の壁面に露出して外部端子 16 を形成する構成（即ち、リード 14 が樹脂パッケージ 14 から延出しない構成）の半導体装置であっても、半導体装置と実装基板 18 との熱膨張差に起因して発生する応力をアンダーフィル樹脂 82 で受ける事が可能となる。このため、リード 14 と実装基板 18 との接合部分（即ち、実装後はんだ 76）に剥離等の破損が発生することを防止することができ、実装信頼性を向上させることができる。

【0185】

また、半導体装置は、樹脂パッケージ 17 のリード 14 が露出する位置近傍に部分凹部 80 が形成されているため、アンダーフィル樹脂 82 はこの部分凹部 80 内にも充填される。このため、アンダーフィル樹脂 82 と樹脂パッケージ 17 との接合面積が増大し、また部分凹部 80 内に進入したアンダーフィル樹脂 82 はアンカー効果を奏するため、半導体装置の実装基板 18 に対する実装信頼性をより高めることができる。

【図面の簡単な説明】

【0186】

【図 1】図 1 は、本発明の第 1 実施例である半導体装置を説明するための断面図である。

【図 2】図 2 は、本発明の第 1 実施例である半導体装置を説明するための斜視図である。

【図 3】図 3 は、本発明の第 1 実施例である半導体装置を説明するための底面図である。

【図 4】図 4 は、本発明の第 1 実施例である半導体装置及びその実装構造を説明するための図である。

【図 5】図 5 は、実装時に発生する不良率とはんだの厚さとの関係を説明するための図である。

【図 6】図 6 は、本発明の第 2 実施例である半導体装置及びその実装構造を説明するための図である。

【図 7】図 7 は、本発明の第 3 実施例である半導体装置及びその実装構造を説明するための図である。

【図 8】図 8 は、本発明の第 4 実施例である半導体装置及びその実装構造を説明するための図である。

【図 9】図 9 は、本発明の第 5 実施例である半導体装置及びその実装構造を説明するための図である。

【図 10】図 10 は、本発明の第 6 実施例である半導体装置の実装構造を説明するための図である。

【図 11】図 11 は、本発明の第 7 実施例である半導体装置の実装構造を説明するための図である。

【図 12】図 12 は、本発明の第 8 実施例である半導体装置の実装構造を説明するための図である。

【図 13】図 13 は、従来の半導体装置の実装構造の問題点を説明するための図である。

【図 14】図 14 は、半田ペーストの配設方法を説明するための図である。

【図 15】図 15 は、本発明の第 9 実施例である半導体装置の実装構造を説明するための図である。

【図 16】図 16 は、本発明の第 8 実施例である半導体装置の実装構造を説明するための図である。

【図 17】図 17 は、外部端子の配設例を示す図である。

【図 18】図 18 は、本発明の第 10 実施例である半導体装置を説明するための図である。

【図 19】図 19 は、本発明の第 11 実施例である半導体装置を説明するための図である。

【図 20】図 20 は、本発明の第 12 実施例である半導体装置を説明するための図である。

【図 21】図 21 は、本発明の第 13 実施例である半導体装置を説明するための図である

10

20

30

40

50

。【図 2 2】図 2 2 は、本発明の第 1 4 実施例である半導体装置を説明するための図である。

。【図 2 3】図 2 3 は、本発明の第 1 5 実施例である半導体装置を説明するための図である。

。【図 2 4】図 2 4 は、本発明に係る半導体装置の製造方法を示す工程図である。

【図 2 5】図 2 5 は、本発明の第 1 実施例である半導体装置の製造方法を説明するための図であり、装置製造工程が終了した状態を示す図である。

【図 2 6】図 2 6 は、本発明の第 1 実施例である半導体装置の製造方法におけるホーニング工程を説明するための図である（その 1）。 10

【図 2 7】図 2 7 は、本発明の第 1 実施例である半導体装置の製造方法におけるホーニング工程を説明するための図である（その 2）。

【図 2 8】図 2 8 は、本発明の第 1 実施例である半導体装置の製造方法におけるエッチング工程を説明するための図である。

【図 2 9】図 2 9 は、本発明の第 1 実施例である半導体装置の製造方法を説明するための図であり、エッチング工程が終了した状態を示す図である。

【図 3 0】図 3 0 は、本発明の第 1 実施例である半導体装置の製造方法におけるめっき工程を説明するための図である。

【図 3 1】図 3 1 は、本発明の第 1 実施例である半導体装置の製造方法におけるディップ工程を説明するための図である。 20

【図 3 2】図 3 2 は、本発明の第 2 実施例である半導体装置の製造方法におけるめっき工程を説明するための図である。

【図 3 3】図 3 3 は、第 2 実施例に係る製造方法で製造された半導体装置を実装基板に実装した状態を示す図である。

【図 3 4】図 3 4 は、ホーニング工程において、樹脂パッケージに部分凹部を合わせて形成した構成を示す図である。

【図 3 5】図 3 5 は、ホーニング工程において、樹脂パッケージに全体凹部を合わせて形成した構成を示す図である。

【図 3 6】図 3 6 は、図 3 4 に示す半導体装置を実装基板に実装する実装構造を説明するための図である。 30

【図 3 7】図 3 7 は、従来の半導体装置の一例を示す図である。

【図 3 8】図 3 8 は、従来の半導体装置の一例を示す図である。

【図 3 9】図 3 9 は、従来の半導体装置の外部端子の拡大斜視図である。

【図 4 0】図 4 0 は、図 3 9 の B - B 断面とその実装例を示す図である。

【符号の説明】

【 0 1 8 7 】

1 0 , 1 0 A ~ 1 0 Q 半導体装置

1 1 半導体チップ

1 2 ステージ

1 3 電極パッド 40

1 4 リード

1 5 ワイヤ

1 6 , 1 6 b ~ 1 6 e 外部端子

1 6 A 外側外部端子

1 6 B 内側外部端子

1 6 a 露出面

1 7 , 3 1 パッケージ

1 7 a 底面部

1 8 , 1 8 A 実装基板

1 9 , 1 9 A ~ 1 9 E リード側突出部 50

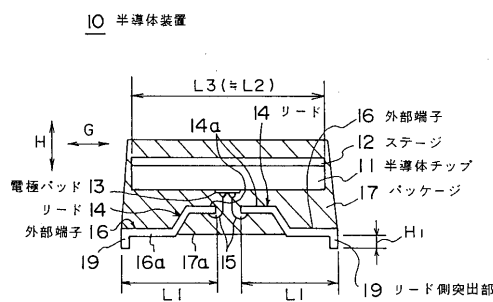
- 20 はんだ
- 21 スペース部
- 22 パッケージ側突出部
- 23, 23A リード側凹部
- 40A ~ 40C リードフレーム
- 41A ~ 41C 貫通孔41
- 42 テーパー部
- 55 不要積層体
- 56 樹脂バリ
- 61 第1の研磨液
- 62 高硬度研磨材
- 63 第1の研磨面
- 65 第2の研磨液
- 66 低硬度研磨材
- 68 加工面
- 70 第1のはんだめっき膜
- 71 はんだディップ槽
- 72 溶融はんだ
- 73 外装はんだ
- 75 第2のはんだめっき膜
- 76 実装後はんだ
- 80 部分凹部
- 81 全体凹部
- 82 アンダーフィル樹脂
- 90 半導体装置本体

10

20

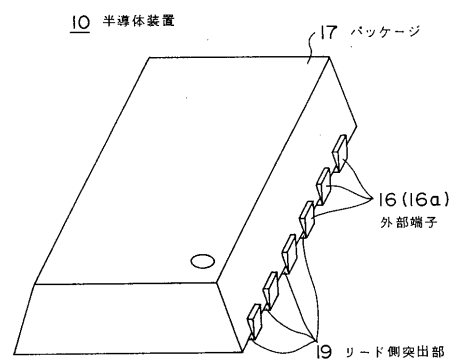
【図1】

本発明の第1実施例である半導体装置を説明するための断面図



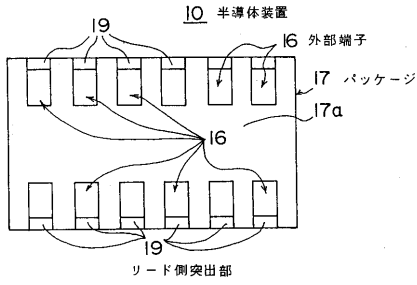
【図2】

本発明の第1実施例である半導体装置を説明するための斜視図



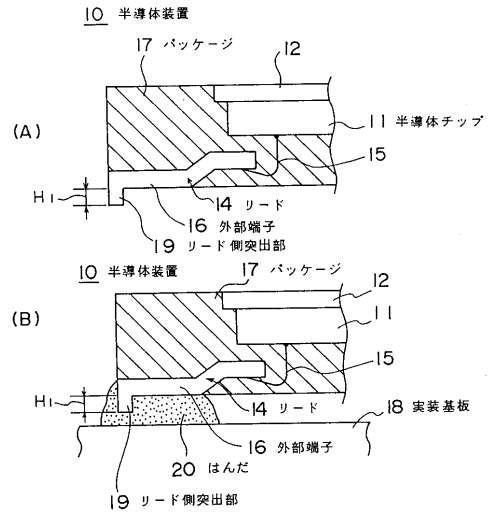
【 図 3 】

本発明の第1実施例である半導体装置を説明するための底面図



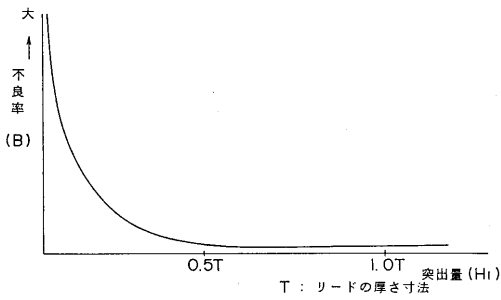
【 図 4 】

本発明の第1実施例である半導体装置及びその実装構造を説明するための図



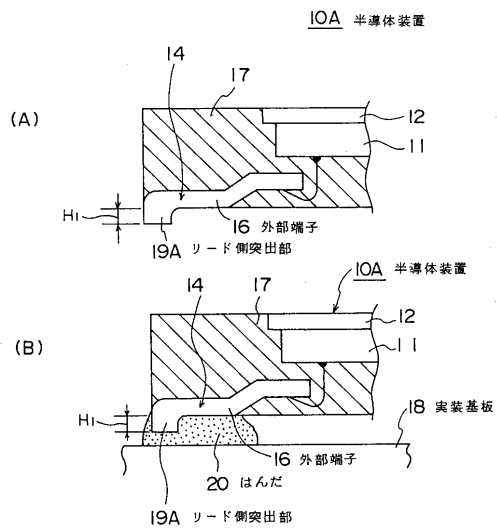
【 図 5 】

実装時に発生する不良率とはんだの厚さとの関係を説明するための図



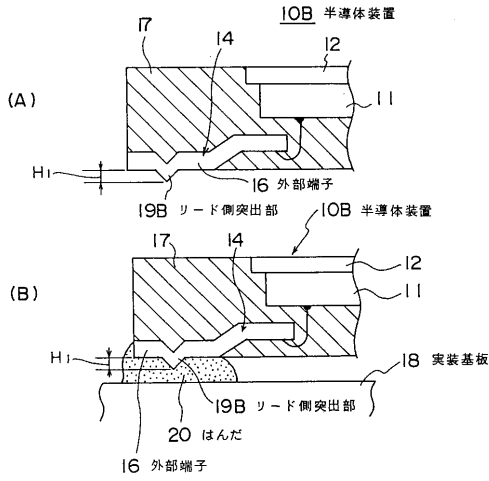
【 図 6 】

本発明の第2実施例である半導体装置及びその実装構造を説明するための図



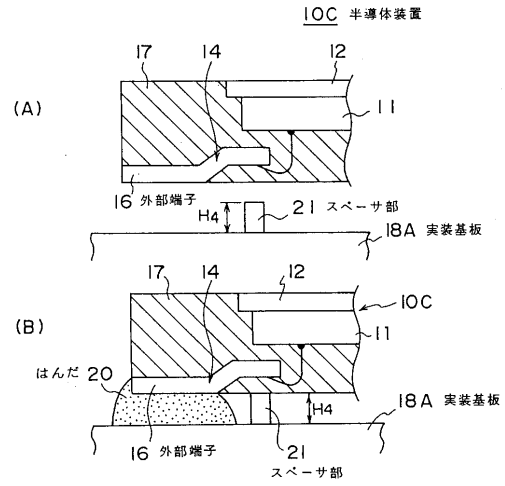
【 図 7 】

本発明の第3実施例である半導体装置及びその実装構造を説明するための図



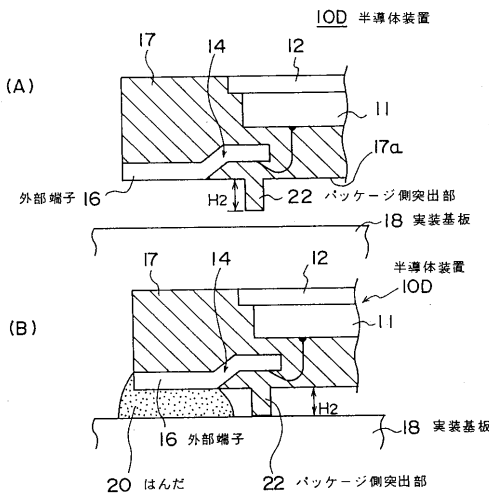
【 図 8 】

本発明の第4実施例である半導体装置及びその実装構造を説明するための図



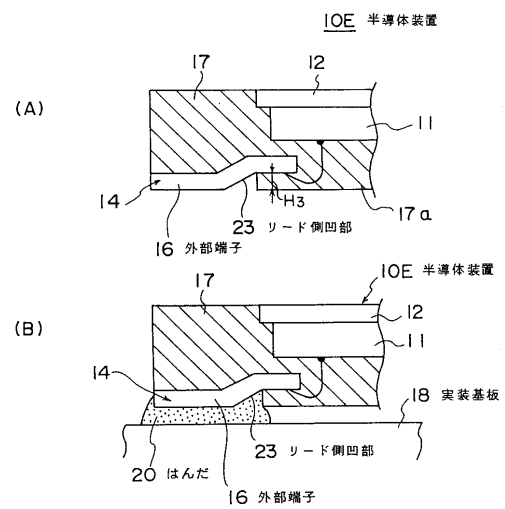
【 図 9 】

本発明の第5実施例である半導体装置及びその実装構造を説明するための図



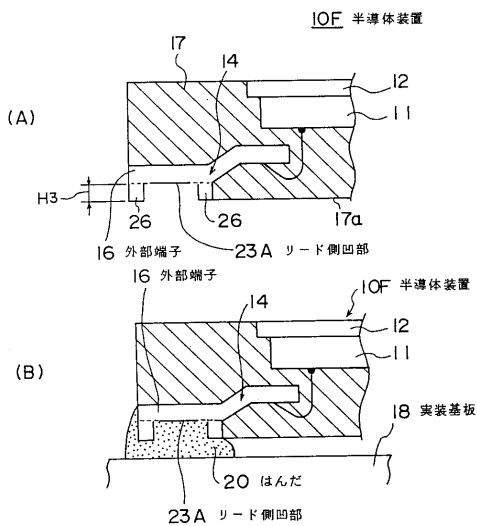
【 図 10 】

本発明の第6実施例である半導体装置の実装構造を説明するための図



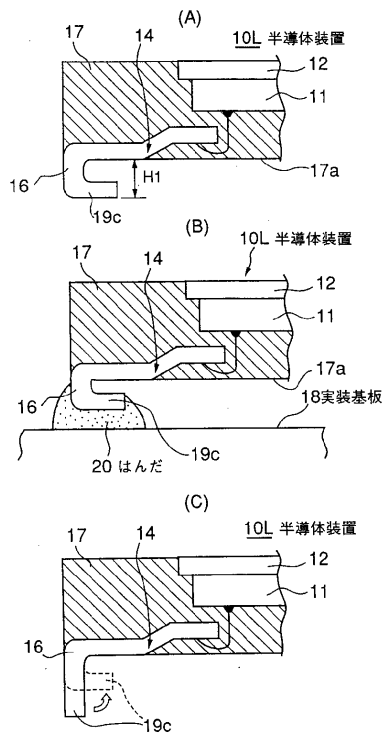
【 図 1 1 】

本発明の第7実施例である半導体装置の実装構造を説明するための図



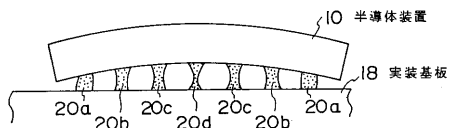
【 図 1 2 】

本発明の第8実施例である半導体装置の実装構造を説明するための図



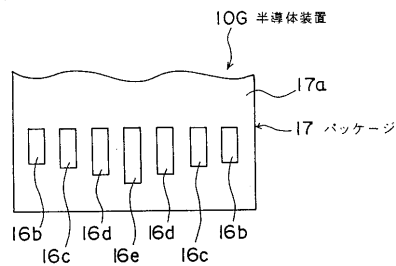
【 図 1 3 】

従来の半導体装置の実装構造の問題点を説明するための図



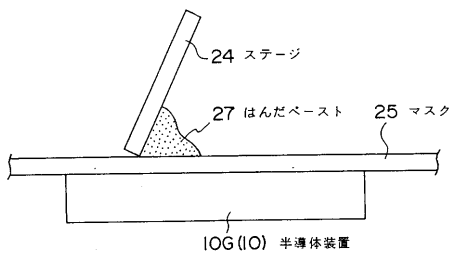
【 図 1 5 】

本発明の第9実施例である半導体装置の実装構造を説明するための図



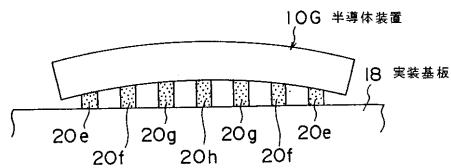
【 図 1 4 】

半田ペーストの配設方法を説明するための図



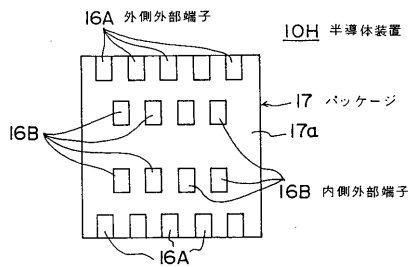
【 図 1 6 】

本発明の第9実施例である半導体装置の実装構造を説明するための図



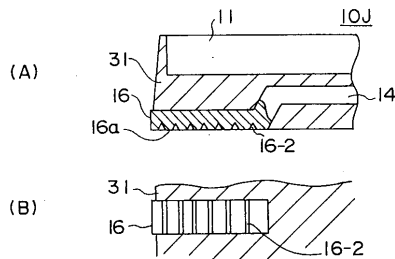
【 図 1 7 】

外部端子の配設例を示す図



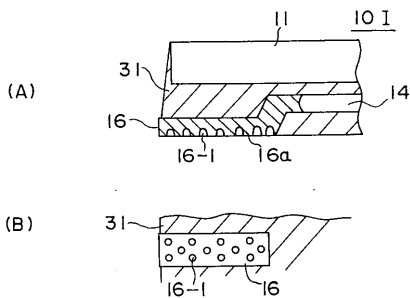
【 図 1 9 】

本発明の第11実施例である半導体装置を説明するための図



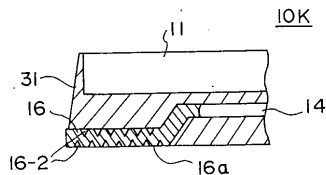
【 図 1 8 】

本発明の第10実施例である半導体装置を説明するための図



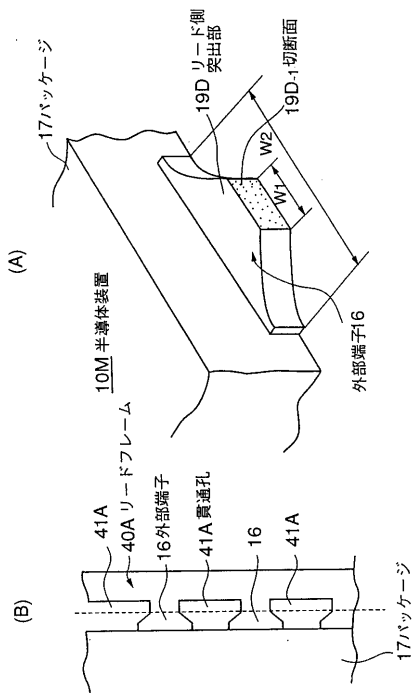
【 図 2 0 】

本発明の第12実施例である半導体装置を説明するための図



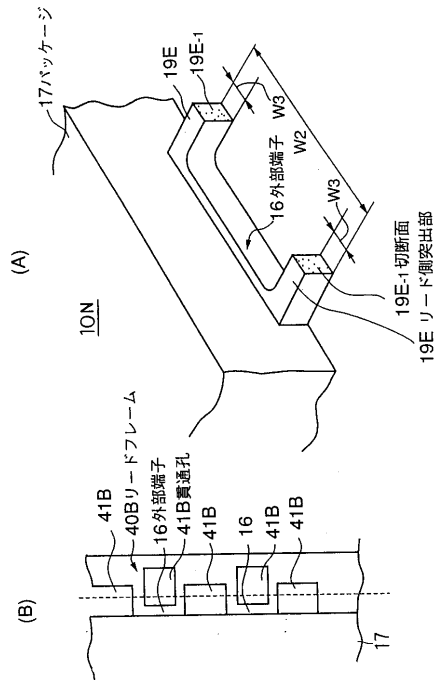
【 図 2 1 】

本発明の第13実施例である半導体装置を説明するための図



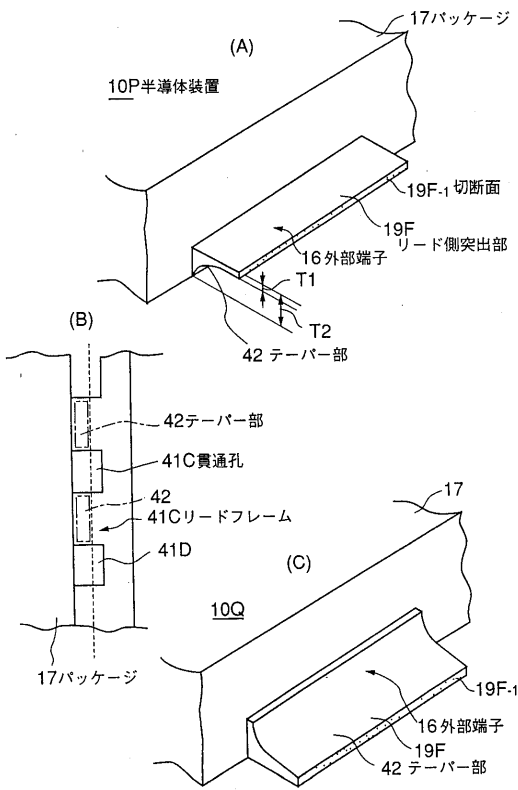
【 図 2 2 】

本発明の第14実施例である半導体装置を説明するための図



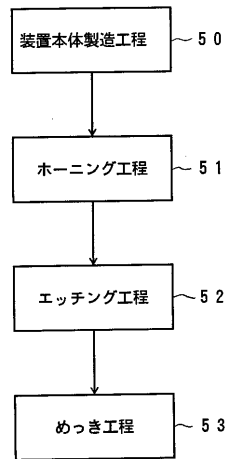
【 図 2 3 】

本発明の第15実施例である半導体装置を説明するための図



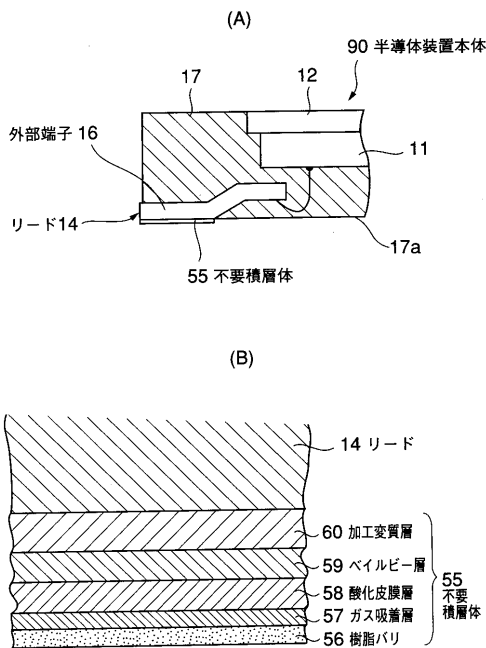
【 図 2 4 】

本発明に係る半導体装置の製造方法を示す工程図



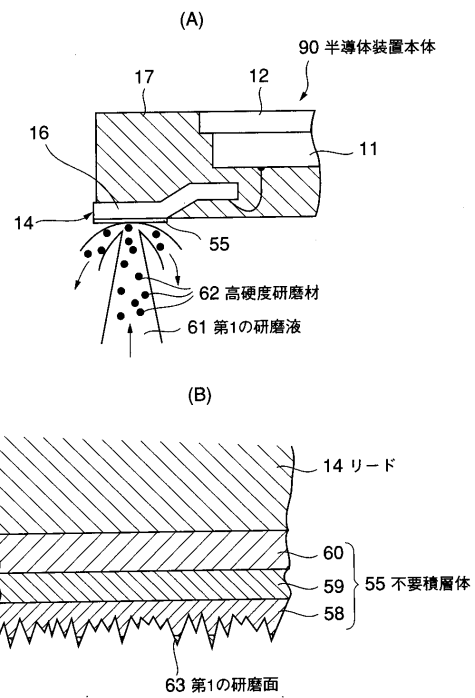
【 図 2 5 】

本発明の第1実施例である半導体装置の製造方法を説明するための図であり、装置製造工程が終了した状態を示す図



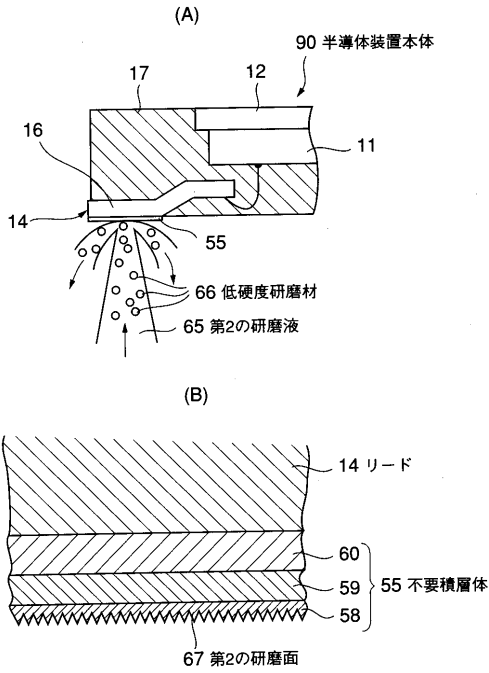
【 図 2 6 】

本発明の第1実施例である半導体装置の製造方法におけるホーニング工程を説明するための図 (その1)



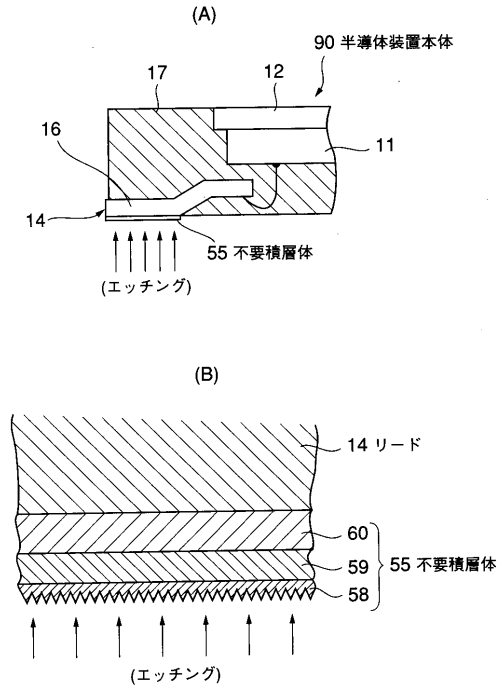
【 図 2 7 】

本発明の第1実施例である半導体装置の製造方法におけるホーニング工程を説明するための図（その2）



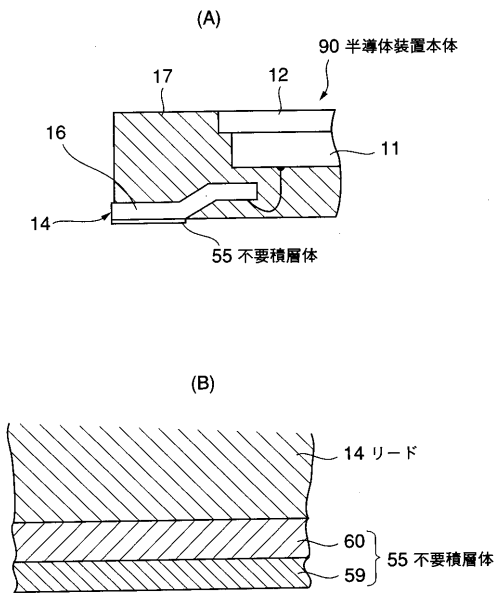
【 図 2 8 】

本発明の第1実施例である半導体装置の製造方法におけるエッチング工程を説明するための図



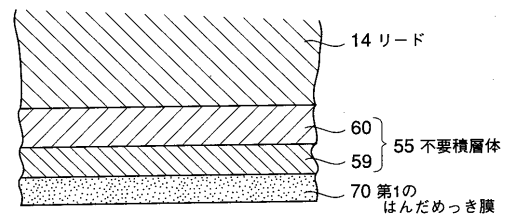
【 図 2 9 】

本発明の第1実施例である半導体装置の製造方法を説明するための図であり、エッチング工程が終了した状態を示す図



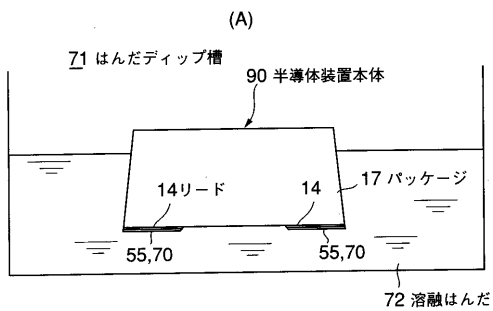
【 図 3 0 】

本発明の第1実施例である半導体装置の製造方法におけるめっき工程を説明するための図

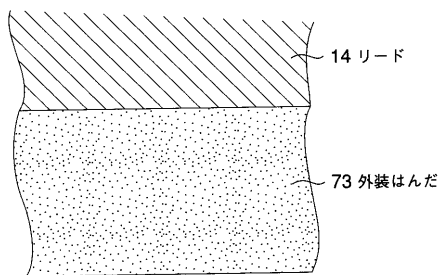


【 図 3 1 】

本発明の第1実施例である半導体装置の製造方法におけるディップ工程を説明するための図

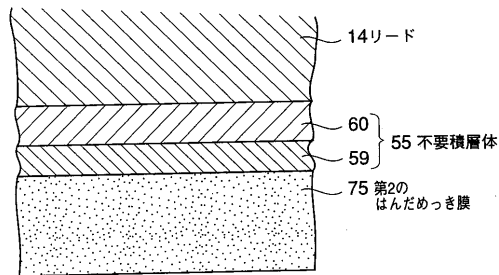


(B)



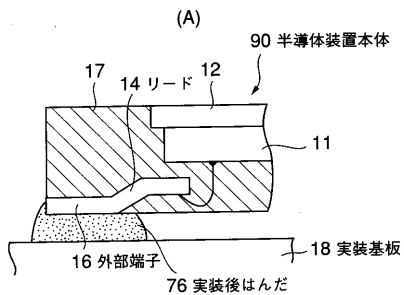
【 図 3 2 】

本発明の第2実施例である半導体装置の製造方法におけるめっき工程を説明するための図

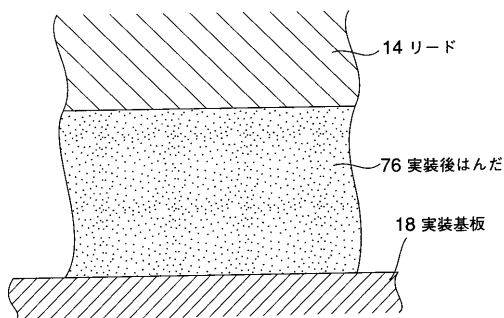


【 図 3 3 】

第2実施例に係る製造方法で製造された半導体装置を実装基板に実装した状態を示す図

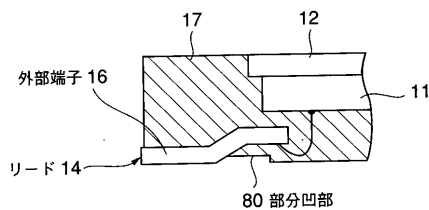


(B)



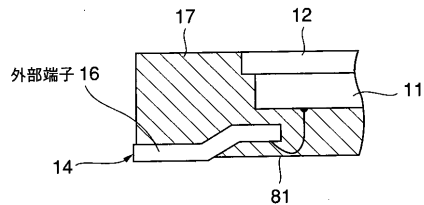
【 図 3 4 】

ホーニング工程において、樹脂パッケージに部分凹部を合わせて形成した構成を示す図



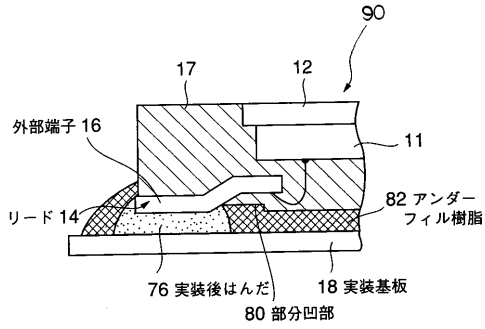
【 図 3 5 】

ホーニング工程において、樹脂パッケージに全体凹部を合わせて形成した構成を示す図



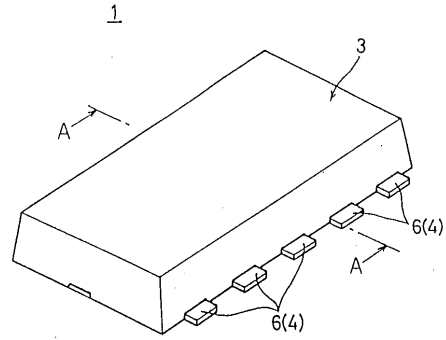
【 図 3 6 】

図34に示す半導体装置を実装基板に実装する実装構造を説明するための図



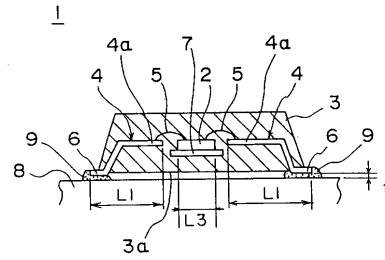
【 図 3 7 】

従来の半導体装置の一例を示す図



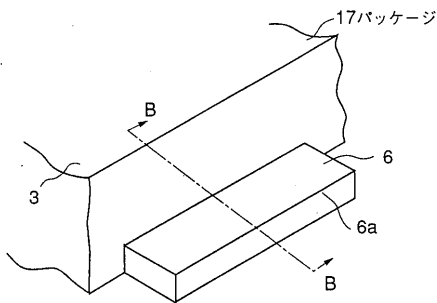
【 図 3 8 】

従来の半導体装置の一例を示す図



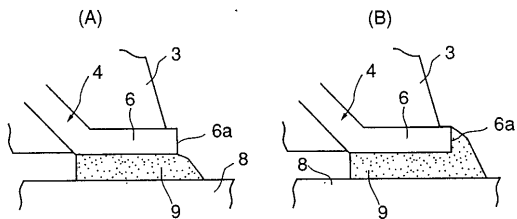
【 図 3 9 】

従来の半導体装置の外部端子の拡大斜視図



【 図 4 0 】

図26のB-B断面とその実装例を示す図



フロントページの続き

- (72)発明者 関 正明
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 林田 勝大
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 浜野 寿夫
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- Fターム(参考) 5F067 AA13 AB04 BC07