



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201126572 A1

(43)公開日：中華民國 100 (2011) 年 08 月 01 日

(21)申請案號：099136573

(22)申請日：中華民國 99 (2010) 年 10 月 26 日

(51)Int. Cl. :

*H01L21/027 (2006.01)*

*H01L21/8247(2006.01)*

(30)優先權：2009/10/26 美國 61/255,080

2009/10/26 美國 61/255,085

(71)申請人：桑迪士克 3 D 公司 (美國) SANDISK 3D LLC (US)

美國

(72)發明人：史契爾籃 羅伊 E SCHEUERLEIN, ROY E. (US)；彼得 克里斯多夫 J PETTI,

CHRISTOPHER J. (US)；田中陽一郎 TANAKA, YOICHIRO (JP)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：26 項 圖式數：14 共 80 頁

(54)名稱

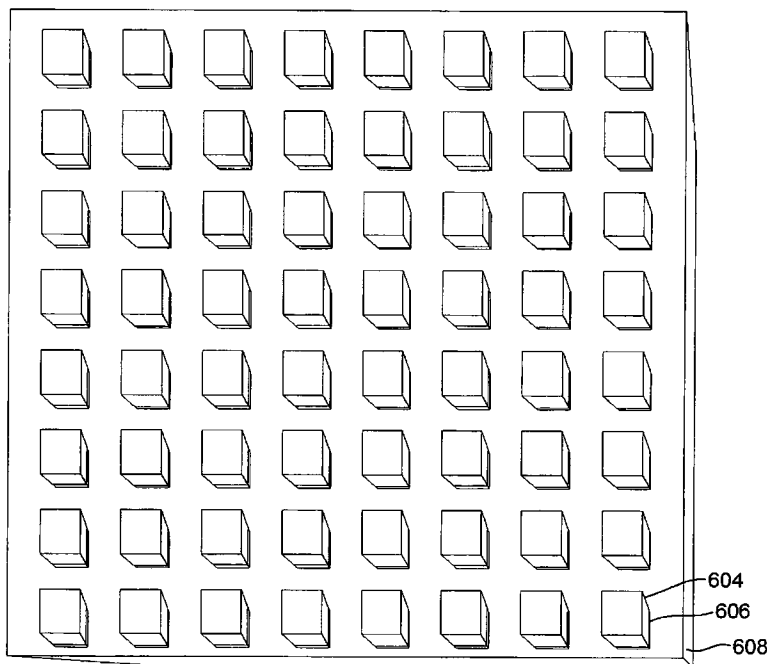
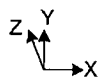
於記憶體單元使用連續側壁圖案化來形成支柱之方法

METHODS OF FORMING PILLARS FOR MEMORY CELLS USING SEQUENTIAL SIDEWALL PATTERNING

(57)摘要

本發明提供用於使用連續側壁圖案化形成用於記憶體單元之支柱之製造記憶體結構方法之裝置、方法及系統。本發明包含：由位於一記憶體層堆疊上面之一第一模板層形成第一特徵；毗鄰該等第一特徵形成第一側壁間隔件；藉由將該等第一側壁間隔件用作一硬遮罩而在一遮罩層中形成沿一第一方向延伸之第二特徵；在該遮罩層上沈積一第二模板層；由該第二模板層形成第三特徵；毗鄰該等第三特徵形成第二側壁間隔件；及藉由將該等第二側壁間隔件用作一硬遮罩而在該遮罩層中形成沿一第二方向延伸之第四特徵。揭示眾多額外態樣。

600



600：層堆疊

604：遮罩層

606：黏合層

608：記憶體堆疊層



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201126572 A1

(43)公開日：中華民國 100 (2011) 年 08 月 01 日

(21)申請案號：099136573

(22)申請日：中華民國 99 (2010) 年 10 月 26 日

(51)Int. Cl. :

*H01L21/027 (2006.01)*

*H01L21/8247(2006.01)*

(30)優先權：2009/10/26 美國 61/255,080

2009/10/26 美國 61/255,085

(71)申請人：桑迪士克 3 D 公司 (美國) SANDISK 3D LLC (US)

美國

(72)發明人：史契爾籃 羅伊 E SCHEUERLEIN, ROY E. (US) ; 彼得 克里斯多夫 J PETTI,

CHRISTOPHER J. (US) ; 田中陽一郎 TANAKA, YOICHIRO (JP)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：26 項 圖式數：14 共 80 頁

(54)名稱

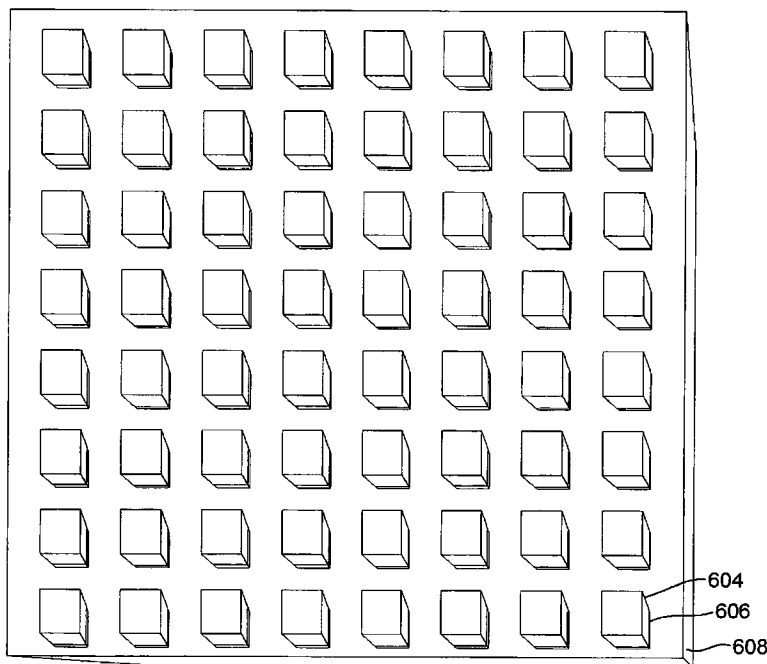
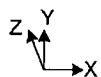
於記憶體單元使用連續側壁圖案化來形成支柱之方法

METHODS OF FORMING PILLARS FOR MEMORY CELLS USING SEQUENTIAL SIDEWALL PATTERNING

(57)摘要

本發明提供用於使用連續側壁圖案化形成用於記憶體單元之支柱之製造記憶體結構方法之裝置、方法及系統。本發明包含：由位於一記憶體層堆疊上面之一第一模板層形成第一特徵；毗鄰該等第一特徵形成第一側壁間隔件；藉由將該等第一側壁間隔件用作一硬遮罩而在一遮罩層中形成沿一第一方向延伸之第二特徵；在該遮罩層上沈積一第二模板層；由該第二模板層形成第三特徵；毗鄰該等第三特徵形成第二側壁間隔件；及藉由將該等第二側壁間隔件用作一硬遮罩而在該遮罩層中形成沿一第二方向延伸之第四特徵。揭示眾多額外態樣。

600



600：層堆疊

604：遮罩層

606：黏合層

608：記憶體堆疊層

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於非揮發性記憶體，且更特定而言係關於一種藉由連續側壁圖案化形成用於記憶體單元之支柱之方法。

本申請案請求於2009年10月26日提出申請，標題為「DOUBLE SIDEWALL PATTERNING FOR 4X HALF PITCH RELIEF PATTERNING」之美國臨時專利申請案第61/255,080號(檔案號SD-MXA-265)之優先權，出於各種目的該專利之全文以引用之方式藉此併入本文中。本申請案亦請求於2009年10月26日提出申請，標題為「LAYOUT OF 3D MATRIX ARRAY MEMORY FOR REDUCED COST PATTERNING」之美國臨時專利申請案第61/255,085號(檔案號SD-MXA-266)之優先權，出於各種目的該專利之全文以引用之方式藉此併入本文中。

本申請案亦相關於在\_\_\_\_\_提出申請且標題為「APPARATUS AND METHODS OF FORMING MEMORY LINES AND STRUCTURES USING DOUBLE SIDEWALL PATTERNING FOR FOUR TIMES HALF PITCH RELIEF PATTERNING」之美國專利申請案序列號\_\_\_\_\_(檔案號SD-MXA-265)，出於各種目的該專利之全文以引用方式藉此併入本文中。

本申請案亦相關於在\_\_\_\_\_提出申請且標題為「METHODS AND APPARATUS FOR LAYOUT OF THREE

DIMENSIONAL MATRIX ARRAY MEMORY FOR REDUCED COST PATTERNING」之美國專利申請案序列號\_\_\_\_\_ (檔案號SD-MXA-266)，出於各種目的該專利之全文以引用方式藉此併入本文中。

### 【先前技術】

製造一記憶體器件通常需要許多步驟，包含微影、沈積各種組成材料、圖案化、蝕刻等等。然而，個別記憶體元件之大小持續降低且在記憶體器件上製造此等記憶體元件之密度持續增加正在挑戰當前微影及圖案化技術之極限。舉例而言，現有微影及圖案化技術通常並非極適合於形成具有小於約32奈米之一間距之特徵。可用的技術相對地昂貴且需要昂貴的製程，諸如浸漬微影、極遠紫外線微影(EUVL)及/或電子束(電子束)直接寫入微影。因此，關於圖案化用於記憶體器件中之記憶體單元期望經改良且更具成本效益之方法。特定而言，期望用於形成具有小間距之記憶體元件之方法及裝置。

### 【發明內容】

在一些實施例中，本發明提供形成用於一記憶體支柱陣列之一遮罩之方法。該等方法包含由位於一記憶體層堆疊上面之一第一模板層形成第一特徵；毗鄰該等第一特徵形成第一側壁間隔件；藉由將該等第一側壁間隔件用作一硬遮罩而在一遮罩層中形成沿一第一方向延伸之第二特徵；在該遮罩層上沈積一第二模板層；由該第二模板層形成第三特徵；毗鄰該等第三特徵形成第二側壁間隔件；及藉由

將該等第二側壁間隔件用作一硬遮罩而在該遮罩層中形成沿一第二方向延伸之第四特徵。

在一些其他實施例中，本發明提供一種用於一記憶體支柱陣列之遮罩。該遮罩包含一結構，該結構形成有：第一特徵，該等第一特徵由位於一記憶體層堆疊上面之一第一模板層形成；第一側壁間隔件，該等第一側壁間隔件毗鄰該等第一特徵而形成；第二特徵，該等第二特徵在一遮罩層中沿一第一方向延伸且藉由將該等第一側壁間隔件用作一硬遮罩而形成；一第二模板層，其沈積於該遮罩層上；第三特徵，該等第三特徵係由該第二模板層形成；第二側壁間隔件，該等第二側壁間隔件毗鄰該等第三特徵而形成；及第四特徵，該等第四特徵在該遮罩層中沿一第二方向延伸且藉由將該等第二側壁間隔件用作一硬遮罩而形成。

在一些實施例中，本發明提供形成用於一記憶體支柱陣列之一遮罩之方法。該等方法包含：由位於一記憶體層堆疊上面之一第一模板層形成第一特徵；毗鄰該等第一特徵形成第一側壁間隔件；藉由將該等第一側壁間隔件用作一硬遮罩而由一第二模板層形成第二特徵；毗鄰該等第二特徵形成第二側壁間隔件；藉由將該等第二側壁間隔件用作一硬遮罩在該遮罩層中形成沿一第一方向延伸之第三特徵；在該遮罩層上沈積一第三及第四模板層；由一第三模板層形成第四特徵；毗鄰該等第四特徵形成第三側壁間隔件；藉由將該等第三側壁間隔件用作一硬遮罩而由該第四模板層形成第五特徵；毗鄰該等第五特徵形成第四側壁間

隔件；及藉由將該等第四側壁間隔件用作一硬遮罩在該遮罩層中形成沿一第二方向延伸之第六特徵。

在一些其他實施例中，本發明提供一種用於一記憶體支柱陣列之遮罩。該遮罩包含一結構，該結構形成有：第一特徵，該等第一特徵由位於一記憶體層堆疊上面之一第一模板層形成；第一側壁間隔件，該等第一側壁間隔件毗鄰該等第一特徵而形成；第二特徵，該等第二特徵藉由將該等第一側壁間隔件用作一硬遮罩而由一第二模板層形成；第二側壁間隔件，該等第二側壁間隔件毗鄰該等第二特徵而形成；第三特徵，該等第三特徵在該遮罩層中沿一第一方向延伸且藉由將該等第二側壁間隔件用作一硬遮罩而形成；一第三及第四模板層，其沈積於該遮罩層上；第四特徵，該等第四特徵由一第三模板層形成；第三側壁間隔件，該等第三側壁間隔件毗鄰該等第四特徵而形成；第五特徵，該等第五特徵藉由將該等第三側壁間隔件用作一硬遮罩而由該第四模板層形成；第四側壁間隔件，該等第四側壁間隔毗鄰該等第五特徵而形成；及第六特徵，該等第六特徵在該遮罩層中沿一第二方向延伸且藉由將該等第四側壁間隔件用作一硬遮罩而形成。

在一些其他實施例中，本發明提供使用上文所闡述之遮罩而形成之記憶體單元陣列。

下文相對於以下圖示闡述眾多額外實施例。

### 【實施方式】

本發明促進次微米三維記憶體陣列之製造成本降低。特

定而言，本發明提供避免必須使用浸漬微影、EUVL或電子束直接寫入微影方法(例如，其中之每一者相對昂貴)來形成具有大約30奈米以下的一半間距(HP)尺寸之記憶體陣列結構之方法。

在本發明之一些實施例中，提供可用以使該半間距尺寸減小2x之方法，且在其他實施例中提供可實現半間距降低4x之方法。因此，由於使用本發明之連續側壁圖案化方法，具有成本效益之32奈米微影可用以達成降至大約8奈米半間距尺寸或更小之記憶體結構(例如，記憶體單元支柱)。注意，就當前技術而言，此改良表示以下五代中之32奈米微影之延伸：自32奈米至22奈米至16奈米至11奈米至8奈米。然而將理解，本發明亦可用以延伸未來技術。

在根據本發明之一實例性實施例中，使用連續側壁圖案化來形成用於形成具有小於與可用微影技術相關聯之最小間距(亦即，在不使用(例如)EUVL或電子束直接寫入微影之情形下之「最小間距」)之一間距之一記憶體單元支柱陣列之一遮罩。

最初，在已沈積於一層間電介質(ILD)(例如，多晶矽)及一記憶體堆疊(例如，當被圖案化時用以形成記憶體單元之各種材料之若干層)上之一遮罩層(例如，鎢(W))上面形成一第一模板層(例如， $\text{Si}_3\text{N}_4$ )。可在該模板層與該遮罩層之間沈積一選用之蝕刻終止層(例如， $\text{SiO}_2$ )，且可在該遮罩層與該ILD/記憶體堆疊之間沈積一選用之黏合層。

在一些實施例中，使用與可用微影及圖案化技術具有同

量的一最小間距之習用微影(例如, 32奈米技術)在該第一模板層中圖案化線(或其他特徵)。在形成於該第一模板層中之該等線特徵之側上形成一側壁硬遮罩。該側壁硬遮罩包含該第一模板層線結構中之每一者之任一側上的側壁間隔件。該側壁硬遮罩具有小於原始線圖案之最小間距之一間距, 例如該原始線圖案之間距之大約一半。

接下來, 使用該「半間距」側壁硬遮罩將該遮罩層圖案化成半間距線特徵。在該等半間距線特徵之間沈積電介質間隙填充材料且使用一平坦化製程以拉平該結構。

然後在該經平坦化之遮罩層上形成一第二模板層(例如,  $\text{Si}_3\text{N}_4$ )。視情況, 可在該模板層與該遮罩層之間沈積一黏合層。然後在第二模板層上重複上文相對於第一模板層所闡述之圖案化製程但將其旋轉大約九十度。換言之, 由於使用與上文相對於第一模板層所闡述相同的製程, 因此一第二「半間距」側壁硬遮罩形成有大約垂直於第一「半間距」側壁硬遮罩而行進之線特徵。

接下來, 使用該第二「半間距」側壁硬遮罩以將該遮罩層圖案化成如圖7中所繪示且下文更詳細闡述之半間距長方體形狀的支柱特徵之一陣列。然後可使用該遮罩層以藉由蝕刻未被經圖案化之遮罩層覆蓋之下伏ILD/記憶體堆疊來形成半間距長方體形狀的記憶體單元支柱之一陣列。

在替代性實施例中, 可替代上文所闡述之以二維方式使用之單連續側壁圖案化製程而以二維方式使用一雙連續側壁圖案化製程。結果係被圖案化成四分之一間距陣列之一



遮罩層，其可用以形成四分之一間距長方體形狀的記憶體單元支柱之一陣列。換言之，本發明可用以形成具有「4X」半間距凸起之一記憶體陣列。

圖1繪示根據本發明之一實例性記憶體單元10之一示意性圖解說明。記憶體單元10包含耦合至一操縱元件14之一可逆電阻值轉換元件12。可逆電阻值轉換元件12包含具有可在兩個更或多個狀態之間進行可逆轉換之一電阻率之一可逆電阻率轉換材料(未單獨展示)。

舉例而言，元件12之可逆電阻率轉換材料在製造時可處於一初始低電阻率狀態中。在施加一第一電壓及/或電流時，該材料可轉換至一高電阻率狀態。施加一第二電壓及/或電流可使可逆電阻率轉換材料恢復至一低電阻率狀態。另一選擇係，可逆電阻開關元件12在製造時可處於一初始高電阻狀態中，在施加適當電壓及/或電流時，該高電阻狀態可逆地可切換至一低電阻狀態。當用於一記憶體單元中時，一個電阻值狀態可表示二元「0」，而另一電阻值狀態可表示二元「1」，但可使用兩個以上的資料/電阻值狀態。舉例而言，於2005年5月9日提出申請且標題為「Rewriteable Memory Cell Comprising A Diode And A Resistance Switching Material」之第11/125,939號美國專利申請案(「'939申請案」)中闡述採用可逆電阻值轉換元件之記憶體單元之許多可逆電阻率轉換材料及操作，出於各種目的該專利申請案以全文引用的方式併入本文中。

操縱元件14可包含一薄膜電晶體、二極體、金屬-絕緣

體-金屬隧穿電流器件或藉由選擇性地限制跨越及/或流經可逆電阻值轉換元件12之電壓及/或電流而展示出非歐姆傳導之另一類似操縱元件。以此方式，記憶體單元10可用作二維或三維記憶體陣列之一部分且可在不影響該陣列中其他記憶體單元狀態之情形下將資料寫入至記憶體單元10及/或自記憶體單元10讀取資料。

下文參照圖2A至2D及圖3闡述記憶體單元10、可逆電阻值轉換元件12及操縱元件14之實例性實施例。

圖2A係根據本發明之一記憶體單元10之一實例性實施例之一簡化透視圖，其中操縱元件14係二極體。記憶體單元10包含一可逆電阻值轉換元件12，其在一第一導體20與一第二導體22之間與二極體14串聯耦合。在一些實施例中，一障壁層24可形成於可逆電阻值轉換元件12與二極體14之間，且障壁層31及33可形成於可逆電阻值轉換元件12與第二導體22之間。一額外障壁層28可形成於二極體14與第一導體20之間。舉例而言，障壁層24、28、31及33可包含氮化鈦、氮化鈮、氮化鎢或另一類似的障壁層材料。

二極體14可包含任一適合的二極體，諸如一垂直多晶p-n或p-i-n二極體(或是該二極體之一n區位於一p區上面之上指或是該二極體之一p區位於一n區上面之下指)。下文將參照圖3闡述二極體14之實例性實施例。

第一導體20及/或第二導體22可包含任一適合導電材料，例如鎢、任一適當金屬、經重度摻雜之半導體材料、一導電矽化物、一導電矽化物-鍍化物、一導電鍍化物或

類似材料。在圖2A之實施例中，第一導體20及第二導體22分別係軌道形狀且在不同方向上延伸(例如，大致彼此垂直)。可使用其他導體形狀及/或組態。在一些實施例中，障壁層、黏合層、抗反射塗層及/或類似層(未展示)可與第一導體20及/或第二導體22一起使用以改良器件效能及/或幫助製造器件。

圖2B係由複數個記憶體單元10(諸如，圖2A之記憶體單元10)形成之一第一記憶體層級30之一部分之一簡化透視圖。為簡明起見，不單獨展示可逆電阻值轉換元件12、二極體14及障壁層24、28、31及33。記憶體陣列30係一「交叉點」陣列，其包含多個記憶體單元耦合至的複數個位元線(第二導體22)及字線(第一導體20)(如所展示)。在實例性實施例中，第一導體20與第二導體22以約16奈米與約8奈米之間(更一般而言係約22奈米與約3奈米之間)的一間距規則地間隔開。可使用其他記憶體陣列組態，如可使用多個記憶體層級。

舉例而言，圖2C係一單片式三維陣列40a之一部分之一簡化透視圖，該單片式三維陣列包含定位於一第二記憶體層級44下面之一第一記憶體層級42。記憶體層級42及44各自包含成一交叉點陣列之複數個記憶體單元10。熟習此項技術者將理解，第一與第二記憶體層級42與44之間可存在額外層(例如，一層間電介質)，但為簡明起見未將其展示於圖2C中。可使用其他記憶體陣列組態，如可使用額外記憶體層級。在圖2C之實施例中，所有二極體可「指」向同

一方向(諸如向上或向下，此取決於所採用之p-i-n二極體在該等二極體底部還是頂部上具有一p-經摻雜區)，從而簡化二極體製造。

舉例而言，在一些實施例中，可如標題為「High-Density Three-Dimensional Memory Cell,」之第6,952,030號美國專利中所闡述來形成該等記憶體層級，出於各種目的該專利以全文引用之方式藉此併入本文中。例如，一第一記憶體位階之上部導體可用作一定位於該第一記憶體位階上面之第二記憶體位階之下部導體，如圖2D中所示。在此等實施例中，毗鄰記憶體層級上之二極體較佳地指向相反方向，如於2007年3月27日提出申請且標題為「Large Array Of Upward Pointing P-I-N Diodes Having Large And Uniform Current」之第11/692,151號美國專利申請案(「'151申請案」)中所闡述，出於各種目的該專利申請案以全文引用之方式藉此併入本文中。舉例而言，如圖2D中所展示，第一記憶體層級42之二極體可係如箭頭D1所指示的上指二極體(例如，其中p區位於該等二極體底部處)，而第二記憶體層級44之二極體可係如箭頭D2所指示的下指二極體(例如，其中n區位於該等二極體底部處)，或反之亦然。

一單片式三維記憶體陣列係一種其中多個記憶體層級形成於一單個基板(諸如，一圓晶)上面而無中間基板之記憶體陣列。形成一個記憶體層級之層直接沈積或生長於一現有層級或若干個現有層級之層上方。相反，堆疊式記憶體

係已藉由在單獨基板上形成記憶體層級並將該等記憶體層級黏合於彼此頂部上構造而成，如在 Leedy 的標題為「Three Dimensional Structure Memory.」之第 5,915,167 號美國專利中所闡述。可在接合之前使該等基板薄化或自該等記憶體層級移除，但由於該等記憶體層級最初形成於單獨基板上方，因此此等記憶體並非真正的單片式三維記憶體陣列。

圖 3 係圖 2A 之記憶體單元 10 之一實例性實施例之一剖面視圖。特定而言，記憶體單元 10 可包含一碳基底可逆電阻值轉換元件 12 (在剩下的說明中稱作「碳層 12」)、二極體 14 及分別第一導體 20 及第二導體 22。記憶體單元 10 亦可包含障壁層 24、28、31 及 33、矽化物層 50、矽化物形成金屬層 52 及電介質層 58 以及黏合層、抗反射塗層及/或可分別與第一導體 20 及/或第二導體 22 一起使用以改良器件效能及/或促進器件製造之類似層 (未展示)。記憶體單元 10 亦可包含一個或多個側壁襯墊 54。

如前文所陳述，二極體 14 可係一垂直 p-n 或 p-i-n 二極體，其可係上指或下指。在圖 2D 之其中毗鄰記憶體層級分用導體之實施例中，毗鄰記憶體層級較佳地具有指向相反方向之二極體，諸如一第一記憶體層級之下指 p-i-n 二極體及一毗鄰的第二記憶體層級之上指 p-i-n 二極體 (或反之亦然)。

在一些實施例中，二極體 14 可係由一多晶半導體材料 (諸如多晶矽、一多晶矽-鍍合金、多晶鍍或任一其他適合

的材料)形成。舉例而言，二極體14可包含一經重度摻雜之n+多晶矽區14a、位於n+多晶矽區14a上面之一經輕度摻雜或一純質(非故意摻雜)多晶矽區14b及位於純質區14b上面之一經重度摻雜之p+多晶矽區14c。將理解，可反轉該n+區與p+區之位置。

在一些實施例中，可在n+多晶矽區14a上形成一薄鍍及/或矽-鍍合金層(未展示)以防止及/或降低摻雜劑自n+多晶矽區14a遷移至純質區14b中。舉例而言，於2005年12月9日提出申請且標題為「Deposited Semiconductor Structure To Minimize N-Type Dopant Diffusion And Method Of Making」之第11/298,331號美國專利申請案(「'331申請案」)中闡述此一層之使用，出於各種目的該專利申請案以全文引用之方式藉此併入本文中。在一些實施例中，可採用數百埃或更少的矽-鍍合金(其中鍍含量約為10%或更多)。

可在第一導體20與n+區14a之間形成障壁層28，諸如氮化鈦、氮化鈮、氮化鎢或其他類似的障壁層材料(例如，以防止及/或降低金屬原子遷移至該等多晶矽區中)。

當二極體14係由沈積矽(例如，非晶或多晶)製造而成時，可在二極體14上形成一層矽化物層50以使該沈積矽在製造時處於一低電阻率狀態中。此一低電阻率狀態允許更容易程式化記憶體單元10，此乃因將該沈積矽轉換至一低電阻率狀態並不需要一大電壓。舉例而言，可在p+多晶矽區14c上沈積矽化物形成金屬層52(諸如鈦或鈷)。在一些實

施例中，可在矽化物形成金屬層52之一頂部表面處形成一額外氮化物層(未展示)。特定而言，對於高度反應性金屬(諸如鈦)，可在矽化物形成金屬層52上形成一額外覆蓋層(諸如TiN層)。因此，在此等實施例中，在p+多晶矽區14c之頂部上形成一Ti/TiN堆疊。

在形成矽化物形成金屬層52之後，可在約540°C下執行一RTA步驟達約一分鐘以形成矽化物層50，從而消耗所有或部分矽化物形成金屬層52。在該RTA步驟之後，可使用一濕式化學品來剝除來自矽化物形成金屬層52之任一殘留氮化物層，如上文所闡述且如此項技術中所習知。

可在矽化物形成金屬層52上面形成障壁層24，其包含氮化鈦、氮化鈮、氮化鎢或另一類似障壁層材料。

碳層12包含一碳基底材料。舉例而言，碳層12可包含非晶碳(「aC」)。在其他實施例中，碳層12可包含石墨烯、石墨、碳奈米管材料、非晶類金剛石碳等等。

可在碳層12上面形成障壁層31及33，其可包含氮化鈦、氮化鈮、氮化鎢或另一類似障壁層材料。

根據本發明之實例性實施例，可使用如圖4A至圖4F中所繪示之一連續側壁圖案化製程來形成大致平行、大致共面的記憶體線或軌道。圖4A繪示可在本發明之雙側壁圖案化製程中使用之一實例層堆疊400之剖面。如所展示，一第一模板層402沈積於一蝕刻終止層404上。蝕刻終止層404位於一第二模板層406上，該第二模板層形成於一選用之黏合層408上或直接形成於一導電層410上。導電層410

形成於一黏合層412上，該黏合層接合至一層間電介質414。如上文所指示，其他記憶體及/或佈線層可形成於層堆疊400上面及下面。

第一模板層402及第二模板層406可係氮化矽( $\text{Si}_3\text{N}_4$ )或任一可實行的模板材料。此等層之厚度可係處於大約50奈米與大約500奈米之間。蝕刻終止層404可係二氧化矽( $\text{SiO}_2$ )或任一可實行的蝕刻終止材料且其厚度可係處於大約10奈米與大約200奈米之間。黏合層408、412可係氮化鈦( $\text{TiN}$ )、氮化鉭( $\text{TaN}$ )、氮化鎢( $\text{WN}$ )或任一可實行的黏合材料且其厚度可係處於大約20埃至大約500埃之間，且較佳地係大約100埃。可採用其他黏合層材料及/或厚度。在一些實施例中，黏合層408、412可係選用的。

導電層410可包含任一適合的導電材料，諸如鎢(W)或另一適當金屬、經重度摻雜之半導體材料、一導電矽化物、一導電矽化物-鍍化物、一導電鍍化物或藉由任一適合的方法(例如，化學氣相沈積(「CVD」)、物理氣相沈積(「PVD」)等等)沈積之任一可實行的佈線材料。在至少一個實施例中，導電層106可係厚度為大約200埃至大約2500埃之鎢。可使用其他導電層材料及/或厚度。

轉至圖4B，使用與可用微影及圖案化技術具有同量的最小間距之習用微影(例如，32奈米技術)圖案化第一模板層402以使其具有軌道/線(或其他特徵)。圖4B中所展示之線特徵延伸進入及超出該頁，且以剖面方式將其展示。接下來，藉由沈積(例如)一多晶矽保形襯墊且執行一等向性蝕



刻步驟，在第一模板層402中所圖案化之線特徵之側上形成一側壁硬遮罩416。所得的側壁硬遮罩416包含第一模板層402線特徵之任一側上的側壁間隔件，如圖4B中所展示。該側壁硬遮罩416具有小於原始線圖案之最小間距之一間距，例如該原始線圖案之間距之大約一半。該等側壁間隔件以具有大於二分之一最小間距之一寬度之空間分開。舉例而言，該等空間之寬度與該等線特徵之寬度之比率可係約3:1。可使用多晶矽或任一可實行的材料來形成側壁硬遮罩416。然後可使用一濕式蝕刻製程來移除側壁硬遮罩416間隔件之間剩餘的第一模板層402(亦即，線特徵)，如圖4C中所展示。在一些實施例中，第二模板層406選擇性地可為SiO<sub>2</sub>或具有與第一模板層402類似的一蝕刻率比率以使得沒必要存在一蝕刻終止層404。

接下來，使用該「半間距」側壁硬遮罩416將該第二模板層406圖案化成半間距線，如圖4D中所展示。再一次藉由沈積一保形襯墊及執行一等向性蝕刻步驟，在第二模板層406中所圖案化之線之側壁上形成一側壁硬遮罩418。所得的側壁硬遮罩418包含第二模板層406線結構之任一側上的側壁間隔件，如圖4E中所展示。此第二側壁硬遮罩418具有小於「半間距」側壁硬遮罩416之間距的一間距，例如原始線圖案之間距之大約四分之一。然後可使用一濕式蝕刻製程來移除側壁硬遮罩418之間剩餘的第二模板層406。

然後可使用「四分之一間距」側壁硬遮罩418來蝕刻導

體層410以形成諸如記憶體線(例如，位元線及字線)之四分之一間距結構，如圖4F中所展示。然後可沈積一電介質間隙填充材料 $\text{SiO}_2$ 且可使用一平坦化製程以拉平四倍之HP凸起經圖案化特徵。可使用其他電介質材料(諸如氮化矽、氮氧化矽、低K電介質等等)及/或其他電介質層厚度。實例性低K電介質包含摻碳氧化物、矽碳層或類似層。

現在轉至圖5A至圖5F，圖解說明使用根據本發明之一連續側壁圖案化製程形成大致平行、大致共面的記憶體線或軌道之一第二實例製程。圖5A繪示可在本發明之一雙側壁圖案化製程中使用之一實例層堆疊500之剖面。如所展示，一第一模板層502沈積於一蝕刻終止層504上。蝕刻終止層504位於一第二模板層506上，該第二模板層形成於一第二蝕刻終止層508上。第二蝕刻終止層508形成於一層間電介質510上。如上文所指示，其他記憶體及/或佈線層可形成於層堆疊500上面及下面。

第一模板層502及第二506可係氮化矽( $\text{Si}_3\text{N}_4$ )或任一可實行的模板材料。此等層之厚度可係處於大約50奈米與大約500奈米之間。蝕刻終止層504、508可係二氧化矽( $\text{SiO}_2$ )或任一可實行的蝕刻終止材料且其厚度可係處於大約10奈米與大約200奈米之間。在一些實施例中，蝕刻終止層504、508可係選用的。

轉至圖5B，使用與可用微影及圖案化技術具有同量的最小間距之習用微影(例如，32奈米技術)圖案化第一模板層502以使其具有軌道/線(或其他特徵)。圖5B中所展示之線

特徵延伸進入及超出該頁，且以剖面方式將其展示。接下來，藉由沈積(例如)一多晶矽保形襯墊且執行一等向性蝕刻步驟，在第一模板層502中所圖案化之線特徵之側上形成一側壁硬遮罩512。所得的側壁硬遮罩512包含第一模板層502線特徵之任一側上的側壁間隔件，如圖5B中所展示。該側壁硬遮罩512具有小於原始線圖案之最小間距之一間距，例如該原始線圖案之間距之大約一半。該等側壁間隔件以具有大於二分之一最小間距之一寬度之空間分開。舉例而言，該等空間之寬度與線特徵502之寬度之比率可係約3:1。可使用多晶矽或任一可實行的材料來形成側壁硬遮罩512。然後可使用一濕式蝕刻製程來移除側壁硬遮罩512間隔件之間剩餘的第一模板層502(亦即，線特徵)，如圖5C中所展示。亦可使用蝕刻製程來移除側壁硬遮罩512間隔件之間的選用之蝕刻終止層504。在一些實施例中，第二模板層506可選性地可係SiO<sub>2</sub>或具有與第一模板層502類似的一蝕刻率比率以使得沒必要存在一蝕刻終止層504。

接下來，使用該「半間距」側壁硬遮罩512將該第二模板層506圖案化成半間距線，如圖5D中所展示。舉例而言，可對第二選用之蝕刻終止層508使用一定時蝕刻或一端點偵測蝕刻。轉至圖5E，可在線特徵506上以保形方式沈積導電材料514以形成側壁導體。視情況，可在導電材料514之前沈積一黏合層/障壁層材料516。在一些實施例中，TiN可能用作黏合層材料516且W可能用作導電材料

514。在其他實施例中，Ta<sub>2</sub>N可能用作黏合層/障壁層材料516且銅(Cu)可能用作導電材料514。在此等實施例中，隨後可使用一選擇性沈積製程用無電極電鍍Ta<sub>2</sub>N來塗佈該等Cu線。

接下來，可沈積一電介質材料(諸如SiO<sub>2</sub>)且可使用一平坦化製程(例如，化學機械平坦化、回蝕等等)以拉平四倍之HP凸起經沈積特徵。可使用其他電介質材料(諸如氮化矽、氮氧化矽、低K電介質等等)及/或其他電介質層厚度。實例性低K電介質包含摻碳氧化物、矽碳層或類似層。在一些實施例中，可如圖5F中所展示移除剩餘的第二模板層材料506且然後可沈積一電介質間隙填充材料並將其平坦化。

現在轉至圖6A至圖6F，闡述使用一連續側壁圖案化製程形成用於圖案化一記憶體單元陣列之一遮罩之實例方法。圖6A繪示可在本發明之側壁圖案化製程中使用之一實例層堆疊600之剖面。如所展示，一第一模板層602沈積於一遮罩層604上。一選用之蝕刻終止層(未展示)可沈積於第一模板層602與遮罩層604之間。遮罩層604形成於一選用之黏合層606上，該選用之黏合層接合至一層間電介質及記憶體堆疊層608。記憶體堆疊層608可包含上文所闡述或此項技術中已知之任一組可實行的記憶體材料。亦如上文所指示，其他記憶體及/或佈線層可形成於層堆疊600上面及下面。

第一模板層602可係氮化矽(Si<sub>3</sub>N<sub>4</sub>)、二氧化矽(SiO<sub>2</sub>)或任

一可實行的模板材料。此層之厚度可係處於大約50奈米與大約500奈米之間。可採用其他厚度。選用之蝕刻終止層(未展示)可係二氧化矽( $\text{SiO}_2$ )或任一可實行的蝕刻終止材料且其厚度可係處於大約10奈米與大約200奈米之間。可採用其他厚度。黏合層606可係氮化鈦( $\text{TiN}$ )、氮化鉭( $\text{TaN}$ )、氮化鎢( $\text{WN}$ )或任一可實行的黏合材料且其厚度可係處於大約20埃至大約500埃之間，且其厚度較佳地係大約100埃。可採用其他黏合層材料及/或厚度。在一些實施例中，一黏合層606可係選用的。

遮罩層604可包含任一適合的硬遮罩材料，諸如鎢( $\text{W}$ )或另一適當金屬、經重度摻雜之半導體材料、矽化物、矽化物-鍍化物、鍍化物或藉由任一適合的方法(例如，化學氣相沈積(「CVD」)、物理氣相沈積(「PVD」)等等)沈積之任一可實行的材料。在至少一個實施例中，遮罩層604可係厚度為大約200埃至大約2500埃之鎢。可使用其他遮罩層材料及/或厚度。

轉至圖6B，使用與可用微影及圖案化技術具有同量的最小間距之習用微影(例如，32奈米技術)圖案化第一模板層602以使其具有軌道/線(或其他特徵)。圖6B中所展示之線特徵延伸進入及超出該頁，且以剖面方式將其展示。換言之，相對於圖6B之左下角中的笛卡爾參考座標系，該等線特徵沿垂直於所繪示之X及Z方向兩者之一Y方向延伸。

接下來，藉由沈積(例如)一多晶矽保形襯墊且執行一等向性蝕刻步驟，在第一模板層602中所圖案化之線特徵之

側上形成一側壁硬遮罩610。所得的側壁硬遮罩610包含第一模板層602線特徵中之每一者之任一側上的側壁間隔件，如圖6B中所展示。該側壁硬遮罩610具有小於原始線圖案之最小間距之一間距，例如該原始線圖案之間距之大約一半。該等側壁間隔件以具有大於二分之一最小間距之一寬度之空間分開。舉例而言，該等空間之寬度與線特徵602之寬度之比率可係約3:1。可使用多晶矽或任一可實行的材料來形成側壁硬遮罩610。然後可使用一濕式蝕刻製程來移除側壁硬遮罩610間隔件之間剩餘的第一模板層602(亦即，線特徵)。亦可使用蝕刻製程來移除側壁硬遮罩610間隔件之間的任一選用之蝕刻終止層。

然後可使用「二分之一間距」側壁硬遮罩610來蝕刻遮罩層604以形成諸如一軌道圖案之四分之一間距結構，如圖6C中所展示。應記得，圖6C係該結構之一剖面視圖，且該軌道圖案沿進入及超出該圖式頁之Y方向延伸。然後可沈積一電介質間隙填充材料(例如， $\text{SiO}_2$ )且可使用一平坦化製程以拉平兩倍之HP凸起經圖案化特徵。可使用其他電介質材料(諸如氮化矽、氮氧化矽、低K電介質等等)及/或其他電介質層厚度。實例性低K電介質包含摻碳氧化物、矽碳層或類似層。

現在轉至圖6D，然後在經平坦化之遮罩層604上形成一第二模板層612(例如， $\text{Si}_3\text{N}_4$ )。視情況，可在第二模板層612與遮罩層604之間沈積一黏合層614。注意，圖6D繪示相對於圖6C之剖面視圖旋轉了九十度之結構600之一剖面

視圖。換言之，被圖案化成遮罩層604之線特徵跨越該頁之寬度而延伸而不是延伸進入及超出該頁。亦注意，左下角中的笛卡爾參考座標系已旋轉以反映此不同的視圖。

接下來，在第二模板層612上重複上文相對於第一模板層604所闡述之圖案化製程但將其旋轉大約九十度。換言之，由於使用與上文相對於第一模板層604所闡述相同的製程，因此如圖6E中所展示一第二「半間距」側壁硬遮罩616形成有沿大約垂直於第一「半間距」側壁硬遮罩610(其不再是該結構之部分)之方向而行進之線特徵。因此，在第二模板層612中形成沿X方向延伸之一線圖案且形成一第二「半間距」側壁硬遮罩616。

接下來，使用第二「半間距」側壁硬遮罩616以將該遮罩層604圖案化成如圖6F中所展示之半間距長方體形狀的支柱特徵之一陣列。圖7中展示所得結構600之一透視圖。然後可使用經圖案化之遮罩層604以藉由蝕刻未被經圖案化之遮罩層604覆蓋之下伏ILD/記憶體堆疊608來形成半間距長方體形狀的記憶體單元支柱之一陣列。

接下來，可沈積一電介質材料(諸如 $\text{SiO}_2$ )且可使用一平坦化製程(例如，化學機械平坦化、回蝕等等)以拉平記憶體單元陣列。可使用其他電介質材料(諸如氮化矽、氮氧化矽、低K電介質等等)及/或其他電介質層厚度。實例性低K電介質包含摻碳氧化物、矽碳層或類似層。在一些實施例中，遮罩層604可如上文所指示係鎢，且可將一鎢層故意留在記憶體單元支柱之頂部上。

在替代性實施例中，可以二維方式使用上文相對於圖4A至圖4F所闡述之一雙連續側壁圖案化製程以形成一支柱陣列。將所得的遮罩層圖案化成可用以形成四分之一間距長方體形狀的記憶體單元支柱之一陣列之四分之一間距陣列。換言之，本發明亦可用以形成具有「4X」半間距凸起之一記憶體陣列。

本發明亦提供用於引出及引入記憶體陣列區塊之記憶體線之一成本降低的佈局圖案。發明性記憶體線佈局適應可使用一連續側壁界定製程而在記憶體陣列區塊中達成之小間距以構造記憶體陣列。上文詳細闡述側壁界定製程。

根據本發明之其他態樣，X及Y記憶體線(例如，位元線及字線)以自記憶體陣列區塊之相對側成對延伸之方式交錯，其中在交替對上具有切口形狀。此配置允許記憶體線對與該記憶體陣列區塊外面的其他對間隔開且同時允許該等線錯列以便可使切口形狀及導通孔(或介層孔)接觸墊更大(例如，以最小的嚴格公差)。因此，本發明允許位於毗鄰記憶體線對之間的切口形狀及該等接觸墊係記憶體線之半間距尺寸之(例如)四倍。

此外，本發明促進次微米三維記憶體陣列之製造成本降低。特定而言，本發明提供避免必須使用極紫外線微影(EUVL)或電子束直接寫入微影方法(例如，其中之兩者均相當昂貴)來形成具有大約32奈米以下的一半間距尺寸之記憶體線之方法。因此，使用本發明之方法，具有成本效益之64奈米微影工具(例如，用於形成記憶體線之微影工



具及用於形成具有64奈米之一標稱最小特徵大小之切口遮罩及介層孔之工具)可用以達成(例如)具有四個陣列線群組及四列介層孔之降至16奈米半間距尺寸之有效記憶體線圖案化。在一些實施例中，32奈米微影可用以達成降至8奈米半間距尺寸之有效記憶體線圖案化且64奈米微影工具可用以形成(例如)具有八個陣列線群組及八列介層孔之切口遮罩及介層孔。注意，就當前技術而言，此改良表示以下五代中之32奈米微影之延伸：陣列線自32奈米至22奈米、至16奈米、至11奈米、至8奈米，且表示切口遮罩及介層孔之64奈米微影之六代延伸。

在本發明之其他實施例中，EUV微影(例如)可用以達成降至6奈米半間距尺寸之有效記憶體線圖案化，且60奈米微影可用以形成具有十個陣列線群組及十列介層孔之切口遮罩及介層孔。然而，將理解本發明亦可用以延伸其他及未來技術。

更一般而言，本發明促進具有小於用以形成記憶體陣列線之一微影工具之標稱最小特徵大小能力之一半間距尺寸之記憶體線之使用。根據本發明，介層孔接觸區域及切口形狀可具有大於用以形成陣列線之微影工具之標稱最小特徵大小能力之一尺寸。介層孔定義比均勻線及空間定義更難。而且，可避免用以進一步降低陣列線間距之間距加倍技術用於介層孔處理。由於藉由使用間距加倍技術及更昂貴的製程及微影技術來降低陣列線間距，因此針對介層孔使用較簡單且不那麼昂貴的微影技術係有利的。

轉至圖8，展示三維記憶體陣列之一佈局1100。記憶體陣列1100包含一個或多個陣列區塊1102，該等陣列區塊包含一記憶體單元陣列。記憶體陣列線1104自陣列區塊1102之兩個或更多個側沿交替方向成對延伸。一多線間距鬆弛佈局1100係藉由一新穎陣列線佈局而達成。藉由形成在延伸進入一介層孔接觸區域1105中對終止於陣列區塊1102邊緣處之間交替之陣列線對1104而將切口遮罩形狀(下文所論述)之間距四等分。亦四等分介層孔形狀之間距，此乃因一半的陣列線終止且介層孔可配置成兩列，如(例如)圖9中將展示。藉由調整介層孔接觸區域1105中模板形狀1106之寬度及空間使延伸至介層孔接觸區域1105之陣列線對1104之成員之間的緊密空間鬆弛以提供兩倍以上的區域來放置一介層孔(未展示但參見圖9)及相比於陣列線間距係四倍大的介層孔形狀之一間距。雖然自陣列區塊1102延伸之線對1104在陣列1102之邊緣處不具有直接間距鬆弛，但一間距加倍技術(例如使用一模板層之一側壁定義製程)可用以以緊密半間距延伸線對104。

暫時轉至圖9，本發明之佈局之一特徵係陣列線對1104之間的模板形狀1106超過切口遮罩形狀1204之位置(圖9)或終止對之端而延伸超出陣列區塊1102。切口遮罩1204可終止毗鄰對且將毗鄰對分隔成個別電節點。此分隔用於在側壁界定線用於陣列中且不添加多線間距鬆弛技術之製程複雜性時之任一情形中。切口遮罩1204相比於陣列線1104可具有四倍之間距。延伸進入接觸區域中之陣列線群組可在

陣列 1102 之遠側處被一切口遮罩形狀 1204 分隔。延伸進入接觸區域中之陣列線 1104 可延伸進入一第二陣列區塊 1102 且可在兩個陣列之間分用。兩個陣列 1102 之遠側處之切口遮罩 1204 用以將對 1104 分隔成唯一電節點。

經過接觸區域中之切口遮罩 1204，模板形狀 1106 之寬度顯著增加，此乃因已剪切了一半的陣列線。在圖 8 中，舉例而言，「 $2F$ 」指示增加的寬度。模板形狀 1106 之間間隔亦可增加至大於微影之特徵大小之一寬度。形成於模板形狀 1106 之邊緣處的陣列線 1104 因此具有大於微影特徵大小之一間距，如圖 8 中「 $2F$ 」尺寸所指示，其中「 $F$ 」表示如圖 8 中所展示之陣列線 1104 之間距。 $F$  尺寸亦表示用於形成模板形狀 1106 之微影工具之半間距。由於用於該對之兩個線 1104 中之每一者之介層孔 1202 錯列，因此如圖 9 中所展示介層孔間距係  $4F$ 。圖 9 中指示第一介層孔列及第二介層孔列。

在一些實施例中，記憶體線可係大約 32 奈米降至大約 4 奈米寬且在線 1104 退出陣列區塊 1102 之點處分隔開大約 32 奈米降至大約 4 奈米之一距離。線對 1104 形成於一模板遮罩 1106 之任一側上。為針對該等陣列線達成大約相等的線及空間，在光微影及蝕刻製程期間模板形狀 1106 之大小可降低以使得模板寬度小於陣列區域中之模板空間。在緊密間距區中模板形狀 1106 之大小可自 32 奈米降低至大約 4 奈米。如圖 8 中所展示，陣列線對 1104 可延伸進入毗鄰陣列區塊 1102 中，如在三維矩陣記憶體晶片中可期望。使用下

文相對於圖9所闡述之一切口遮罩在陣列區塊之遠邊緣處使線對1104彼此斷開成單獨線。在一些實施例中，相對於所製造之記憶體線，模板遮罩1106係兩倍(2x)之半間距(HP)。在使用雙側壁圖案化之一些替代性實施例中，模板遮罩可係四倍(4x)之HP。

在操作中，藉由連接至由接觸區1105下面的陣列線驅動器電路控制之一資料匯流排(未展示)針對寫入操作電驅動陣列線且針對讀取操作感測陣列線。毗鄰陣列線1104連接至不同的資料匯流排線，該等不同的資料匯流排線中之每一者可藉助連接至該資料匯流排之讀取-寫入控制邏輯而處於一作用中或非作用中狀態。由於根據本發明線1104可如此緊密在一起，因此若毗鄰線同時作用中，則可存在干擾記憶體陣列1102之操作的電串擾。因此，在本發明之一另外態樣中，在任一給定時間僅一個交替線群組1104A或1104B可係作用中而其他線係非作用中。換言之，當線1104A攜載一信號時不使用線1104B，且當線1104B攜載一信號時不使用線1104A。此確保兩個毗鄰線1104A及1104B不同時作用中且在線之間提供充足間隔以避免串擾或其他干擾效應。在一些實施例中，在一給定時間僅每隔兩個或三個或四個之陣列線可係作用中。在其他實施例中，可使用避免線之間的干擾之任一線圖案。

再次轉至圖9，分別藉助交叉影線及水平線來指示介層孔接觸墊202及切口遮罩204區域之位置。介層孔提供將多個不同記憶體層上之記憶體線(或更一般而言導體)連接至

陣列線驅動器及其他支援電路之構件。一習用導通孔連接一電路之兩個不同層，然而一介層孔連接多個層。注意，如圖9中所展示，每一記憶體線1104穿過錯列的介層孔接觸墊1202中之一者以連接兩個毗鄰陣列區塊1102。藉由如所展示的那樣以一交替或棋盤圖案錯列介層孔接觸墊1202且對記憶體線1104進行選路，存在用於介層孔接觸墊1202之更多空間，即使記憶體線間距相對小。

如上文所指示，切口遮罩1204用以將使用模板遮罩1106而形成之記憶體線對1104分隔成兩個單獨導體。切口遮罩1204指示記憶體線1104之將被移除之一部分。在所展示之實例實施例中，切口遮罩1204係4x HP且以與四倍於陣列線之間距一樣大的一間距配置。換言之，本發明之佈局允許切口遮罩1204區域比記憶體線之間的距離大四倍。此意指與在不藉助本發明之情形下原本將可能之情形相比，可以大致更低精度要求(例如，以更寬鬆公差)且因此不那麼昂貴地製造切口遮罩1204。同樣，藉由錯列介層孔接觸墊1202，可使介層孔接觸墊1202更大以允許用於介層孔與記憶體線之間的不對準之一更大裕量(例如，更大公差)，此亦降低與必須使用精密且昂貴得多的製造工具相關聯之成本。

轉至圖10，展示本發明之記憶體線佈局1200B之一替代性實例實施例。在圖10中所繪示之實施例中，介層孔接觸墊1202錯列成四列且可以比符號8F所圖解說明之陣列間距大八倍之一間距。該等介層孔配置成一等級化或階梯式圖

案。在另外其他實施例中，可採用圖9之交替圖案及圖10之等級化圖案之任一可實行的組合以達成期望的介層孔間距。在又另外其他實施例中，可採用達成期望的4x HP或更大間隔之任一配置。

與圖9之實施例作比較，可在圖10之實施例中達成介層孔間距之進一步鬆弛。延伸進入接觸區中之一半的陣列線對1104以陣列線1104之大致未改變的間隔延伸經過前兩列介層孔1202且接觸於一第三及第四列介層孔1202中。介層孔1202錯列成四個列中且具有8F之一間距。若期望進一步增加介層孔間距則可將介層孔1202之位置錯列成四個以上的列。

圖11繪示可與切口遮罩1204一起使用之額外切口形狀1402。此等切口形狀可能大於或等於切口遮罩1204中其他形狀之4x HP大小。此等較大切口形狀1402可用於填料形狀或用以終止延伸超過上一記憶體陣列區塊1102之記憶體線1104。

圖12A至圖12D係在導通孔或介層孔接觸墊1202處相交之不同佈線層之記憶體線之實例配置之示意圖式。該等接觸墊係由對角交叉陰影區域表示。垂直交叉陰影區域表示其中形成線1104之一頂部導電層。實體黑色區域繪示形成於下一下部層中之一記憶體線1502。兩個線1104、1502可在一定程度上彼此重疊，然而由於使用不同的形狀其未完全重疊。可使用一側壁界定製程來完成兩個線之形成，舉例而言該側壁界定製程使用SiO<sub>2</sub>模板層、多晶矽側壁硬遮

罩、TiN黏合層及鎢(W)佈線層。

圖 12A 至圖 12D 中展示四個實例相交線對。在圖 12A 中，展示一直線 1104 與一方框或「C」形狀之線 1502 相交。在圖 12B 中，展示兩個臺階式線 1104、1502 相交且在圖 12C 中，展示兩個筆直的交叉線 1104、1502 相交。圖 12D 繪示一直線 1104 與一彎曲形狀之線 1502 相交。圖 12D 中所展示之配置可造成相交線之間的最大接觸面積。可能存在其他形狀及/或組合。本發明可使用呈一形狀之相交線之任一可實行的組合。

轉至圖 13，展示一介層孔 1202 及兩個相交導線 1104、1502 之一側視剖面圖。介層孔 1202 接觸導線 1104、1502 以在兩個線 1104、1502 之間形成電連接。當介層孔形成時，控制蝕刻以使得介層孔之邊界不連接至線 1104、1502。需要陣列線之邊界不超過介層孔，此乃因在一絕緣材料(諸如  $\text{SiO}_2$ ) 中蝕刻一特徵或孔(在其中填充介層孔材料(例如，諸如鎢))受到控制以僅往下到達期望導體(諸如陣列線 1502 或一控制節點 1504)。係該介層孔所接觸之最下部導體之控制節點 1504 可具有至該介層孔之一邊界(亦即，經形成以大於介層孔 1202)。如上文所提及，可使用一連續側壁界定製程來形成該等線，舉例而言，該連續側壁界定製程使用  $\text{SiO}_2$  模板層、多晶矽側壁硬遮罩、TiN 黏合層及 W 佈線層。

在另一實施例中，如圖 14 中所展示藉由一切口遮罩 1702 終止四個記憶體線 1104 群組而針對陣列線達成間距鬆弛。

被四個線分組增加切口遮罩1702之間距，此允許針對切口遮罩1702使用不那麼昂貴的微影工具。如所展示介層孔1202安置成四個列且具有 $8F$ 之一間距。若期望進一步增加介層孔間距則可將介層孔1202之位置安置成四個以上的列。在一些實施例中，亦可使用具有三個或四個以上的線之群組。在其他實施例中，可全部組合(1)由四個或更多的陣列線分組，(2)將介層孔錯列成更多的列，及(3)在除了一些介層孔列之外不增加間隔之情形下延伸每隔三個陣列線形狀群組。

在一些實施例中，係大致垂直的陣列線組之位元線及字線兩者均可使用本發明之間距及區域鬆弛。可沿陣列區塊之不同邊緣形成位元線及陣列線。根據本發明所形成之陣列線可由3D記憶體單元之兩個層分用。在一些實施例中，來自額外3D記憶體單元層之陣列線(例如用作位元線之彼等陣列線)可具有除圖9、10、11及14中所展示之彼等介層孔列之外的額外介層孔列。此外，一個層上的陣列線可經過且不電接觸與一第二層上之陣列線相關聯之介層孔。此等非接觸陣列線可以大致與陣列HP一樣小的特徵大小較佳地經過介層孔且可使用圖10之實施例及具有大致大於切口遮罩形狀之間距之一間距之介層孔。在其他實施例中，舉例而言，當陣列線用作一字線時，介層孔可接觸多個層上之陣列線，如圖13中所展示。

在一些實施例中，本發明提供一種用於佈置記憶體線之方法。該方法包含形成自一個或多個記憶體陣列區塊延伸



之複數個記憶體線，其中該等記憶體線具有小於用以形成記憶體線之一微影工具之標稱最小特徵大小能力之一半間距尺寸；及形成具有大於該微影工具之該標稱最小特徵大小能力之一尺寸之複數個介層孔接觸區域。該等記憶體線配置成經調適以允許一單個記憶體線與一單個介層孔接觸區域相交且在其他記憶體線之間提供用於其他介層孔接觸區域之區域之一圖案。

在其他實施例中，本發明提供三維記憶體。該記憶體包含被複數個介層孔耦合在一起之複數個記憶體層，每一介層孔在至少一個記憶體層上包含一介層孔接觸區域。每一記憶體層包含耦合至記憶體線之一個或多個記憶體陣列區塊。該等記憶體線自該等記憶體陣列區塊延伸。該等記憶體線具有小於用以形成該等記憶體線之一微影工具之標稱最小特徵大小能力之一半間距尺寸。該等介層孔接觸區域具有大於該微影工具之標稱最小特徵大小能力之一尺寸。該等記憶體線配置成經調適以允許一單個記憶體線與一單個介層孔接觸區域相交且在其他記憶體線之間提供用於其他介層孔接觸區域之區域之一圖案。

在另外其他實施例中，本發明提供用於三維記憶體之一記憶體層。記憶體層包含一個或多個記憶體陣列區塊；耦合至該等記憶體陣列區塊之複數個記憶體線；及用於將該記憶體層耦合至三維記憶體中之其他記憶體層之複數個介層孔接觸區域。該等記憶體線自該等記憶體陣列區塊延伸。該等記憶體線具有小於用以形成該等記憶體線之一微

影工具之標稱最小特徵大小能力之一半間距尺寸。該等介層孔接觸區域具有大於該微影工具之標稱最小特徵大小能力之一尺寸。該等記憶體線配置成經調適以允許一單個記憶體線與一單個介層孔接觸區域相交且在其他記憶體線之間提供用於其他介層孔接觸區域之區域之一圖案。

在又其他實施例中，本發明提供用於三維記憶體之一記憶體層。記憶體層包含複數個記憶體陣列區塊；耦合至該等記憶體陣列區塊之複數個記憶體線；及用於將該記憶體層耦合至三維記憶體中之其他記憶體層之複數個介層孔接觸區域。該等記憶體線自記憶體陣列區塊延伸且其係使用一側壁界定製程而形成。該等記憶體線具有小於用以形成該等記憶體線之一微影工具之標稱最小特徵大小能力之一半間距尺寸。該等介層孔接觸區域具有係記憶體線之半間距尺寸之大約四倍之一尺寸。該等記憶體線配置成經調適以允許一單個記憶體線與一單個介層孔接觸區域相交且在其他記憶體線之間提供用於其他介層孔接觸區域之區域之一圖案。

在又其他實施例中，記憶體線可自第一毗鄰線群組(亦即，具有兩個或更多個線之多個群組之一第一組)中之記憶體陣列之一邊緣延伸出去，該第一毗鄰線群組與終止於該陣列之該邊緣處之第二毗鄰線群組(亦即，具有兩個或更多個線之多個群組之一第二組)交錯。該等陣列線群組自該陣列延伸出去至包含多個介層孔列之一接觸區域。可存在在數目上大於或等於該複數個陣列線群組之複數個介

層孔。在一些實施例中，該複數個陣列線群組可較佳地係一偶數數目。

在又另外其他實施例中，根據本發明之三維記憶體陣列包含一記憶體陣列層，該記憶體陣列層包含一陣列及複數個記憶體線，其中該等記憶體線之部分大致彼此平行地自該陣列延伸。該等記憶體線之一第一子組自該陣列之一第一側延伸。該等記憶體線之一第二子組自該陣列之一第二側延伸。在記憶體線之該第一子組內，第一複數個記憶體線接近該陣列之一邊緣而終止。在記憶體線之該第一子組內，第二複數個記憶體線延伸超過該陣列之該邊緣進入一接觸區中。該接觸區包含經調適以將該第二複數個記憶體線耦合至支援電路之複數個觸點。該等觸點安置成兩個或更多個列。該等觸點列經安置而與該等記憶體線大致不平行且毗鄰記憶體線耦合至不同列中之觸點。

熟習此項技術者將理解，可使用其他類似技術來製造根據本發明之替代性記憶體結構。舉例而言，可形成二極體14下面包含一碳層12之記憶體單元。

前述說明僅揭示本發明之實例性實施例。熟習此項技術者將易於明瞭歸屬於本發明範疇內之對以上所揭示設備及方法之修改。例如，在以上實施例中之任一者中，碳基底材料可位於二極體14下面。如所陳述，雖然本發明已主要參照非晶碳闡述了本發明，但可類似地使用其他碳基底材料。此外，每一碳基底層較佳地形成於兩個導電層(諸如，氮化鈦或其他障壁層/黏合層)之間以形成與一操縱元

件串聯之一MIM堆疊。

因此，雖然本文已結合本發明之實例性實施例揭示了本發明，但應理解，其他實施例可歸屬於由以下申請專利範圍界定之本發明精神及範疇內。

### 【圖式簡單說明】

依據結合以下圖式考量之以上具體實施方式，可更清楚地理解本發明之特徵，所有圖式中相同的參考編號指示相同的元件。

圖1係根據本發明之實施例之一實例性記憶體單元之一圖。

圖2A係根據本發明之實施例之一實例性記憶體單元之一簡化透視圖。

圖2B係由複數個圖2A之記憶體單元形成之一第一實例性記憶體層級之一部分之一簡化透視圖。

圖2C係根據本發明之實施例之一第一實例性三維記憶體陣列之一部分之一簡化透視圖。

圖2D係根據本發明之實施例之一第二實例性三維記憶體陣列之一部分之一簡化透視圖。

圖3係根據本發明之實施例之一記憶體單元之一實例性實施例之一剖面視圖。

圖4A至圖4F圖解說明在實例性地製造根據本發明之實施例之一特徵期間一基板之一部分之剖面視圖之一第一序列。

圖5A至圖5F圖解說明在實例性地製造根據本發明之實

施例之一特徵期間一基板之一部分之剖面視圖之一第二序列。

圖 6A 至圖 6F 圖解說明在實例性地製造根據本發明之實施例之一特徵期間一基板之一部分之剖面視圖之一第三序列。

圖 7 係藉由圖 6A 至圖 6F 中所繪示之實例性製程形成之遮罩結構之一實例實施例之一俯視透視圖。

圖 8 係根據本發明之一些實施例之一記憶體線佈局之一實例配置之一示意性圖式。

圖 9 係根據本發明之一些實施例之包含切口形狀及接觸墊之一記憶體線佈局之一實例配置之一示意性圖式。

圖 10 係根據本發明之一些實施例之一記憶體線佈局之一實例替代性配置之一示意性圖式。

圖 11 係根據本發明之一些實施例之一記憶體線佈局之一實例額外替代性配置之一示意性圖式。

圖 12A 至圖 12D 係根據本發明之一些實施例在接觸墊/導通孔處相交之不同佈線層之記憶體線之實例配置之示意性圖式。

圖 13 係根據本發明之一些實施例具有相交佈線層之一接觸墊/導通孔之一側視剖面圖。

圖 14 係根據本發明之一些實施例之包含切口形狀及接觸墊之一記憶體線佈局之一實例配置之一示意性圖式。

### 【主要元件符號說明】

10                      記憶體單元

12	碳層
14	二極體
14a	n+多晶矽區
14b	純質區
14c	p+多晶矽區
20	第一導體
22	第二導體
24	障壁層
28	障壁層
30	第一記憶體層級
31	障壁層
33	障壁層
40a	單片式三維陣列
42	第一記憶體層級
44	第二記憶體層級
50	矽化物層
52	矽化物形成金屬層
54	側壁襯墊
58	電介質層
106	導電層
202	介層孔接觸墊
204	切口遮罩
400	層堆疊
402	第一模板層

404	蝕刻終止層
406	第二模板層
408	黏合層
410	導電層
412	黏合層
414	層間電介質
416	側壁硬遮罩
418	側壁硬遮罩
500	層堆疊
502	第一模板層
504	蝕刻終止層
506	第二模板層
508	蝕刻終止層
510	層間電介質
512	側壁硬遮罩
514	導電材料
516	黏合層材料
600	層堆疊
602	第一模板層
604	遮罩層
606	黏合層
608	記憶體堆疊層
610	側壁硬遮罩
612	第二模板層

614	黏合層
616	側壁硬遮罩
1100	記憶體陣列
1102	陣列區塊
1104	記憶體陣列線
1104A	線
1104B	線
1105	介層孔接觸區域
1106	模板形狀
1200B	記憶體線佈局
1202	介層孔接觸墊
1204	切口遮罩
1402	切口形狀
1502	記憶體線
1504	控制節點
1702	切口遮罩



# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：99136513

※申請日：99.10.16

※IPC 分類：H01L 21/027 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/8247 (2006.01)

於記憶體單元使用連續側壁圖案化來形成支柱之方法

METHODS OF FORMING PILLARS FOR MEMORY CELLS USING  
SEQUENTIAL SIDEWALL PATTERNING

## 二、中文發明摘要：

本發明提供用於使用連續側壁圖案化形成用於記憶體單元之支柱之製造記憶體結構方法之裝置、方法及系統。本發明包含：由位於一記憶體層堆疊上面之一第一模板層形成第一特徵；毗鄰該等第一特徵形成第一側壁間隔件；藉由將該等第一側壁間隔件用作一硬遮罩而在一遮罩層中形成沿一第一方向延伸之第二特徵；在該遮罩層上沈積一第二模板層；由該第二模板層形成第三特徵；毗鄰該等第三特徵形成第二側壁間隔件；及藉由將該等第二側壁間隔件用作一硬遮罩而在該遮罩層中形成沿一第二方向延伸之第四特徵。揭示眾多額外態樣。

### 三、英文發明摘要：

The present invention provides apparatus, methods, and systems for fabricating memory structures methods of forming pillars for memory cells using sequential sidewall patterning. The invention includes forming first features from a first template layer disposed above a memory layer stack; forming first sidewall spacers adjacent the first features; forming second features that extend in a first direction in a mask layer by using the first sidewall spacers as a hardmask; depositing a second template layer on the mask layer; forming third features from the second template layer; forming second sidewall spacers adjacent the third features; and forming fourth features that extend in a second direction in the mask layer by using the second sidewall spacers as a hardmask. Numerous additional aspects are disclosed.

## 七、申請專利範圍：

1. 一種形成用於圖案化一記憶體陣列之一遮罩之方法，其包括：
  - 由位於一記憶體層堆疊上面之一第一模板層形成第一特徵；
  - 毗鄰該等第一特徵形成第一側壁間隔件；
  - 藉由將該等第一側壁間隔件用作一硬遮罩而在一遮罩層中形成沿一第一方向延伸之第二特徵；
  - 在該遮罩層上沈積一第二模板層；
  - 由該第二模板層形成第三特徵；
  - 毗鄰該等第三特徵形成第二側壁間隔件；及
  - 藉由將該等第二側壁間隔件用作一硬遮罩而在該遮罩層中形成沿一第二方向延伸之第四特徵。
2. 如請求項1之方法，其進一步包括將包含該等第二及第四特徵之該遮罩層用作一硬遮罩以蝕刻該記憶體層堆疊而形成記憶體單元支柱。
3. 如請求項1之方法，其中使用具有一最小間距能力之一微影裝置形成該等第一特徵，且其中使用該微影裝置之該最小間距能力以一最小間距形成該等第一特徵。
4. 如請求項3之方法，其中該等第一側壁間隔件具有小於該最小間距之一間距。
5. 如請求項3之方法，其中該等第一側壁間隔件具有係該最小間距之大約一半之一間距。
6. 如請求項3之方法，其中該等第二側壁間隔件具有小於

該最小間距之一間距。

7. 如請求項3之方法，其中該等第二側壁間隔件具有係該最小間距之大約一半之一間距。

8. 如請求項1之方法，其進一步包括：

在沈積該第二模板層之前移除該等第一側壁間隔件。

9. 一種用於圖案化一記憶體陣列之遮罩，其包括：

一結構，其形成有：第一特徵，該等第一特徵由位於一記憶體層堆疊上面之一第一模板層形成；第一側壁間隔件，該等第一側壁間隔件毗鄰該等第一特徵而形成；第二特徵，該等第二特徵在一遮罩層中沿一第一方向延伸且藉由將該等第一側壁間隔件用作一硬遮罩而形成；一第二模板層，其沈積於該遮罩層上；第三特徵，該等第三特徵由該第二模板層形成；第二側壁間隔件，該等第二側壁間隔件毗鄰該等第三特徵而形成；及第四特徵，該等第四特徵在該遮罩層中沿一第二方向延伸且藉由將該等第二側壁間隔件用作一硬遮罩而形成。

10. 如請求項9之遮罩，其中該等第一特徵係使用具有一最小間距能力之一微影裝置形成，且其中該等第一特徵係使用該微影裝置之該最小間距能力以一最小間距形成。

11. 如請求項10之遮罩，其中該等第一側壁間隔件具有小於該最小間距之一間距。

12. 如請求項10之遮罩，其中該等第一側壁間隔件具有係該最小間距之大約一半之一間距。

13. 如請求項10之遮罩，其中該等第二側壁間隔件具有小於

該最小間距之一間距。

14. 如請求項10之遮罩，其中該等第二側壁間隔件具有係該最小間距之大約一半之一間距。
15. 如請求項9之遮罩，其中該等第一側壁間隔件在沈積該第二模板層之前被移除。
16. 一種使用如請求項9之遮罩而形成之記憶體單元陣列。
17. 一種形成用於圖案化一記憶體陣列之一遮罩之方法，其包括：

由位於一記憶體層堆疊上面之一第一模板層形成第一特徵；

毗鄰該等第一特徵形成第一側壁間隔件；

將該等第一側壁間隔件用作一硬遮罩而由一第二模板層形成第二特徵；

毗鄰該等第二特徵形成第二側壁間隔件；

藉由將該等第二側壁間隔件用作一硬遮罩而在一遮罩層中形成沿一第一方向延伸之第三特徵；

在該遮罩層上沈積一第三及第四模板層；

由一第三模板層形成第四特徵；

毗鄰該等第四特徵形成第三側壁間隔件；

將該等第三側壁間隔件用作一硬遮罩而由該第四模板層形成第五特徵；

毗鄰該等第五特徵形成第四側壁間隔件；及

藉由將該等第四側壁間隔件用作一硬遮罩而在該遮罩層中形成沿一第二方向延伸之第六特徵。

18. 如請求項17之方法，其進一步包括將包含該等第三及第六特徵之該遮罩層用作一硬遮罩以蝕刻該記憶體層堆疊而形成記憶體單元支柱。
19. 如請求項17之方法，其中使用具有一最小間距能力之一微影裝置形成該等第一及第四特徵，且其中使用該微影裝置之該最小間距能力以一最小間距形成該等第一及第四特徵。
20. 如請求項19之方法，其中該等第一及第三側壁間隔件具有小於該最小間距之一間距。
21. 如請求項20之方法，其中該等第一及第三側壁間隔件具有係該最小間距之大約一半之一間距。
22. 如請求項20之方法，其中該等第二及第四側壁間隔件具有小於該最小間距之一間距。
23. 如請求項20之方法，其中該等第二及第四側壁間隔件具有係該最小間距之大約四分之一之一間距。
24. 如請求項17之方法，其進一步包括：

在沈積該第三及第四模板層之前移除該等第一及第二側壁間隔件。
25. 一種用於圖案化一記憶體陣列之遮罩，其包括：

一結構，其形成有：第一特徵，該等第一特徵由位於一記憶體層堆疊上面之一第一模板層形成；第一側壁間隔件，該等第一側壁間隔件毗鄰該等第一特徵而形成；第二特徵，該等第二特徵藉由將該等第一側壁間隔件用作一硬遮罩而由一第二模板層形成；第二側壁間隔件，

該等第二側壁間隔件毗鄰該等第二特徵而形成；第三特徵，該等第三特徵在一遮罩層中沿一第一方向延伸且藉由將該等第二側壁間隔件用作一硬遮罩而形成；一第三及第四模板層，其沈積於該遮罩層上；第四特徵，該等第四特徵由一第三模板層形成；第三側壁間隔件，該等第三側壁間隔件毗鄰該等第四特徵而形成；第五特徵，該等第五特徵藉由將該等第三側壁間隔件用作一硬遮罩而由該第四模板層形成；第四側壁間隔件，該等第四側壁間隔毗鄰該等第五特徵而形成；及第六特徵，該等第六特徵在該遮罩層中沿一第二方向延伸且藉由將該等第四側壁間隔件用作一硬遮罩而形成。

26. 一種使用如請求項25之遮罩而形成之記憶體單元陣列。

八、圖式：

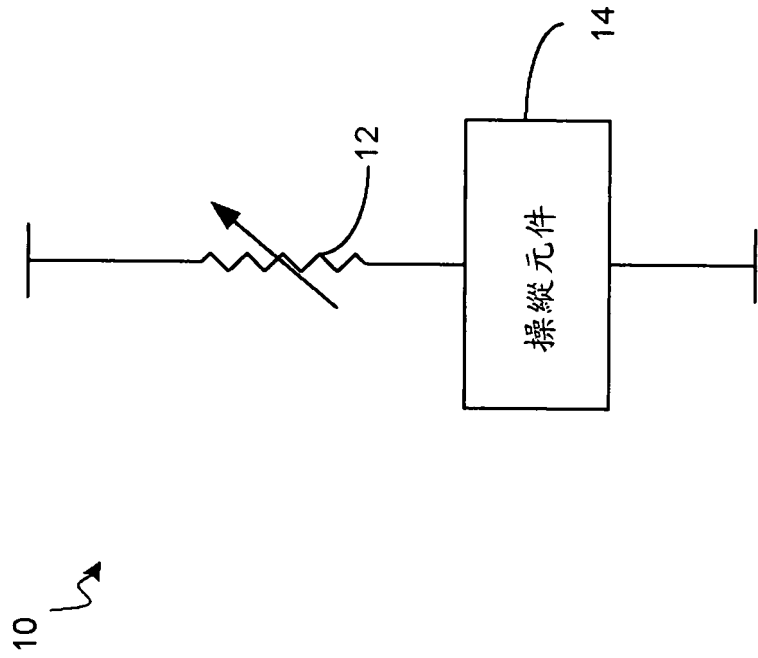


圖 1



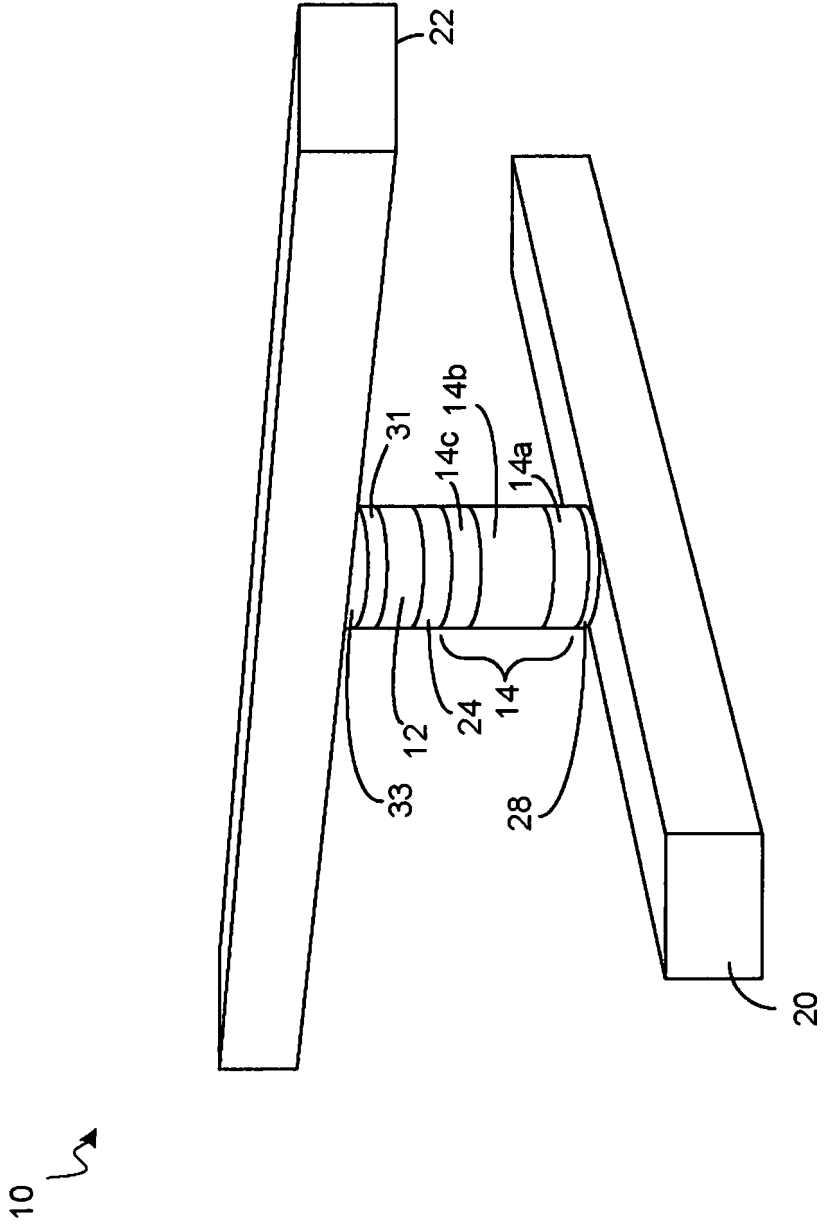


圖 2A

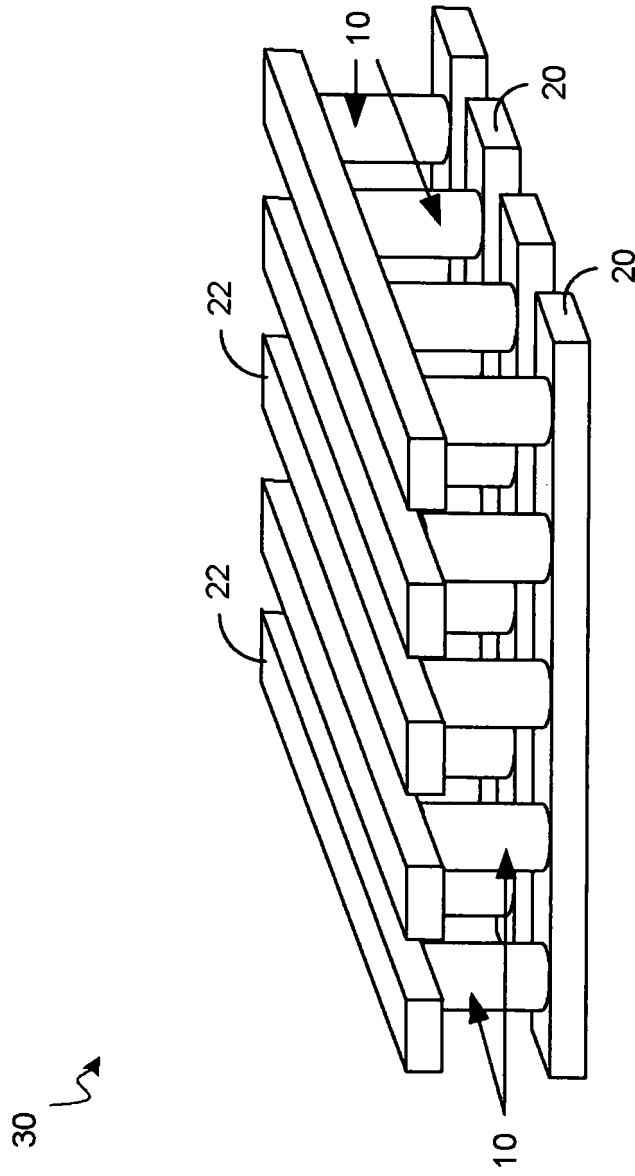


圖 2B

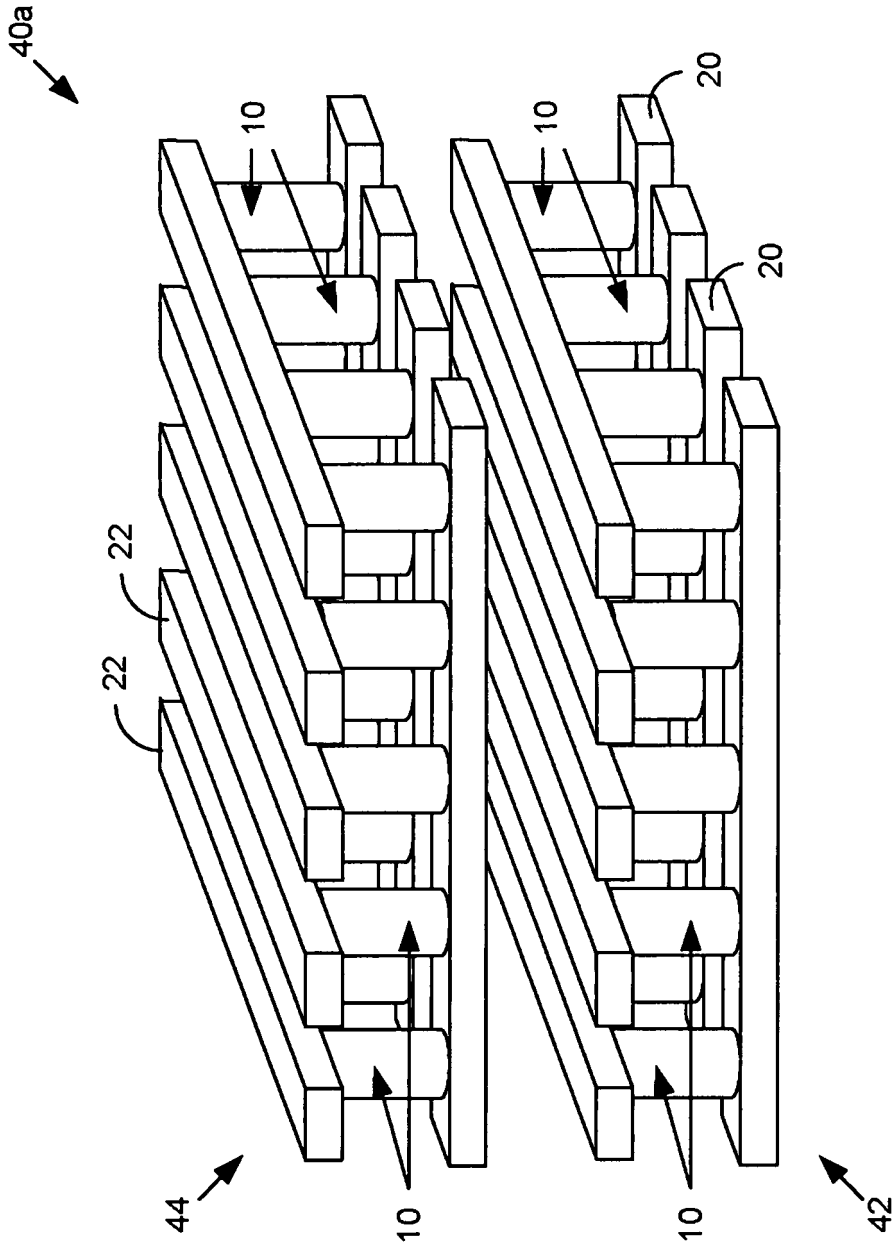


圖 2C

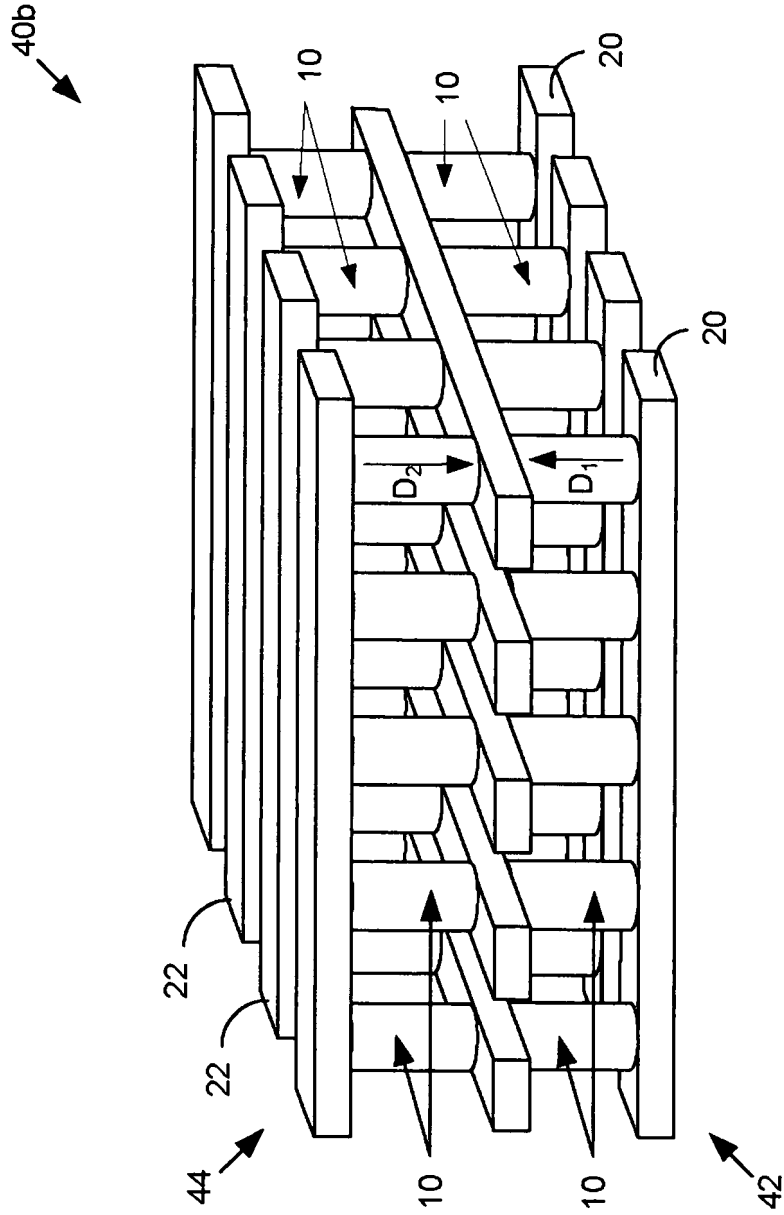


圖 2D

10 ↗

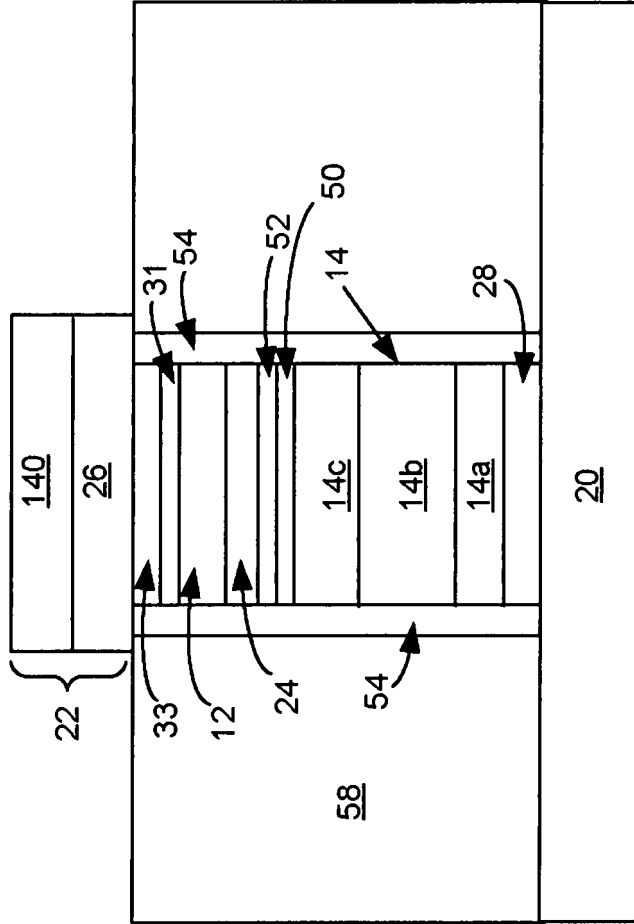


圖 3

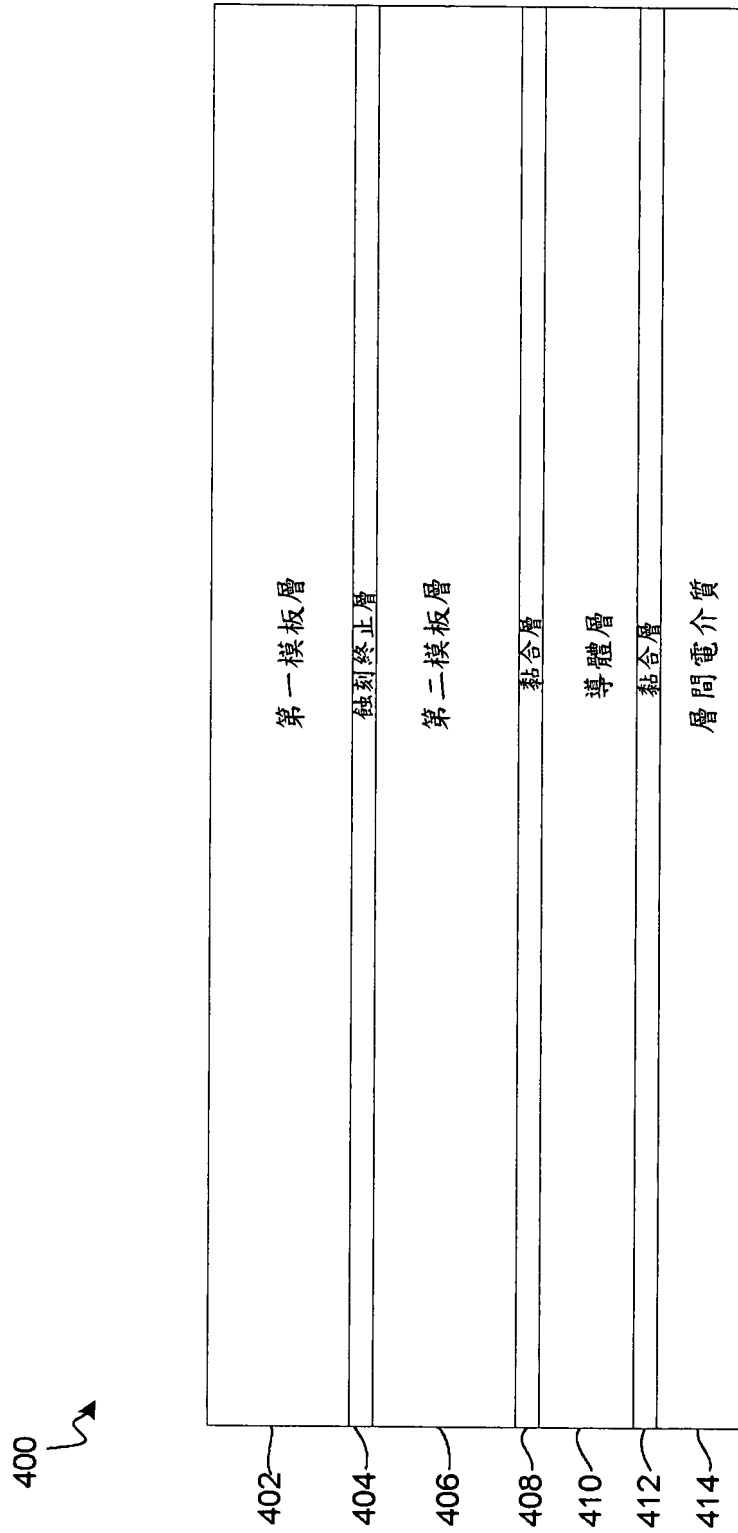


圖 4A

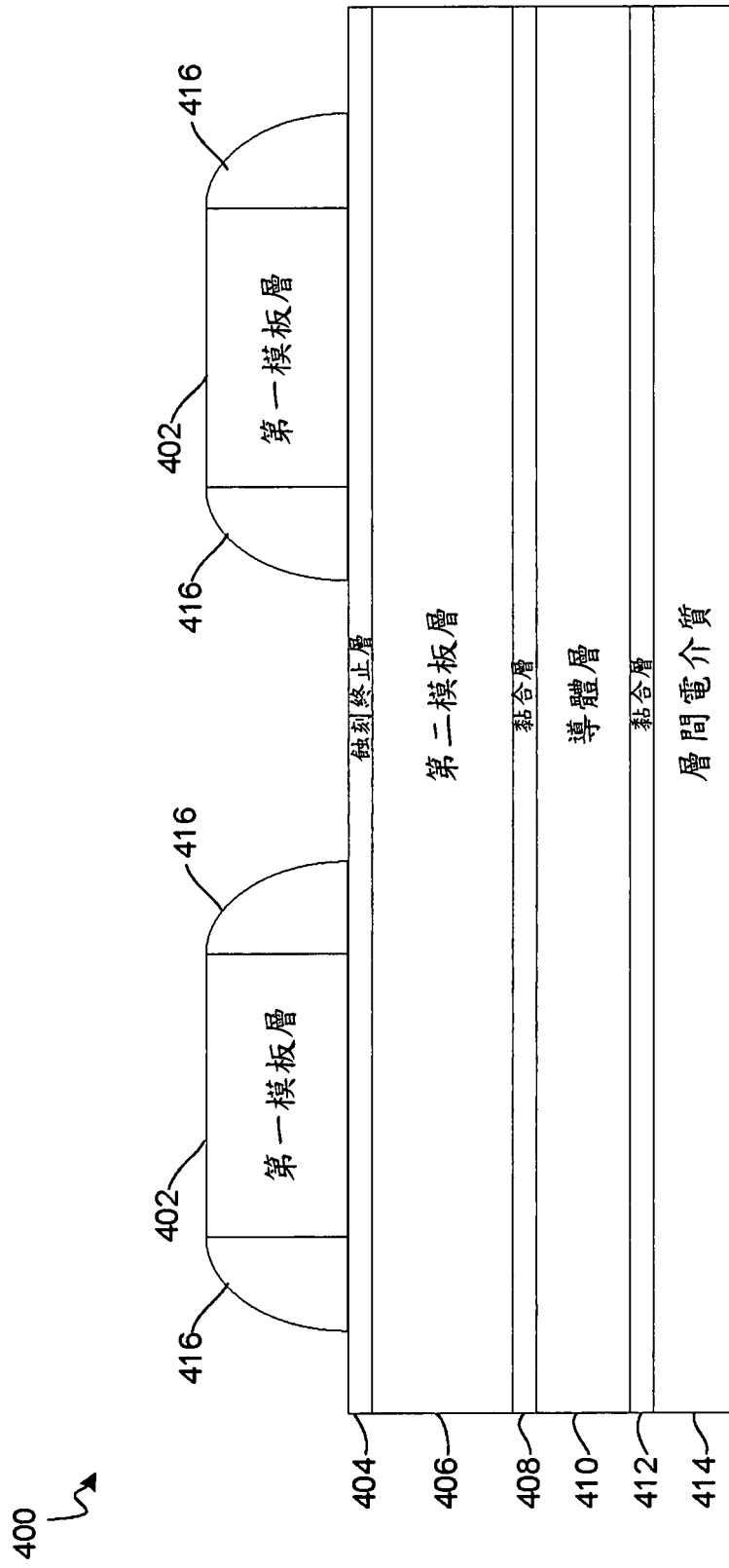


圖 4B

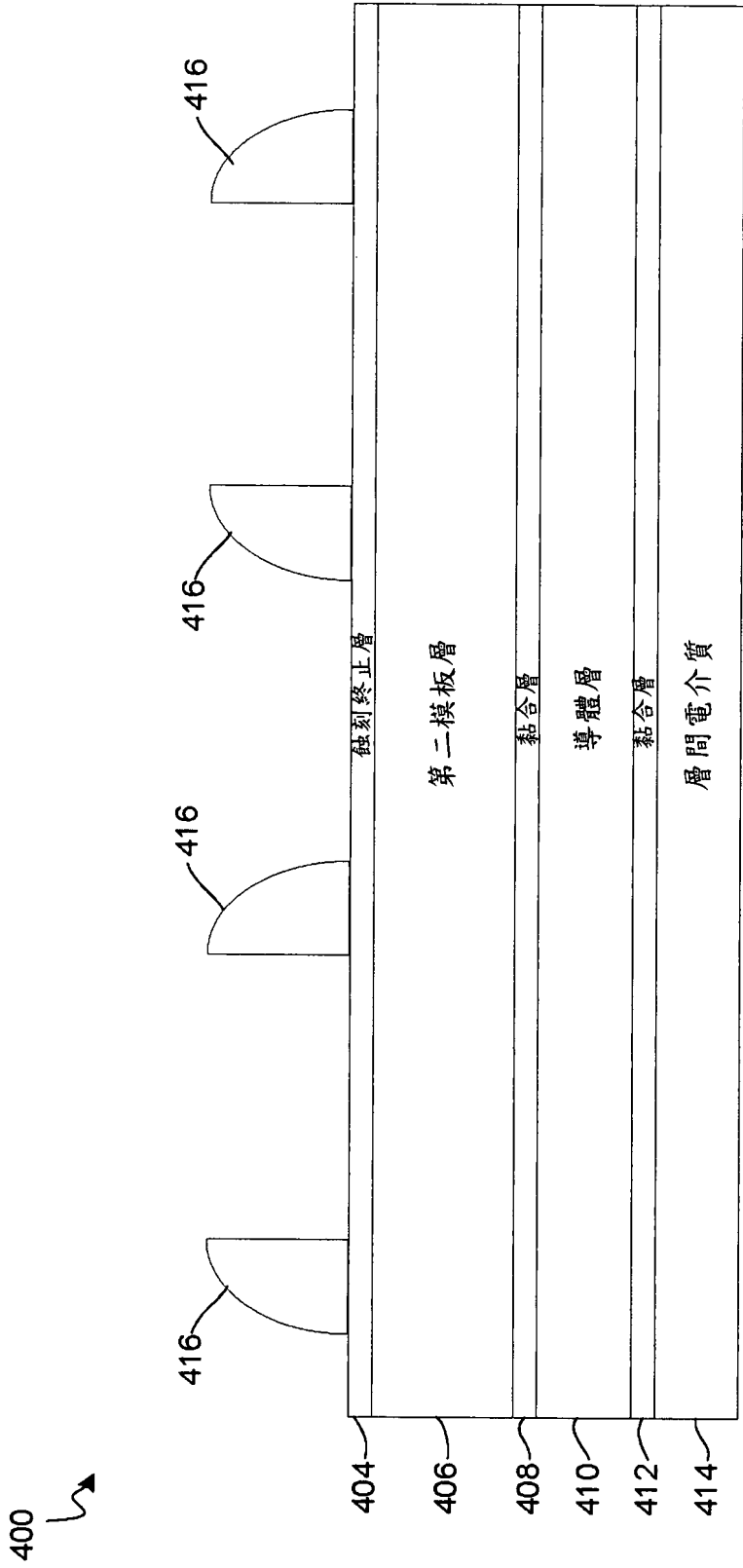


圖 4C



400 ↗

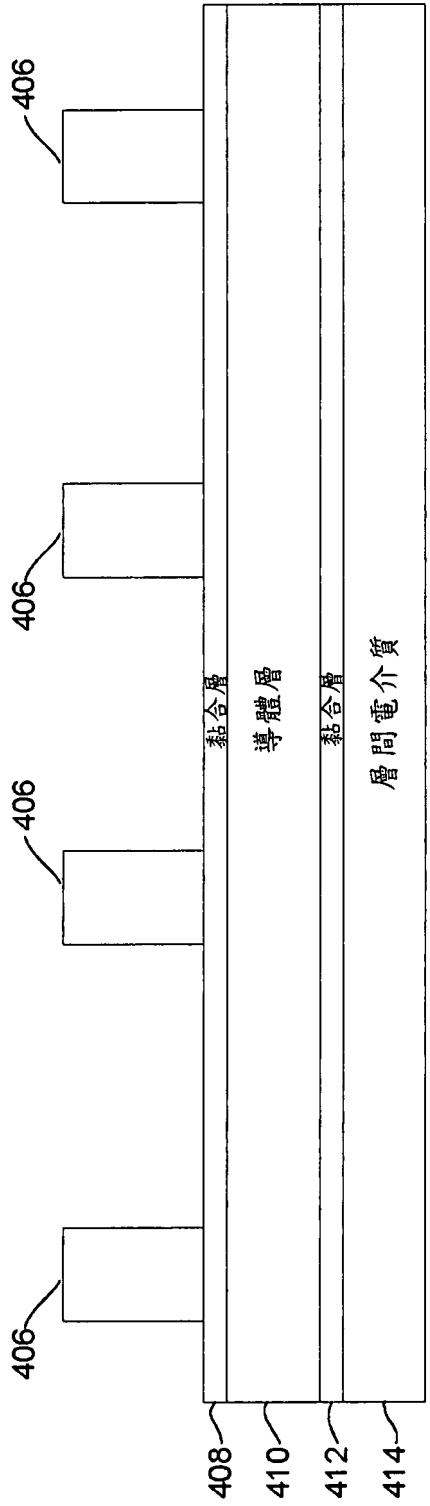


圖 4D

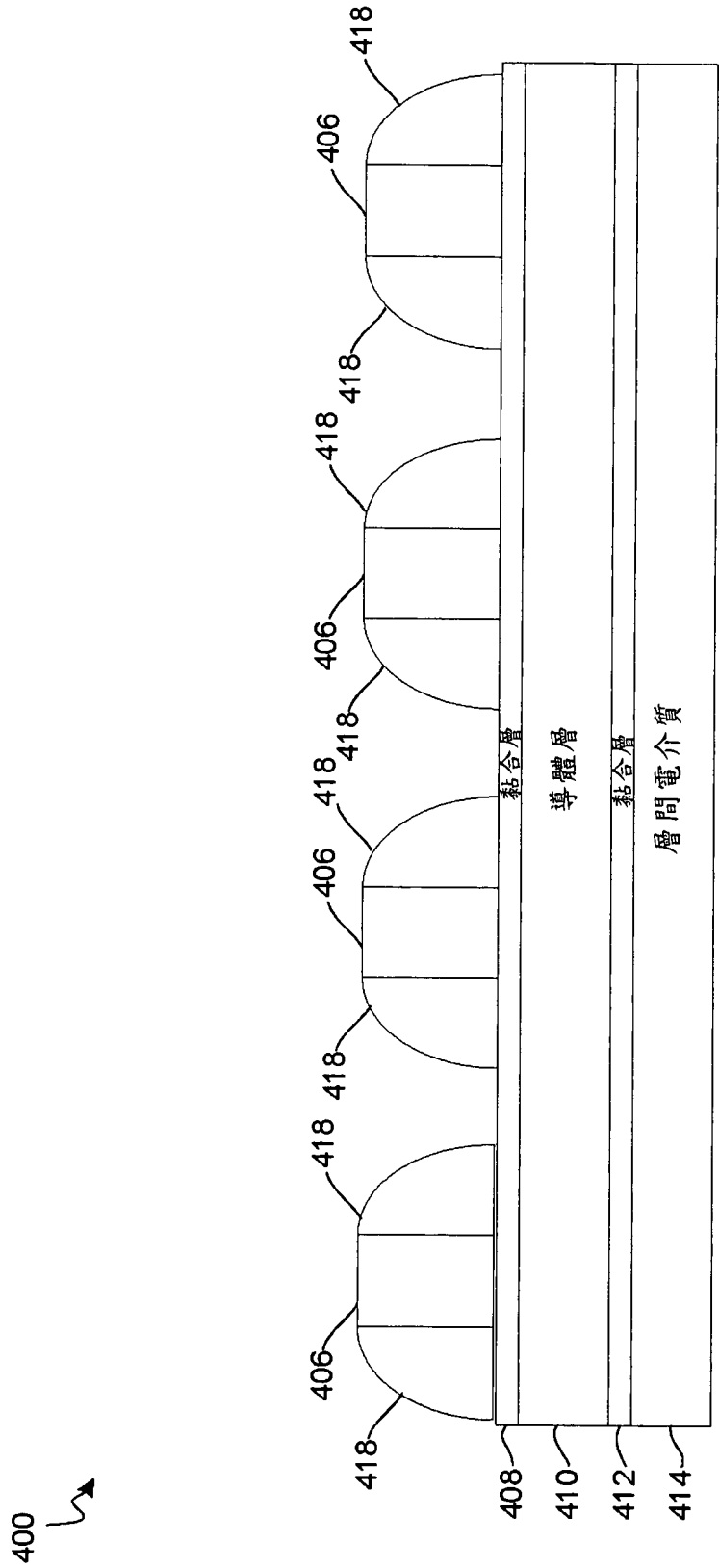


圖 4E

400

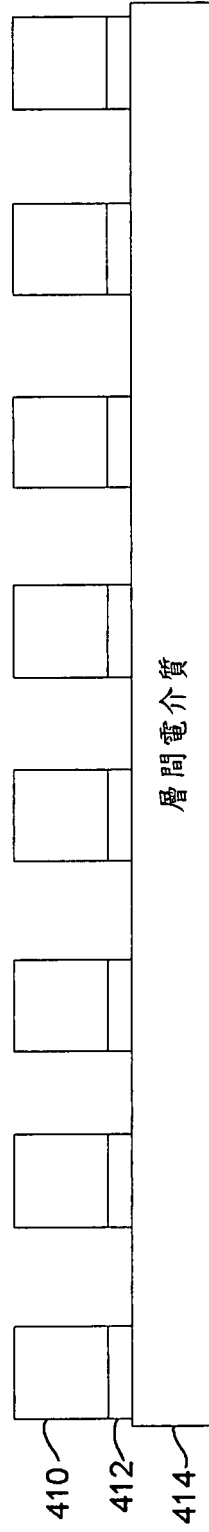


圖 4F

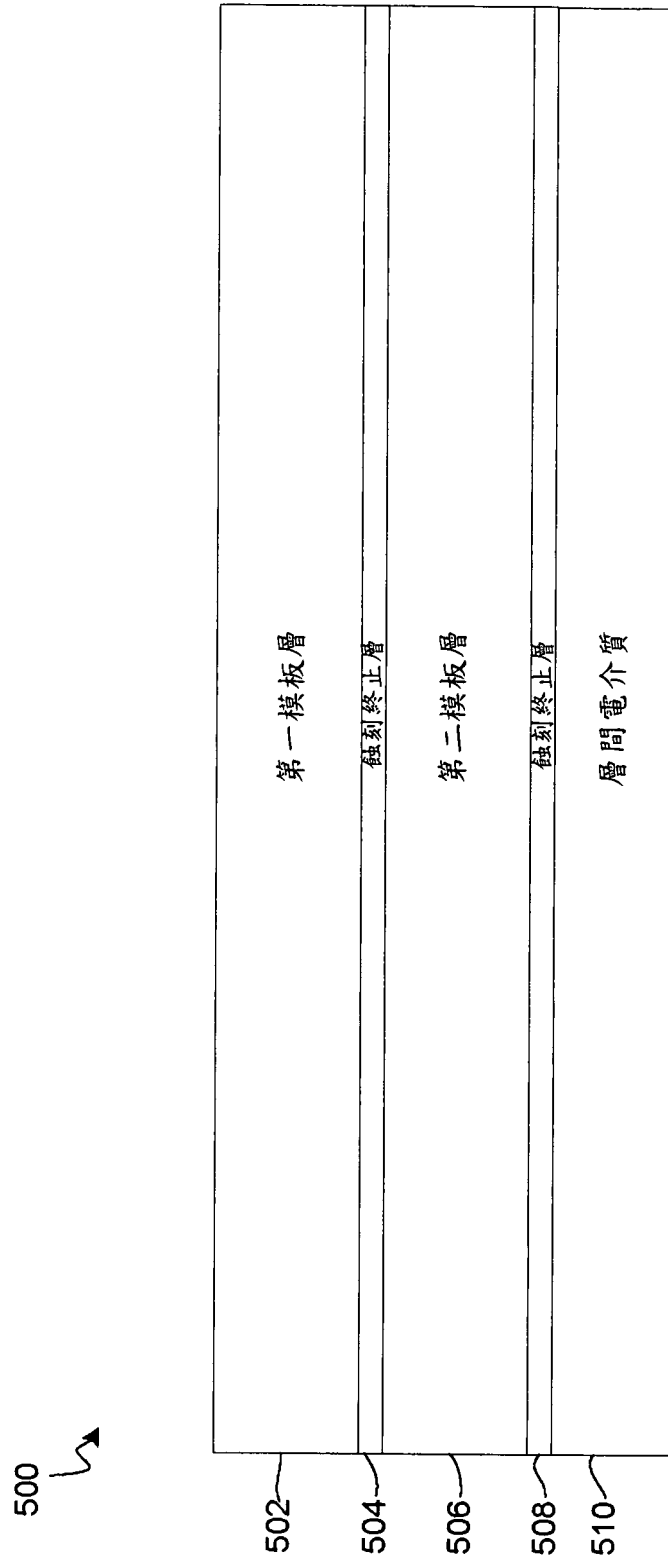


圖 5A

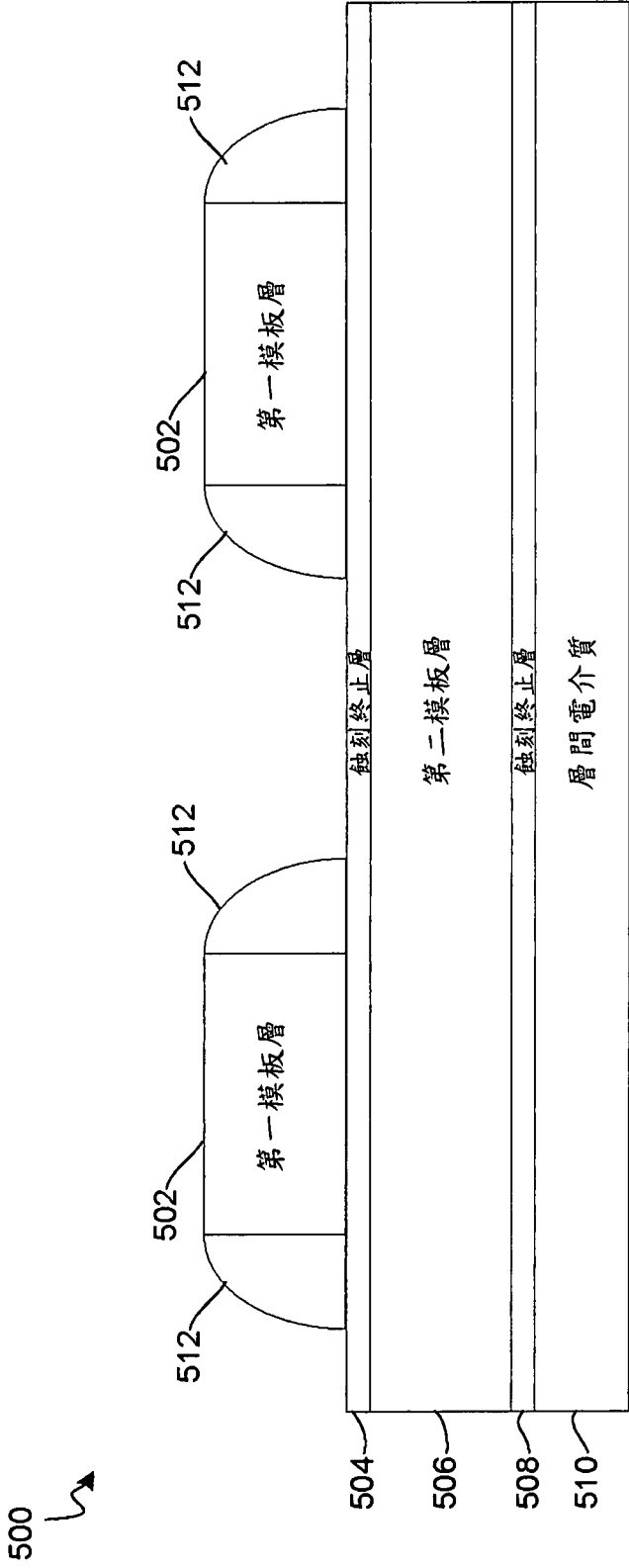


圖 5B

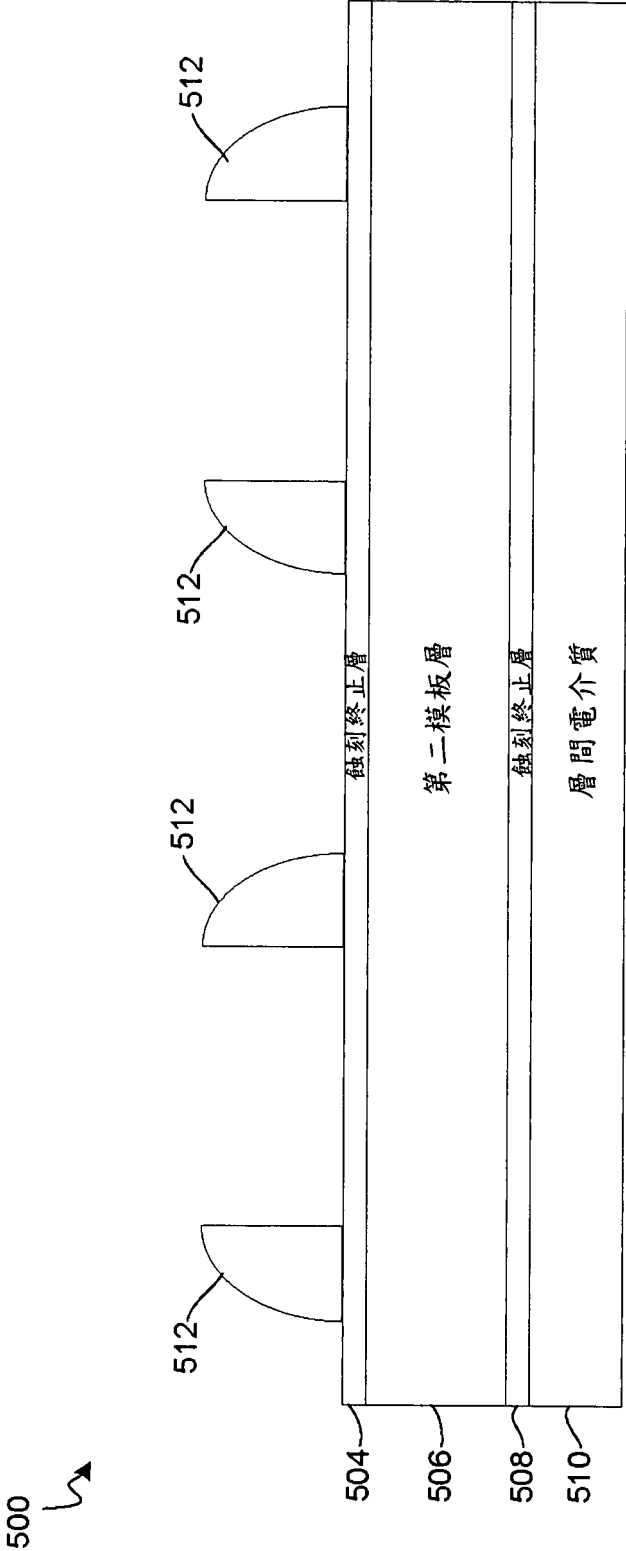


圖 5C

500 ↗

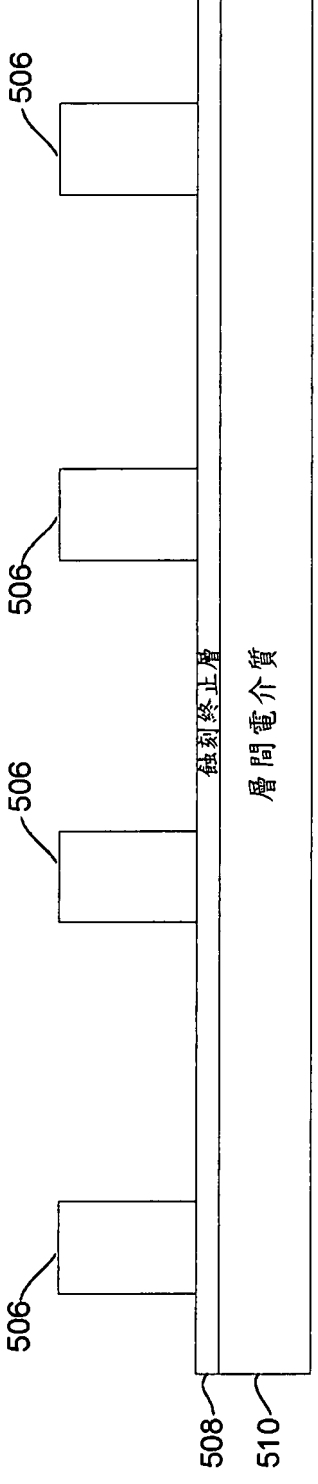


圖 5D

500 ↗

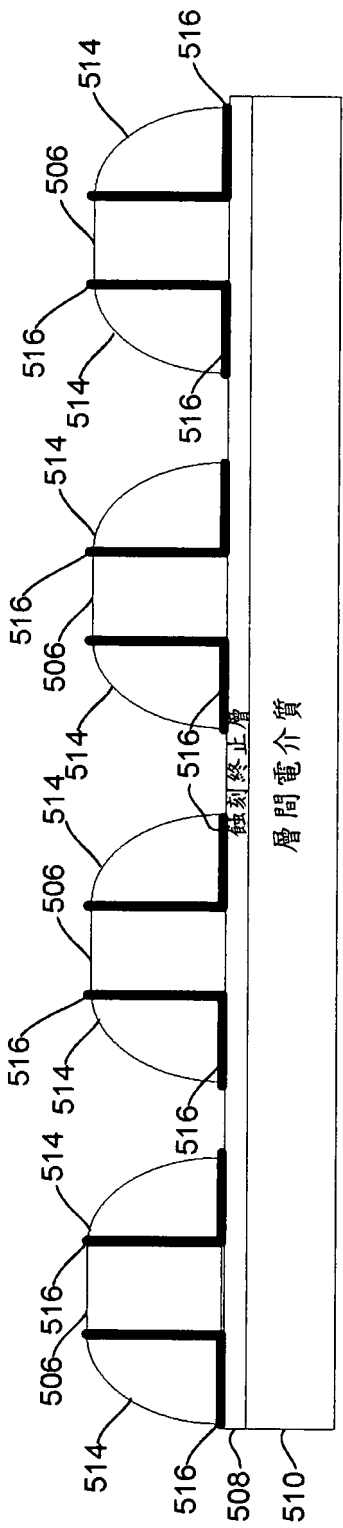


圖 5E



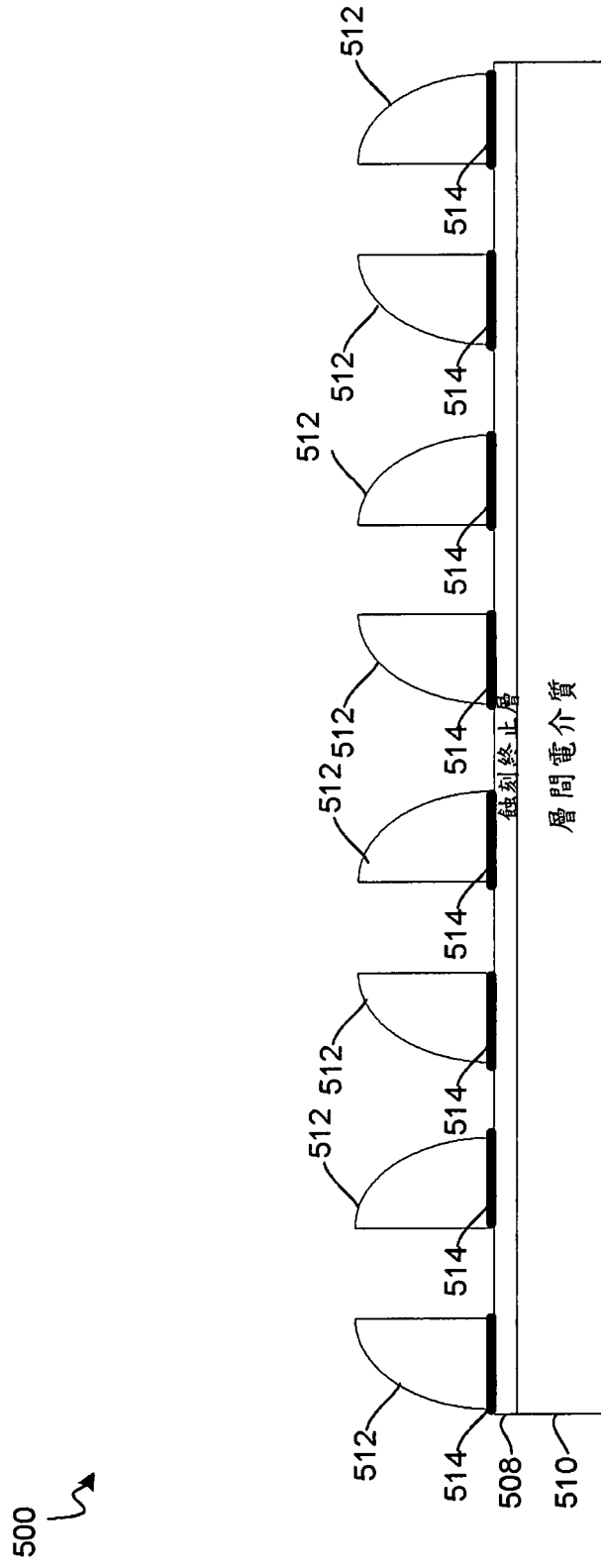


圖 5F

600

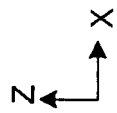
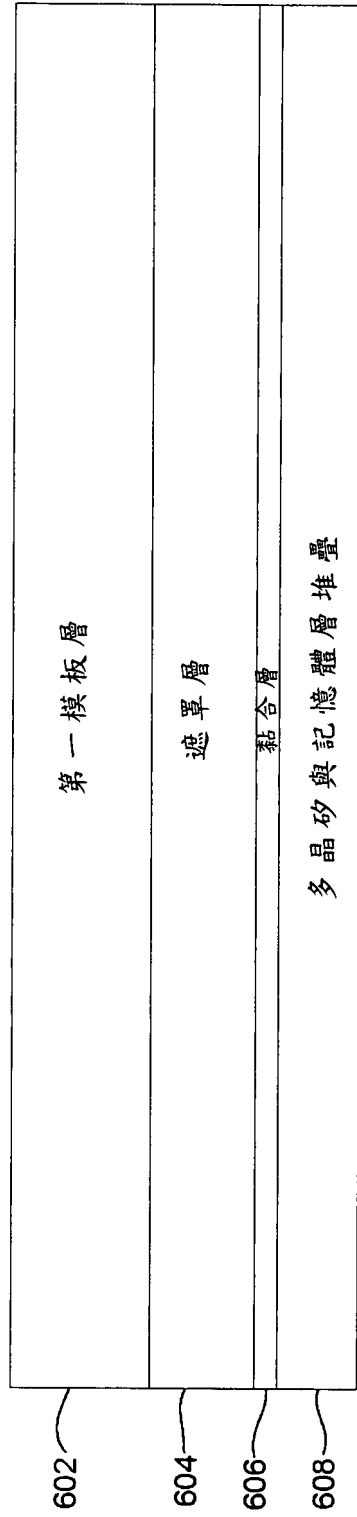


圖 6A

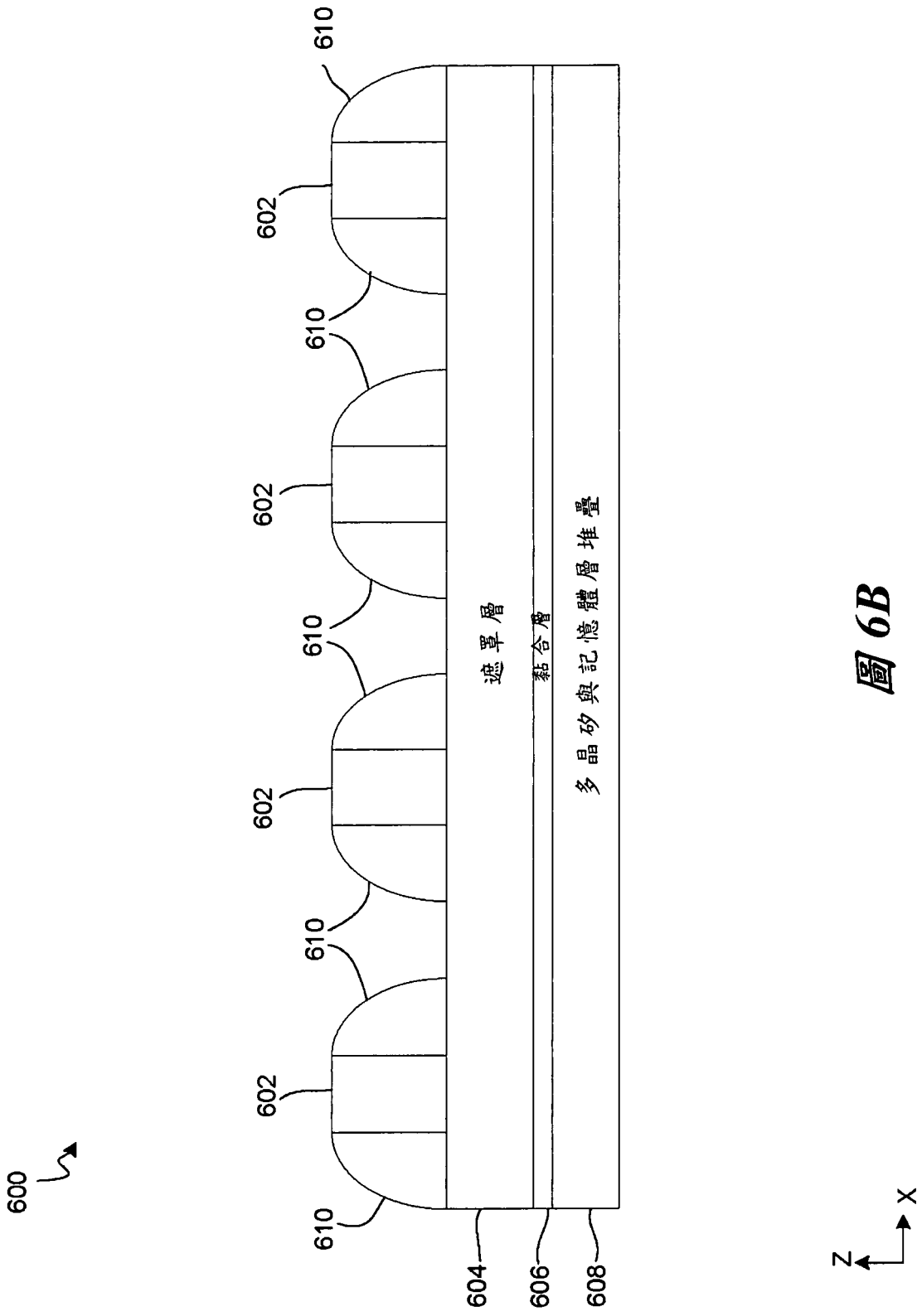
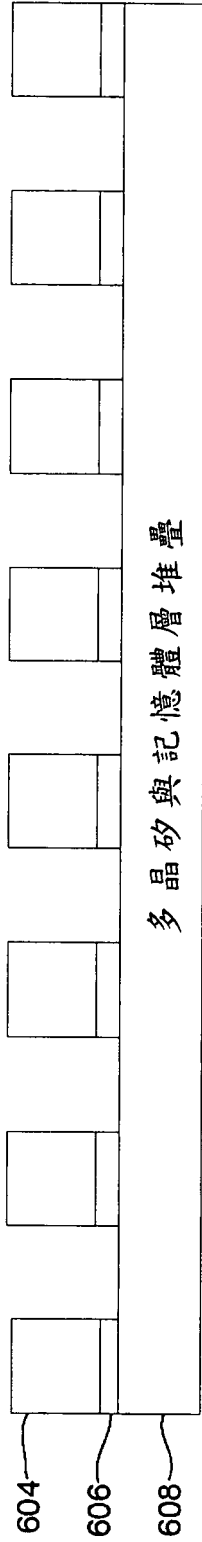


圖 6B

600



Z

X

圖 6C

600

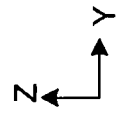
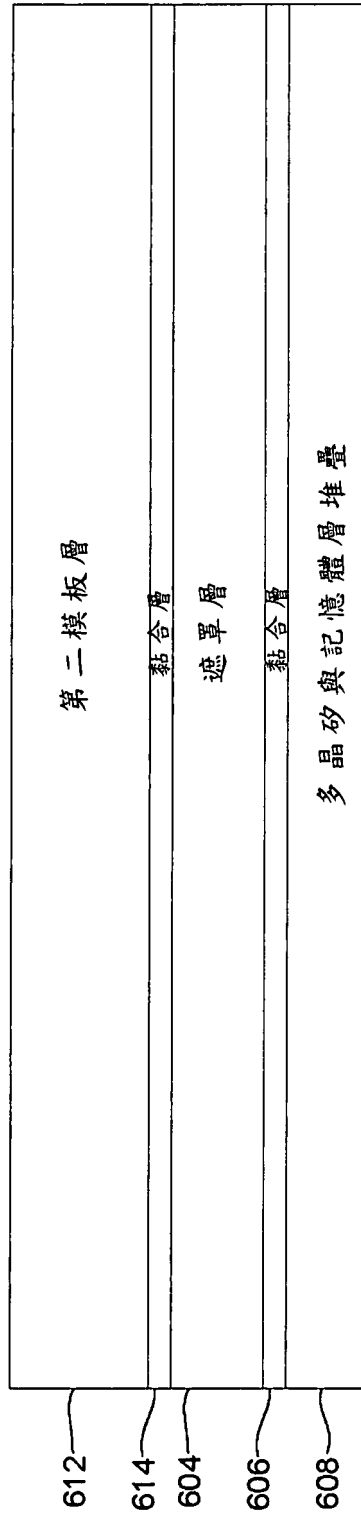


圖 6D

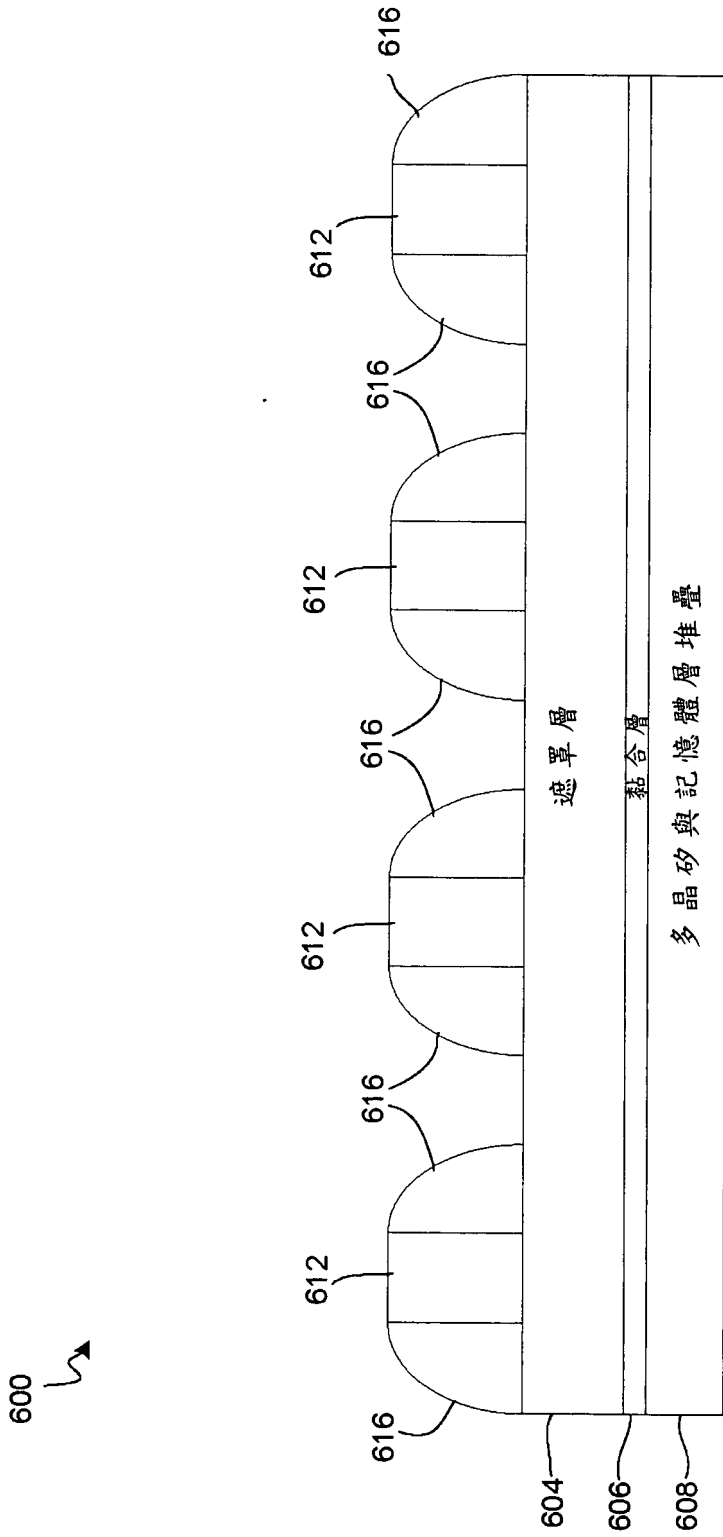
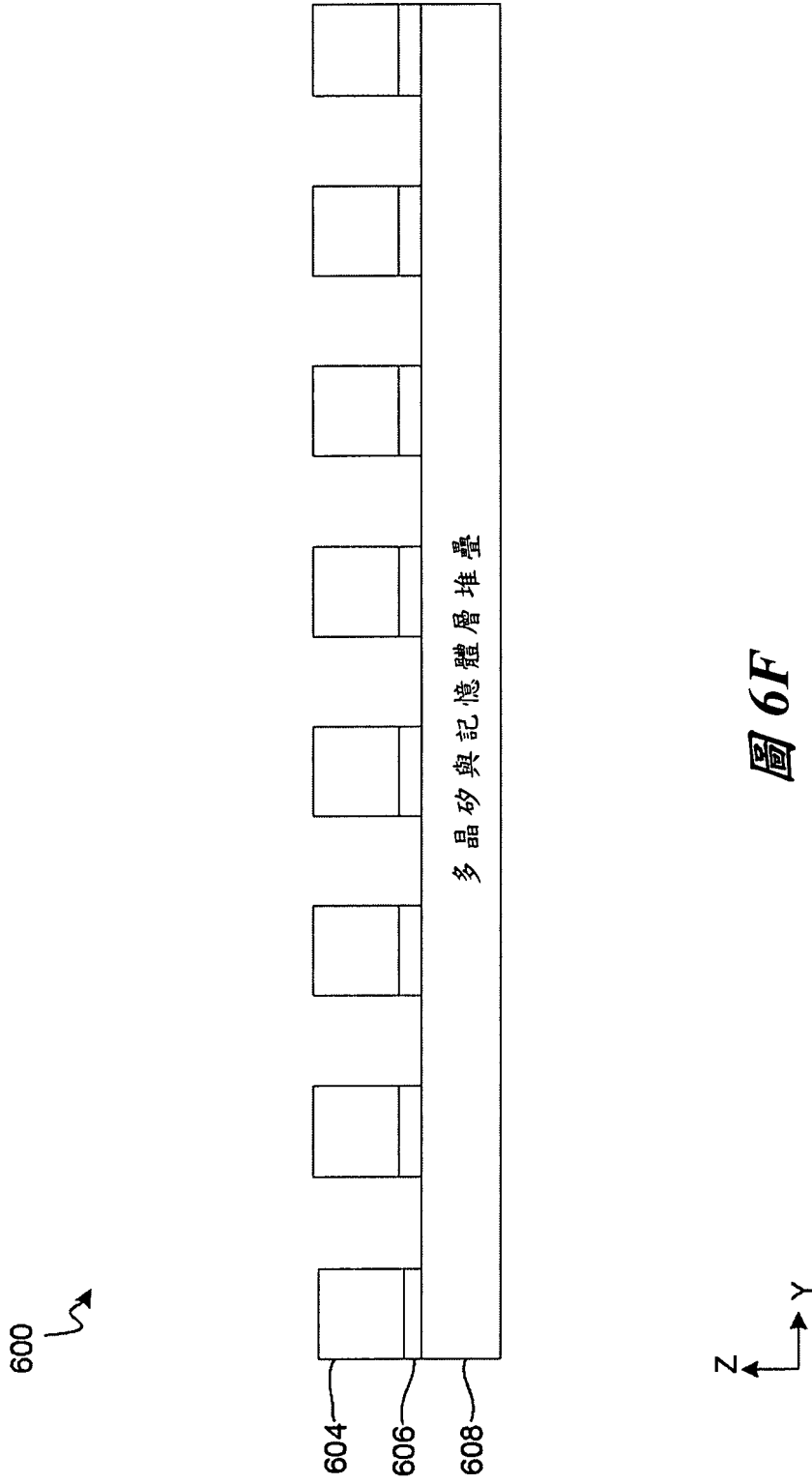


圖 6E



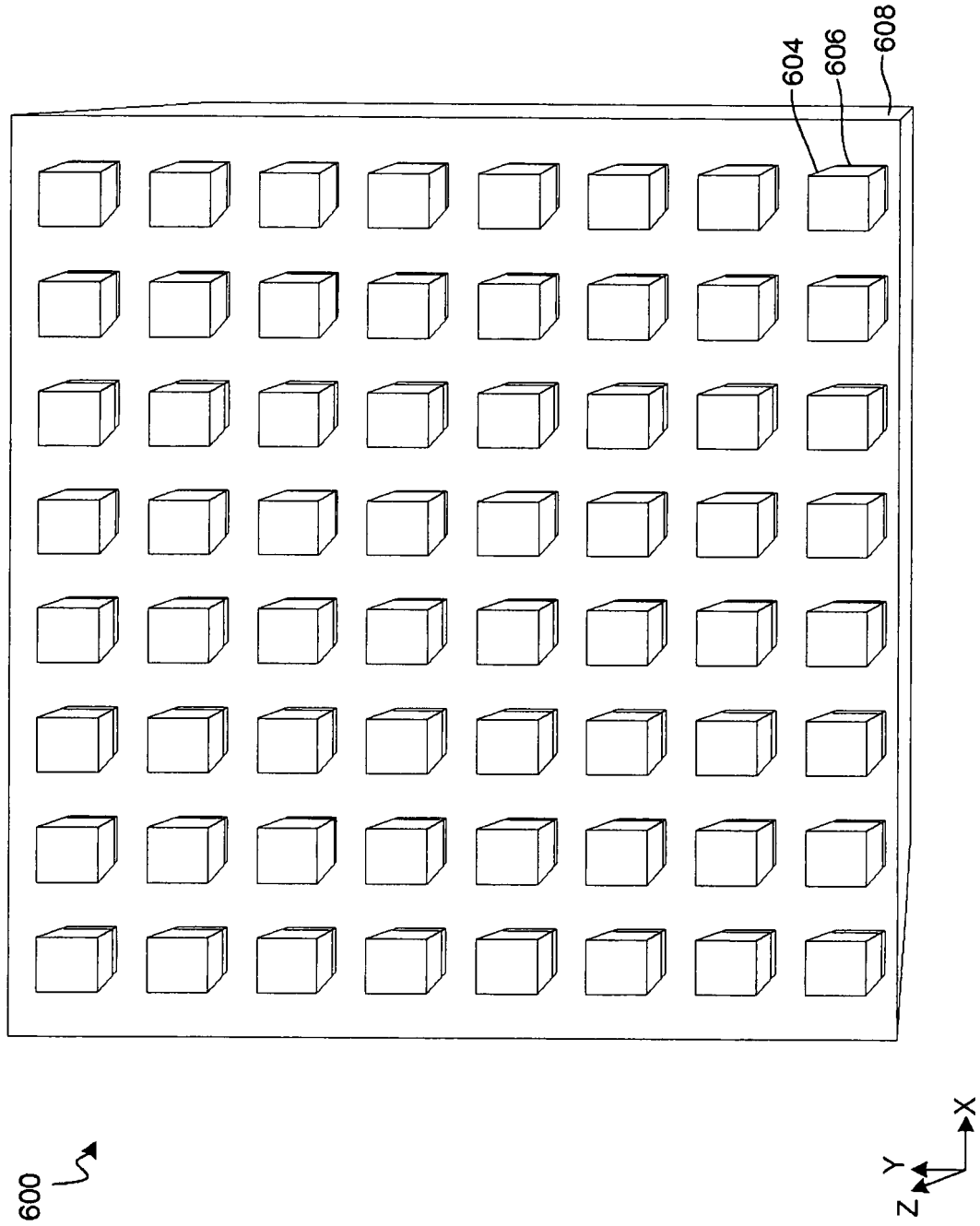


圖 7



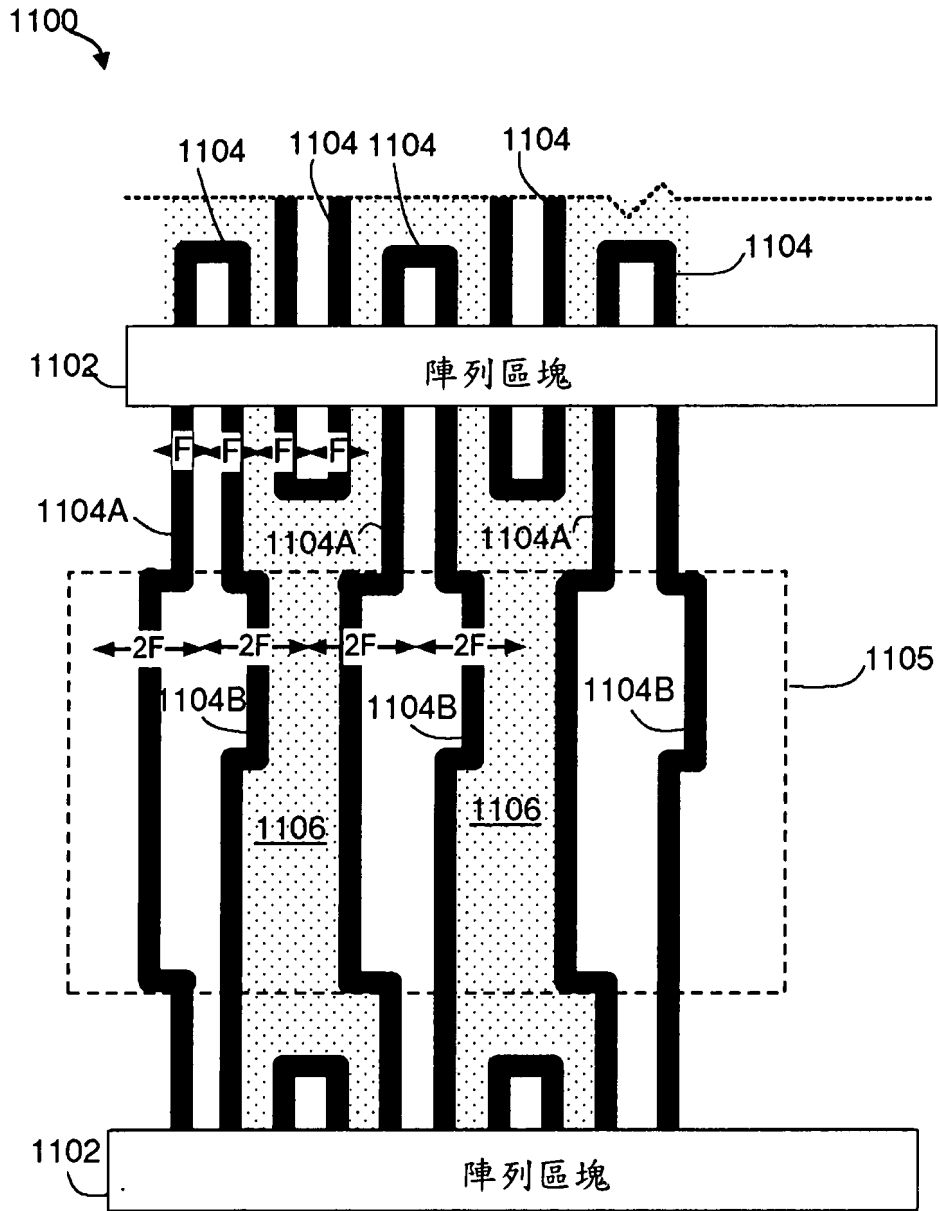


圖 8

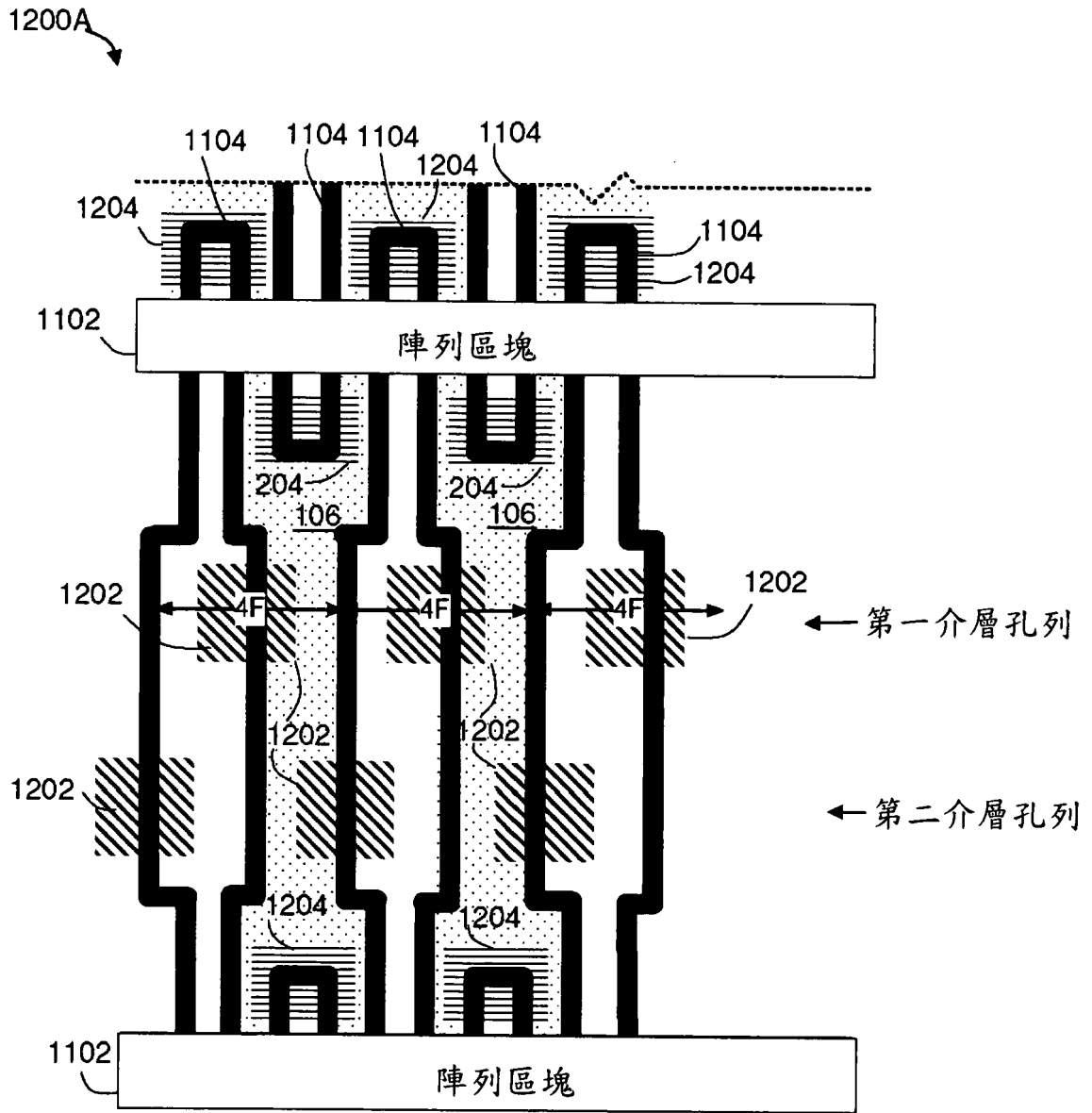


圖 9

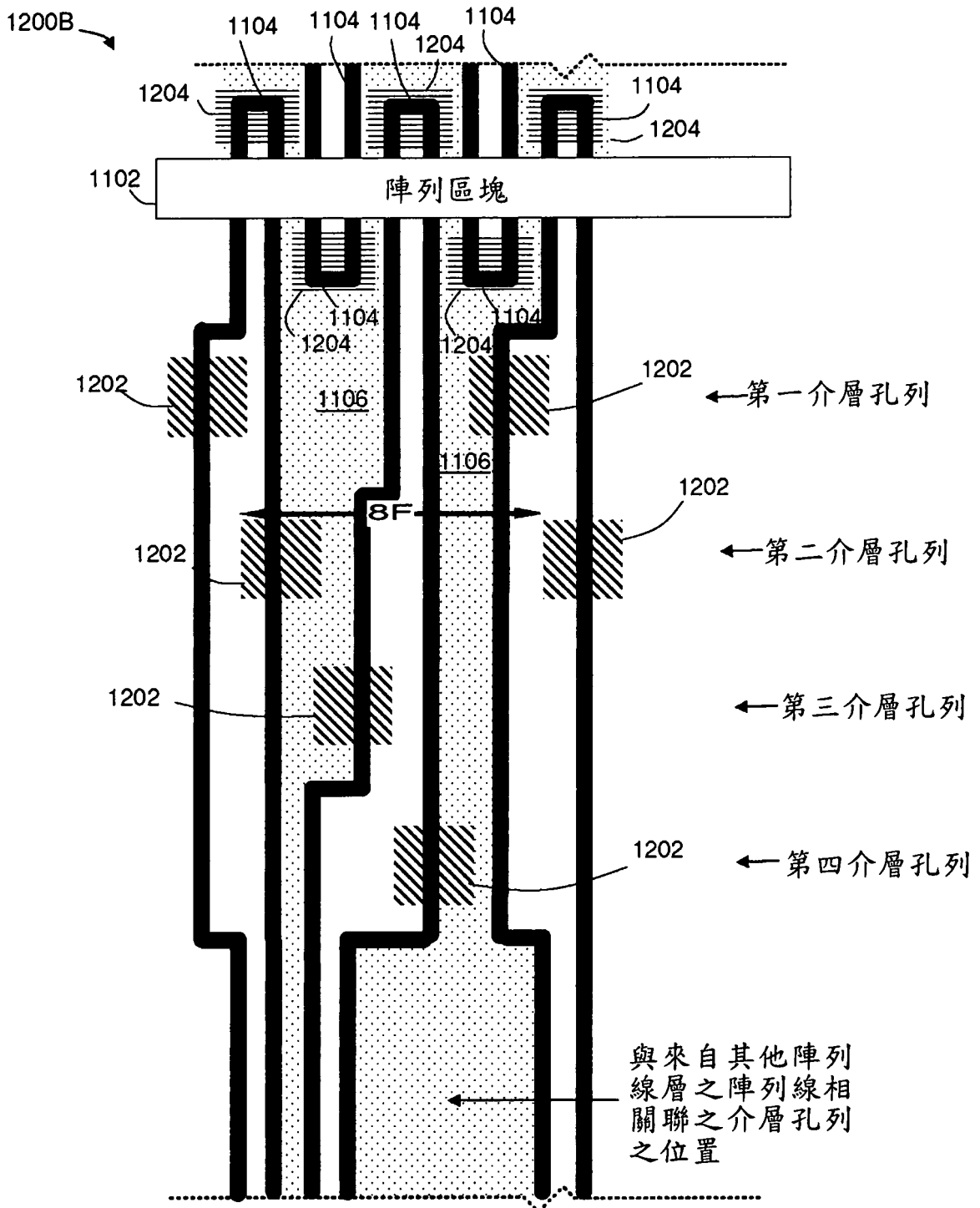


圖 10

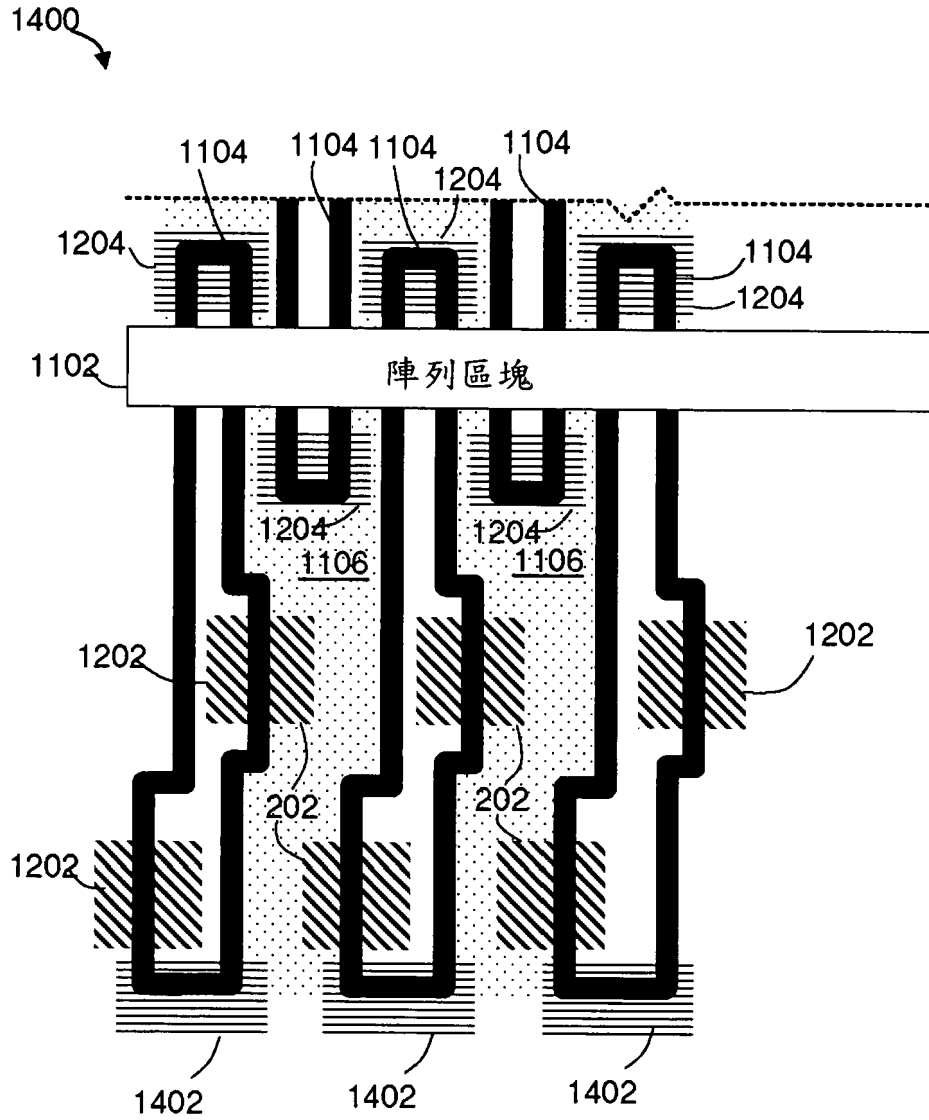


圖 11

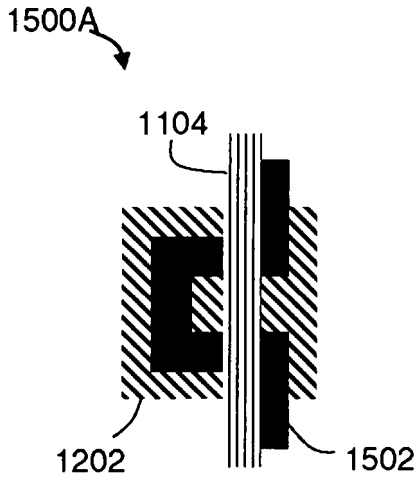


圖 12A

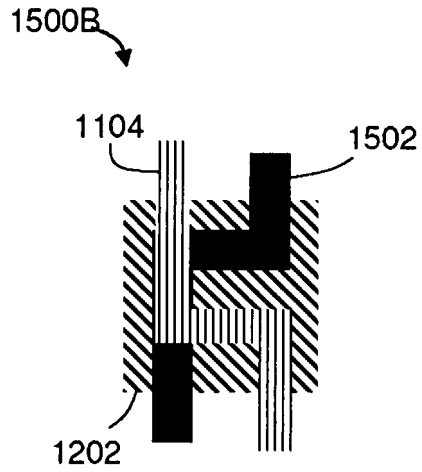


圖 12B

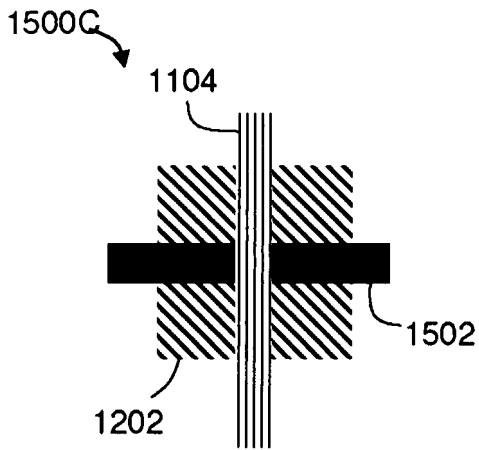


圖 12C

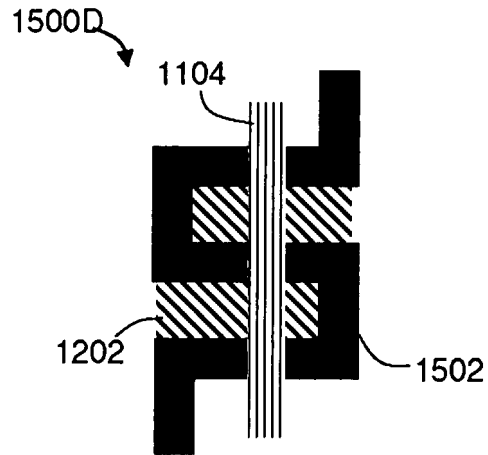


圖 12D

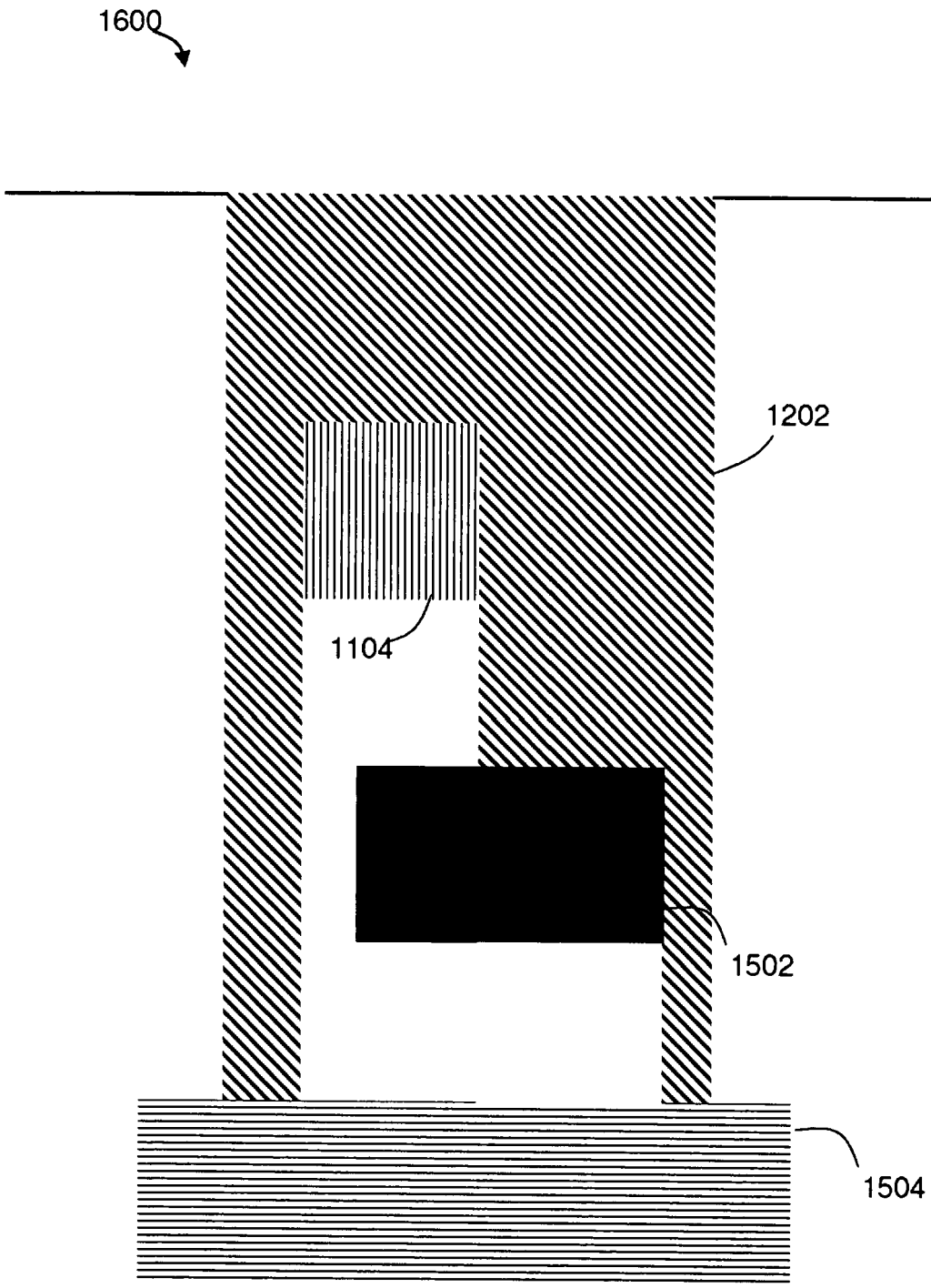


圖 13

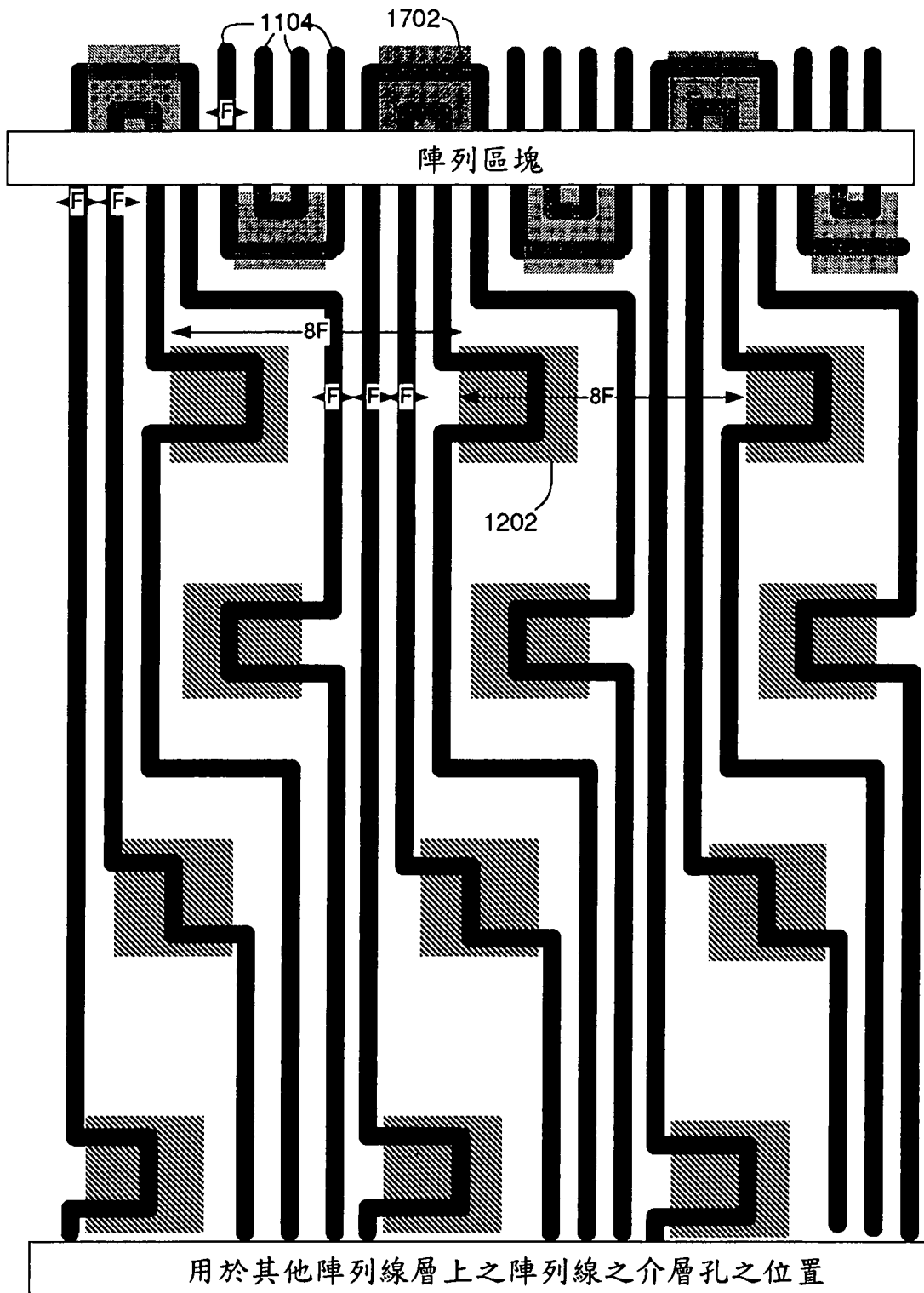


圖 14

四、指定代表圖：

(一)本案指定代表圖為：第 ( 7 ) 圖。

(二)本代表圖之元件符號簡單說明：

600	層堆疊
604	遮罩層
606	黏合層
608	記憶體堆疊層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)