

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-233933
(P2008-233933A)

(43) 公開日 平成20年10月2日(2008.10.2)

(5) Int.Cl.	F I	テーマコード(参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 670J	
	G09G 3/20 642A	

審査請求 有 請求項の数 7 O L (全 65 頁) 最終頁に続く

(21) 出願番号 特願2008-154818 (P2008-154818)
 (22) 出願日 平成20年6月13日(2008.6.13)
 (62) 分割の表示 特願2002-298062 (P2002-298062) の分割
 原出願日 平成14年10月10日(2002.10.10)
 (31) 優先権主張番号 特願2001-333575 (P2001-333575)
 (32) 優先日 平成13年10月30日(2001.10.30)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 棚田 好文
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 CC31 CC33 EE03
 HH00 HH04 HH05
 5C080 AA06 BB05 DD05 DD29 EE29
 JJ02 JJ03 JJ04 JJ06 KK02
 KK08 KK43

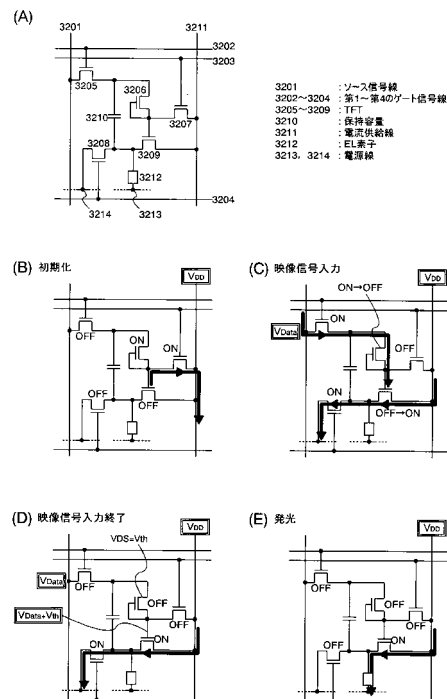
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 発光装置において、発光素子に電流を供給する TFT のしきい値が画素ごとにばらつくことによって生ずる輝度ムラが、発光装置の画質向上の足かせとなっていた。

【解決手段】 第1のトランジスタと、第2のトランジスタと、スイッチとを有する半導体装置であって、前記第1のトランジスタのソース又はドレインの一方は、配線に電氣的に接続され、前記第1のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、前記第2のトランジスタのゲートは、前記第1のトランジスタのゲートに電氣的に接続され、前記第2のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、前記スイッチの第1の端子は、前記配線に電氣的に接続され、前記スイッチの第2の端子は、前記第1のトランジスタのゲートに電氣的に接続されていることを特徴とする

【選択図】 図3 2



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、スイッチとを有する半導体装置であって、

前記第 1 のトランジスタのソース又はドレインの一方は、配線に電氣的に接続され、
前記第 1 のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、
前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートに電氣的に接続され

10

前記スイッチの第 1 の端子は、前記配線に電氣的に接続され、

前記スイッチの第 2 の端子は、前記第 1 のトランジスタのゲートに電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】

第 1 のトランジスタと、第 2 のトランジスタと、第 1 のスイッチと、第 2 のスイッチとを有する半導体装置であって、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、
前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートに電氣的に接続され、

20

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートに電氣的に接続され

前記第 1 のスイッチの第 1 の端子は、前記第 1 の配線に電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 2 のスイッチの第 1 の端子は、第 2 の配線に電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、前記第 2 のトランジスタのソース又はドレインの他方に電氣的に接続されていることを特徴とする半導体装置。

30

【請求項 3】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタとを有する半導体装置であって、

前記第 1 のトランジスタのソース又はドレインの一方は、配線に電氣的に接続され、
前記第 1 のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、
前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートに電氣的に接続され

前記第 3 のトランジスタのソース又はドレインの一方は、前記配線に電氣的に接続され、
前記第 3 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートに電氣的に接続されていることを特徴とする半導体装置。

40

【請求項 4】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタとを有する半導体装置であって、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、
前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートに電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲ

50

トに電氣的に接続され

前記第3のトランジスタのソース又はドレインの一方は、前記第1の配線に電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートに電氣的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、第2の配線に電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方に電氣的に接続されていることを特徴とする半導体装置。

【請求項5】

10

請求項1乃至請求項4のいずれかーにおいて、

前記第1のトランジスタと前記第2のトランジスタとは、同じ極性を有することを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれかーにおいて、

前記第1のトランジスタは、Nチャンネル型であることを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれかーにおいて、

前記第2のトランジスタは、Nチャンネル型であることを特徴とする半導体装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、トランジスタを有する半導体装置の構成に関する。本発明はまた、ガラス、プラスチック等の絶縁体上に作製される薄膜トランジスタ(以後、TFTと表記する)を有する半導体装置を含むアクティブマトリクス型発光装置の構成に関する。また、このような発光装置を用いた電子機器に関する。

【背景技術】

【0002】

近年、エレクトロルミネッセンス(Electro Luminescence: EL)素子等を始めとした発光素子を用いた表示装置の開発が活発化している。発光素子は、自らが発光するために視認性が高く、液晶表示装置(LCD)等において必要なバックライトを必要としないために薄型化に適しているとともに、視野角にほとんど制限が無い。

30

【0003】

ここで、EL素子とは、電場を加えることで発生するルミネッセンスが得られる発光層を有する素子を指す。この発光層においては、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(燐光)とがあるが、本発明において、発光装置とは、上述したいずれの発光形態であっても良い。

【0004】

EL素子は、一对の電極(陽極と陰極)間に発光層が挟まれる形で構成され、通常、積層構造をとっている。代表的には、「陽極/正孔輸送層/発光層/電子輸送層/陰極」という積層構造が挙げられる。また、これ以外にも、陽極と陰極との間に、「正孔注入層/正孔輸送層/発光層/電子輸送層」または「正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層」の順に積層する構造がある。

40

本発明の発光装置に用いるEL素子の構造としては、上述の構造のいずれを採用していても良い。また、発光層に対して蛍光性色素等をドーピングしても良い。

【0005】

本明細書においては、EL素子において、陽極と陰極との間に設けられる全ての層を総称してEL層と呼ぶ。よって、上述の正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層は、全てEL素子に含まれ、陽極、EL層、および陰極で構成される発光素子をEL素子と呼ぶ。

50

【0006】

図20に、一般的な発光装置における画素の構成を示す。なお、代表的な発光装置として、EL表示装置を例とする。図20に示した画素は、ソース信号線2001、ゲート信号線2002、スイッチング用TFT2003、駆動用TFT2004、容量手段2005、EL素子2006、電流供給線2007、電源線2008を有している。

【0007】

各部の接続関係について説明する。ここで、TFTはゲート、ソース、ドレインの3端子を有するが、ソース、ドレインに関しては、TFTの構造上、明確に区別が出来ない。よって、素子間の接続について説明する際は、ソース、ドレインのうち一方を第1の電極、他方を第2の電極と表記する。TFTのON、OFFについて、各端子の電位等(あるTFTのゲート・ソース間電圧等)について説明が必要な際には、ソース、ドレイン等と表記する。

10

【0008】

また、本明細書において、TFTがONしているとは、TFTのゲート・ソース間電圧がそのしきい値電圧を超え、ソース、ドレイン間が導通している状態をいい、TFTがOFFしているとは、TFTのゲート・ソース間電圧がそのしきい値電圧を下回り、ソース、ドレイン間が導通していない(非導通となっている)状態をいう。ただし、TFTにおいてはオフリーク電流が存在するが、その大きさはオン電流に比べて小さいので、ここではオフリーク電流のみが流れる状態もまたOFFしている状態に含むものとする。

【0009】

スイッチング用TFT2003のゲート電極は、ゲート信号線2002に接続され、第1の電極はソース信号線2001に接続され、第2の電極は駆動用TFT2004のゲート電極に接続されている。駆動用TFT2004の第1の電極は、電流供給線2007に接続され、第2の電極はEL素子2006の第1の電極に接続されている。EL素子2006の第2の電極は、電源線2008に接続されている。電流供給線2007と、電源線2008とは、互いに電位差を有している。また、駆動用TFT2004のゲート・ソース間電圧を保持するために、駆動用TFT2004のゲート電極と第1の電極との間に容量手段2005を設けても良い。

20

【0010】

ゲート信号線2002にパルスが入力されてスイッチング用TFT2003がONすると、ソース信号線2001に出力されてきている映像信号は、駆動用TFT2004のゲート電極へと入力される。入力された映像信号の電位に従って、駆動用TFT2004のゲート・ソース間電圧が決定し、駆動用TFT2004のソース・ドレイン間を流れる電流(以下、ドレイン電流と表記)が決定する。

30

この電流はEL素子2006に供給されて発光する。

【0011】

ところで、多結晶シリコン(ポリシリコン 以下P-Si)で形成されたTFTは、非晶質シリコン(アモルファスシリコン 以下A-Si)で形成されたTFTよりも電界効果移動度が高く、ON電流が大きいため、発光装置に用いるトランジスタとしてより適している。

40

【0012】

反面、ポリシリコンで形成されたTFTは、結晶粒界における欠陥に起因して、その電気的特性にばらつきが生じやすいといった問題点を有している。

【0013】

図20に示した画素において、画素を構成するTFTのしきい値電圧が画素ごとにばらつくと、同じ映像信号を入力した場合にも、それに応じてTFTのドレイン電流の大きさが異なってくるため、EL素子2006の輝度がばらつく。よってアナログ階調の場合、問題となっていた。

【0014】

最近、このような問題に鑑みて、TFTのしきい値電圧のばらつきを補正することの出

50

来るものが提案されている。そのうちの1例としては、図22に示すような構成が挙げられる(特許文献1参照)。

【0015】

【特許文献1】国際公開番号99-48403号パンフレット(P25、Fig3、Fig4)

【0016】

図22に示した画素は、ソース信号線2201、第1~第3のゲート信号線2202~2204、TFT2205~2208、容量手段2209(C_2)、2210(C_1)、電流供給線2212、EL素子2211を有する。

【0017】

TFT2205のゲート電極は、第1のゲート信号線2202に接続され、第1の電極は、ソース信号線2201に接続され、第2の電極は、容量手段2209の第1の電極に接続されている。容量手段2209の第2の電極は、容量手段2210の第1の電極に接続され、容量手段2210の第2の電極は、電流供給線2212に接続されている。TFT2206のゲート電極は、容量手段2209の第2の電極および容量手段2210の第1の電極に接続され、第1の電極は、電流供給線2212に接続され、第2の電極は、TFT2207の第1の電極およびTFT2208の第1の電極に接続されている。TFT2207のゲート電極は、第2のゲート信号線2203に接続され、第2の電極は、容量手段2209の第2の電極および容量手段2210の第1の電極に接続されている。TFT2208のゲート電極は、第3のゲート信号線2204に接続され、第2の電極は、EL素子2211の第1の電極に接続されている。EL素子2211の第2の電極には、電源線2213に接続され、電流供給線2212とは互いに電位差を有する。

10

20

【0018】

図22(B)および図23(A)~(F)を用いて、動作について説明する。図22(B)は、ソース信号線2201、第1~第3のゲート信号線2202~2204に入力される映像信号およびパルスのタイミングを示しており、図23に示す各動作にあわせて、I~VIIIの区間に分割している。また、図22に示した画素の一例では、4つのTFTを用いて構成され、その極性は全てPチャンネル型である。よって、ゲート電極にLレベルが入力されてONし、Hレベルが入力されてOFFするものとする。また、ソース信号線2201に入力される映像信号は、ここでは入力される期間のみを示すためパルスで示しているが、アナログ階調方式の場合は、所定のアナログ電位をとる。

30

【0019】

まず、第1のゲート信号線2202がLレベルとなり、TFT2205がONする(区間I)。続いて第2、第3のゲート信号線2203、2204がLレベルとなり、TFT2207、2208がONする。ここで、図23(A)に示すように、容量手段2209、2210に電荷が貯まり、容量手段2210が保持する電圧が、TFT2206のしきい値電圧(V_{th})を上回ったところで、TFT2206がONする(区間II)。

【0020】

続いて、第3のゲート信号線2204がHレベルとなって、TFT2208がOFFする。すると、容量手段2209、2210に貯まっていた電荷が再び移動し、容量手段2210に保持される電圧は、やがて V_{th} に等しくなる。このとき、図23(B)にも示すように、電流供給線2212、ソース信号線2201の電位はいずれも V_{DD} であるので、容量手段2209においても、保持されている電圧は V_{th} に等しくなる。よって、やがてTFT2206はOFFする。

40

【0021】

前述のように、容量手段2209、2210に保持されている電圧が V_{th} に等しくなったところで、第2のゲート信号線2203がHレベルとなり、TFT2207がOFFする(区間IV)。この動作により、図23(C)に示すように、容量手段2209において V_{th} が保持される。

【0022】

50

このとき、容量手段 2 2 1 0 (C_1) に保持されている電荷 Q_1 については、式 (1) のような関係が成立する。同時に、容量手段 2 2 0 9 (C_2) に保持されている電荷 Q_2 においては、式 (2) のような関係が成立する。

【 0 0 2 3 】

【 数 1 】

$$Q_1 = C_1 \times |V_{th}| \quad \dots\dots\dots(1)$$

【 0 0 2 4 】

【 数 2 】

$$Q_2 = C_2 \times |V_{th}| \quad \dots\dots\dots(2)$$

10

【 0 0 2 5 】

続いて、図 2 3 (D) に示すように、映像信号の入力が行われる (区間 V)。ソース信号線 2 2 0 1 に映像信号が出力されて、その電位は V_{DD} から映像信号の電位 V_{Data} (ここでは、TFT 2 2 0 6 が P チャネル型であるので、 $V_{DD} > V_{Data}$ とする。) となる。このときの、TFT 2 2 0 6 のゲート電極の電位を V_P とし、このノードにおける電荷を Q とすると、容量手段 2 2 0 9、2 2 1 0 とを含めた電荷保存則により、式 (3)、(4) のような関係が成立する。

20

【 0 0 2 6 】

【 数 3 】

$$Q + Q_1 = C_1 \times (V_{DD} - V_P) \quad \dots\dots\dots(3)$$

【 0 0 2 7 】

【 数 4 】

$$Q - Q_2 = C_2 \times (V_P - V_{Data}) \quad \dots\dots\dots(4)$$

30

【 0 0 2 8 】

式 (1) ~ (4) より、TFT 2 2 0 6 のゲート電極の電位 V_P は、式 (5) で表される。

【 0 0 2 9 】

【 数 5 】

$$V_P = \frac{C_1}{C_1 + C_2} V_{DD} + \frac{C_2}{C_1 + C_2} V_{Data} - |V_{th}| \quad \dots\dots\dots(5)$$

【 0 0 3 0 】

よって、TFT 2 2 0 6 のゲート・ソース間電圧 V_{GS} は、式 (6) で表される。

40

【 0 0 3 1 】

【 数 6 】

$$\begin{aligned} V_{GS} &= V_P - V_{DD} \\ &= \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) - |V_{th}| \\ &= \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) + V_{th} \quad \dots\dots\dots(6) \end{aligned}$$

50

【 0 0 3 2 】

式(6)右辺には、 V_{th} の項が含まれる。すなわち、ソース信号線2201より入力される映像信号には、その画素におけるTFT2206のしきい値電圧が上乘せされて容量手段2209、2210によって保持される。

【 0 0 3 3 】

映像信号の入力が完了すると、第1のゲート信号線2202がHレベルとなって、TFT2205がOFFする(区間VI)。その後、ソース信号線は所定の電位に戻る(区間VII)。以上の動作によって、映像信号の画素への書き込み動作が完了する(図23(E))。

【 0 0 3 4 】

続いて、第3のゲート信号線2204がLレベルとなり、TFT2208がONし、EL素子2211に図23(F)に示すように電流が流れることによってEL素子2211が発光する。このときEL素子2211に流れる電流の値は、TFT2206のゲート・ソース間電圧に従ったものであり、TFT2206を流れるドレイン電流 I_{DS} は、式(7)で表される。

【 0 0 3 5 】

【 数 7 】

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_{th})^2$$

$$= \frac{\beta}{2} \left\{ \frac{C_2}{C_1 + C_2} (V_{Data} - V_{DD}) \right\}^2 \dots\dots\dots(7)$$

10

20

【 0 0 3 6 】

式(7)より、TFT2206のドレイン電流 I_{DS} には、しきい値電圧 V_{th} の値に依存しないことがわかる。よって、TFT2206のしきい値電圧がばらついた場合にも、画素ごとにその値を補正して映像信号に上乘せすることにより、映像信号の電位 V_{Data} に従った電流がEL素子2211に流れることがわかる。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 3 7 】

しかし、前述の構成の場合、容量手段2209、2210の容量値がばらついた場合には、TFT2206のドレイン電流 I_{DS} がばらついてしまうことになる。そこで、本発明においては、容量値のばらつきの影響を受けることのない構成によって、TFTのしきい値電圧のばらつきを補正することの出来る半導体装置を画素に用いた発光装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 3 8 】

本発明の動作原理を、図29を用いて説明する。図29(A)(B)のような回路を考える。スイッチ素子2901、2903、2911、2913は、それぞれSignal1、Signal2によって制御される素子であり、TFT等によってON、OFFが出来るもので良い。ここで、単一方向にのみ電流が流れる素子を、整流性素子と定義する。整流性素子としては、ダイオードや、ゲート・ドレイン間を接続(このような接続をダイオード接続と表記する)したTFTが挙げられる。

30

40

【 0 0 3 9 】

図29(A)(B)に示すように、スイッチ素子2901、2911、整流性素子2902、2912、スイッチ素子2903、2913を接続した回路を考える。

【 0 0 4 0 】

ここで、回路の一端より、ある信号が入力され、回路の他端は、ある一定電位が与えられているとする。図29(A)の場合、入力される信号を V_x 、一定電位を V_{SS} ($V_x - |V_{thP}|$: V_{thP} はTFTのしきい値電圧)とし、図29(B)の場合、入力される信号

50

を V_X 、一定電位を V_{DD} ($V_X + |V_{thN}|$: V_{thN} は T F T のしきい値電圧) とする。

【0041】

今、図29(C)においてiで示される期間で、スイッチ素子2903、2913が導通する。すると、図29(A)において、整流性素子(ここでは整流性素子にダイオード接続TFTを用いたものとする。)であるTFT2902のドレイン電極およびゲート電極の電位が低下する。図29(B)においては、TFT2912の第2の電極およびゲート電極の電位が上昇する。整流性素子2902、2912のいずれも、両電極間の電圧がしきい値電圧の絶対値を上回るため、TFT2902、2912はともにONする。ただしこのとき、スイッチ素子2901、2911は共にOFFしており、電流は流れない。

【0042】

その後、図29(C)においてiiで示される期間で、スイッチ素子2901、2903、2911、2913が導通する。この期間で、TFT2902、2912のゲート・ソース間電圧はそれぞれ、 $V_{SS} - V_X$ 、 $V_{DD} - V_X$ となり、それぞれのTFTのしきい値電圧の絶対値を上回り、 $V_X \rightarrow V_{SS}$ へ、 $V_{DD} \rightarrow V_X$ へ電流が流れる。

【0043】

続いて、図29(C)においてiiiで示される期間で、スイッチ素子2901、2911が導通し、かつスイッチ素子2903、2913が非導通となる。このとき、TFT2902、2912のソース電位は V_X である。今、TFT2902、2912のゲート・ソース間電圧はそのしきい値電圧の絶対値を上回っており、TFT2902、2912はON状態であるため、電流が流れつづける。

これにより、TFT2902のドレイン電位は上昇し、TFT2912のドレイン電位は下降する。やがて、TFT2902、2912のゲート・ソース間電圧は、そのしきい値電圧に等しくなり、TFT2902、2912はともにOFFする。このとき、TFT2902、2912のドレイン電位はそれぞれ、 $V_X - |V_{thP}|$ 、 $V_X + |V_{thN}|$ となる。つまり、TFT2902、2912によって、入力される信号の電位 V_X に、それぞれのしきい値電圧を上乗せする動作が行われる。TFT2902、2912のゲート電極の電位をそれぞれ、 V_{G2902} 、 V_{G2912} とすると、上記の動作において、 V_{G2902} 、 V_{G2912} はそれぞれ、図29(D)に示すような電位をとる。

【0044】

本発明においては、ソース信号線より画素に入力される映像信号は、図29(A)(B)において2902、2912で示したような、ゲート・ドレイン間を接続したTFTを経て、EL素子に電流を供給するためのTFTのゲート電極に所望の電位が印加される。ここで、ゲート・ドレイン間を接続したTFTにおいて、そのソース・ドレイン間には、TFTのしきい値電圧に等しい電位差が生ずる。よって、駆動用TFTのゲート電極には、映像信号にしきい値電圧分だけオフセットをかけた電位を印加するようにする。

【0045】

なお、TFT2902、2912は、図29(E)に示すように、それぞれダイオード2922、2932を用いても良い。

【0046】

また、スイッチ素子2903、2913についても、図29(F)に示すように、ダイオード2923、2933を用い、図29(C)における区間iiiの動作で、 V_{DD} もしくは V_{SS} の電位を変化させることによって V_{G2902} 、 V_{G2912} に同様の振る舞いをさせることも出来る。

【0047】

ここで用いるダイオードには、通常のPN接合を有するダイオードの他、前述のダイオード接続TFTを用いても良い。

【0048】

また、スイッチ素子2901、2911は共に省略しても良い。つまり、整流性素子2902、2912の第1の電極に、信号 V_X が入力されても良い。

【0049】

10

20

30

40

50

ここでは、発光装置におけるTFTのしきい値電圧のばらつきを補正し、EL素子の輝度ばらつきを低減することを課題とし、それに対する解決方法として述べているが、本発明の動作原理は、発光装置におけるTFTのしきい値電圧のばらつきを補正するためだけにとどまらず、他の電子回路にももちろん応用が可能である。

【0050】

また、本発明におけるトランジスタとしては、主としてTFTを用いて構成したものを例として挙げているが、単結晶トランジスタ又は有機物を利用したトランジスタでもよい。例えば、単結晶トランジスタとしては、SOI技術を用いて形成されたトランジスタとすることができる。また、薄膜トランジスタとしては、活性層として多結晶半導体を用いたものでも、非晶質半導体を用いたものでもよい。例えば、ポリシリコンを用いたTFTや、アモルファスシリコンを用いたTFTとすることができる。その他、バイポーラトランジスタや、カーボンナノチューブ等により形成されたトランジスタを用いても良い。

10

【0051】

本発明の構成を以下に記す。

【0052】

本発明の半導体装置は、スイッチ素子と、整流性素子とを有し、前記整流性素子の第1の電極には、第1の信号 V_1 が入力され、第2の電極は、前記スイッチ素子の第1の電極と電氣的に接続され、前記スイッチ素子の第2の電極には、ある電位 V が与えられる半導体装置であって、前記整流性素子の第2の電極より、前記信号 V_1 から前記整流性素子のしきい値電圧 V_{th} だけオフセットした信号 V_2 を得ることを特徴としている。

20

【0053】

本発明の半導体装置は、第1および第2のスイッチ素子と、整流性素子とを有し、前記第1のスイッチ素子の第1の電極には、第1の信号 V_1 が入力され、第2の電極は、前記整流性素子の第1の電極と電氣的に接続され、前記整流性素子の第2の電極は、前記第2のスイッチ素子の第1の電極と電氣的に接続され、前記第2のスイッチ素子の第2の電極には、ある電位 V が与えられる半導体装置であって、前記整流性素子の第2の電極より、前記信号 V_1 から前記整流性素子のしきい値電圧 V_{th} だけオフセットした信号 V_2 を得ることを特徴としている。

【0054】

本発明の半導体装置は、第1および第2の整流性素子とを有し、前記第1の整流性素子の第1の電極には、第1の信号 V_1 が入力され、第2の電極は、前記第2の整流性素子の第1の電極と電氣的に接続され、前記第2の整流性素子の第2の電極には、ある電位 V が与えられる半導体装置であって、前記第1の整流性素子の第2の電極より、前記信号 V_1 から前記第1の整流性素子のしきい値電圧 V_{th} だけオフセットした信号 V_2 を得ることを特徴としている。

30

【0055】

本発明の半導体装置は、前記整流性素子とは、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記トランジスタの極性がNチャネル型であり、しきい値電圧が V_{th} であるとき、 $V_1 + V_{th} < V$ 、かつ $V_2 = V_1 + V_{th}$ を満たし、前記トランジスタの極性がNチャネル型であり、しきい値電圧が V_{th} であるとき、 $V_1 > V + |V_{th}|$ 、かつ $V_2 = V_1 - |V_{th}|$ を満たすことを特徴としている。

40

【0056】

本発明の半導体装置は、前記整流性素子とは、ダイオードを用いてなり、前記ダイオードのしきい値電圧が V_{th} であるとき、 $V_1 > V + V_{th}$ 、かつ $V_2 = V_1 - |V_{th}|$ もしくは、 $V_1 < V - |V_{th}|$ 、かつ $V_2 = V_1 + V_{th}$ を満たすことを特徴としている。

【0057】

本発明の半導体装置は、発光素子を備えた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、

50

前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続されていることを特徴としている。

【0058】

本発明の半導体装置は、発光素子を備えた画素を有する半導体装置であって、前記画素は、ソース信号線と、ゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記ゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記画素より少なくとも1行前に走査される行の画素の有するゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続されていることを特徴としている。

10

20

【0059】

本発明の半導体装置は、発光素子を備えた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記第2のトランジスタのゲート電極および第1の電極と電氣的に接続され、第2の電極は、前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第2のトランジスタの第2の電極は、前記ソース信号線と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続されていることを特徴としている。

30

【0060】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記第2のトランジスタのゲート電極と、前記第2のトランジスタの第1の電極と、前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続されていることを特徴としている。

40

【0061】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、ゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記第2のトランジスタのゲート電極と、前記第2のトランジスタの第1の電極と、前記第3のトランジスタの第1の電極と電氣的に接続され、第2の電極は、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記画素より少なくとも1行前に走査され

50

る行の画素の有するゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続されていることを特徴としている。

【0062】

本発明の半導体装置は、前記第3のトランジスタの第2の電極は、リセット用電源線と電氣的に接続されていることを特徴としている。

【0063】

本発明の半導体装置は、前記第3のトランジスタの第2の電極は、前記画素と異なる行において走査されるいずれかの画素が有するゲート信号線のうちいずれか1本と電氣的に接続されていることを特徴としている。

10

【0064】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第4のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極および、前記第3のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、前記第3のトランジスタの第2の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続されていることを特徴としている。

20

【0065】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第3のトランジスタと、容量手段と、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極および、前記第3のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続され、前記容量手段の第1の電極は、前記第3のトランジスタのゲート電極と電氣的に接続され、第2の電極は、前記第2のゲート信号線と電氣的に接続されていることを特徴としている。

30

【0066】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第3のトランジスタと、ダイオードと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極および、前記第3のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続され、前記ダイオードの第1の電極は、前記第3のトランジスタのゲート電極と電氣的に接続され、第2の電極は、前記第2のゲート信号線と電氣的に接続され、前記第2のゲート信号線の電位を変化させたとき、前記第1の電極から前記第2の電極、もしくは前記第2の電極から前記第1の電極のいずれか一方にのみ電流を生ずることを特徴としている。

40

【0067】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1乃至第3のゲート信号線と、電流供給線と、第1乃至

50

至第5のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続され、前記第5のトランジスタのゲート電極は、前記第3のゲート信号線と電氣的に接続され、第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第5のトランジスタが導通することによって、前記第4のトランジスタのゲート・ソース間電圧を0とすることを特徴としている。

10

【0068】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1および第2のゲート信号線と、電流供給線と、第1乃至第5のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記画素より少なくとも1行前に走査される行の画素の有する前記第1のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続され、前記第5のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第5のトランジスタが導通することによって、前記第4のトランジスタのゲート・ソース間電圧を0とすることを特徴としている。

20

【0069】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1乃至第3のゲート信号線と、電流供給線と、第1乃至第5のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記第5のトランジスタの第1の電極と電氣的に接続され、前記第5のトランジスタのゲート電極は、前記第3のゲート信号線と電氣的に接続され、第2の電極は、前記発光素子の第2の電極と電氣的に接続され、前記第5のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴としている。

30

40

【0070】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号線と、第1乃至第3のゲート信号線と、電流供給線と、第1乃至第5のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、

50

前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記画素より少なくとも1行前に走査される行の画素の有する前記第1のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記第5のトランジスタの第1の電極と電氣的に接続され、前記第5のトランジスタのゲート電極は、前記第3のゲート信号線と電氣的に接続され、第2の電極は、前記発光素子の第2の電極と電氣的に接続され、前記第5のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴としている。

【0071】

本発明の半導体装置は、前記第3のトランジスタの第2の電極は、リセット用電源線と電氣的に接続されていることを特徴としている。

10

【0072】

本発明の半導体装置は、前記第3のトランジスタの第2の電極は、前記画素を除くいずれかの行において走査されるいずれかの画素が有するゲート信号線のうちいずれか1本と電氣的に接続されていることを特徴としている。

【0073】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号と、第1および第2のゲート信号線と、電流供給線と、第1乃至第5のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記画素の1行前に走査される行の画素の有する前記第1のゲート信号線と電氣的に接続され、第2の電極は、前記第2のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記第5のトランジスタの第1の電極と電氣的に接続され、前記第5のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続され、前記第5のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴としている。

20

30

【0074】

本発明の半導体装置は、発光素子が備えられた画素を有する半導体装置であって、前記画素は、ソース信号と、第1および第2のゲート信号線と、電流供給線と、第1乃至第5のトランジスタと、発光素子とを有し、前記第1のトランジスタのゲート電極は、前記第1のゲート信号線と電氣的に接続され、第1の電極は、前記ソース信号線と電氣的に接続され、第2の電極は、前記第2のトランジスタの第1の電極と電氣的に接続され、前記第2のトランジスタのゲート電極は、前記第2のトランジスタの第2の電極と、前記第3のトランジスタの第1の電極と、前記第4のトランジスタのゲート電極と電氣的に接続され、前記第3のトランジスタのゲート電極は、前記画素の1行前に走査される行の画素の有する前記第1のゲート信号線と電氣的に接続され、第2の電極は、前記第1のゲート信号線と電氣的に接続され、前記第4のトランジスタの第1の電極は、前記電流供給線と電氣的に接続され、第2の電極は、前記第5のトランジスタの第1の電極と電氣的に接続され、前記第5のトランジスタのゲート電極は、前記第2のゲート信号線と電氣的に接続され、第2の電極は、前記発光素子の第1の電極と電氣的に接続され、前記第5のトランジスタが非導通となることにより、前記電流供給線から前記発光素子に供給される電流を遮断することを特徴としている。

40

【0075】

本発明の半導体装置は、前記半導体装置は、保持容量手段を有し、前記保持容量手段の第1の電極は、前記第1のトランジスタの第2の電極と電氣的に接続され、第2の電極

50

には、一定電位が与えられ、前期第1のトランジスタの第2の電極における電位を保持することを特徴としている。

【0076】

本発明の半導体装置は、前記半導体装置は、保持容量手段を有し、前記保持容量手段の第1の電極は、前記第4のトランジスタのゲート電極と電氣的に接続され、第2の電極には、一定電位が与えられ、前期第4のトランジスタのゲート電極に印加される電位を保持することを特徴としている。

【0077】

本発明の半導体装置は、スイッチ素子と、整流性素子とを有し、前記整流性素子の第1の電極には、第1の信号 V_1 が入力され、第2の電極は、前記スイッチ素子の第1の電極と電氣的に接続され、前記スイッチ素子の第2の電極には、ある電位 V が与えられる半導体装置の駆動方法であって、前記スイッチ素子を導通して、前記整流性素子の第2の電極の電位を V とする第1のステップと、前記第1のステップから、前記スイッチ素子を非導通とし、前記整流性素子の両電極間の電圧を、前記整流性素子のしきい値電圧 V_{th} に収束させる第2のステップと、前記しきい値電圧 V_{th} を保持し、前記整流性素子の第2の電極より、前記信号 V_1 から前記しきい値電圧 V_{th} だけオフセットした信号 V_2 を得る第3のステップとを有することを特徴としている。

【0078】

本発明の半導体装置は、第1および第2のスイッチ素子と、整流性素子とを有し、前記第1のスイッチ素子の第1の電極には、第1の信号 V_1 が入力され、第2の電極は、前記整流性素子の第1の電極と電氣的に接続され、前記整流性素子の第2の電極は、前記第2のスイッチ素子の第1の電極と電氣的に接続され、前記第2のスイッチ素子の第2の電極には、ある電位 V が与えられる半導体装置の駆動方法であって、前記第2のスイッチ素子を導通して、前記整流性素子の第2の電極の電位を V とする第1のステップと、前記第1のステップから、さらに前記第1のスイッチ素子を導通して、前記整流性素子の第1の電極の電位を V_1 とする第2のステップと、前記第2のステップから、前記第2のスイッチを非導通とし、前記整流性素子の両電極間の電圧を、前記整流性素子のしきい値電圧 V_{th} に収束させる第3のステップと、前記第3のステップから、さらに第1のスイッチを非導通とし、前記しきい値電圧 V_{th} を保持し、前記整流性素子の第2の電極より、前記信号 V_1 から前記しきい値電圧 V_{th} だけオフセットした信号 V_2 を得る第4のステップとを有することを特徴としている。

【0079】

本発明の半導体装置は、第1および第2の整流性素子とを有し、前記第1の整流性素子の第1の電極には、第1の信号 V_1 が入力され、第2の電極は、前記第2の整流性素子の第1の電極と電氣的に接続され、前記第2の整流性素子の第2の電極には、ある電位 V が与えられる半導体装置の駆動方法であって、前記第1の整流性素子のしきい値電圧を V_{th} とし、 $V_1 > (V - |V_{th}|)$ のとき、前記第2の整流性素子の第2の電極の電位を $V - V_0$ ($V_0 > V$)とし、前記第2の整流性素子を流れる電流を遮断する第1のステップと、前記第1の整流性素子の第2の電極より、前記信号 V_1 から前記しきい値電圧 V_{th} だけオフセットした信号 V_2 を得る第2のステップとを有することを特徴としている。

【0080】

本発明の半導体装置は、前記整流性素子とは、ゲート・ドレイン間を接続したトランジスタを用いてなり、前記トランジスタの極性がNチャネル型であり、しきい値電圧が V_{th} であるとき、 $V_1 + |V_{th}| < V$ 、かつ $V_2 = V_1 + V_{th}$ を満たし、前記トランジスタの極性がPチャネル型であり、しきい値電圧が V_{th} であるとき、 $V_1 > V + V_{th}$ 、かつ $V_2 = V_1 - |V_{th}|$ を満たすことを特徴としている。

【0081】

本発明の半導体装置は、前記整流性素子とは、ダイオードを用いてなり、前記ダイオードのしきい値電圧が V_{th} であるとき、 $V_1 > V + V_{th}$ 、かつ $V_2 = V_1 - |V_{th}|$

10

20

30

40

50

もしくは、 $V_1 < V - |V_{th}|$ 、かつ $V_2 = V_1 + V_{th}$ を満たすことを特徴としている。

【発明の効果】

【0082】

本発明によると、容量手段の容量値等のばらつきの影響等を受けることなく、正常にTFTのしきい値電圧のばらつきを補正することが出来る。さらに、図22、23に示したように、発光装置に応用する場合、従来例では1水平期間内に行う動作が多かったのに対して、本発明はより簡単な動作原理に基づいており、動作タイミングも簡単なため、回路の高速動作が可能となり、特にデジタル階調方式と時間階調方式とを組み合わせる方法によって表示を行う際に、よりビット数の高い映像信号を用いて高品質な映像の表示が可能となる。

10

【発明を実施するための最良の形態】

【0083】

[実施の形態1]

図1(A)に、本発明の第1の実施形態を示す。ソース信号線101、第1、第2のゲート信号線102、103、TFT104~107、EL素子109、電流供給線110、リセット用電源線111、電源線112を有する。さらに、映像信号を保持するための容量手段108を設けても良い。

【0084】

TFT104のゲート電極は、第1のゲート信号線102に接続され、第1の電極は、ソース信号線101に接続され、第2の電極は、TFT105の第1の電極に接続されている。TFT105のゲート電極と第2の電極とは互いに接続され、TFT106の第1の電極および、TFT107のゲート電極に接続されている。TFT106のゲート電極は、第2のゲート信号線103に接続され、第2の電極は、リセット用電源線111に接続されている。TFT107の第1の電極は、電流供給線110に接続され、第2の電極は、EL素子109の第1の電極に接続されている。EL素子109の第2の電極は、電源線112に接続され、電流供給線110とは互いに電位差を有している。容量手段108を設ける場合には、TFT107のゲート電極と、電流供給線110等の定電位を得られる部位との間に設ければ良い。また、TFT104の第2の電極と、電流供給線110等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

20

30

【0085】

図1(B)は、第1、第2のゲート信号線に入力するパルスのタイミングを示している。図1(B)および図2を用いて、動作について説明する。なお、ここではTFT104、106はNチャンネル型として構成しているので、ゲート信号線の電位がHレベルのときにTFTがONし、LレベルのときにTFTがOFFするものとしているが、TFT104、106は単にスイッチング素子として機能するものであり、その極性は問わない。

【0086】

今、ソース信号線101の電位が V_{DD} 、電流供給線の電位が V_{DD} 、リセット用電源線の電位が $V_{Reset} (< V_{DD} - |V_{th}|)$ であるとし、TFT105については、ゲート(G)、ソース(S)、ドレイン(D)を図2(A)のように定義する。まず、第2のゲート信号線103にパルスが入力されてTFT106がONする。よって、図2(A)に示すように、TFT105のドレイン電位が低下して、TFT105のゲート・ソース間電圧 $V_{GS} < 0$ となり、さらにしきい値電圧 V_{th} の絶対値を上回って、TFT105がONする。同時に、TFT107のゲート・ソース間電圧もまたしきい値電圧の絶対値を上回るため、ONする。

40

【0087】

続いて、TFT106がOFFし、第1のゲート信号線102にパルスが入力されてTFT104がONする。ここで、ソース信号線には映像信号が出力されてきており、その電位が $V_{Data} (V_{Reset} < V_{Data} < V_{DD})$ となっているため、TFT105のソース電位が V_{Data} へと上昇する。すると、TFT105を経て、TFT107のゲート電極の電位、

50

すなわちTFT105のゲート電極の電位も上昇する。その電位が $V_{Data} - |V_{th}|$ となったところで、TFT105のゲート・ソース間電圧がそのしきい値電圧に等しくなるので、TFT105がOFFし、TFT107のゲート電極の電位、すなわちTFT105のゲート電極の電位の上昇が停止する(図2(B))。

【0088】

続いて、TFT104がOFFし、発光期間に移る。今、TFT107のゲート電極には、所望の映像信号の電位に、しきい値電圧を上乗せした電位が印加されており、図2(C)に示すように、それに見合った電流が電流供給線110よりTFT107を経てEL素子109に流れ、発光する。ところで、実際には、図2(A)の初期化の段階でTFT107のゲート電極には、しきい値電圧の絶対値を上回る電位が印加されてONし、最大輝度で発光しているが、第1、第2のゲート信号線が選択される期間は、実際の発光期間に比べて十分に短く、いかなる場合にも同様に発光するため、相対的な輝度のばらつきに影響することはない。

10

【0089】

以上のような動作によって、画素の制御を行う。このとき、TFT107を流れるドレイン電流 I_{DS} は、式(8)にて表される。

【0090】

【数8】

$$\begin{aligned}
 I_{DS} &= \frac{\beta}{2} (V_{GS} - V_{th})^2 \\
 &= \frac{\beta}{2} \{ (V_{Data} + V_{th} - V_{DD}) - V_{th} \}^2 \\
 &= \frac{\beta}{2} \{ V_{Data} - V_{DD} \}^2 \dots\dots\dots(8)
 \end{aligned}$$

20

【0091】

仮に画面内の画素において、TFTのしきい値電圧のばらつきが生じた場合にも、1つの画素を構成するTFT、具体的にはTFT105、107のしきい値電圧が等しければ、その項は相殺され、 I_{DS} はしきい値電圧の項を含まなくなる。つまり、しきい値電圧に関係なく、 I_{DS} を決定することが出来、しきい値電圧のばらつきの影響を排除することが出来る。

30

【0092】

[実施の形態2]

前述のアナログ階調方式とは異なる駆動方式として、TFTのしきい値電圧等がON電流に影響しにくい領域を用いて、EL素子を輝度100%、0%の2つの状態のみで駆動するデジタル階調方式が提案されている。この方式では、白、黒の2階調しか表現出来ないため、時間階調方式等と組み合わせると多階調化を実現している。

【0093】

デジタル階調方式と時間階調方式とを組み合わせた方法を用いる場合の半導体装置の画素の構成は、図21(A)に示したようなものがある。スイッチング用TFT2104、駆動用TFT2105に加え、消去用TFT2106を用いることによって、発光時間の長さを細かく制御することが可能となっている。

40

【0094】

デジタル階調方式と時間階調方式とを組み合わせた場合、図21(B)に示すように、1フレーム期間を複数のサブフレーム期間に分割する。各サブフレーム期間は、図21(C)に示すように、アドレス(書き込み)期間と、サステイン(発光)期間と、消去期間とを有する。表示ビット数に応じた数のサブフレーム期間を設け、各サブフレーム期間におけるサステイン(発光)期間の長さを、 $2^{(n-1)} : 2^{(n-2)} : \dots : 2 : 1$ とし、各サステイン(発光)期間でEL素子の発光、もしくは非発光の選択をし、EL素子が発光している合計

50

期間の長さの差を利用して階調表現を行う。発光している期間が長ければ輝度が高く、短ければ輝度が低くなる。なお、図 2 1 においては 4 ビット階調の例を示しており、1 フレーム期間は 4 つのサブフレーム期間に分割され、サステイン（発光）期間の組み合わせによって、 $2^4 = 16$ 階調を表現出来る。

【 0 0 9 5 】

時間階調方式を用いて多階調化を図る場合、下位ビットのサステイン（発光）期間の長さがより短くなるため、サステイン（発光）期間の終了後、直ちに次のアドレス期間を開始しようとする、異なるサブフレーム期間のアドレス（書き込み）期間が重複する期間が生ずる。その場合、ある画素に入力される映像信号が、同時に異なる画素にも入力されてしまうため、正常な表示が出来なくなる。消去期間は、このような問題を解決するために設けられており、図 2 1 (B) に示すように、T s 3 の後、および T s 4 の後で、異なる 2 つのアドレス（書き込み）期間が重複しないように設けられる。よって、サステイン（発光）期間が十分に長く、異なる 2 つのアドレス（書き込み）期間の重複が生ずる心配の無い S F 1、S F 2 においては、消去期間は設けられていない。

10

【 0 0 9 6 】

図 9 (A) は、実施の形態 1 において示した構成の画素に、第 3 のゲート信号線 9 1 3、消去用 T F T 9 1 4 を追加し、デジタル階調方式と時間階調方式とを組み合わせた方法を用いるものである。消去用 T F T 9 1 4 のゲート電極は、第 3 のゲート信号線 9 1 3 に接続され、第 1 の電極は、T F T 9 0 7 のゲート電極に接続され、第 2 の電極は、電流供給線 9 1 0 に接続されている。また、映像信号を保持するために、容量手段 9 0 8 を設ける場合には、T F T 9 0 7 のゲート電極と、電流供給線 9 1 0 等の定電位を得られる部位との間に設ければ良い。また、T F T 9 0 4 の第 2 の電極と、電流供給線 9 1 0 等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

20

【 0 0 9 7 】

初期化および映像信号の入力の動作は、実施の形態 1 にて示したものと同様である。なお、初期化および映像信号の入力を行っている期間は、消去用 T F T 9 1 4 は O F F している。

【 0 0 9 8 】

ここで、サステイン（発光）期間から消去期間における動作について、図 9 および図 1 1 を用いて説明する。図 1 1 (A) は、図 2 1 (A) に示したものと同様であり、1 フレーム期間は、図 1 1 (B) に示すように、4 つのサブフレーム期間を有する。サステイン（発光）期間が短いサブフレーム期間 S F 3、S F 4 においては、それぞれ消去期間 T e 3、T e 4 を有している。ここでは、S F 3 での動作を例として説明する。

30

【 0 0 9 9 】

映像信号の入力が終了した後、図 9 (B) に示すように、T F T 9 0 7 のゲート・ソース間電圧に応じた電流が E L 素子 9 0 9 に流れて発光する。その後、当該サステイン（発光）期間の終了するタイミングに達すると、第 3 のゲート信号線 9 1 3 にパルスが入力されて消去用 T F T 9 1 4 が O N し、図 9 (C) に示すように、T F T 9 0 7 のゲート・ソース間電圧を 0 とする。よって T F T 9 0 7 が O F F し、E L 素子 9 0 9 への電流が遮断され、強制的に E L 素子 9 0 9 は非発光となる。

40

【 0 1 0 0 】

これらの動作をタイミングチャートとして、図 1 1 (C) に示した。サステイン（発光）期間 T s 3 の後、第 3 のゲート信号線 9 1 3 にパルスが入力されて E L 素子 9 0 9 が非発光となってから、次に第 2 のゲート信号線 9 0 3 にパルスが入力されて、初期化が始まるまでの期間が消去期間 T e 3 となる。

【 0 1 0 1 】

本実施形態にて用いている消去用 T F T 9 1 4 は、他の実施形態における構成と組み合わせ用いることも出来る。

【 0 1 0 2 】

50

[実施の形態 3]

実施の形態 2 において、消去期間における動作は、TFT907 のゲート・ソース間電圧を 0 として OFF させることによって、EL 素子 909 への電流の供給を遮断している。この他の方法を用いた例を図 10 (A) に示す。実施の形態 2 においては、消去用 TFT914 は TFT907 のゲート電極と、電流供給線 910 との間に設けられていたのに対し、本実施形態においては、消去用 TFT914 は、TFT907 と EL 素子 909 との間に設けられている。

【0103】

初期化および映像信号の入力の動作については、実施の形態 1 と同様である。消去用 TFT914 は、サステイン（発光）期間のみ ON している。初期化、映像信号の入力、および消去期間においては OFF し、EL 素子 909 への電流を遮断する。

10

【0104】

実施の形態 2 と動作面で異なる点としては、実施の形態 2 の場合は、一度消去用 TFT914 を ON し、TFT907 のゲート・ソース間電圧を 0 とすれば、以後は EL 素子 909 が発光しないため、図 11 に示すように、消去期間の開始するタイミングで、短いパルスを入力すれば良いが、本実施形態においては、消去用 TFT は、サステイン期間を通じて ON している必要があるため、第 3 のゲート信号線 913 には、図 12 に示すように、サステイン（発光）期間と同じ長さのパルスを入力する。

【0105】

このようなパルスを生成するには、特別な回路は必要とせず、図 28 (A) に示すような、クロックインバータ 2802、インバータ 2803 等からなる D - フリップフロップ回路 2801 を複数段用いてなるシフトレジスタを用いて、外部より入力するスタートパルスの長さを変更することによって、図 28 (B) に示すように、出力されるパルスの長さを変更して生成すれば良い。サステイン（発光）期間に合わせるための微調整は、パルス幅調整回路等を用いて容易に行うことが出来る。

20

【0106】

なお、図 9 および図 10 において、消去用 TFT914 は N チャネル型 TFT を用い、第 3 のゲート信号線が H レベルのときに ON し、L レベルのときに OFF するが、特にその極性は問わない。

【0107】

本実施形態にて用いている消去用 TFT914 は、他の実施形態における構成と組み合わせ用いることも出来る。

30

【0108】

[実施の形態 4]

実施の形態 1 に示した構成において、1 画素を駆動するのに用いる信号線および電源線は、ソース信号線、第 1 および第 2 のゲート信号線、電流供給線、リセット用電源線である。実施の形態 2、3 においては、さらに第 3 のゲート信号線を用いて消去用 TFT の制御を行う。図 20 に示した従来の構成や、図 21 に示した消去用 TFT を有する構成と比較しても、画素部において配線の占める面積が大きく、開口率が低下するのは明らかである。

40

【0109】

そこで、本実施形態においては、図 16 に示すような構成の画素を用いる。図 16 (A) に示すように、ソース信号線 1601、第 1、第 2 のゲート信号線 1603、1604、TFT1605 ~ 1609、容量手段 1610、EL 素子 1611、電流供給線 1612 等を有する。配線数は 1 画素あたり 4 本となっている。

【0110】

図 16 (A) に示した画素が、i 行目の画素であるとして、構成について説明する。TFT1605 のゲート電極は、i 行目の第 1 のゲート信号線 1603 に接続され、第 1 の電極は、ソース信号線 1601 に接続され、第 2 の電極は、TFT1606 の第 1 の電極に接続されている。TFT1606 のゲート電極と第 2 の電極とは互いに接続され、TFT

50

TFT1607の第1の電極および、TFT1608のゲート電極に接続されている。TFT1607のゲート電極は、 $i - 1$ 行目のゲート信号線1602に接続され、第2の電極は、第2のゲート信号線1604に接続されている。TFT1608の第1の電極は、電流供給線1612に接続され、第2の電極は、TFT1609の第1の電極に接続されている。TFT1609のゲート電極は、 i 行目の第2のゲート信号線1604に接続され、第2の電極は、EL素子1611の第1の電極に接続されている。EL素子1611の第2の電極は、電源線1613に接続され、電流供給線1612とは互いに電位差を有する。容量手段1610は、TFT1608のゲート電極を含むノードと、電流供給線1612との間に接続され、サステイン（発光）期間中に、TFT1608のゲート電極に印加される電位を保持するものである。

10

【0111】

動作について、図16、図17を用いて説明する。なお、ここでは、TFT1605、1607、1609はいずれもNチャンネル型TFTを用い、ゲート電極にHレベルのパルスが入力されてONし、Lレベルが入力されてOFFするものとして説明する。ここで、TFT1609にNチャンネル型TFTを用いているのは、TFT1607をONして初期化を行う際、 i 行目の第2のゲート信号線がLレベルである必要があり、かつこのときTFT1609がOFFしている必要があるためである。

【0112】

今、ソース信号線1601の電位が V_{DD} 、電流供給線の電位が V_{DD} 、ゲート信号線がLレベルにあるときの電位が $V_{Reset} (< V_{DD} - |V_{th}|)$ であるとし、TFT1606については、ゲート(G)、ソース(S)、ドレイン(D)を図17(A)のように定義する。

20

【0113】

$i - 1$ 行目の第1のゲート信号線1602が選択されているとき、すなわち $i - 1$ 行目において映像信号の入力が行われているとき、 i 行目の画素においては、TFT1607がONする。このとき、 i 行目の第2のゲート信号線1604はLレベルであるので、図17(A)に示すように、TFT1608のゲート電極の電位が下がる。これによりTFT1608のゲート電極の電位が初期化される。

【0114】

$i - 1$ 行目において、映像信号の入力が終了すると、 $i - 1$ 行目の第1のゲート信号線1602はLレベルとなり、TFT1607がOFFする。一方、 i 行目の第1のゲート信号線1603が選択されてHレベルとなり、TFT1605がONして、 i 行目において映像信号が入力される。映像信号の電位が V_{Data} （ただし $V_{Data} + V_{th} < V_{DD}$ ）であるとき、TFT1606のソース・ドレイン間電圧は V_{th} に等しく、TFT1608のゲート電極の電位は、 $(V_{Data} - V_{th})$ となる。このとき、 $i + 1$ 行目においては、前述と同様に初期化が行われている（図17(B)）。

30

【0115】

映像信号の入力が終了し、 i 行目においてはサステイン（発光）期間に移る。 i 行目の第2のゲート信号線1604にHレベルのパルスが入力されて、TFT1609がONし、図17(C)に示すように、EL素子には、TFT1608のゲート・ソース間電圧に応じた電流が流れて発光する。

40

【0116】

本実施形態の特徴は、ある行の初期化を行うためのTFT1607の制御に、前行のゲート信号線選択パルスを利用する点と、選択されていないゲート信号線が一定電位であることを利用し、リセット用の電源線として利用している点にある。このような構成とすることによって、信号線の本数を最小限に留めて高開口率を得、かつ実施の形態2と同様の動作を行う構成が実現する。

【0117】

なお、TFT1607の第2の電極は、第2のゲート信号線1604に接続されているが、TFT1607がONするタイミングにおいてLレベルとなっている信号線であれば

50

、他の信号線でも良い。また、TFT1607は、 $i - 1$ 行目の第1のゲート信号線によって制御されているが、 i 行目よりも前の行であれば、他の行でも良い。

【0118】

[実施の形態5]

実施の形態4においては、TFT1609はNチャンネル型としていたが、これは初期化に用いたTFT1607のソース・ドレインの一端が、 i 行目の第2のゲート信号線1604に接続されていたためであったことは前述の通りである。

ところで、画素内では、開口率を高くするため、あるいはTFTの特性にばらつきが生じにくくするためには、できるだけ近接配置することが望ましい。そこで、図18(A)に示すように、TFT1809をPチャンネル型とし、TFT1808とより近接して配置できる構成とする。

10

【0119】

このとき、初期化に用いるTFT1807の接続が一部変更される。TFT1807のゲート電極は、 $i - 1$ 行目の第1のゲート信号線に接続され、第1の電極は、TFT1808のゲート電極に接続されている。これは、前述のように、初期化の際にはTFT1807がONして、TFT1808のゲート電極の電位を下げなければならない。よって、TFT1807のソース・ドレインの一端の接続先は、その期間ではLレベルとなっている必要がある。TFT1809をPチャンネル型としたことによって、 i 行目の画素で初期化を行っている期間の、 i 行目の第2のゲート信号線1804の電位はHレベルであるために用いることが出来ない。よってその接続先を、 i 行目の第1のゲート信号線1802とした。

20

【0120】

回路の動作については、図19(A)～(C)に示すが、 i 行目の第2のゲート信号線1804のHレベルとLレベルの電位が反転している点を除き、実施の形態4と同様であるので、ここでは詳細な説明は省略する。TFT1809は、そのON、OFFによってEL素子への電流供給経路の導通もしくは非導通の選択を行うためのスイッチング素子として用いているため、動作上、その極性は問わない。よって、実施の形態4および本実施形態に関しては、実際の回路レイアウト等の事情によって、適宜選択すれば良い。

【0121】

なお、TFT1807の第2の電極は、第2のゲート信号線1803に接続されているが、TFT1807がONするタイミングにおいてLレベルとなっている信号線であれば、他の信号線でも良い。また、TFT1807は、 $i - 1$ 行目の第1のゲート信号線によって制御されているが、 i 行目よりも前の行であれば、他の行でも良い。

30

【0122】

[実施の形態6]

実施の形態1にて示した構成の接続を一部変更したものを図3(A)に示す。

実施の形態1においては、図1に示したように、ゲート・ドレイン間を接続したTFT105は、TFT104の第2の電極と、TFT107のゲート電極との間に設けられていたが、本実施形態の構成によると、ゲート・ドレイン間を接続したTFT305は、ソース信号線301と、TFT304の第1の電極との間に設けられている。また、映像信号を保持するために、容量手段308等を設ける場合には、TFT304の第2の電極と、電流供給線310等の定電位との間に設ければ良い。

40

【0123】

図3(B)～(D)を用いて、動作について説明する。なお、ここではTFT304、306はNチャンネル型として構成しているので、ゲート信号線の電位がHレベルのときにTFTがONし、LレベルのときにTFTがOFFするものとしているが、TFT304、306は単にスイッチング素子として機能するものであり、その極性は問わない。

【0124】

今、ソース信号線301の電位が V_{DD} 、電流供給線の電位が V_{DD} 、リセット用電源線の電位が $V_{Reset} (< V_{DD} - |V_{th}|)$ であると、TFT305については、ゲート(G)、ソ

50

ース(S)、ドレイン(D)を図3(B)のように定義する。

【0125】

まず、第2のゲート信号線303にパルスが入力されてTFT306がONする。TFT306がONしている間に、第1のゲート信号線302にパルスが入力されてTFT304がONする。すると、図3(B)に示すように、TFT305のドレイン電位が低下して、TFT305のゲート・ソース間電圧 $V_{GS} < 0$ となり、さらにしきい値電圧 V_{th} の絶対値を上回って、TFT305がONする。

ここで、TFT306は、TFT305がONして前述の動作が行われ、TFT305がONした瞬間、速やかにOFFするようにする。TFT305、306が両方ともONしている状態が長く続くと、やがてTFT305がONし、ソース信号線301 - リセット用電源線311間に電流パスが生ずるため、TFT307のゲート電極の電位が低くならない場合があるためである。同時に、TFT307のゲート・ソース間電圧もまたしきい値電圧の絶対値を上回るため、ONする。

10

【0126】

続いて、映像信号の入力が行われる。ソース信号線301には映像信号が出力されてきており、その電位が $V_{Data} (V_{Reset} < V_{Data} < V_{DD})$ となっているため、TFT305のソース電位が V_{Data} へと上昇する。すると、TFT305、304を経て、TFT307のゲート電極の電位も上昇する。その電位が $V_{Data} - |V_{th}|$ となったところで、TFT305のゲート・ソース間電圧がそのしきい値電圧に等しくなるので、TFT305がOFFし、TFT307のゲート電極の電位も停止する(図3(C))。

20

【0127】

続いて、発光期間に移る。TFT307がONした時点で発光が始まるが、映像信号が入力された後、TFT307のゲート電位が $(V_{Data} - V_{th})$ となって初めて、それに応じた電流が電流供給線310よりTFT307を経てEL素子309に流れ、発光する。

【0128】

[実施の形態7]

実施の形態6にて示した構成の接続を一部変更したものを図4(A)に示す。

実施の形態6においては、図3(A)に示したように、TFT304は、TFT305の第2の電極と、TFT306の第1の電極との間に設けられていたが、本実施形態の構成によると、TFT404は、TFT406の第1の電極と、TFT407のゲート電極との間に設けられている。また、映像信号を保持するために、容量手段408を設ける場合には、TFT407のゲート電極と、電流供給線410等の定電位を得られる部位との間に設ければ良い。また、TFT405の第2の電極と、電流供給線410等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

30

【0129】

図4(B)~(D)を用いて、動作について説明する。なお、ここではTFT404、406はNチャンネル型として構成しているので、ゲート信号線の電位がHレベルのときにTFTがONし、LレベルのときにTFTがOFFするものとしているが、TFT404、406は単にスイッチング素子として機能するものであり、その極性は問わない。

【0130】

今、ソース信号線401の電位が V_{DD} 、電流供給線の電位が V_{DD} 、リセット用電源線の電位が $V_{Reset} (< V_{DD} - |V_{th}|)$ であるとし、TFT405については、ゲート(G)、ソース(S)、ドレイン(D)を図4(B)のように定義する。

40

【0131】

まず、第1、第2のゲート信号線402、403にパルスが入力されてTFT404、406がONする。すると、図4(B)に示すように、TFT405のドレイン電位が低下して、TFT405のゲート・ソース間電圧 $V_{GS} < 0$ となり、さらにしきい値電圧 V_{th} の絶対値を上回って、TFT405がONする。これにより、初期化が完了する。なお、ここではTFT404はOFFしていても構わない。

【0132】

50

続いて、映像信号の入力が行われる。第2のゲート信号線403がLレベルとなってTFT406がOFFし、第1のゲート信号線402がHレベルとなってTFT404がONする。よって、TFT407のゲート・ソース間電圧もまたしきい値電圧の絶対値を上回ってONする。今、ソース信号線の電位は V_{DD} から V_{Data} となっており、それに伴ってTFT407のゲート電極に印加される電位は、 $(V_{Data} - V_{th})$ に落ち着く。

【0133】

続いて、発光期間に移る。TFT407がONした時点で発光が始まるが、映像信号が入力された後、TFT407のゲート電位が $(V_{Data} - V_{th})$ となって初めて、所望の電流がEL素子409に流れる。同時に、第1のゲート信号線がLレベルとなってTFT404がOFFする。

10

【0134】

[実施の形態8]

実施の形態1～7においては、映像信号が入力される前の初期化には、あるTFTを用いて行っている。図5(A)は、TFTの代わりにダイオード507を用いる。ダイオード507の第1の電極は、TFT505のゲート電極および第2の電極に接続され、第2の電極は、第2のゲート信号線503に接続されている。また、映像信号を保持するために、容量手段508を設ける場合には、TFT506のゲート電極と、電流供給線510等の定電位を得られる部位との間に設ければ良い。また、TFT504の第2の電極と、電流供給線510等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

20

【0135】

実施の形態1と異なる点は、初期化の際の動作のみである。ここでは、映像信号の入力および発光動作についての説明は省略し、図5(B)を用いて、初期化の際の動作について説明する。

【0136】

初期状態において、第2のゲート信号線503は、Hレベルにしておく。初期化のタイミングで、第2のゲート信号線503の電位を下げると、ダイオードには順バイアスがかかり、電位の高い方から低い方、つまり、図5(B)に示すように電流が生じ、TFT505、506のゲート電位が低下する。やがてTFT505、506のしきい値電圧 V_{th} の絶対値を、TFT505、506のゲート・ソース間電圧が上回ると、TFT505がONする。その後、映像信号の入力が行われるときには、第2のゲート信号線503は、再びHレベルに戻しておく。その後、映像信号が入力されるが、ダイオード507には、常に逆バイアスがかかっている状態であり、電流は生じない。

30

【0137】

以後、実施の形態1と同様にして、EL素子509に所望の電流が流れ、発光する。

【0138】

図5(C)は、ダイオード507に代わって容量手段557を設けた例を示している。容量手段557の第1の電極は、TFT555のゲート電極および第2の電極と、TFT556のゲート電極に接続され、第2の電極は、第2のゲート信号線553に接続されている。この場合も、動作は図5(B)と同様であり、初期状態において、第2のゲート信号線553をHレベルにしておき、初期化のタイミングで、第2のゲート信号線553の電位を下げる。このとき、TFT554がOFFしているので、容量手段557の第2の電極は浮遊状態であり、容量手段557の第1の電極の電位が低下すると、容量結合によって、第2の電極の電位、すなわちTFT555、556のゲート電極の電位も低下する。やがてTFT555、556のしきい値電圧 V_{th} の絶対値を、TFT555、556のゲート・ソース間電圧が上回ると、TFT555、556がONする。

40

【0139】

その後、TFT554がONして、映像信号の入力が行われる。第2のゲート信号線553は、今Lレベルとなっているが、映像信号が入力されている間、すなわちTFT554がONしている間にHレベルにしておけば良い。

50

【0140】

以後、実施の形態1と同様にして、EL素子559に所望の電流が流れ、発光する。

【0141】

本実施形態の構成によると、図1(A)においては初期化に用いるゲート信号線と、リセット用電源線とを必要としたのに対し、初期化に用いるゲート信号線(図5においては、第2のゲート信号線503、553)のみで動作が可能である。よって画素部に必要な配線を1本減らすことが出来、高開口率化に寄与する。

【0142】

[実施の形態9]

実施の形態1にて示した構成の接続を一部変更したものを図6(A)に示す。

実施の形態1においては、図1に示したように、TFT106の第2の電極は、リセット用電源線111に接続されているのに対し、本実施形態においては、図6(A)に示すように、 i 行目の画素においては、 $i+1$ 行目の第1のゲート信号線に接続されている。各動作は全て実施の形態1と同様である。 i 行目の初期化を行うときには、 $i+1$ 行目はまだゲート信号線が選択されておらず、Lレベルとなっている。ゲート信号線選択パルスが入力されていない期間、ゲート信号線が一定電位となることから、図6(B)に示すように、 $i+1$ 行目のゲート信号線をリセット用電源線として共用する。このようにして、実施の形態8と同様に、リセット用電源線を省略することが出来る。

【0143】

この場合、共用するゲート信号線は、選択されていない状態でLレベルとなっている必要がある。よって、当該ゲート信号線に入力されるパルスによって制御されるTFT、すなわちTFT605は、Nチャンネル型とする。

【0144】

本実施形態の構成は、他の実施形態とも組み合わせることが可能である。例えば、図9、図10等に示したように、消去用のゲート信号線を追加する場合など、TFT906を本実施形態に従って接続することで、リセット用電源線911を省略することが可能である。

【0145】

また、映像信号を保持するために、容量手段609を設ける場合には、TFT608のゲート電極と、電流供給線611等の定電位を得られる部位との間に設ければ良い。また、TFT605の第2の電極と、電流供給線611等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

【0146】

[実施の形態10]

実施の形態9と同様、実施の形態1にて示した構成の接続を一部変更したものを図7(A)に示す。実施の形態1においては、図1に示したように、TFT106の第2の電極は、リセット用電源線111に接続されているのに対し、本実施形態においては、TFT704の第2の電極に接続されている。また、映像信号を保持するために、容量手段708を設ける場合には、TFT707のゲート電極と、電流供給線710等の定電位を得られる部位との間に設ければ良い。また、TFT704の第2の電極と、電流供給線710等の定電位との間に設けても良いし、保持容量の値を大きくしたい場合等には、両方に設けても良い。

【0147】

図7(B)~(E)を用いて、動作について説明する。図7(B)~(D)は初期化~発光に至るまでの回路の動作を示すものであり、図7(E)は、第1、第2のゲート信号線702、703および、ソース信号線701のそれぞれの電位について示したものである。図7(E)中、 i と示してある期間が初期化(図7(B))、 ii と示してある期間が映像信号の入力(図7(C))、 iii と示してある期間が発光期間(図7(D))である。

【0148】

10

20

30

40

50

まず、第1、第2のゲート信号線702、703がHレベルとなり、TFT704、706がONする。このとき、ソース信号線701の電位は、図7(E)に示すように V_{Reset} としておく。この電位は、映像信号よりもさらにTFT705のしきい値電圧の分だけ低い電位もしくはそれ以下の電位としておく。すると、図7(B)に示すように、TFT705、707のゲート電極の電位が低くなり、TFT707のしきい値電圧の絶対値を上回ったところで、TFT707がONする。TFT705に関しては、図7(B)から明らかなように、ゲート・ソース間電圧が0となっているため、OFFしている。

【0149】

続いて、第2のゲート信号線703がLレベルとなってTFT706がOFFし、ソース信号線の電位が V_{Reset} から V_{Data} となって映像信号の入力が開始される。ここで、 $V_{Reset} + |V_{th}| < V_{Data}$ であるから、TFT705のゲート・ソース間電圧はしきい値電圧の絶対値を上回り、ONする。よって映像信号は、図7(C)に示されるように、TFT707のゲート電極に、しきい値電圧が上乘せされて印加される。

10

【0150】

続いて、第1のゲート信号線702がLレベルとなってTFT704がOFFし、発光期間に移る。今、TFT707のゲート電極には、映像信号 V_{Data} に、しきい値電圧 V_{th} が上乘せされて印加されており、それに応じた電流がEL素子709に供給されて発光する。

【0151】

20

また、TFT706の第2の電極は、今、TFT704の第2の電極に接続されているが、ソース信号線701に接続し、TFT707のゲート電極とソース信号線との間に設けるようにしても同様のタイミングによって動作が可能である。

【0152】

[実施の形態11]

本発明において、映像信号を保持するために容量手段を用いて良いことは前述のとおりである。容量手段の配置例としては、実施の形態1などに示したとおり、図8(A)に示すように、TFT804と電流供給線810等の定電位との間に設け、TFT805のソース電位を保持する形としても良いし、図8(B)のように、TFT807のゲート電極と、電流供給線810等の定電位との間に設け、TFT807のゲート電極の電位を保持する形としても良い。なお、容量手段の接続先は、電流供給線に限らず、一定の電位を持ったノードに接続すれば電位の保持が出来るので、その場所は問わない。

30

【0153】

以下に、本発明の実施例について記載する。

【実施例1】

【0154】

本実施例においては、映像信号にアナログ映像信号を用いて表示を行う発光装置の構成について説明する。図24(A)に、発光装置の構成例を示す。基板2401上に、複数の画素がマトリクス状に配置された画素部2402を有し、画素部周辺には、ソース信号線駆動回路2403および、第1、第2のゲート信号線駆動回路2404、2405を有している。図24(A)においては、2組のゲート信号線駆動回路を用い、図1に示した画素における第1、第2のゲート信号線をそれぞれ制御するものである。

40

【0155】

ソース信号線駆動回路2403、第1、第2のゲート信号線駆動回路2404、2405に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit: FPC)2406を介して外部より供給される。

【0156】

図24(B)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にアナログ映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ2411、バッファ2412、サンプリング回路2413を有している。特に図示していないが、

50

必要に応じてレベルシフタ等を追加しても良い。

【0157】

ソース信号線駆動回路の動作について説明する。図25(A)に、より詳細な構成を示したので、そちらを参照する。

【0158】

シフトレジスタ2501は、フリップフロップ回路(FF)2502等を複数段用いてなり、クロック信号(S-CLK)、クロック反転信号(S-CLKb)、スタートパルス(S-SP)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0159】

シフトレジスタ2501より出力されたサンプリングパルスは、バッファ2503等を通して増幅された後、サンプリング回路へと入力される。サンプリング回路2504は、サンプリングスイッチ(SW)2505を複数段用いてなり、サンプリングパルスが入力されるタイミングに従って、ある列で映像信号のサンプリングを行う。具体的には、サンプリングスイッチにサンプリングパルスが入力されると、サンプリングスイッチ2505がONし、そのときに映像信号が有する電位が、サンプリングスイッチを介して各々のソース信号線へと出力される。

【0160】

続いて、ゲート信号線駆動回路の動作について説明する。図24(C)に示した、第1、第2のゲート信号線駆動回路2404、2405についての詳細な構成の一例を図25(B)に示した。第1のゲート信号線駆動回路は、シフトレジスタ回路2511、バッファ2512を有し、クロック信号(G-CLK1)、クロック反転信号(G-CLKb1)、スタートパルス(G-SP1)に従って駆動される。第2のゲート信号線駆動回路2405も構成は同様で良い。また、図24(A)においては、第1、第2のゲート信号線駆動回路2404、2405は、画素部2402を挟んで対称配置しているが、一方に並列して配置しても良い。

【0161】

シフトレジスタ～バッファの動作については、ソース信号線駆動回路の場合と同様である。バッファによって増幅された選択パルスは、それぞれのゲート信号線を選択する。第1のゲート信号線駆動回路によって、第1のゲート信号線 G_{11} 、 G_{21} 、 \dots 、 G_{m1} が順次選択され、第2のゲート信号線駆動回路によって、第2のゲート信号線 G_{12} 、 G_{22} 、 \dots 、 G_{m2} が順次選択される。図示していないが、第3のゲート信号線駆動回路についても第1、第2のゲート信号線駆動回路と同様であり、第3のゲート信号線 G_{13} 、 G_{23} 、 \dots 、 G_{m3} が順次選択される。選択された行において、実施形態にて説明した手順により、画素に映像信号が書き込まれて発光する。

【0162】

なお、ここではシフトレジスタの一例として、D-フリップフロップを複数段用いてなるものを図示したが、デコーダ等によって、信号線を選択出来るような構成としていても良い。

【実施例2】

【0163】

本実施例においては、映像信号にデジタル映像信号を用いて表示を行う発光装置の構成について説明する。図26(A)に、発光装置の構成例を示す。基板2601上に、複数の画素がマトリクス状に配置された画素部2602を有し、画素部周辺には、ソース信号線駆動回路2603および、第1、第2のゲート信号線駆動回路2604、2605を有している。図26(A)においては、2組のゲート信号線駆動回路を用い、図1に示した画素における第1、第2のゲート信号線をそれぞれ制御するものである。

【0164】

ソース信号線駆動回路2603、第1、第2のゲート信号線駆動回路2604、2605に入力される信号は、フレキシブルプリント基板(Flexible Print Circuit: FPC)2

10

20

30

40

50

606を介して外部より供給される。

【0165】

図26(B)に、ソース信号線駆動回路の構成例を示す。これは、映像信号にデジタル映像信号を用いて表示を行うためのソース信号線駆動回路であり、シフトレジスタ2611、第1のラッチ回路2612、第2のラッチ回路2613、D/A変換回路2614を有している。特に図示していないが、必要に応じてレベルシフタ等を追加しても良い。

【0166】

第1、第2のゲート信号線駆動回路2604、2605については、実施例1にて示したものと同様で良いので、ここでは図示および説明を省略する。

【0167】

ソース信号線駆動回路の動作について説明する。図27(A)に、より詳細な構成を示したので、そちらを参照する。

【0168】

シフトレジスタ2701は、フリップフロップ回路(FF)2710等を複数段用いてなり、クロック信号(S-CLK)、クロック反転信号(S-CLKb)、スタートパルス(S-SP)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0169】

シフトレジスタ2701より出力されたサンプリングパルスは、第1のラッチ回路2702に入力される。第1のラッチ回路2702には、デジタル映像信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各段でデジタル映像信号を保持していく。ここでは、デジタル映像信号は3ビット入力されており、各ビットの映像信号を、それぞれの第1のラッチ回路において保持する。1つのサンプリングパルスによって、ここでは3つの第1のラッチ回路が並行して動作する。

【0170】

第1のラッチ回路2702において、最終段までデジタル映像信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路2703にラッチパルス(Latch Pulse)が入力され、第1のラッチ回路2702に保持されていたデジタル映像信号は、一斉に第2のラッチ回路2703に転送される。その後、第2のラッチ回路2703に保持されたデジタル映像信号は、1行分が同時に、D/A変換回路2704へと入力される。

【0171】

第2のラッチ回路2703に保持されたデジタル映像信号がD/A変換回路2704に入力されている間、シフトレジスタ2701においては再びサンプリングパルスが出力される。以後、この動作を繰り返し、1フレーム分の映像信号の処理を行う。

【0172】

D/A変換回路2704においては、入力されるデジタル映像信号をデジタル-アナログ変換し、アナログ電圧を有する映像信号としてソース信号線に出力する。

【0173】

前記の動作が、1水平期間内に、全段にわたって同時に行われる。よって、全てのソース信号線に映像信号が出力される。

【0174】

なお、実施例1においても述べたとおり、シフトレジスタの代わりにデコーダ等を用いて、信号線を選択出来るような構成としていても良い。

【実施例3】

【0175】

実施例2においては、デジタル映像信号はD/A変換回路によってデジタル-アナログ変換を受け、画素に書き込まれるが、本発明の発光装置は、時間階調方式によって階調表現を行うことも出来る。この場合には、図27(B)に示すように、D/A変換回路を必要とせず、階調表現は、EL素子の発光時間の長短によって制御されるので、各ビットの映像信号を並列処理する必要がないため、第1および第2のラッチ回路も1ビット分で良い

10

20

30

40

50

。このとき、デジタル映像信号は、各ビットが直列に入力され、順次ラッチ回路に保持され、画素に書き込まれる。

勿論、必要ビット数分だけのラッチ回路を並列配置していても構わない。

【実施例 4】

【0176】

本明細書ではCMOS回路で構成される駆動回路と、スイッチング用TFT及び駆動用TFTを有する画素部とが同一基板上に形成された基板を便宜上アクティブマトリクス基板と呼ぶ。そして本実施例では前記アクティブマトリクス基板の作製工程について図13、図14を用いて説明する。

【0177】

基板5000は、石英基板、シリコン基板、金属基板又はステンレス基板の表面に絶縁膜を形成したものをを用いる。また本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。本実施例ではバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等のガラスからなる基板5000を用いた。

【0178】

次いで、基板5000上に酸化珪素膜、窒化珪素膜又は酸化窒化珪素膜などの絶縁膜から成る下地膜5001を形成する。本実施例の下地膜5001は2層構造で形成したが、前記絶縁膜の単層構造又は前記絶縁膜を2層以上積層させた構造であっても良い。

【0179】

本実施例では、下地膜5001の1層目として、プラズマCVD法を用いて、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される窒化酸化珪素膜5001aを10~200nm(好ましくは50~100nm)の厚さに形成する。本実施例では、窒化酸化珪素膜5001aを50nmの厚さに形成した。次いで下地膜5001の2層目として、プラズマCVD法を用いて、 SiH_4 及び N_2O を反応ガスとして成膜される酸化窒化珪素膜5001bを50~200nm(好ましくは100~150nm)の厚さに形成する。本実施例では、酸化窒化珪素膜5001bを100nmの厚さに形成した。

【0180】

続いて、下地膜5001上に半導体層5002~5005を形成する。半導体層5002~5005は公知の手段(スパッタ法、LPCVD法、プラズマCVD法等)により25~80nm(好ましくは30~60nm)の厚さで半導体膜を成膜する。次いで前記半導体膜を公知の結晶化法(レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等)を用いて結晶化させる。そして、得られた結晶質半導体膜を所望の形状にパターニングして半導体層5002~5005を形成する。なお前記半導体膜としては、非晶質半導体膜、微結晶半導体膜、結晶質半導体膜、又は非晶質珪素ゲルマニウム膜などの非晶質構造を有する化合物半導体膜などを用いても良い。

【0181】

本実施例では、プラズマCVD法を用いて、膜厚55nmの非晶質珪素膜を成膜した。そして、ニッケルを含む溶液を非晶質珪素膜上に保持させ、この非晶質珪素膜に脱水素化(500、1時間)を行った後、熱結晶化(550、4時間)を行って結晶質珪素膜を形成した。その後、フォトリソグラフィ法を用いたパターニング処理によって半導体層5002~5005を形成した。

【0182】

なおレーザ結晶化法で結晶質半導体膜を作製する場合のレーザは、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ、 YVO_4 レーザ、YLFレーザ、 $YAlO_3$ レーザ、ガラスレーザ、ルビーレーザ、Ti:サファイアレーザ等を用いることができる。また後者の固体レーザとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、 YVO_4 、YLF、 $YAlO_3$ などの結晶を使ったレーザを用いることができる。当該レーザの基本波はドーピングする材料によって異なり、1 μ m前後の基本波を有する

10

20

30

40

50

レーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。なお非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用する。

【0183】

また出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光は、非線形光学素子により高調波に変換する。さらに、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面に矩形または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度(好ましくは0.1～10MW/cm²)が必要である。そして、10～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射する。

10

【0184】

また上記のレーザーを用いる場合には、レーザー発振器から放射されたレーザービームを光学系で線状に集光して、半導体膜に照射すると良い。結晶化の条件は適宜設定されるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100～700mJ/cm²(代表的には200～300mJ/cm²)とすると良い。またYAGレーザーを用いる場合には、その第2高調波を用いてパルス発振周波数1～300Hzとし、レーザーエネルギー密度を300～1000mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm(好ましくは幅400μm)で線状に集光したレーザー光を基板全面に渡って照射し、このときの線状ビームの重ね合わせ率(オーバーラップ率)を50～98%として行っても良い。

20

【0185】

しかしながら本実施例では、結晶化を助長する金属元素を用いて非晶質珪素膜の結晶化を行ったため、前記金属元素が結晶質珪素膜中に残留している。そのため、前記結晶質珪素膜上に50～100nmの非晶質珪素膜を形成し、加熱処理(RTA法やファーネスアニール炉を用いた熱アニール等)を行って、該非晶質珪素膜中に前記金属元素を拡散させ、前記非晶質珪素膜は加熱処理後にエッチングを行って除去する。その結果、前記結晶質珪素膜中の金属元素の含有量を低減または除去することができる。

30

【0186】

なお半導体層5002～5005を形成した後、TFTのしきい値電圧を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0187】

次いで、半導体層5002～5005を覆うゲート絶縁膜5006を形成する。ゲート絶縁膜5006はプラズマCVD法やスパッタ法を用いて、膜厚を40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、ゲート絶縁膜5006としてプラズマCVD法により酸化窒化珪素膜を115nmの厚さに形成した。勿論、ゲート絶縁膜5006は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

40

【0188】

なおゲート絶縁膜5006として酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成しても良い。上記の工程により作製される酸化珪素膜は、その後400～500の熱アニールによって、ゲート絶縁膜5006として良好な特性を得ることができる。

【0189】

次いで、ゲート絶縁膜5006上に膜厚20～100nmの第1の導電膜5007と、膜厚100～400nmの第2の導電膜5008とを積層形成する。本実施例では、膜厚30nmのTa₂N膜からなる第1の導電膜5007と、膜厚370nmのW膜からなる第2の導電

50

膜 5 0 0 8 を積層形成した。

【 0 1 9 0 】

本実施例では、第 1 の導電膜 5 0 0 7 である T a N 膜はスパッタ法で形成し、T a のターゲットを用いて、窒素を含む雰囲気内でスパッタ法で形成した。また第 2 の導電膜 5 0 0 8 である W 膜は、W のターゲットを用いたスパッタ法で形成した。その他に 6 フッ化タングステン ($W F_6$) を用いる熱 C V D 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は $20 \mu \text{ cm}$ 以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度の W (純度 99.9999%) のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 $9 \sim 20 \mu \text{ cm}$ を実現することができた。

10

【 0 1 9 1 】

なお本実施例では、第 1 の導電膜 5 0 0 7 を T a N 膜、第 2 の導電膜 5 0 0 8 を W 膜としたが、第 1 の導電膜 5 0 0 7 及び第 2 の導電膜 5 0 0 8 を構成する材料は特に限定されない。第 1 の導電膜 5 0 0 7 及び第 2 の導電膜 5 0 0 8 は、T a、W、T i、M o、A l、C u、C r、N d から選択された元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜や A g P d C u 合金で形成してもよい。

20

【 0 1 9 2 】

次いで、フォトリソグラフィ法を用いてレジストからなるマスク 5 0 0 9 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。第 1 のエッチング処理では第 1 及び第 2 のエッチング条件で行う。(図 1 3 (B))

【 0 1 9 3 】

本実施例では第 1 のエッチング条件として、I C P (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに $C F_4$ と $C l_2$ と O_2 とを用い、それぞれのガス流量比を 25 : 25 : 10 sccm とし、1.0 Pa の圧力でコイル型の電極に 500 W の R F (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも 150 W の R F (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加した。

30

そしてこの第 1 のエッチング条件により W 膜をエッチングして第 1 の導電層 5 0 0 7 の端部をテーパ形状とした。

【 0 1 9 4 】

続いて、レジストからなるマスク 5 0 0 9 を除去せずに第 2 のエッチング条件に変更し、エッチング用ガスに $C F_4$ と $C l_2$ とを用い、それぞれのガス流量比を 30 : 30 sccm とし、1.0 Pa の圧力でコイル型の電極に 500 W の R F (13.56 MHz) 電力を投入してプラズマを生成して 15 秒程度のエッチングを行った。基板側(試料ステージ)にも 20 W の R F (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加した。第 2 のエッチング条件では第 1 の導電層 5 0 0 7 及び第 2 の導電層 5 0 0 8 と同程度にエッチングを行った。なお、ゲート絶縁膜 5 0 0 6 上に残渣を残すことなくエッチングするためには、10 ~ 20 % 程度の割合でエッチング時間を増加させると良い。

40

【 0 1 9 5 】

上記の第 1 のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層 5 0 0 7 及び第 2 の導電層 5 0 0 8 の端部がテーパ形状となる。こうして、第 1 のエッチング処理により第 1 の導電層 5 0 0 7 と第 2 の導電層 5 0 0 8 から成る第 1 の形状の導電層 5 0 1 0 ~ 5 0 1 4 を形成した。ゲート絶縁膜 5 0 0 6 においては、第 1 の形状の導電層 5 0 1 0 ~ 5 0 1 4 で覆われない領域が 20 ~ 50 nm 程度エッチングされたため、膜厚が薄くなった領域が形成された。

【 0 1 9 6 】

50

次いで、レジストからなるマスク5009を除去せずに第2のエッチング処理を行う。(図13(C))第2のエッチング処理では、エッチングガスに SF_6 と Cl_2 と O_2 を用い、それぞれのガス流量比を24:12:24(sccm)とし、1.3Paの圧力でコイル側の電力に700WのRF(13.56MHz)電力を投入してプラズマを生成して25秒程度のエッチングを行った。基板側(試料ステージ)にも10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加した。こうして、W膜を選択的にエッチングして、第2の形状の導電層5015~5019を形成した。このとき、第1の導電層5015a~5019aは、ほとんどエッチングされない。

【0197】

そして、レジストからなるマスク5009を除去せずに第1のドーピング処理を行い、半導体層5002~5005にN型を付与する不純物元素を低濃度に添加する。第1のドーピング処理はイオンドープ法又はイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm²とし、加速電圧を40~80keVとして行う。本実施例ではドーズ量を 5.0×10^{13} atoms/cm²とし、加速電圧を50keVとして行った。N型を付与する不純物元素としては、15族に属する元素を用いれば良く、代表的にはリン(P)又は砒素(As)を用いられるが、本実施例ではリン(P)を用いた。この場合、第2の形状の導電層5015~5019がN型を付与する不純物元素に対するマスクとなって、自己整合的に第1の不純物領域(N--領域)5020~5023を形成した。そして第1の不純物領域5020~5023には $1 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cm³の濃度範囲でN型を付与する不純物元素が添加された。

【0198】

続いてレジストからなるマスク5009を除去した後、新たにレジストからなるマスク5024を形成して、第1のドーピング処理よりも高い加速電圧で第2のドーピング処理を行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 3 \times 10^{15}$ atoms/cm²とし、加速電圧を60~120keVとして行う。本実施例では、ドーズ量を 3.0×10^{15} atoms/cm²とし、加速電圧を65keVとして行った。第2のドーピング処理は第2の導電層5015b~5018bを不純物元素に対するマスクとして用い、第1の導電層5015a~5018aのテーパー部の下方の半導体層に不純物元素が添加されるようにドーピングを行う。

【0199】

上記の第2のドーピング処理を行った結果、第1の導電層と重なる第2の不純物領域(N-領域、Lov領域)5026には $1 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm³の濃度範囲でN型を付与する不純物元素を添加された。また第3の不純物領域(N+領域)5025、5028には $1 \times 10^{19} \sim 5 \times 10^{21}$ atoms/cm³の濃度範囲でN型を付与する不純物元素を添加された。また、第1、第2のドーピング処理を行った後、半導体層5002~5005において、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域が形成された。本実施例では、不純物元素が全く添加されない領域又は微量の不純物元素が添加された領域をチャンネル領域5027、5030とよぶ。また前記第1のドーピング処理により形成された第1の不純物領域(N--領域)5020~5023のうち、第2のドーピング処理においてレジスト5024で覆われていた領域が存在するが、本実施例では、引き続き第1の不純物領域(N--領域、LDD領域)5029とよぶ。

【0200】

なお本実施例では、第2のドーピング処理のみにより、第2の不純物領域(N-領域)5026及び第3の不純物領域(N+領域)5025、5028を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【0201】

次いで図14(A)に示すように、レジストからなるマスク5024を除去した後、新たにレジストからなるマスク5031を形成する。その後、第3のドーピング処理を行う。第3のドーピング処理により、Pチャンネル型TFTの活性層となる半導体層に、前記第1

の導電型とは逆の導電型を付与する不純物元素が添加された第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成する。

【0202】

第3のドーピング処理では、第2の導電層5016b、5018bを不純物元素に対するマスクとして用いる。こうして、P型を付与する不純物元素を添加し、自己整合的に第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成する。

【0203】

本実施例では、第4の不純物領域5032、5034及び第5の不純物領域5033、5035はジボラン(B_2H_6)を用いたイオンドープ法で形成する。イオンドープ法の条件としては、ドーズ量を 1×10^{16} atoms/cm²とし、加速電圧を80keVとした。

10

【0204】

なお、第3のドーピング処理の際には、Nチャネル型TFETを形成する半導体層はレジストからなるマスク5031によって覆われている。

【0205】

ここで、第1及び2のドーピング処理によって、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035にはそれぞれ異なる濃度でリンが添加されている。しかし、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035のいずれの領域においても、第3のドーピング処理によって、P型を付与する不純物元素の濃度が $1 \times 10^{19} \sim 5 \times 10^{21}$ atoms/cm³となるようにドーピング処理される。こうして、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035は、Pチャネル型TFETのソース領域およびドレイン領域として問題なく機能する。

20

【0206】

なお本実施例では、第3のドーピング処理のみにより、第4の不純物領域(P+領域)5032、5034及び第5の不純物領域(P-領域)5033、5035を形成したが、これに限定されない。ドーピング処理を行う条件を適宜変えて、複数回のドーピング処理で形成しても良い。

【0207】

次いで図14(B)に示すように、レジストからなるマスク5031を除去して第1の層間絶縁膜5036を形成する。この第1の層間絶縁膜5036としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚100nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5036は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

30

【0208】

次いで、図14(C)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700で行えばよく、本実施例では410、1時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

40

【0209】

また、第1の層間絶縁膜5036を形成する前に加熱処理を行っても良い。ただし、第1の導電層5015a~5019a及び、第2の導電層5015b~5019bを構成する材料が熱に弱い場合には、本実施例のように配線等を保護するため第1の層間絶縁膜5036(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

【0210】

上記の様に、第1の層間絶縁膜5036(珪素を主成分とする絶縁膜、例えば窒化珪素

50

膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第1の層間絶縁膜5036に含まれる水素により半導体層のダングリングボンドが終端される。

【0211】

なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

【0212】

ここで、第1の層間絶縁膜5036の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、3~100%の水素を含む雰囲気中において、300~450 で1~12 10
時間の加熱処理を行う手段でも良い。

【0213】

次いで、第1の層間絶縁膜5036上に、第2の層間絶縁膜5037を形成する。第2の層間絶縁膜5037としては、無機絶縁膜を用いることができる。例えば、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、第2の層間絶縁膜5037として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリル等の膜を用いることができる。

また、アクリル膜と酸化窒化珪素膜の積層構造を用いても良い。

【0214】

本実施例では、膜厚1.6 μmのアクリル膜を形成した。第2の層間絶縁膜5037によって、基板上5000に形成されたTFTによる凹凸を緩和し、平坦化することができる。特に、第2の層間絶縁膜5037は平坦化の意味合いが強いので、平坦性に優れた膜が 20
好ましい。

【0215】

次いで、ドライエッチングまたはウエットエッチングを用い、第2の層間絶縁膜5037、第1の層間絶縁膜5036、およびゲート絶縁膜5006をエッチングし、第3の不純物領域5025、5028、第4の不純物領域5032、5034に達するコンタクトホールを形成する。

【0216】

次いで、透明導電膜からなる画素電極5038を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(Indium Tin Oxide: ITO)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いてもよい。

画素電極がEL素子の陽極に相当する。

【0217】

本実施例では、ITOを110nm厚さで成膜、その後パターンニングし、画素電極5038形成した。

【0218】

次いで、各不純物領域とそれぞれ電氣的に接続される配線5039~5045を形成する。なお本実施例では、配線5039~5045は、膜厚100nmのTi膜と、膜厚350nmのAl膜と、膜厚100nmのTi膜との積層膜をスパッタ法で連続形成し、所望の形状にパターンニングして形成する。 40

【0219】

もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、AlとTiに限らず、他の導電膜を用いても良い。例えば、TaN膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターンニングして配線を形成してもよい。

【0220】

こうして、画素部のNチャネル型TFTのソース領域またはドレイン領域の一方は、配 50

線 5 0 4 2 によってソース信号線 (5 0 1 9 a と 5 0 1 9 b の積層) と電氣的に接続され、もう一方は、配線 5 0 4 3 によって画素部の P チャネル型 T F T のゲート電極と電氣的に接続される。また、画素部の P チャネル型 T F T のソース領域またはドレイン領域の一方は、配線 5 0 4 4 によって 3 8 と電氣的に接続されている。ここで、画素電極 5 0 3 8 上の一部と、配線 5 0 4 4 の一部を重ねて形成することによって、配線 5 0 4 4 と画素電極 5 0 3 8 の電氣的接続をとっている。

【 0 2 2 1 】

以上の工程により図 1 4 (D) に示すように、N チャネル型 T F T と P チャネル型 T F T からなる C M O S 回路を有する駆動回路部と、スイッチング用 T F T 、駆動用 T F T とを有する画素部を同一基板上に形成することができる。

10

【 0 2 2 2 】

駆動回路部の N チャネル型 T F T は、ゲート電極の一部を構成する第 1 の導電層 5 0 1 5 a と重なる低濃度不純物領域 5 0 2 6 (L o v 領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域 5 0 2 5 とを有している。この N チャネル型 T F T と配線 5 0 4 0 で接続され C M O S 回路を形成する P チャネル型 T F T は、ゲート電極の一部を構成する第 1 の導電層 5 0 1 6 a と重なる低濃度不純物領域 5 0 3 3 (L o v 領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域 5 0 3 2 とを有している。

【 0 2 2 3 】

画素部において、N チャネル型のスイッチング用 T F T は、ゲート電極の外側に形成される低濃度不純物領域 5 0 2 9 (L o f f 領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域 5 0 2 8 とを有している。また画素部において、P チャネル型の駆動用 T F T は、ゲート電極の一部を構成する第 1 の導電層 5 0 1 8 a と重なる低濃度不純物領域 5 0 3 5 (L o v 領域)、ソース領域またはドレイン領域として機能する高濃度不純物領域 5 0 3 4 とを有している。

20

【 0 2 2 4 】

次いで、第 3 の層間絶縁膜 5 0 4 6 を形成する。第 3 の層間絶縁膜としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、C V D 法によって形成された酸化珪素膜や、S O G (Spin On Glass) 法によって塗布された酸化珪素膜、あるいは、スパッタ法によって形成された窒化酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

30

【 0 2 2 5 】

第 2 の層間絶縁膜 5 0 3 7 と第 3 の層間絶縁膜 5 0 4 6 の組み合わせの例を以下に挙げる。

【 0 2 2 6 】

第 2 の層間絶縁膜 5 0 3 7 として、アクリルとスパッタ法によって形成された窒化酸化珪素膜の積層膜を用い、第 3 の層間絶縁膜 5 0 4 6 として、スパッタ法によって形成された窒化酸化珪素膜を用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、S O G 法によって形成した酸化珪素膜を用い、第 3 の層間絶縁膜 5 0 4 6 としても S O G 法によって形成した酸化珪素膜を用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、S O G 法によって形成した酸化珪素膜とプラズマ C V D 法によって形成した酸化珪素膜の積層膜を用い、第 3 の層間絶縁膜 5 0 4 6 としてプラズマ C V D 法によって形成した酸化珪素膜を用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、アクリルを用い、第 3 の層間絶縁膜 5 0 4 6 としてもアクリルを用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、アクリルとプラズマ C V D 法によって形成した酸化珪素膜の積層膜を用い、第 3 の層間絶縁膜 5 0 4 6 としてプラズマ C V D 法によって形成した酸化珪素膜を用いる組み合わせがある。また、第 2 の層間絶縁膜 5 0 3 7 として、プラズマ C V D 法によって形成した酸化珪素膜を用い、第 3 の層間絶縁膜 5 0 4 6 としてアクリルを用いる組み合わせがある。

40

【 0 2 2 7 】

第 3 の層間絶縁膜 5 0 4 6 の画素電極 5 0 3 8 に対応する位置に開口部を形成する。第

50

3の層間絶縁膜は、バンクとして機能する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分にならかでないとならば段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0228】

第3の層間絶縁膜中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、 $1 \times 10^6 \sim 1 \times 10^{12}$ m(好ましくは、 $1 \times 10^8 \sim 1 \times 10^{10}$ m)となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【0229】

次いで、第3の層間絶縁膜5046の開口部において露出している画素電極5038上に、EL層5047を形成する。

【0230】

EL層5047としては、公知の有機発光材料や無機発光材料を用いることができる。

【0231】

有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機発光材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10 μm以下の有機発光材料を示すものとする。

【0232】

EL層5047は通常、積層構造である。代表的には、「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0233】

本実施例では蒸着法により低分子系有機発光材料を用いてEL層5047を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設け、その上に発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(Alq₃)膜を設けた積層構造としている。Alq₃にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0234】

なお、図14(D)では一画素しか図示していないが、複数の色、例えば、R(赤)、G(緑)、B(青)の各色に対応したEL層5047を作り分ける構成とすることができる。

【0235】

また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に発光層として100nm程度のパラフェニレンビニレン(PPV)膜を設けた積層構造によってEL層5047を構成しても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【0236】

なお、EL層5047は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、EL層5047は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

【0237】

例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造のEL層5047であってもよい。

【0238】

10

20

30

40

50

次に、E L層5047の上には導電膜からなる画素電極5048が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。

勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。画素電極5048がE L素子の陰極に相当する。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

【0239】

画素電極5048まで形成された時点でE L素子が完成する。なお、E L素子とは、画素電極(陽極)5038、E L層5047及び画素電極(陰極)5048で形成された素子を指す。

【0240】

E L素子を完全に覆うようにしてパッシベーション膜5049を設けることは有効である。パッシベーション膜5049としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【0241】

カバレッジの良い膜をパッシベーション膜5049として用いることが好ましく、炭素膜、特にDLC(ダイヤモンドライクカーボン)膜を用いることは有効である。DLC膜は室温から100以下の温度範囲で成膜可能であるため、耐熱性の低いE L層5047の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、E L層5047の酸化を抑制することが可能である。そのため、E L層5047が酸化するといった問題を防止できる。

【0242】

なお、第3の層間絶縁膜5046を形成した後、パッシベーション膜5049を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

【0243】

なお、実際には図14(D)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとE L素子の信頼性が向上する。

【0244】

また、パッケージング等の処理により気密性を高めたら、基板5000上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。

【0245】

また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【実施例5】

【0246】

本実施例では、実施例4に示した構成とは異なる構成のアクティブマトリクス基板の作製工程について図15を用いて説明する。

【0247】

なお、図15(A)までの工程は、実施例4において、図13(A)~(D)、図14(A)に示した工程と同様である。ただし、画素部を構成する駆動用TFTは、ゲート電極の外側に形成される低濃度不純物領域(Loff領域)を有する、Nチャネル型のTFTである点異なる。この駆動用TFTにおいては、実施例4に示したように、レジストによるマスクを用いて、ゲート電極の外側に低濃度不純物領域(Loff領域)を形成すれば良い。

10

20

30

40

50

【0248】

図13及び図14と同じ部分は同じ符号を用いて示し、説明は省略する。

【0249】

図15(A)に示すように、第1の層間絶縁膜5101を形成する。この第1の層間絶縁膜5101としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚100nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5101は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0250】

次いで、図15(B)に示すように、加熱処理(熱処理)を行って、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。この加熱処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700で行えばよく、本実施例では410、1時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0251】

また、第1の層間絶縁膜5101を形成する前に加熱処理を行っても良い。ただし、第1の導電層5015a~5019a及び、第2の導電層5015b~5019bが熱に弱い場合には、本実施例のように配線等を保護するため第1の層間絶縁膜5101(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で熱処理を行うことが好ましい。

【0252】

上記の様に、第1の層間絶縁膜5101(珪素を主成分とする絶縁膜、例えば窒化珪素膜)を形成した後に熱処理することにより、活性化処理と同時に、半導体層の水素化も行うことができる。水素化の工程では、第1の層間絶縁膜5101に含まれる水素により半導体層のダングリングボンドが終端される。

【0253】

なお、活性化処理のための加熱処理とは別に、水素化のための加熱処理を行っても良い。

【0254】

ここで、第1の層間絶縁膜5101の存在に関係なく、半導体層を水素化することもできる。水素化の他の手段として、プラズマにより励起された水素を用いる手段(プラズマ水素化)や、3~100%の水素を含む雰囲気中において、300~450で1~12時間の加熱処理を行う手段でも良い。

【0255】

以上の工程により、Nチャネル型TFTとPチャネル型TFTからなるCMOS回路を有する駆動回路部と、スイッチング用TFT、駆動用TFTとを有する画素部を同一基板上に形成することができる。

【0256】

次いで、第1の層間絶縁膜5101上に、第2の層間絶縁膜5102を形成する。第2の層間絶縁膜5102としては、無機絶縁膜を用いることができる。例えば、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、第2の層間絶縁膜5102として、有機絶縁膜を用いることができる。例えば、ポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリル等の膜を用いることができる。

また、アクリル膜と酸化珪素膜の積層構造を用いても良いし、アクリル膜とスパッタ法で形成した窒化酸化珪素膜の積層構造を用いても良い。

【0257】

次いで、ドライエッチングまたはウエットエッチングを用い、第1の層間絶縁膜5101、第2の層間絶縁膜5102及びゲート絶縁膜5006をエッチングし、駆動回路部及

10

20

30

40

50

び画素部を構成する各TFTの不純物領域(第3の不純物領域(N+領域)及び第4の不純物領域(P+領域))に達するコンタクトホールを形成する。

【0258】

次いで、各不純物領域とそれぞれ電氣的に接続される配線5103~5109を形成する。なお本実施例では、配線5103~5109は、膜厚100nmのTi膜と、膜厚350nmのAl膜と、膜厚100nmのTi膜との積層膜をスパッタ法で連続形成し、所望の形状にパターンニングして形成する。

【0259】

もちろん、三層構造に限らず、単層構造でもよいし、二層構造でもよいし、四層以上の積層構造にしてもよい。また配線の材料としては、AlとTiに限らず、他の導電膜を用いても良い。例えば、TaN膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターンニングして配線を形成してもよい。

10

【0260】

画素部のスイッチング用TFTのソース領域またはドレイン領域の一方は、配線5106によってソース配線(5019aと5019bの積層)と電氣的に接続され、もう一方は、配線5107によって画素部の駆動用TFTのゲート電極と電氣的に接続される。

【0261】

次いで図15(C)に示すように、第3の層間絶縁膜5110を形成する。第3の層間絶縁膜5110としては、無機絶縁膜や有機絶縁膜を用いることができる。無機絶縁膜としては、CVD法によって形成された酸化珪素膜や、SOG(Spin On Glass)法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。また、アクリル膜とスパッタ法で形成した窒化酸化珪素膜の積層構造を用いても良い。

20

【0262】

第3の層間絶縁膜5110によって、基板上5000に形成されたTFTによる凹凸を緩和し、平坦化することができる。特に、第3の層間絶縁膜5110は平坦化の意味合いが強いので、平坦性に優れた膜が好ましい。

【0263】

次いで、ドライエッチングまたはウエットエッチングを用い、第3の層間絶縁膜5110に、配線5108に達するコンタクトホールを形成する。

30

【0264】

次いで、導電膜をパターンニングして画素電極5111を形成する。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜(マグネシウムと銀との合金膜)を用いても良い。画素電極5111がEL素子の陰極に相当する。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を自由に用いることができる。

【0265】

画素電極5111は、第3の層間絶縁膜5110に形成されたコンタクトホールによって、配線5108と電氣的な接続がとられる。こうして、画素電極5111は、駆動用TFTのソース領域またはドレイン領域の一方と、電氣的に接続される。

40

【0266】

次いで図15(D)に示すように、各画素間のEL層を塗り分けるために、土手5112を形成する。土手5112としては、無機絶縁膜や有機絶縁膜を用いて形成する。無機絶縁膜としては、スパッタ法によって形成された窒化酸化珪素膜、CVD法によって形成された酸化珪素膜、あるいは、SOG法によって塗布された酸化珪素膜等を用いることができる。また、有機絶縁膜としては、アクリル樹脂膜等を用いることができる。

【0267】

ここで、土手5112を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。土手5112の側壁が十分になだらかでないとならば、段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

50

【0268】

なお、画素電極5111と配線5108を電氣的に接続する際に、第3の層間絶縁膜5110に形成したコンタクトホールの部分にも、土手5112を形成する。こうして、コンタクトホール部分の凹凸による、画素電極の凹凸を土手5112によって埋めることにより、段差に起因するEL層の劣化を防いでいる。

【0269】

第3の層間絶縁膜5110と土手5112の組み合わせの例を以下に挙げる。

【0270】

第3の層間絶縁膜5110として、アクリルとスパッタ法によって形成された窒化酸化珪素膜の積層膜を用い、土手5112として、スパッタ法によって形成された窒化酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、SOG法によって形成した酸化珪素膜を用い、土手5112としてもSOG法によって形成した酸化珪素膜を用いる組み合わせがある。また第3の層間絶縁膜5110として、SOG法によって形成した酸化珪素膜とプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、土手5112としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、アクリルを用い、土手5112としてもアクリルを用いる組み合わせがある。また、第3の層間絶縁膜5110として、アクリルとプラズマCVD法によって形成した酸化珪素膜の積層膜を用い、土手5112としてプラズマCVD法によって形成した酸化珪素膜を用いる組み合わせがある。また、第3の層間絶縁膜5110として、プラズマCVD法によって形成した酸化珪素膜を用い、土手5112としてアクリルを用いる組み合わせがある。

10

20

【0271】

土手5112中に、カーボン粒子や金属粒子を添加し、抵抗率を下げ、静電気の発生を抑制してもよい。この際、抵抗率は、 $1 \times 10^6 \sim 1 \times 10^{12}$ m(好ましくは、 $1 \times 10^8 \sim 1 \times 10^{10}$ m)となるように、カーボン粒子や金属粒子の添加量を調節すればよい。

【0272】

次いで、土手5112に囲まれた、露出している画素電極5111上に、EL層5113を形成する。

【0273】

EL層5113としては、公知の有機発光材料や無機発光材料を用いることができる。

30

【0274】

有機発光材料としては、低分子系有機発光材料、高分子系有機発光材料、中分子系有機材料を自由に用いることができる。なお、本明細書中においては、中分子系有機発光材料とは、昇華性を有さず、かつ、分子数が20以下または連鎖する分子の長さが10 μ m以下の有機発光材料を示すものとする。

【0275】

EL層5113は通常、積層構造である。代表的には、「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。また他にも、陰極上に電子輸送層/発光層/正孔輸送層/正孔注入層、または電子注入層/電子輸送層/発光層/正孔輸送層/正孔注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

40

【0276】

本実施例では蒸着法により低分子系有機発光材料を用いてEL層5113を形成している。具体的には、発光層として70nm厚のトリス-8-キノリノラトアルミニウム錯体(A1q₃)膜を設け、その上に、正孔注入層として20nm厚の銅フタロシアニン(CuPc)膜を設けた積層構造としている。A1q₃にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0277】

なお、図15(D)では一画素しか図示していないが、複数の色、例えば、R(赤)、G(緑)、B(青)の各色に対応したEL層5113を作り分ける構成とすることができる。

【0278】

50

また、高分子系有機発光材料を用いる例として、正孔注入層として20nmのポリチオフェン(PEDOT)膜をスピン塗布法により設け、その上に、発光層として100nm程度のパラフェニレンビニレン(PPV)膜を設けた積層構造によってEL層5113を構成しても良い。なお、PPVの共役系高分子を用いると、赤色から青色まで発光波長を選択できる。また、電子輸送層や電子注入層として炭化珪素等の無機材料を用いることも可能である。

【0279】

なお、EL層5113は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、EL層5113は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。

10

【0280】

例えば、電子輸送層を構成する材料(以下、電子輸送材料と表記する)と、発光層を構成する材料(以下、発光材料と表記する)とによって構成される混合層を、電子輸送層と発光層との間に有する構造のEL層5113であってもよい。

【0281】

次に、EL層5113の上には、透明導電膜からなる画素電極5114を形成する。透明導電膜としては、酸化インジウムと酸化スズの化合物(ITO)、酸化インジウムと酸化亜鉛の化合物、酸化亜鉛、酸化スズ、酸化インジウム等を用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いてもよい。画素電極5114がEL素子の陽極に相当する。

20

【0282】

画素電極5114まで形成された時点でEL素子が完成する。なお、EL素子とは、画素電極(陰極)5111、EL層5113及び画素電極(陽極)5114で形成されたダイオードを指す。

【0283】

本実施例では、画素電極5114が透明導電膜によって形成されているため、EL素子が発した光は、基板5000とは逆側に向かって放射される。また、第3の層間絶縁膜5110によって、配線5106~5109が形成された層とは別の層に、画素電極5111を形成している。そのため、実施例4に示した構成と比較して、開口率を上げることができる。

30

【0284】

EL素子を完全に覆うようにして保護膜(パッシベーション膜)5115を設けることは有効である。保護膜5115としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いることができる。

【0285】

なお本実施例のように、EL素子が発した光が画素電極5114側から放射される場合、保護膜5115としては、光を透過する膜を用いる必要がある。

【0286】

なお、土手5112を形成した後、保護膜5115を形成するまでの工程をマルチチャンパー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。

40

【0287】

なお、実際には図15(D)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)等のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0288】

また、パッケージング等の処理により気密性を高めたら、基板5000上に形成された

50

素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット：FPC)を取り付けて製品として完成する。

【実施例6】

【0289】

本実施例では、本発明を用いて発光装置を作製した例について、図30を用いて説明する。

【0290】

図30は、TFTが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図30(B)は、図30(A)のA-A'における断面図、図30(C)は図30(A)のB-B'における断面図である。

10

【0291】

基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとの上にシーリング材4008が設けられている。よって画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0292】

また基板4001上に設けられた画素部4002と、ソース信号線駆動回路4003と、第1及び第2のゲート信号線駆動回路4004a、4004bとは、複数のTFTを有している。図30(B)では代表的に、下地膜4010上に形成された、ソース信号線駆動回路4003に含まれるTFT(但し、ここではNチャンネル型TFTとPチャンネル型TFTを図示する)4201及び画素部4002に含まれるTFT4202を図示した。

20

【0293】

TFT4201及び4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にTFT4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

30

【0294】

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0295】

有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

40

【0296】

有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンパー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

50

【0297】

以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0298】

4005aは電源線に接続された引き回し配線であり、TFT4202の第1の電極に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

10

【0299】

シーリング材4008としては、ガラス材、金属材料(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0300】

但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

20

【0301】

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。

本実施例では充填材として窒素を用いた。

【0302】

また充填材4210を吸湿性物質(好ましくは酸化バリウム)もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

30

【0303】

図30(C)に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

40

【0304】

また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電氣的に接続される。

【実施例7】

【0305】

本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

50

【 0 3 0 6 】

ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

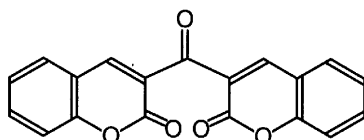
(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【 0 3 0 7 】

上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【 0 3 0 8 】

【化1】



10

【 0 3 0 9 】

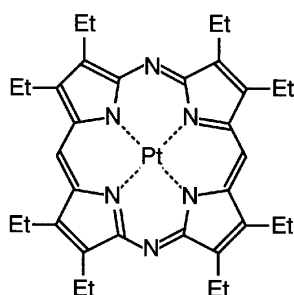
(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【 0 3 1 0 】

上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【 0 3 1 1 】

【化2】



20

30

【 0 3 1 2 】

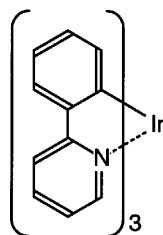
(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

【 0 3 1 3 】

上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

【 0 3 1 4 】

【化3】



40

【 0 3 1 5 】

以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子から

50

の蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【実施例8】

【0316】

本明細書でこれまでに示してきた構成では、駆動用TFTにはPチャネル型TFTを用いていたが、本発明は駆動用TFTにNチャネル型TFTを用いた場合の構成にも適用が可能である。図32(A)に構成を示す。

【0317】

駆動用TFT3209はNチャネル型であり、この場合、ソース領域はEL素子3212の陽極と接続されている側であり、ドレイン領域は、電流供給線3211と接続されている側となる。そこで、容量手段3210は、駆動用TFT3209のゲート・ソース間の電圧を保持出来るようなノードに設ける。よって、容量手段3210は、図32(A)に示したノードの他、駆動用TFT3209のゲート電極とソース領域との間に設けても良い。

【0318】

動作について説明する。まず、図32(B)に示すように、TFT3207をONし、TFT3206のドレイン領域の電位を高くしておく。続いて、図32(C)に示すように、TFT3205がONし、映像信号の入力が行われる。ここで、TFT3206のソース・ドレイン間電圧が、そのしきい値電圧に等しくなったところで、TFT3206がOFFし、図32(D)に示すような状態となる。TFT3206のソース領域の電位は V_{Data} であるので、TFT3206のドレイン領域の電位、すなわち駆動用TFT3209のゲート電極の電位は、 $V_{Data} + V_{th}$ となる。

【0319】

続いて、TFT3208がOFFすると、電流供給線から駆動用TFT3209を介して流れていた電流は、EL素子3212に流れ、発光する。よって、隣接画素において、駆動用TFT3209のしきい値電圧がばらついたとしても、そのばらつきに関係なく、TFT3206のソース・ドレイン間電圧、つまりしきい値電圧が映像信号に上乘せされるため、駆動用TFT3209のゲート・ソース間電圧は隣接画素ごとにはばらつくことがない。

【0320】

さらに、図32に示した構成でEL素子3212が発光によって劣化した場合、陽極 - 陰極間の電圧が上昇する。これにより、通常であれば駆動用TFT3209のソース領域の電位が上昇し、結果として発光時のゲート・ソース間電圧が小さくなってしまいうという問題が考えられるが、本実施例で示した構成によると、図32(C)～(D)における、映像信号の入力時において、TFT3208がONすることによって、駆動用TFT3209のソース領域の電位は、電源線3214の電位に固定される。よって前述のように、容量手段3210が、駆動用TFT3209のゲート・ソース間電圧を保持しており、駆動用TFT3209のソース領域の電位が変化しても、ゲート・ソース間電圧が小さくならないため、経時的な輝度低下を抑えることが出来る。

【0321】

なお、本実施例において、ダイオード接続されたTFT3206と、駆動用TFT3209はNチャネル型としている。他のTFTは、ON・OFFのみの制御を行うスイッチ素子として用いているので、その極性は問わない。

【0322】

また、駆動用TFTがPチャネル型である場合と同様、配線を共有としても良い。例えば、TFT3207を制御しているゲート信号線3203は、前段のゲート信号線と共有しても良い。また、電源線3214についても、図32(C)

(D)に示した動作を行っている期間中、一定電位であれば良く、選択されている当行を除くいずれかのゲート信号線と共有が可能である。また、電源線3213、3214は共通としても良い。

【0323】

10

20

30

40

50

また、消去期間を設ける場合にも、駆動用TFTがPチャネル型の場合と同様、TFTを追加するなどして、任意の期間でEL素子3212への電流供給を遮断する手段を設けても良い。

【実施例9】

【0324】

本実施例においては、ダイオード接続による電圧効果を利用した、異なる回路構成例について説明する。

【0325】

図33(A)に、一構成例を示す。本実施例の構成によると、TFT3308は、そのゲート電極とドレイン領域との間にTFT3309を有し、TFT3309がONしているとき、TFT3308はダイオード接続されたTFTとして振る舞い、TFT3309がOFFしているとき、EL素子3313への電流供給の制御を行う駆動用TFTとして振る舞う。

10

【0326】

動作について説明する。まず、図33(B)に示すように、TFT3306がONし、映像信号 V_{Data} が入力される。さらに、TFT3309、3310がONし、TFT3308はダイオード接続されたTFTとして振る舞う。続いて、TFT3310がOFFすると、図33(C)に示すように電荷が移動する。やがて、TFT3308のソース・ドレイン間電圧、つまりTFT3308のゲート・ソース間電圧がしきい値電圧に等しくなったところで、図33(D)に示すようにTFT3308はOFFする。

20

【0327】

続いて、TFT3307、TFT3310がONする。TFT3307がONすることによって、TFT3308のソース領域の電位は、 V_{Data} から V_{DD} へと上昇する。よって、TFT3308のゲート・ソース間電圧がしきい値電圧を上回ってONし、図33(E)に示すように、EL素子3313に電流が流れて発光する。

【0328】

以上のような行程により、隣接画素間でTFT3308のしきい値電圧がばらついていても、あらかじめ駆動用TFT3308のゲート・ソース間にしきい値電圧分の電位差を作っておくことが出来るため、駆動用TFT3308のゲート・ソース間電圧は隣接画素ごとにばらつくことがない。さらに、これまでの実施例においては、ダイオード接続されたTFTのしきい値電圧を、映像信号に上乘せすることによって、別の駆動用TFTのゲート電極に入力するといった手法でしきい値電圧のばらつきの補正を行ってきた。ただし、この手法によると、ダイオード接続されたTFTと、駆動用TFTのしきい値電圧がばらついてしまった場合、満足な補正が行えない。これに対し、図33(A)に示した本実施例の構成によると、ダイオード接続によってしきい値電圧を取得するTFTと、駆動用TFTとは同一のTFTを用いている。よって、近接したTFTにおいてしきい値電圧のばらつきが生じたとしても、自らのしきい値電圧をそのまま補正に用いるので、しきい値電圧の補正がいかなる場合でも正常に行われる。

30

【0329】

また、TFT3310はデジタル時間階調方式による駆動方式を適用した際、消去用TFTとしても用いることが出来る。また、消去用TFTの位置は、任意のタイミングでEL素子への電流供給を遮断出来る位置であれば、その位置を問わない。

40

【0330】

また、図34(A)(B)に示すように、TFTを制御するためのゲート信号線を、複数のTFTで共有しても良い。例えば、図33(A)において、TFT3306とTFT3307とは、互いに逆のタイミングでON・OFFが制御されるので、図34(A)に示すように、一方の極性を他方の極性と逆のものとし、同一のゲート信号線3402によって制御することが出来る。同様に、図33(A)において、TFT3306とTFT3309とは同一のタイミングでON・OFFが制御されている。よって図34(B)に示すように、同一のゲート信号線3452によって制御することが出来る。もちろん、図34

50

(A)(B)に示した構成を組み合わせて用いても良い。

【0331】

ここでも、TF T 3 4 0 9、3 4 5 9は、消去用TF Tとしても用いることが出来る。

【実施例10】

【0332】

図33(A)に示した構成に、図35(A)に示すように、TF T 3 5 1 1、3 5 1 2を追加することによって、しきい値電圧の取得を高速に行うことが出来る。しきい値電圧の取得を行う期間においては、図35(B)(C)に示すように、TF T 3 5 0 8、3 5 1 2の2つを用い、発光時にEL素子3 5 1 5に電流を供給する期間においては、図35(E)に示すように、TF T 3 5 0 8のみを用いる。このとき、TF T 3 5 1 2のチャンネル長L、チャンネル幅Wを、 W/L が大きくなるようにしておくことにより、しきい値電圧取得をより高速に行うことが出来る。

10

【0333】

この場合も、TF T 3 5 1 0を消去用TF Tとしても用いることが可能である。

【実施例11】

【0334】

図33~35に示した構成においては、しきい値電圧の取得の前後、つまり正規の発光期間でない期間にも、EL素子に電流が流れて発光する場合があった。この場合、EL素子に流れる電流値は、必ずしも映像信号に正しいしきい値電圧の補正が加えられたものにしたがっていないため、実輝度と目的輝度との誤差を生ずる原因となる。

20

【0335】

そこで、図36(A)に示すように、TF T 3 6 1 2を追加する。図36(B)に示すように、映像信号の入力時に、TF T 3 6 0 9を流れた電流は、TF T 3 6 1 2を介して電源線3 6 1 7へと流れる。EL素子3 6 1 5への電流経路は、TF T 3 6 1 1によって遮断されているので、EL素子3 6 1 5は発光しない。このような構成とすることにより、不必要な期間にEL素子が発光するのを防ぐことが出来る。

【0336】

この場合も、TF T 3 6 1 1を消去用TF Tとしても用いることが可能である。

【0337】

また、他の実施例と同様、電源線3 6 1 7は他行のゲート信号線と共有しても良い。さらに、ゲート信号線3 6 0 4と3 6 0 6とは共有が可能である。ただし、TF T 3 6 1 2がONしているとき、EL素子3 6 1 5に電流が流れないよう、電源線3 6 1 6、3 6 1 7の電位を調整する必要がある。

30

【実施例12】

【0338】

しきい値電圧の取得をより高速に行うための構成として、さらに図37(A)に示す構成が挙げられる。特徴としては、駆動用TF Tとして、同極性のTF T 3 7 0 8、3 7 1 0を直列に接続する。ここでは、Pチャンネル型TF Tを用いている。また、駆動用TF T 3 7 0 8のゲート電極とドレイン領域とを接続するTF T 3 7 0 9は、同時に駆動用TF T 3 7 1 0のゲート電極とソース領域とを接続する構成となっている。

40

【0339】

図37(B)(C)に示すように、映像信号の入力からしきい値電圧の取得を行う期間において、TF T 3 7 0 9がONすることによって、駆動用TF T 3 7 0 8はダイオード接続されたTF Tとして振る舞い、そのソース・ドレイン間にしきい値電圧を取得する。このとき、TF T 3 7 0 8は、 W/L を大きくすることによってしきい値電圧の取得を高速に行えるようにする。一方、駆動用TF T 3 7 0 8に直列接続されたTF T 3 7 1 0に着目すると、TF T 3 7 0 9がONしていることによって、ゲート電極とソース領域とが接続されている。すなわちこの期間において、TF T 3 7 0 9がONすることによって駆動用TF T 3 7 1 0のゲート・ソース間電圧は0となり、OFFするので、EL素子3 7

50

14には電流が流れず、TFT3711を介して電源線3716に流れる。

【0340】

続いて、発光期間においては、TFT3709がOFFし、駆動用TFT3710のゲート電極とソース領域との接続が遮断される。よって駆動用TFT3708のしきい値電圧を保持していた電荷の一部が駆動用TFT3710のゲート電極に移動して、自動的にTFT3710がONする。このとき、駆動用TFT3708、3710は、そのゲート電極が接続されているため、マルチゲート型TFTとして動作する。よって、発光時には、しきい値電圧の取得時よりもLが大きくなる。したがって駆動用TFT3708、3710を介して流れる電流はより小さくなる。つまり、駆動用TFT3708のW/Lを大きくしても、ELに流れる電流は小さく出来る。よって図37(E)に示すように、駆動用TFT3708、3710の両方を介してEL素子3714に電流が流れ、発光する。よって、図36の場合と同様に、不必要な期間にEL素子が発光するのを防ぐことが出来る。

10

【0341】

なお、消去期間を設ける場合には、TFT3709をONすることによって、駆動用TFT3710のゲート・ソース間電圧が強制的に0となり、OFFするので、ELの発光を停止することが出来る。

【0342】

また、他の実施例と同様、電源線3716は他行のゲート信号線と共有しても良い。また、図34(A)(B)に示したように、ゲート信号線を共有しても良い。

20

【実施例13】

【0343】

本実施例においては、駆動用TFTにNチャンネル型TFTを用いる場合の、実施例8と異なる構成について説明する。

【0344】

図38(A)に構成例を示す。基本的な構成原理は他の実施例と同様であり、駆動用TFT3810のゲート電極とドレイン電極を接続する位置にTFT3809を設ける。

【0345】

動作について説明する。図38(B)に示すように、映像信号 V_{Data} が入力されて電荷の移動が生ずる。このとき、TFT3811をOFFしておくことによって、EL素子3815が発光しないようにしておく。その後、図38(C)に示すように、TFT3810のしきい値電圧の取得が行われ、やがてTFT3810のソース・ドレイン間電圧が、そのしきい値電圧に等しくなると、TFT3810はOFFし、図38(D)に示すように、しきい値電圧の取得が完了する。

30

【0346】

続いて、TFT3808、3811がONし、図38(E)に示すように電流が流れ、EL素子3815が発光する。なお、容量手段3813は、発光時にTFT3810のゲート・ソース間電圧を保持する位置に設けられており、EL素子3815の経時的な劣化によって、EL素子3815の陽極の電位が上昇した場合にも、TFT3810のゲート・ソース間電圧が小さくならないようにしている。よって、EL素子3815の劣化による輝度低下の抑止に寄与することが出来る。

40

【0347】

この場合も、TFT3811を消去用TFTとしても用いることが可能である。

【0348】

また、他の実施例と同様、電源線3817は他行のゲート信号線と共有が可能である。また、図34(A)(B)に示したように、ゲート信号線を共有しても良い。

【実施例14】

【0349】

図39(A)に、駆動用TFTにNチャンネル型TFTを用いて構成した場合の、さらなる一構成例を示す。駆動用TFTとして、TFT3908、3911が直列に接続され、

50

TFT3910によって、TFT3911のゲート電極とドレイン領域とを接続している。同時にTFT3910は、TFT3908のゲート電極とソース領域とを接続している。

【0350】

映像信号入力時、図39(B)に示すように電荷の移動が生ずる。このとき、TFT3910がONすることによって、TFT3911のゲート電極とドレイン領域とが接続され、TFT3911はダイオード接続されたTFTとして振る舞う。一方、TFT3908は、同じくTFT3910がONすることによって、ゲート電極とソース領域とが接続され、すなわちゲート・ソース間電圧が0となるのでOFFし、電流が流れない。

【0351】

続いて、TFT3909がOFFすると、図39(C)に示すように電荷が移動し、TFT3911のしきい値電圧の取得を行う。TFT3911のソース・ドレイン間電圧が、そのしきい値電圧に等しくなったところでTFT3911がOFFし、図39(D)に示すように、しきい値電圧の取得が完了する。

【0352】

続いて、図39(E)に示すように電流がEL素子3916に流れて発光する。なお、容量手段3914は、発光時にTFT3911のゲート・ソース間電圧を保持する位置に設けられており、EL素子3916の経時的な劣化によって、EL素子3916の陽極の電位が上昇した場合にも、TFT3911のゲート・ソース間電圧が小さくならないようにしている。よって、EL素子3916の劣化による輝度低下の抑止に寄与することが出来る。

【0353】

ここでも、図37に示した構成と同様、駆動用TFT3908、3911は、そのゲート電極が接続されているので、マルチゲート型TFTとして動作する。よって、しきい値電圧の取得を高速化するために駆動用TFT3911のW/Lを大きくしても、EL素子3916に流れる電流は小さく出来る。

【0354】

この場合も、TFT3912、またはTFT3910を消去用TFTとしても用いることが可能である。TFT3912をOFFすることにより、EL素子3916への電流供給を遮断することが出来る。また、TFT3910をONすることによって、駆動用TFT3908のゲート・ソース間電圧が強制的に0となり、OFFするので、ELの発光を停止することが出来る。

【実施例15】

【0355】

駆動用TFTにNチャンネル型TFTを用いる構成においても、実施例10に示した手法が適用出来る。図40(A)に構成例を示す。

【0356】

図40(A)に示した構成は、図38(A)に示した構成に、TFT4009、4010を追加したものである。TFT4010、4012は並列に配置され、しきい値電圧の取得期間においては、図40(C)に示すように並列接続されたTFT4010、4012の両方を用い、発光期間においては、TFT4009をOFFして、TFT4012のみを介してEL素子4017に電流が供給される。ここで、発光期間に電流経路として用いないTFT4010については、W/Lを大きくしておくことにより、しきい値電圧の取得がより高速に行われる。

【実施例16】

【0357】

この場合も、TFT4013を消去用TFTとしても用いることが可能である。

本発明におけるトランジスタのしきい値電圧の補正の方法として、補正に用いるトランジスタのゲート・ドレイン間を短絡してダイオード化した状態でソース・ドレイン間に電流を流し、ソース・ドレイン間の電圧がトランジスタのしきい値電圧に等しくなる現象を

10

20

30

40

50

利用しているが、これは本発明で紹介したような画素部への適用のみならず、駆動回路への応用も可能である。

【0358】

例として、電流を画素などへ出力する駆動回路における、電流源回路を挙げる。電流源回路は、入力された電圧信号から、所望の電流を出力する回路である。

電流源回路内の電流源トランジスタのゲート電極に電圧信号が入力され、そのゲート・ソース間電圧に応じた電流が、電流源トランジスタを介して出力される。

つまり、電流源トランジスタのしきい値電圧の補正に、本発明のしきい値電圧の補正方法を用いる。

【0359】

図41(A)に、電流源回路の利用例を示す。シフトレジスタより順次サンプリングパルスが出力され、該サンプリングパルスはそれぞれの電流源回路9001へと入力され、該サンプリングパルスが電流源回路9001に入力されたタイミングに従って、映像信号のサンプリングを行う。この場合、サンプリング動作は点順次で行われる。

【0360】

簡単な動作タイミングを図41(B)に示す。i行目のゲート信号線が選択されている期間は、シフトレジスタからサンプリングパルスが出力され、映像信号のサンプリングを行う期間と、帰線期間とに分けられる。この帰線期間において、本発明のしきい値電圧の補正動作、つまり、各部の電位を初期化したり、トランジスタのしきい値電圧を取得したりする一連の動作を行う。つまり、しきい値電圧の取得動作は1水平期間ごとに行うことが出来る。

【0361】

図42(A)に、図41とは異なる構成の電流を画素などへ出力する駆動回路の構成を示す。図41の場合と異なる点としては、1段のサンプリングパルスによって制御される電流源回路9001は、9001A、9001Bの2つとなっており、電流源制御信号によって、双方の動作が選択される。

【0362】

図42(B)に示すように、電流源制御信号は、例えば1水平期間ごとに切り替わるようにする。すると電流源回路9001A、9001Bの動作は、一方が画素などへの電流出力を行い、他方が映像信号の入力などを行う。これが行ごとに入れ替わり行われる。この場合、サンプリング動作は線順次で行われる。

【0363】

図43(A)に、さらに異なる構成の駆動回路の構成を示す。図41、図42においては、映像信号の形式はデジタル・アナログを問わないが、図43(A)

の構成では、デジタル映像信号を入力する。入力されたデジタル映像信号は、サンプリングパルスの出力に従って第1のラッチ回路に取りこまれ、一行分の映像信号の取り込みが終了した後、第2のラッチ回路に転送され、その後、各電流源回路9001A~9001Cへと入力される。ここで、電流源回路9001A~9001Cは、それぞれから出力される電流値が異なっている。例えば、電流値の比が1:2:4となっている。つまり、並列にn個の電流源回路を配置し、その電流値の比を1:2:4:・・・ $2^{(n-1)}$ とし、各電流源回路から出力される電流を足し合わせることで、出力される電流値を線形的に変化させることが出来る。

【0364】

動作タイミングは、図41に示したものとほぼ同様であり、サンプリング動作を行わない帰線期間内に、電流源回路9001において、しきい値電圧の補正動作が行われ、続いてラッチ回路に保持されているデータが転送され、電流源回路9001においてV-I変換を行い、画素へ電流を出力する。サンプリング動作は、図42に示した構成と同様、線順次で行われる。

【0365】

図44(A)に、さらに異なる構成の電流を画素などへ出力する駆動回路の構成を示す

10

20

30

40

50

。この構成では、ラッチ回路に取り込まれたデジタル映像信号は、ラッチ信号の入力によってD/A変換回路へと転送され、アナログ映像信号へと変換され、該アナログ映像信号が各電流源回路9001へと入力されて、電流が出力される。

【0366】

また、このようなD/A変換回路に、例えばガンマ補正用の機能を持たせても良い。

【0367】

図44(B)に示すように、帰線期間内にしきい値電圧の補正、ラッチデータ転送が行われ、ある行のサンプリング動作が行われている期間に、前行の映像信号のV-I変換、画素などへの電流の出力が行われる。サンプリング動作は、図42に示した構成と同様、線順次で行われる。

10

【0368】

以上に示した構成に限らず、電流源回路によってV-I変換を行うような場合には、本発明のしきい値電圧の補正手段の適用が可能である。また、図42に示したように、複数の電流源回路を並列に配置し、切り替えて使用するという構成を、図43、図44等の構成と組み合わせて使用しても良い。

【実施例17】

【0369】

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

20

【0370】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図31に示す。

【0371】

図31(A)は発光素子表示装置であり、筐体3001、支持台3002、表示部3003、スピーカー部3004、ビデオ入力端子3005等を含む。本発明の発光装置は表示部3003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

30

【0372】

図31(B)はデジタルスチルカメラであり、本体3101、表示部3102、受像部3103、操作キー3104、外部接続ポート3105、シャッター3106等を含む。本発明の発光装置は表示部3102に用いることができる。

40

【0373】

図31(C)はノート型パーソナルコンピュータであり、本体3201、筐体3202、表示部3203、キーボード3204、外部接続ポート3205、ポインティングマウス3206等を含む。本発明の発光装置は表示部3203に用いることができる。

【0374】

図31(D)はモバイルコンピュータであり、本体3301、表示部3302、スイッチ3303、操作キー3304、赤外線ポート3305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0375】

図31(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であ

50

り、本体 3401、筐体 3402、表示部 A 3403、表示部 B 3404、記録媒体(DVD等)読込部 3405、操作キー 3406、スピーカー部 3407等を含む。表示部 A 3403は主として画像情報を表示し、表示部 B 3404は主として文字情報を表示するが、本発明の発光装置はこれら表示部 A、B 3403、3404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0376】

図31(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体 3501、表示部 3502、アーム部 3503を含む。本発明の発光装置は表示部 3502に用いることができる。

【0377】

図31(G)はビデオカメラであり、本体 3601、表示部 3602、筐体 3603、外部接続ポート 3604、リモコン受信部 3605、受像部 3606、バッテリー 3607、音声入力部 3608、操作キー 3609、接眼部 3610等を含む。本発明の発光装置は表示部 3602に用いることができる。

【0378】

図31(H)は携帯電話であり、本体 3701、筐体 3702、表示部 3703、音声入力部 3704、音声出力部 3705、操作キー 3706、外部接続ポート 3707、アンテナ 3708等を含む。本発明の発光装置は表示部 3703に用いることができる。なお、表示部 3703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0379】

なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0380】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0381】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0382】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1~15に示したいずれの構成の発光装置を用いても良い。

【図面の簡単な説明】

【0383】

【図1】本発明の一実施形態を示す図。

【図2】図1に示した構成による動作を説明する図。

【図3】本発明の一実施形態およびその動作を説明する図。

【図4】本発明の一実施形態およびその動作を説明する図。

【図5】本発明の一実施形態およびその動作を説明する図。

【図6】本発明の一実施形態およびその動作を説明する図。

【図7】本発明の一実施形態およびその動作を説明する図。

【図8】本発明の一実施形態を示す図。

【図9】本発明の一実施形態およびその動作を説明する図。

【図10】本発明の一実施形態およびその動作を説明する図。

10

20

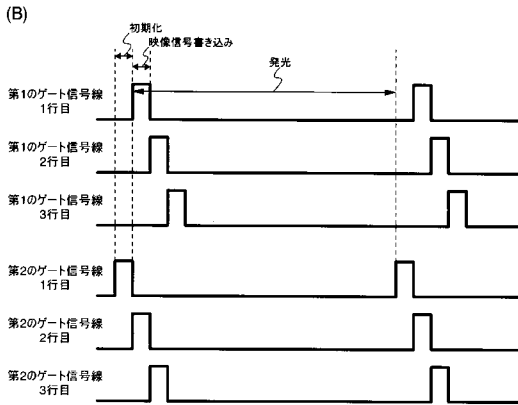
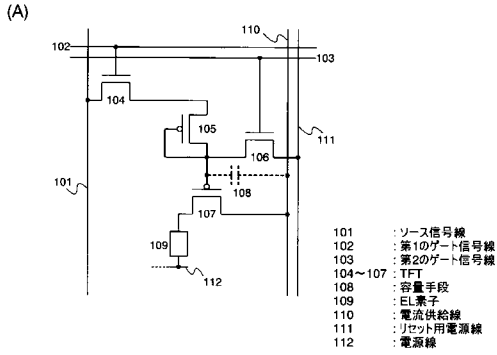
30

40

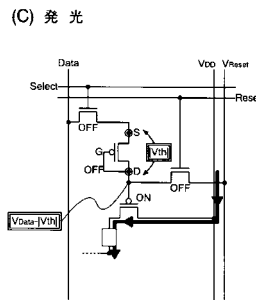
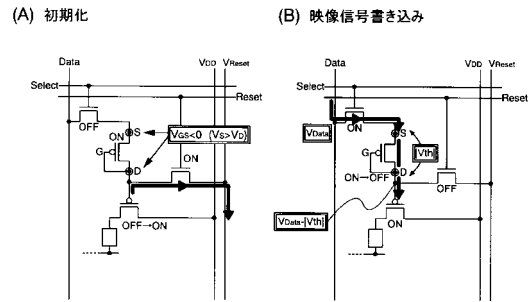
50

- 【図 1 1】図 9 に示した構成による動作のタイミングを示す図。
- 【図 1 2】図 1 0 に示した構成による動作のタイミングを示す図。
- 【図 1 3】発光装置の作製工程を説明する図。
- 【図 1 4】発光装置の作製工程を説明する図。
- 【図 1 5】発光装置の作製工程を説明する図。
- 【図 1 6】本発明の一実施形態およびその動作を説明する図。
- 【図 1 7】図 1 6 に示した構成による動作を説明する図。
- 【図 1 8】本発明の一実施形態およびその動作を説明する図。
- 【図 1 9】図 1 8 に示した構成による動作を説明する図。
- 【図 2 0】一般的な発光装置の画素の構成を示す図。 10
- 【図 2 1】デジタル階調方式と時間階調方式とを組み合わせた方法による動作を説明する図。
- 【図 2 2】TFTのしきい値電圧の補正を行う画素の構成の一例を示す図。
- 【図 2 3】図 2 2 に示した構成による動作を説明する図。
- 【図 2 4】アナログ信号方式による発光装置の概要を説明する図。
- 【図 2 5】図 2 4 にて用いるソース信号線駆動回路およびゲート信号線駆動回路の構成例を示す図。
- 【図 2 6】デジタル信号方式による発光装置の概要を説明する図。
- 【図 2 7】図 2 6 にて用いるソース信号線駆動回路の構成例を示す図。
- 【図 2 8】D - FFを用いた一般的なシフトレジスタによるパルス幅調整の例を示す図。 20
- 【図 2 9】本発明の動作原理を説明する図。
- 【図 3 0】発光装置の上面図および断面図。
- 【図 3 1】本発明が適用可能な電子機器の例を示す図。
- 【図 3 2】本発明の実施形態とは異なる構成例および動作を説明する図。
- 【図 3 3】本発明の実施形態とは異なる構成例および動作を説明する図。
- 【図 3 4】本発明の実施形態とは異なる構成例および動作を説明する図。
- 【図 3 5】本発明の実施形態とは異なる構成例および動作を説明する図。
- 【図 3 6】本発明の実施形態とは異なる構成例および動作を説明する図。
- 【図 3 7】本発明の実施形態とは異なる構成例および動作を説明する図。
- 【図 3 8】本発明の実施形態とは異なる構成例および動作を説明する図。 30
- 【図 3 9】本発明の実施形態とは異なる構成例および動作を説明する図。
- 【図 4 0】本発明の実施形態とは異なる構成例および動作を説明する図。
- 【図 4 1】本発明のしきい値電圧の補正原理を用いて電流源回路を構成する例を示す図。
- 【図 4 2】本発明のしきい値電圧の補正原理を用いて電流源回路を構成する例を示す図。
- 【図 4 3】本発明のしきい値電圧の補正原理を用いて電流源回路を構成する例を示す図。
- 【図 4 4】本発明のしきい値電圧の補正原理を用いて電流源回路を構成する例を示す図。

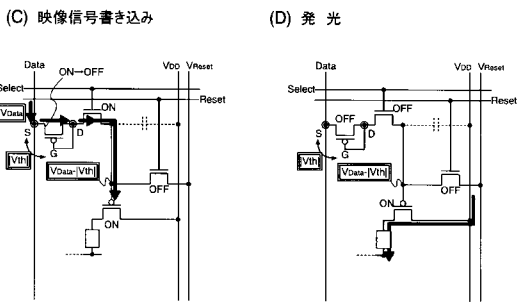
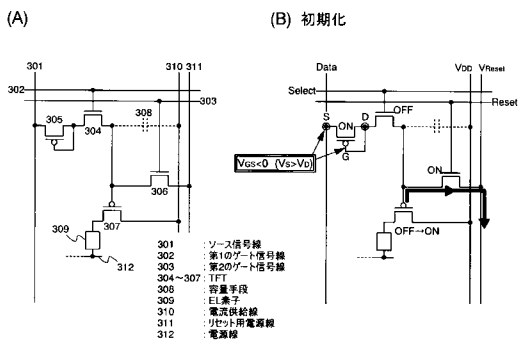
【 図 1 】



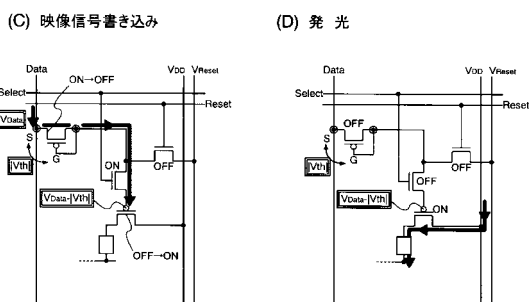
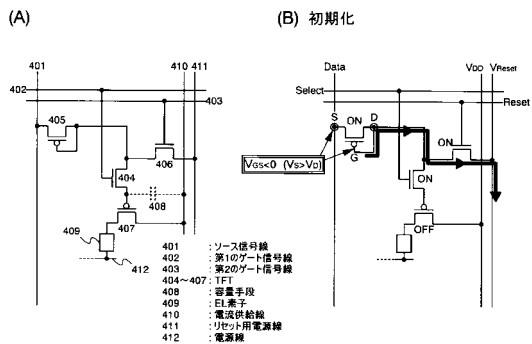
【 図 2 】



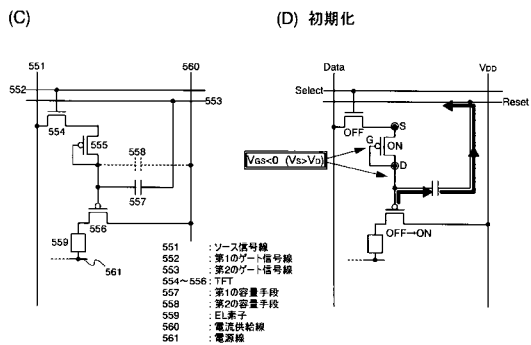
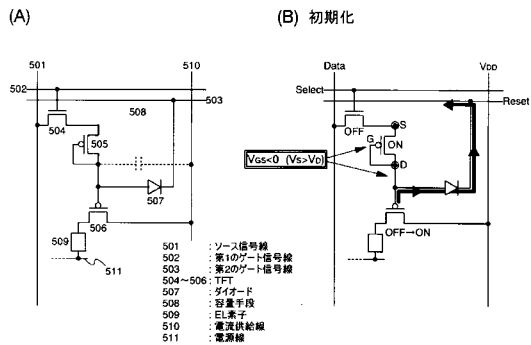
【 図 3 】



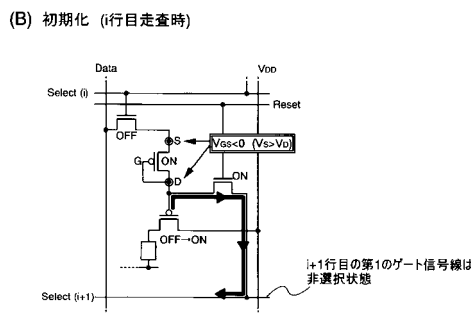
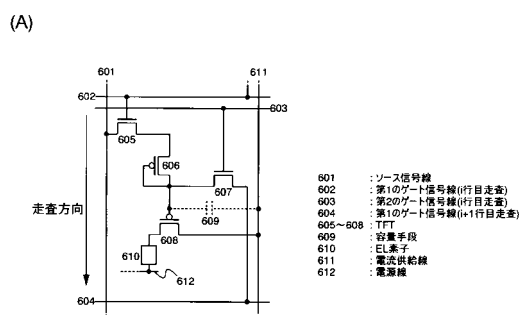
【 図 4 】



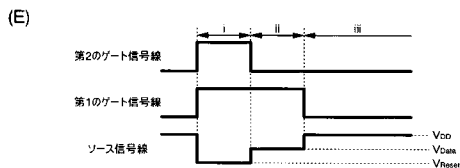
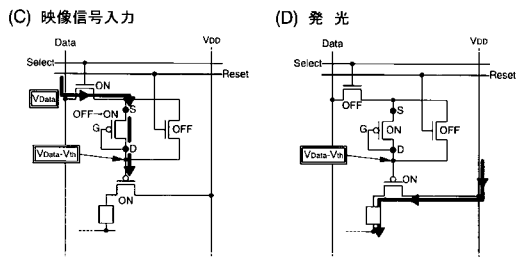
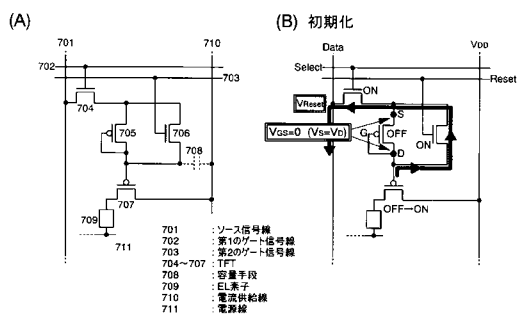
【 図 5 】



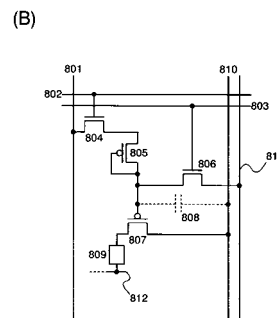
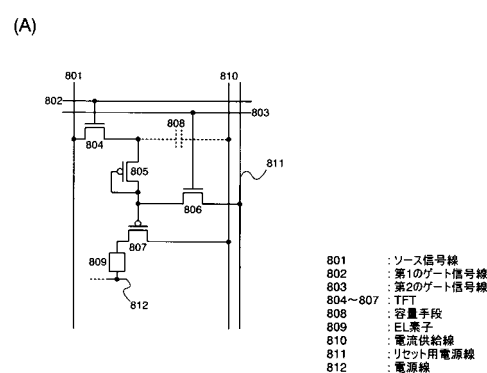
【 図 6 】



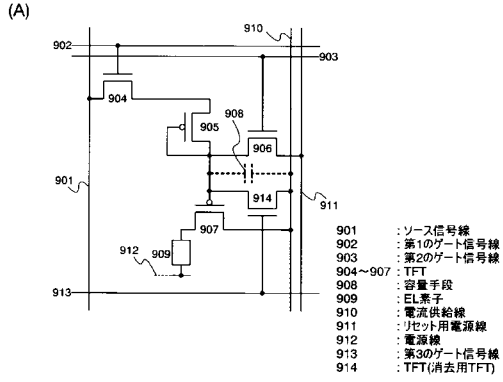
【 図 7 】



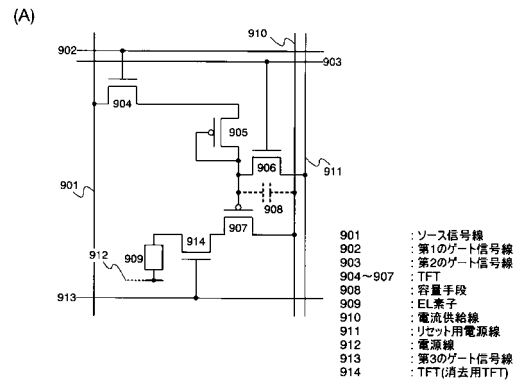
【 図 8 】



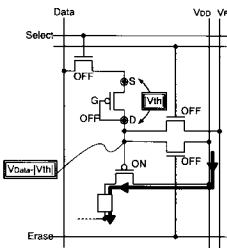
【 図 9 】



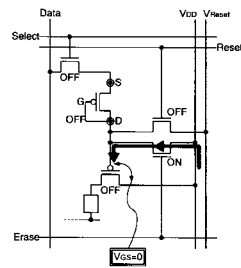
【 図 10 】



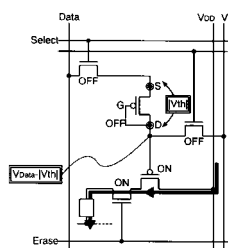
(B) 発光



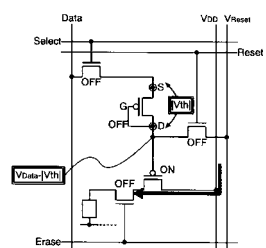
(C) 消去



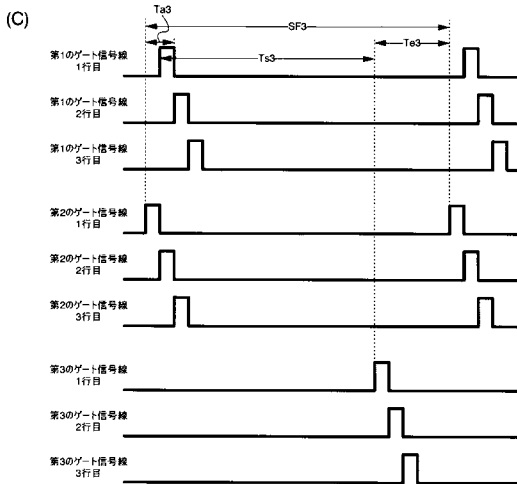
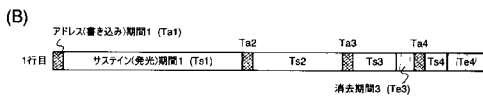
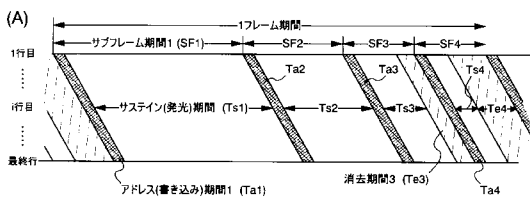
(B) 発光



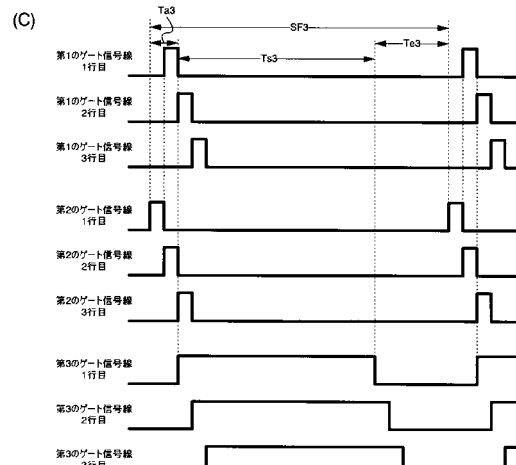
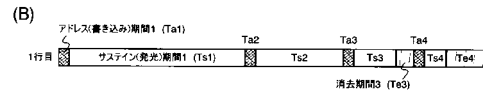
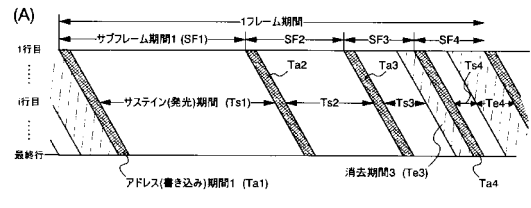
(C) 消去



【 図 11 】

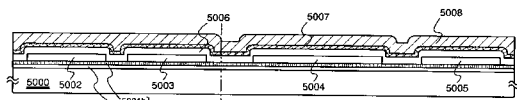


【 図 12 】

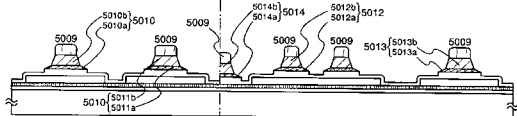


【図13】

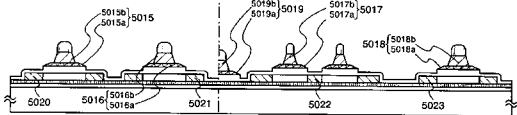
(A) 下地絶縁膜形成/半導体層形成/ゲート絶縁膜形成/第1, 第2の導電層形成



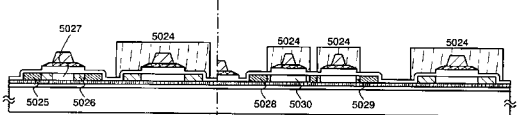
(B) 第1のエッチング処理



(C) 第2のエッチング処理/第1のドーピング処理



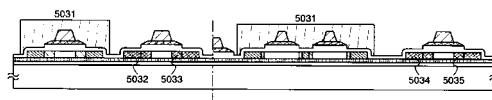
(D) 第2, 第3のドーピング処理



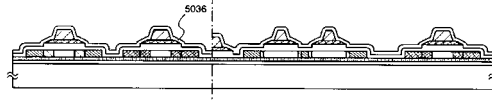
- | | | | |
|------------|-------------|------------|------------------|
| 5000 | : 基板 | 5015~5019 | : 第2の形状の導電層 |
| 5001 | : 下地層 | 5020~5023 | : 第1の不純物領域(N-領域) |
| 5002~5005 | : 半導体層 | 5026 | : 第2の不純物領域(N+領域) |
| 5006 | : ゲート絶縁膜 | 5025, 5028 | : 第3の不純物領域(N+領域) |
| 5007 | : 第1の導電層 | 5027, 5030 | : チャネル領域 |
| 5008 | : 第2の導電層 | 5029 | : 第1の不純物領域(N-領域) |
| 5009, 5024 | : レジストマスク | | |
| 5010~5014 | : 第1の形状の導電層 | | |

【図14】

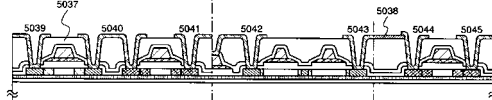
(A) 第4のドーピング処理



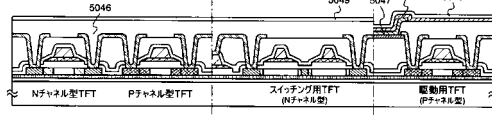
(B) 第1の層間絶縁膜の形成/熱処理



(C) 第2の層間絶縁膜の形成/画素電極形成/配線形成



(D) 第3の層間絶縁膜の形成/EL素子形成/保護膜形成

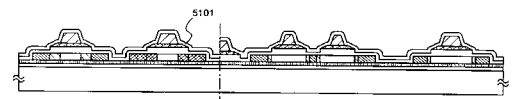


駆動回路部 ← → 画素部

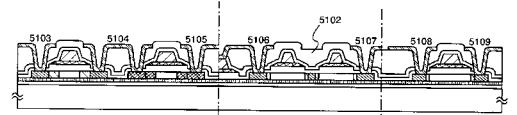
- | | | | |
|------------|------------------|-----------|------------|
| 5031 | : レジストマスク | 5039~5045 | : 配線 |
| 5032, 5034 | : 第4の不純物領域(P+領域) | 5046 | : 第3の層間絶縁膜 |
| 5033, 5035 | : 第5の不純物領域(P-領域) | 5047 | : EL層 |
| 5036 | : 第1の層間絶縁膜 | 5048 | : 画素電極(陰極) |
| 5037 | : 第2の層間絶縁膜 | 5049 | : 保護膜 |
| 5038 | : 画素電極(陽極) | | |

【図15】

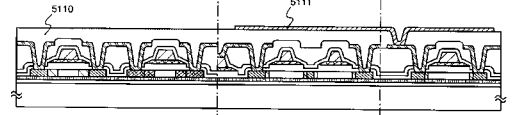
(A) 第1の層間絶縁膜の形成/熱処理



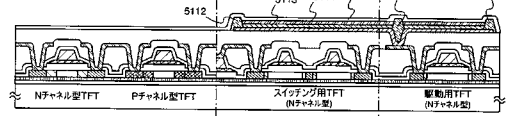
(B) 第2の層間絶縁膜の形成/配線形成



(C) 第3の層間絶縁膜の形成/画素電極形成



(D) 土手形成/EL素子形成/保護膜形成

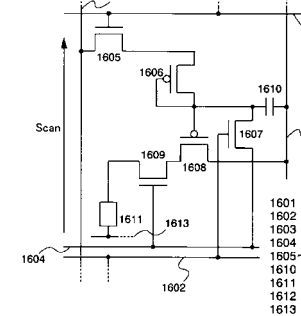


駆動回路部 ← → 画素部

- | | | | |
|-----------|------------|------|------------|
| 5101 | : 第1の層間絶縁膜 | 5112 | : 土手 |
| 5102 | : 第2の層間絶縁膜 | 5113 | : EL層 |
| 5103~5109 | : 配線 | 5114 | : 画素電極(陽極) |
| 5110 | : 第3の層間絶縁膜 | 5115 | : 保護膜 |
| 5111 | : 画素電極(陰極) | | |

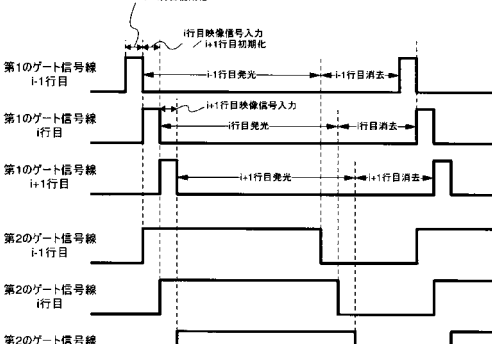
【図16】

(A) 回路図



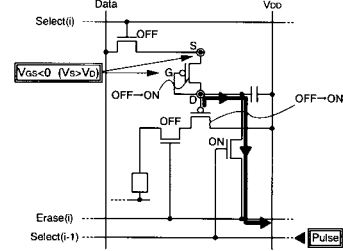
- | | |
|-----------|--------------------|
| 1601 | : ソース信号線 |
| 1602 | : 第1のゲート信号線(i-1行目) |
| 1603 | : 第1のゲート信号線(i行目) |
| 1604 | : 第2のゲート信号線(i行目) |
| 1605~1609 | : TFT |
| 1610 | : 容量手段 |
| 1611 | : EL素子 |
| 1612 | : 電流供給線 |
| 1613 | : 電源線 |

(B) 駆動回路の動作タイミング図

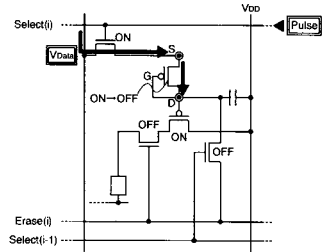


【 図 1 7 】

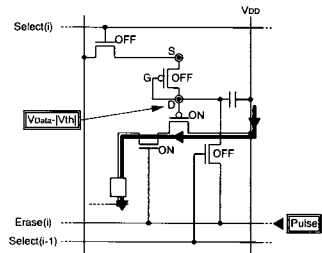
(A) i行目 初期化 (i-1行目 映像信号書き込み)



(B) i行目 映像信号書き込み

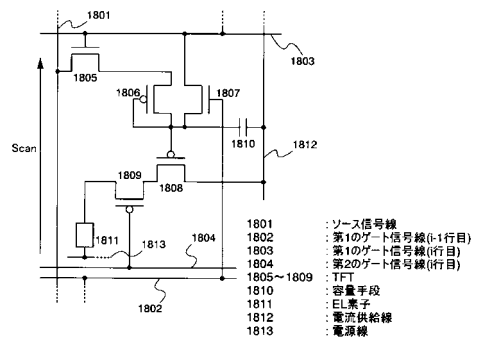


(C) i行目 発光

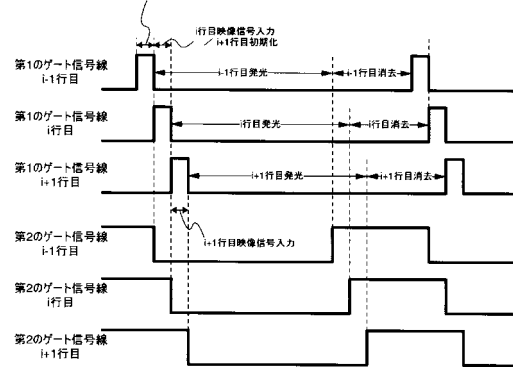


【 図 1 8 】

(A)

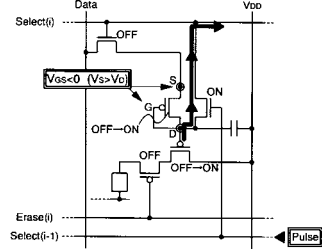


(B)

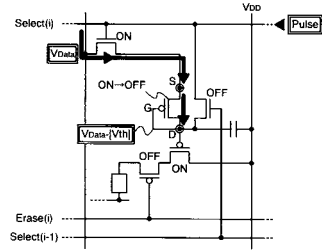


【 図 1 9 】

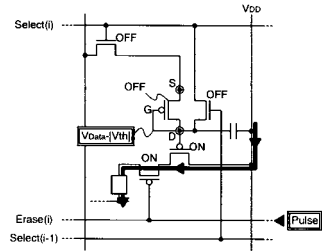
(A) i行目 初期化 (i-1行目 映像信号書き込み)



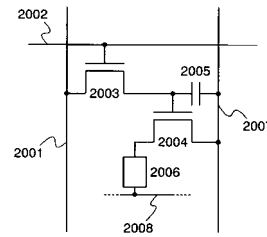
(B) i行目 映像信号書き込み



(C) i行目 発光

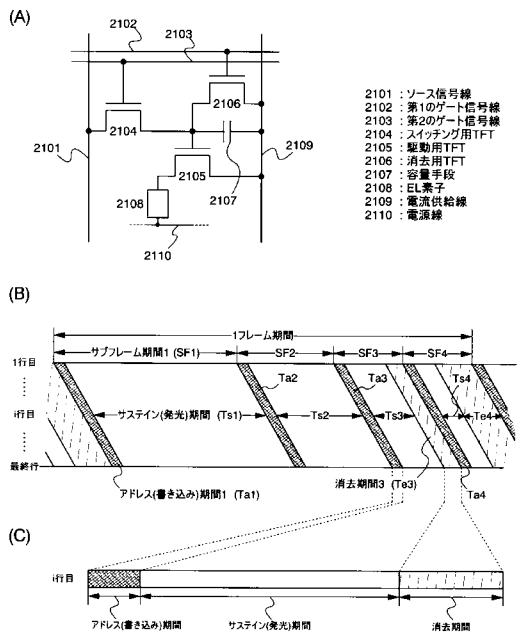


【 図 2 0 】

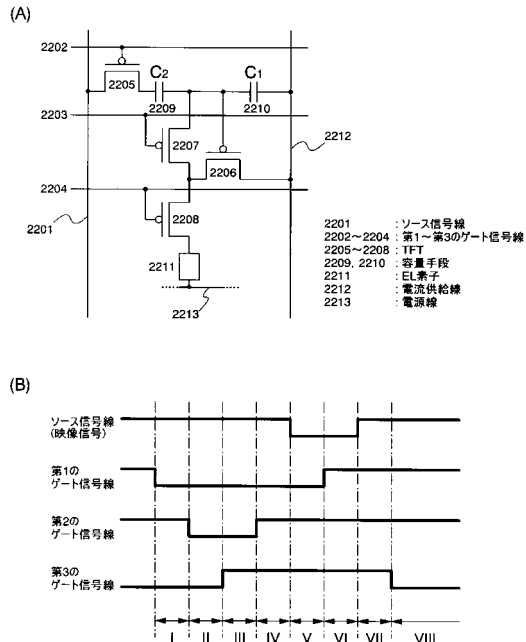


- 2001 : ソース信号線
- 2002 : ゲート信号線
- 2003 : スイッチング用TFT
- 2004 : 駆動用TFT
- 2005 : 容量手段
- 2006 : EL素子
- 2007 : 電流供給線
- 2008 : 電源線

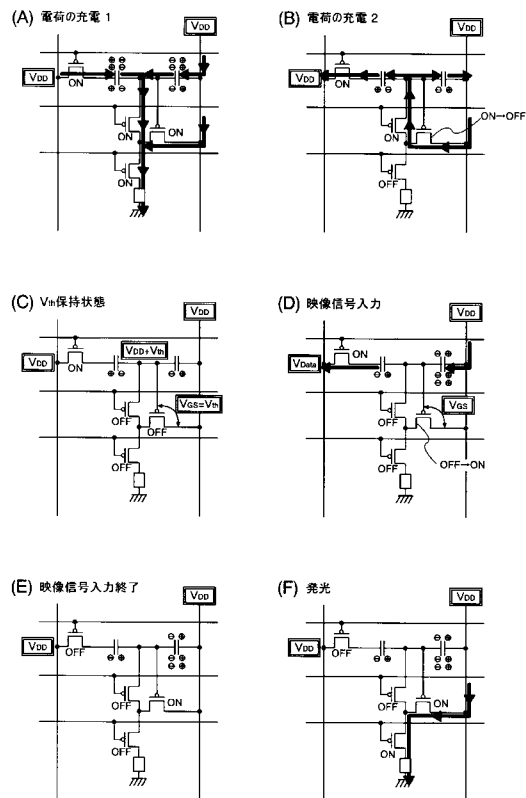
【図 2 1】



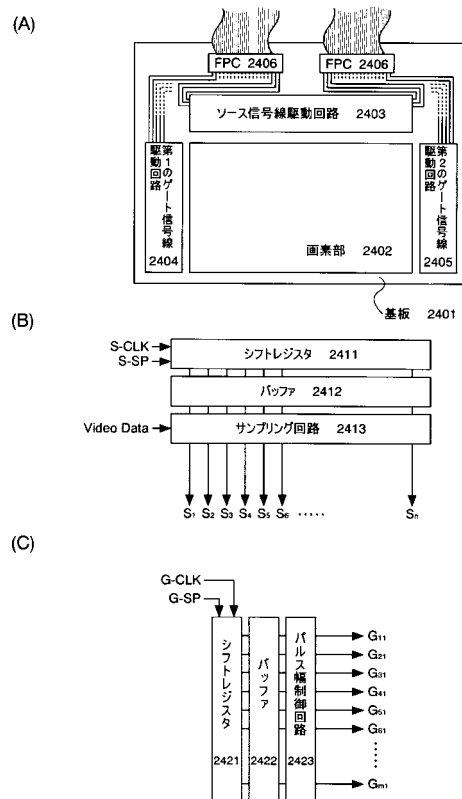
【図 2 2】



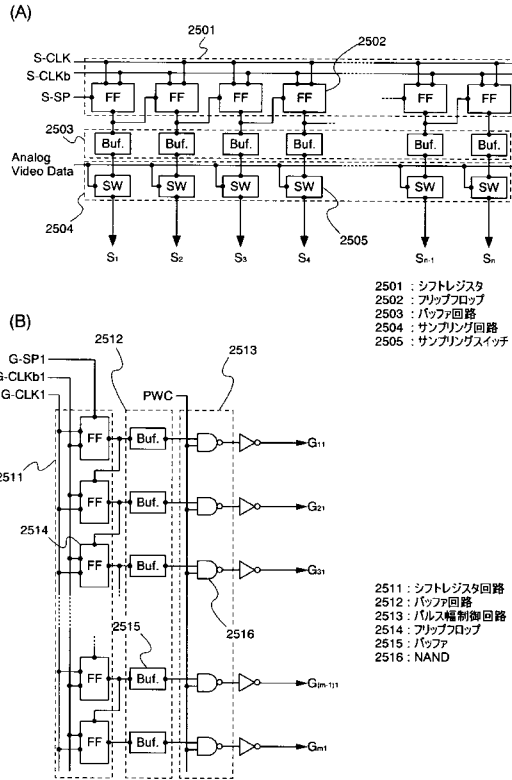
【図 2 3】



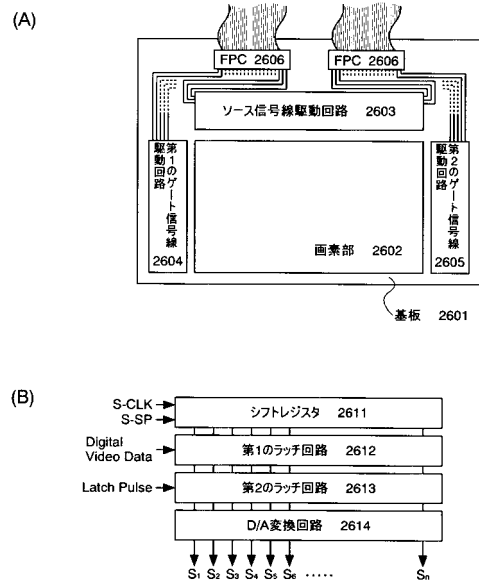
【図 2 4】



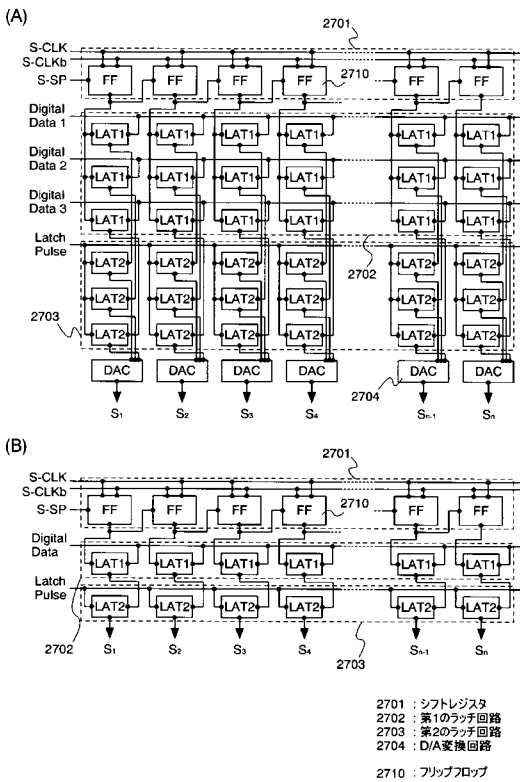
【図 25】



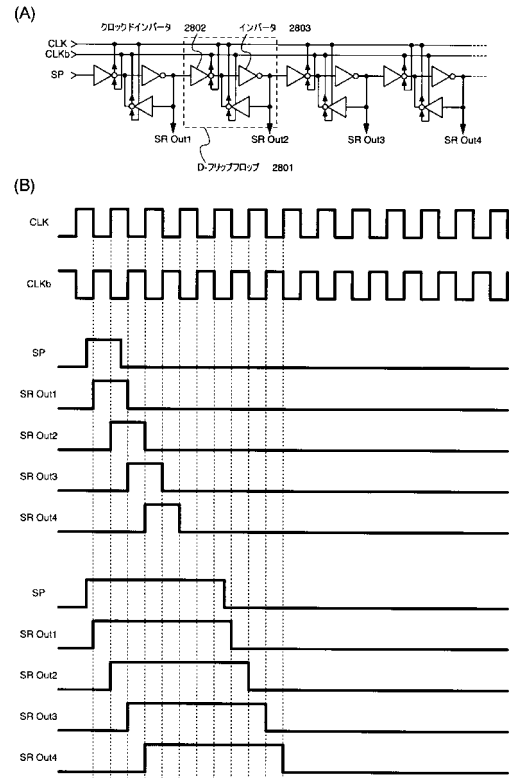
【図 26】



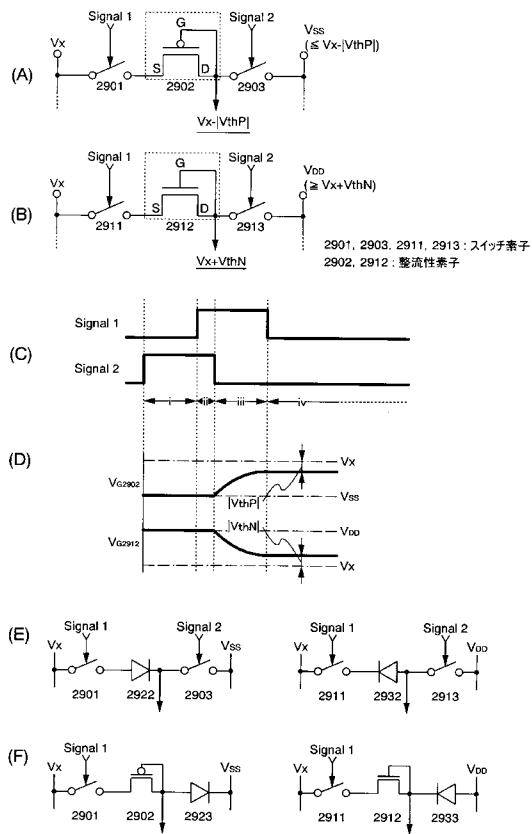
【図 27】



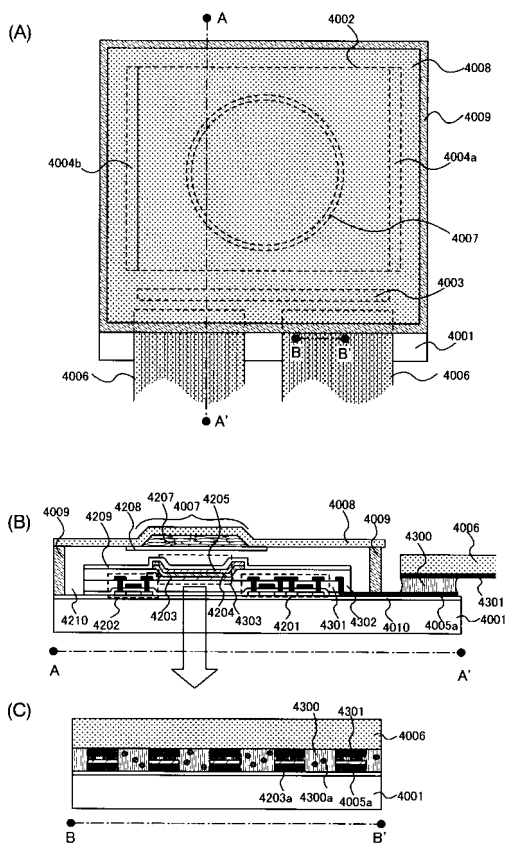
【図 28】



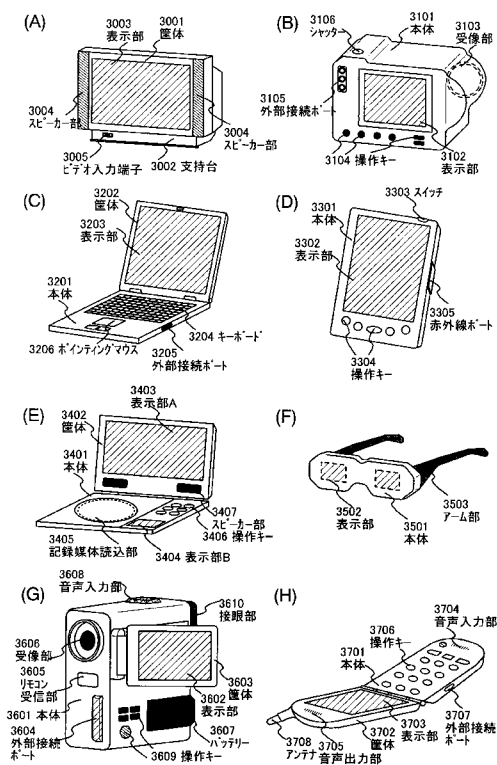
【図 29】



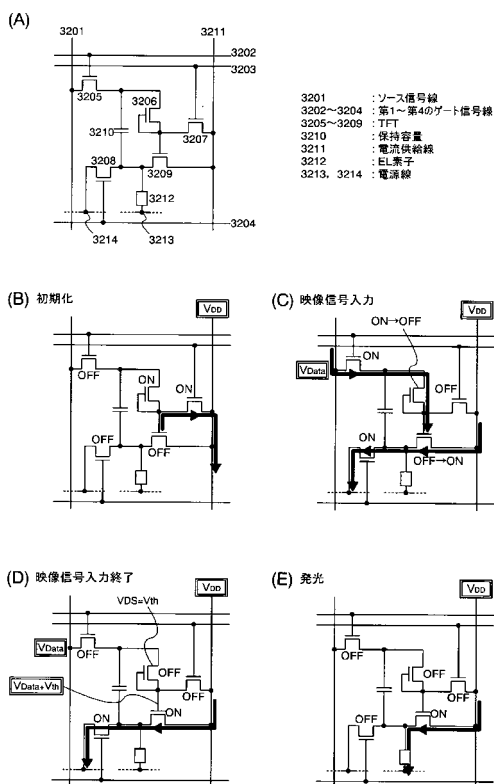
【図 30】



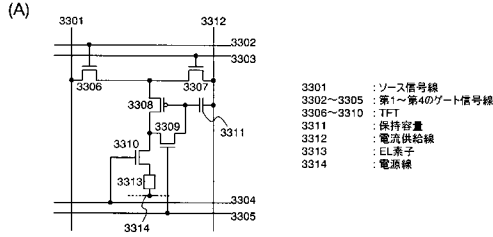
【図 31】



【図 32】

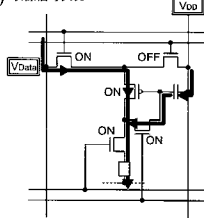


【図 3 3】

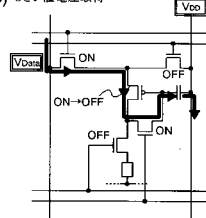


- 3301 : ソース信号線
- 3302~3305 : 第1~第4のゲート信号線
- 3306~3310 : TFT
- 3311 : 保持容量
- 3312 : 電流供給線
- 3313 : EL素子
- 3314 : 電源線

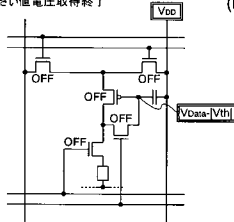
(B) 映像信号入力



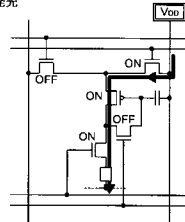
(C) しい値電圧取得



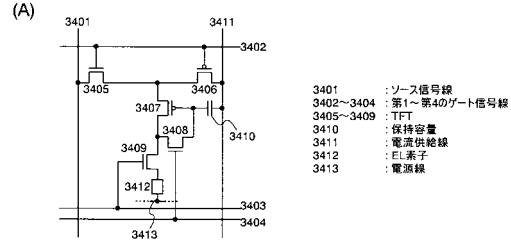
(D) しい値電圧取得終了



(E) 発光

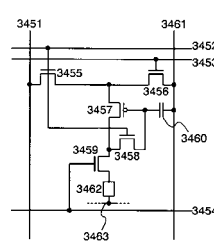


【図 3 4】



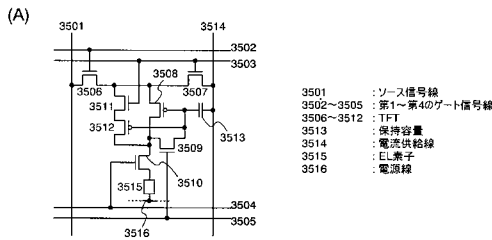
- 3401 : ソース信号線
- 3402~3404 : 第1~第4のゲート信号線
- 3405~3409 : TFT
- 3410 : 保持容量
- 3411 : 電流供給線
- 3412 : EL素子
- 3413 : 電源線

(B)



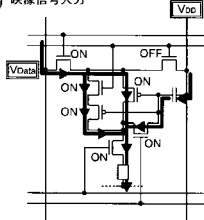
- 3451 : ソース信号線
- 3452~3454 : 第1~第4のゲート信号線
- 3455~3459 : TFT
- 3460 : 保持容量
- 3461 : 電流供給線
- 3462 : EL素子
- 3463 : 電源線

【図 3 5】

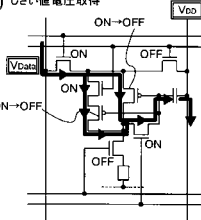


- 3501 : ソース信号線
- 3502~3505 : 第1~第4のゲート信号線
- 3506~3510 : TFT
- 3511 : 保持容量
- 3512 : 電流供給線
- 3513 : EL素子
- 3514 : 電源線

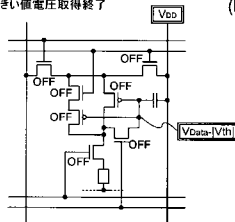
(B) 映像信号入力



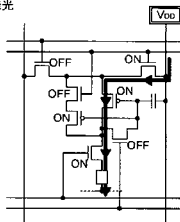
(C) しい値電圧取得



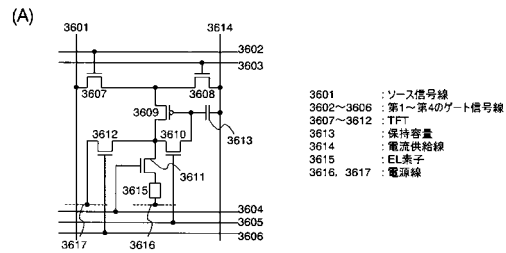
(D) しい値電圧取得終了



(E) 発光

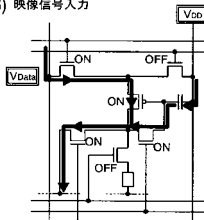


【図 3 6】

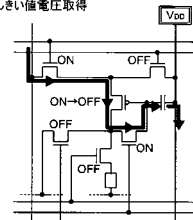


- 3601 : ソース信号線
- 3602~3604 : 第1~第4のゲート信号線
- 3605~3609 : TFT
- 3610 : 保持容量
- 3611 : 電流供給線
- 3612 : EL素子
- 3613 : 電源線

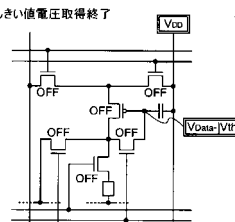
(B) 映像信号入力



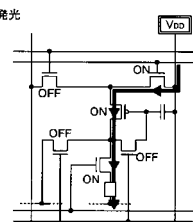
(C) しい値電圧取得



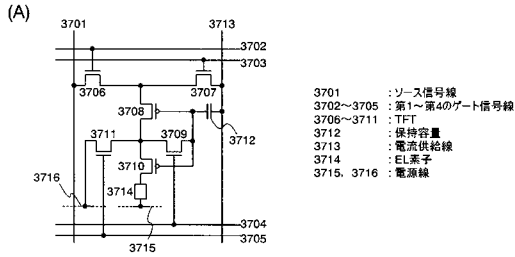
(D) しい値電圧取得終了



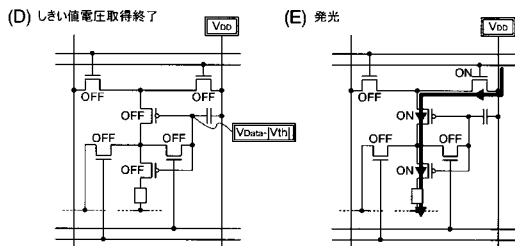
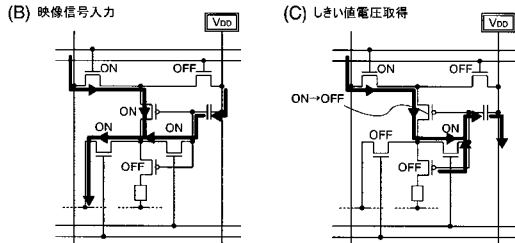
(E) 発光



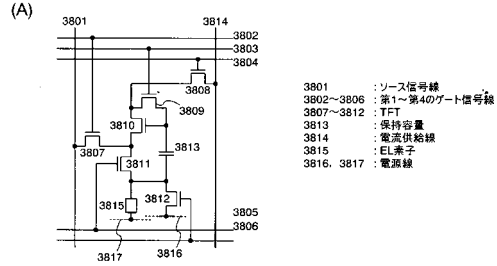
【図 37】



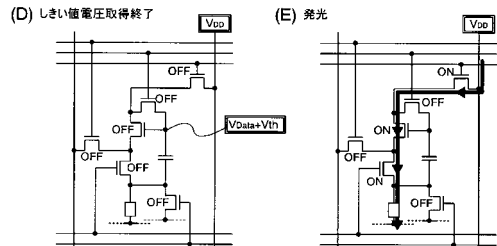
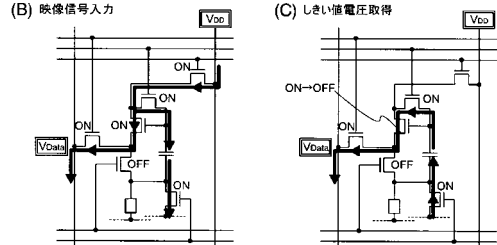
3701 : ソース信号線
 3702~3705 : 第1~第4のゲート信号線
 3706~3711 : TFT
 3712 : 保持容量
 3713 : 電流供給線
 3714 : EL素子
 3715, 3716 : 電源線



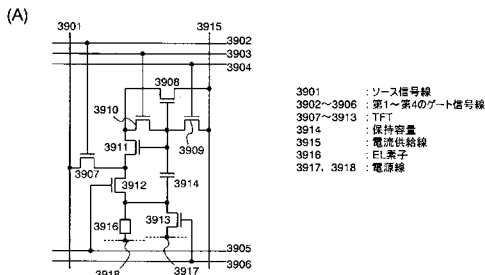
【図 38】



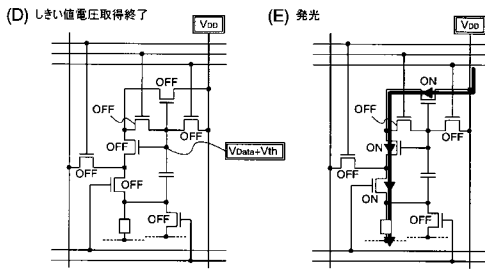
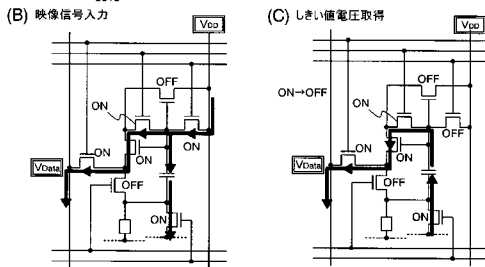
3801 : ソース信号線
 3802~3806 : 第1~第4のゲート信号線
 3807~3812 : TFT
 3813 : 保持容量
 3814 : 電流供給線
 3815 : EL素子
 3816, 3817 : 電源線



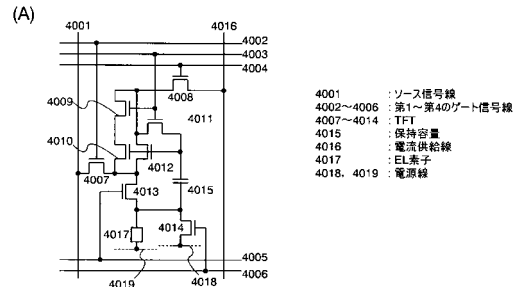
【図 39】



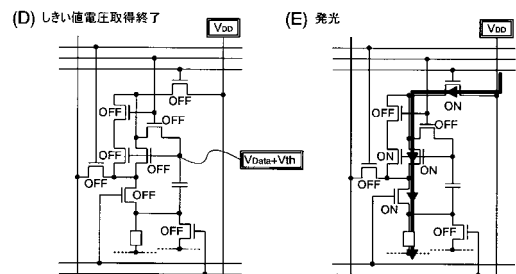
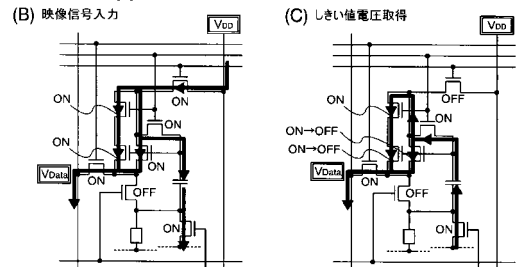
3901 : ソース信号線
 3902~3906 : 第1~第4のゲート信号線
 3907~3913 : TFT
 3914 : 保持容量
 3915 : 電流供給線
 3916 : EL素子
 3917, 3918 : 電源線



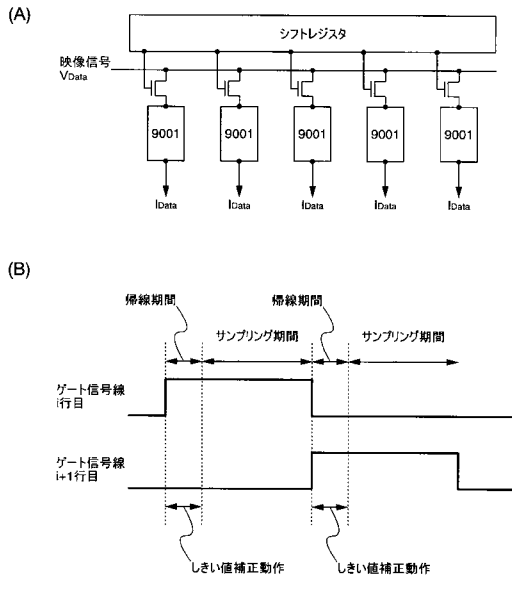
【図 40】



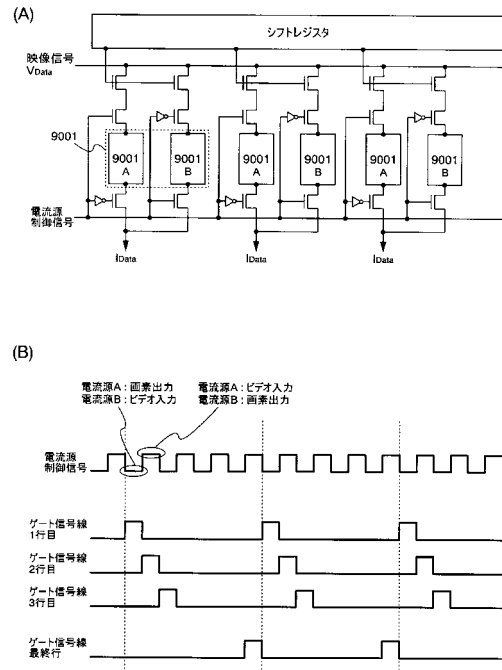
4001 : ソース信号線
 4002~4006 : 第1~第4のゲート信号線
 4007~4014 : TFT
 4015 : 保持容量
 4016 : 電流供給線
 4017 : EL素子
 4018, 4019 : 電源線



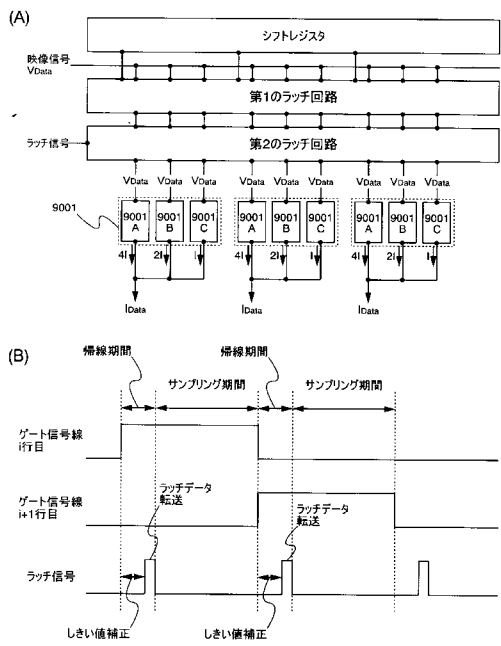
【 図 4 1 】



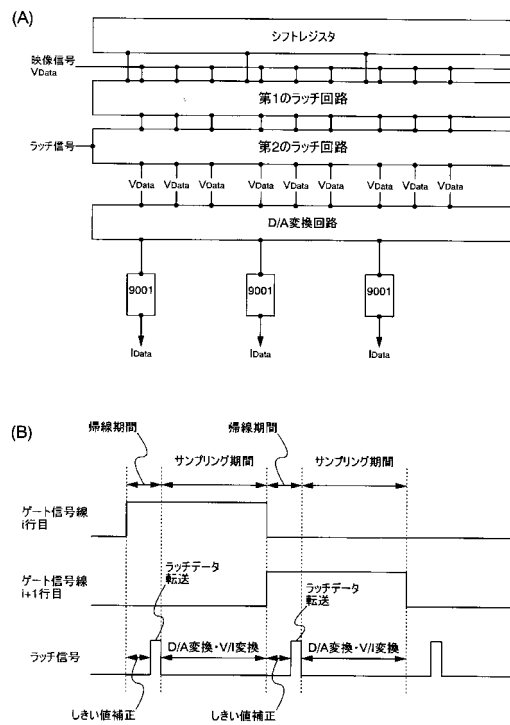
【 図 4 2 】



【 図 4 3 】



【 図 4 4 】



【手続補正書】

【提出日】平成20年6月25日(2008.6.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のトランジスタと、第2のトランジスタと、スイッチとを有する半導体装置であって、

前記第1のトランジスタのソース又はドレインの一方は、配線に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、

前記第2のトランジスタのゲートは、前記第1のトランジスタのゲートに電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、

前記スイッチの第1の端子は、前記配線に電氣的に接続され、

前記スイッチの第2の端子は、前記第1のトランジスタのゲートに電氣的に接続されていることを特徴とする半導体装置。

【請求項2】

第1のトランジスタと、第2のトランジスタと、第1のスイッチと、第2のスイッチとを有する半導体装置であって、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、

前記第2のトランジスタのゲートは、前記第1のトランジスタのゲートに電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、

前記第1のスイッチの第1の端子は、前記第1の配線に電氣的に接続され、

前記第1のスイッチの第2の端子は、前記第1のトランジスタのゲートに電氣的に接続され、

前記第2のスイッチの第1の端子は、第2の配線に電氣的に接続され、

前記第2のスイッチの第2の端子は、前記第2のトランジスタのソース又はドレインの他方に電氣的に接続されていることを特徴とする半導体装置。

【請求項3】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタとを有する半導体装置であって、

前記第1のトランジスタのソース又はドレインの一方は、配線に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、

前記第2のトランジスタのゲートは、前記第1のトランジスタのゲートに電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記配線に電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートに電氣的に接続されていることを特徴とする半導体装置。

【請求項4】

第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタとを有する半導体装置であって、

前記第1のトランジスタのソース又はドレインの一方は、第1の配線に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、画素電極に電氣的に接続され、

前記第2のトランジスタのゲートは、前記第1のトランジスタのゲートに電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートに電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1の配線に電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートに電氣的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、第2の配線に電氣的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの他方に電氣的に接続されていることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、前記第1のトランジスタと、前記第2のトランジスタとは、同じ極性を有することを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一において、前記第1のトランジスタは、Nチャネル型であることを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項6のいずれか一に記載の半導体装置と、操作キーとを具備したことを特徴とする電子機器。

フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

テーマコード(参考)