



(12) 发明专利

(10) 授权公告号 CN 113270368 B

(45) 授权公告日 2023. 04. 07

(21) 申请号 202110518167.7

(56) 对比文件

(22) 申请日 2021.05.12

CN 108962817 A, 2018.12.07

(65) 同一申请的已公布的文献号

审查员 夏永强

申请公布号 CN 113270368 A

(43) 申请公布日 2021.08.17

(73) 专利权人 长江存储科技有限责任公司

地址 430205 湖北省武汉市武汉东湖新技术开发区未来三路88号

(72) 发明人 孙超 田武

(74) 专利代理机构 深圳紫藤知识产权代理有限公司

公司 44570

专利代理师 吕姝娟

(51) Int. Cl.

H01L 21/8234 (2006.01)

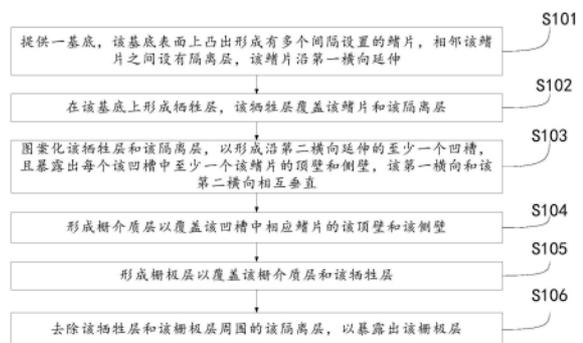
权利要求书2页 说明书6页 附图11页

(54) 发明名称

半导体器件的制作方法

(57) 摘要

本发明提供一种半导体器件的制作方法,包括:提供一基底,该基底表面上凸出形成有多个间隔设置的鳍片,相邻该鳍片之间设有隔离层,该鳍片沿第一横向延伸;在该基底上形成牺牲层,该牺牲层覆盖该鳍片和该隔离层;图案化该牺牲层和该隔离层,以形成沿第二横向延伸的至少一个凹槽,且暴露出每个该凹槽中至少一个该鳍片的顶壁和侧壁,该第一横向和该第二横向相互垂直;形成栅介质层以覆盖该凹槽中相应鳍片的该顶壁和该侧壁;形成栅极层以覆盖该栅介质层和该牺牲层;去除该牺牲层和该栅极层周围的该隔离层,以暴露出该栅极层,从而无需通过现有多晶硅刻蚀的方式形成栅极结构,能避免鳍片底部周围形成多晶硅的残留物,也不会对鳍片造成损伤,有利于提高半导体器件的产品性能。



1. 一种半导体器件的制作方法,其特征在于,包括:

提供一基底,所述基底表面上凸出形成有多个间隔设置的鳍片,相邻所述鳍片之间设有隔离层,所述鳍片沿第一横向延伸,所述鳍片的顶面和所述隔离层的顶面平齐;

在所述基底上形成牺牲层,所述牺牲层覆盖所述鳍片和所述隔离层;

图案化所述牺牲层和所述隔离层,以形成沿第二横向延伸的至少一个凹槽,且暴露出每个所述凹槽中至少一个所述鳍片的顶壁和侧壁,所述凹槽沿纵向贯穿所述牺牲层且延伸至所述隔离层内,且部分穿透所述隔离层,所述第一横向、所述纵向和所述第二横向相互垂直;

形成栅介质层以覆盖所述凹槽中相应鳍片的所述顶壁和所述侧壁;

形成栅极层以覆盖所述栅介质层和所述牺牲层;

去除所述牺牲层和所述栅极层周围的所述隔离层,以暴露出所述栅极层。

2. 根据权利要求1所述的半导体器件的制作方法,其特征在于,所述图案化所述牺牲层和所述隔离层,以形成沿第二横向延伸的至少一个凹槽,包括:

对所述牺牲层进行刻蚀,以形成沿纵向贯穿所述牺牲层的至少一个贯穿槽,每个所述贯穿槽沿第二横向延伸,且暴露出所述贯穿槽中的至少一个所述鳍片的顶壁和所述隔离层;

通过所述贯穿槽对暴露出的所述隔离层进行刻蚀以形成所述凹槽,且暴露出所述凹槽中相应鳍片的侧壁。

3. 根据权利要求1所述的半导体器件的制作方法,其特征在于,所述形成栅极层以覆盖所述栅介质层和所述牺牲层,包括:

在所述牺牲层上沉积一层多晶硅材料,所述多晶硅材料填充所述凹槽;

对所述多晶硅材料进行平坦化处理。

4. 根据权利要求1所述的半导体器件的制作方法,其特征在于,所述去除所述牺牲层和所述栅极层周围的所述隔离层,包括:

去除所述牺牲层,以暴露出所述栅极层周围的所述隔离层;

去除所述栅极层周围暴露出的所述隔离层。

5. 根据权利要求1所述的半导体器件的制作方法,其特征在于,在提供一基底之前,还包括:

沿纵向对基底进行刻蚀,以形成从所述基底表面凸出的多个间隔设置的鳍片,所述鳍片沿第一横向延伸;

在相邻的所述鳍片之间形成用于隔离所述鳍片的隔离层。

6. 根据权利要求1所述的半导体器件的制作方法,其特征在于,在所述基底上形成牺牲层之前,还包括:

对所述鳍片进行阱区离子注入。

7. 根据权利要求1所述的半导体器件的制作方法,其特征在于,在暴露出所述栅极层之后,还包括:

在所述栅极层沿所述第二横向延伸的两侧壁上形成侧墙;

在所述鳍片上形成源极和漏极,所述源极和所述漏极分别位于所述侧墙的两侧。

8. 根据权利要求7所述的半导体器件的制作方法,其特征在于,当所述半导体器件为P

型鳍式场效应晶体管时,所述源极和所述漏极的材料包括硅锗硼,当所述半导体器件为N型鳍式场效应晶体管时,所述源极和所述漏极的材料包括磷化硅或碳磷化硅。

9.根据权利要求1-8中任一项所述的半导体器件的制作方法,其特征在于,所述牺牲层的材料包括氮化物。

10.根据权利要求1-8中任一项所述的半导体器件的制作方法,其特征在于,所述栅介质层的材料包括氧化物。

## 半导体器件的制作方法

### 【技术领域】

[0001] 本发明涉及半导体技术领域,具体涉及一种半导体器件的制作方法。

### 【背景技术】

[0002] 在半导体制造中,随着超大规模集成电路的发展趋势,集成电路特征尺寸持续减小。为了适应特征尺寸的减小,金属-氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)的沟道长度也相应不断缩短。然而,随着器件沟道长度的缩短,器件源极与漏极间的距离也随之缩短,栅极对沟道的控制能力随之变差,更容易发生所谓的短沟道效应(short-channel effects, SCE)。

[0003] 因此,为了更好的适应特征尺寸的减小,半导体工艺逐渐开始从平面MOSFET向具有更高功效的三维立体式的晶体管过渡,如鳍式场效应晶体管(Field-Effect Transistor, FinFET)。FinFET中,由于栅极结构从三面包围鳍部,故增大了栅极结构对沟道的控制面积,可以改善平面MOSFET存在的短沟道效应。但现有FinFET制作工艺在制作栅极结构时,由于鳍部的存在,鳍部底部周围容易形成多晶硅的残留颗粒,而考虑到鳍部和栅极结构薄且易碎,故很难通过现有的清洗工艺完全去除这些残留颗粒,最终形成的FinFET可能因为这些残留颗粒导致栅极结构发生漏电,或者栅极结构彼此间无法绝缘等不良现象,进而对FinFET的性能造成影响,而若通过延长刻蚀时间来清除残留物,又会损伤鳍部顶部。

### 【发明内容】

[0004] 本发明的目的在于提供一种半导体器件的制作方法,能在制作栅极结构时避免形成多晶硅残留物,有利于提高FinFET的产品性能。

[0005] 为了解决上述问题,本发明提供了一种半导体器件的制作方法,包括:

[0006] 提供一基底,所述基底表面上凸出形成有多个间隔设置的鳍片,相邻所述鳍片之间设有隔离层,所述鳍片沿第一横向延伸;

[0007] 在所述基底上形成牺牲层,所述牺牲层覆盖所述鳍片和所述隔离层;

[0008] 图案化所述牺牲层和所述隔离层,以形成沿第二横向延伸的至少一个凹槽,且暴露出每个所述凹槽中至少一个所述鳍片的顶壁和侧壁,所述第一横向和所述第二横向相互垂直;

[0009] 形成栅介质层以覆盖所述凹槽中相应鳍片的所述顶壁和所述侧壁;

[0010] 形成栅极层以覆盖所述栅介质层和所述牺牲层;

[0011] 去除所述牺牲层和所述栅极层周围的所述隔离层,以暴露出所述栅极层。

[0012] 其中,所述图案化所述牺牲层和所述隔离层,以形成沿第二横向延伸的至少一个凹槽,包括:

[0013] 对所述牺牲层进行刻蚀,以形成沿纵向贯穿所述牺牲层的至少一个贯穿槽,每个所述贯穿槽沿第二横向延伸,且暴露出所述贯穿槽中的至少一个所述鳍片的顶壁和所述隔离层;

- [0014] 通过所述贯穿槽对暴露出的所述隔离层进行刻蚀以形成所述凹槽,且暴露出所述凹槽中相应鳍片的侧壁。
- [0015] 其中,所述形成栅极层以覆盖所述栅介质层和所述牺牲层,包括:
- [0016] 在所述牺牲层上沉积一层多晶硅材料,所述多晶硅材料填充所述凹槽;
- [0017] 对所述多晶硅材料进行平坦化处理。
- [0018] 其中,所述去除所述牺牲层和所述栅极层周围的所述隔离层,包括:
- [0019] 去除所述牺牲层,以暴露出所述栅极层周围的所述隔离层;
- [0020] 去除所述栅极层周围暴露出的所述隔离层。
- [0021] 其中,在提供一基底之前,还包括:
- [0022] 沿纵向对基底进行刻蚀,以形成从所述基底表面凸出的多个间隔设置的鳍片,所述鳍片沿第一横向延伸;
- [0023] 在相邻的所述鳍片之间形成用于隔离所述鳍片的隔离层。
- [0024] 其中,在所述基底上形成牺牲层之前,还包括:
- [0025] 对所述鳍片进行阱区离子注入。
- [0026] 其中,在暴露出所述栅极层之后,还包括:
- [0027] 在所述栅极层沿所述第二横向延伸的两侧壁上形成侧墙;
- [0028] 在所述鳍片上形成源极和漏极,所述源极和所述漏极分别位于所述侧墙的两侧。
- [0029] 其中,当所述半导体器件为P型鳍式场效应晶体管时,所述源极和所述漏极的材料包括硅锗砷,当所述半导体器件为N型鳍式场效应晶体管时,所述源极和所述漏极的材料包括磷化硅或碳磷化硅。
- [0030] 其中,所述牺牲层的材料包括氮化物。
- [0031] 其中,所述栅介质层的材料包括氧化物。
- [0032] 本发明提供的半导体器件的制作方法,通过在基底上形成覆盖鳍片和隔离层的牺牲层,且借助牺牲层形成与现有栅极结构匹配的凹槽,并在凹槽中形成栅极层,之后,去除牺牲层和栅极层周围的隔离层,从而无需通过现有有多晶硅刻蚀的方式形成栅极结构,能避免鳍片底部周围形成多晶硅的残留物,也不会对鳍片造成损伤,有利于提高半导体器件的产品性能,且工艺方法简单,制作成本较低。

### 【附图说明】

[0033] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0034] 图1a是现有鳍式场效应晶体管在不同工艺流程阶段的剖视结构示意图;
- [0035] 图1b是现有鳍式场效应晶体管在不同工艺流程阶段的剖视结构示意图;
- [0036] 图1c是现有鳍式场效应晶体管在不同工艺流程阶段的剖视结构示意图;
- [0037] 图1d是现有鳍式场效应晶体管在不同工艺流程阶段的剖视结构示意图;
- [0038] 图2是本申请实施例提供的半导体器件的制作方法的流程示意图;
- [0039] 图3a是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图;

- [0040] 图3b是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0041] 图3c是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0042] 图3d是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0043] 图3e是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0044] 图3f是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0045] 图3g是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0046] 图3h是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0047] 图3i是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0048] 图3j是本申请实施例提供的半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0049] 图4a是本申请实施例提供的另一半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0050] 图4b是本申请实施例提供的另一半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0051] 图4c是本申请实施例提供的另一半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0052] 图4d是本申请实施例提供的另一半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0053] 图4e是本申请实施例提供的另一半导体器件在不同工艺流程阶段的剖视结构示意图；
- [0054] 图5是图4a-4e中半导体器件的立体结构示意图；
- [0055] 图6是本申请实施例提供的半导体器件的另一制作方法的流程示意图。

### 【具体实施方式】

[0056] 下面结合附图和实施例,对本发明作进一步的详细描述。特别指出的是,以下实施例仅用于说明本发明,但不对本发明的范围进行限定。同样的,以下实施例仅为本发明的部分实施例而非全部实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0057] 应当容易理解的是,本发明所提到的方向用语,例如[上]、[下]、[前]、[背]、[左]、[右]、[内]、[外]等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用以限制本发明。在图中,结构相似的元件用相同标号表示。

[0058] 应当容易理解的是,本发明所提到的“在……上”、“在……之上”和“在……上方”的含义应以最宽泛的方式来解释,使得“在……上”不仅意味着“直接在某物上”,而且还包括其间具有中间特征或层的“在某物上”的含义。

[0059] 如本文所使用的,术语“层”是指具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸,或者可以具有小于下方或上方结构范围的范围。此外,层可以是厚度小于连续结构的厚度的均质或非均质连续结构的区域。例如,层可以位于在连续结构的顶表面和底表面之间或在顶表面和底表面处的任何水平面对之间。层可以水平、垂直和/或沿倾斜表面延伸。基底可以是层,其中可以包括一个或多个层,和/或可以在其上方和/或其下方具有一个或多个层,层可以包括多个层。

[0060] 请参见图1a-图1d,图1a-图1d为现有鳍式场效应晶体管在不同工艺流程阶段的剖视结构示意图。现有FinFET 100的制作方法包括:对硅衬底110刻蚀形成鳍部111,并沉积隔离层120以隔离鳍部111(可参见图1a),之后,对隔离层120刻蚀形成凹陷区H(可参见图1b),使鳍部111的顶面高于隔离层120的顶面,之后,在裸露出来的鳍部111的侧壁和顶壁上形成栅介质层130,并沉积多晶硅140(可参见图1c),之后,对多晶硅140刻蚀,以形成栅极层,同时,漏出鳍部111的源漏极区域S和D,以便后续制作源漏极。这种栅极结构的制作工艺,在对多晶硅140刻蚀时,由于鳍部111的存在,鳍部111底部周围容易形成多晶硅140的残留物,而薄且易碎的鳍部111,又会对湿法清洗工艺造成极大挑战,导致很难尽可能完全地去除残留物,进而影响最终FinFET 100的性能。

[0061] 请参见图2和图3a-3j,图2为本申请实施例提供的半导体器件200的制作方法的流程示意图,图3a-3j为本申请实施例提供的半导体器件200在不同工艺流程阶段的剖视结构示意图,该制作方法包括以下步骤S101-S106,其中:

[0062] 步骤S101、提供一基底210,该基底210表面上凸出形成有多个间隔设置的鳍片211,相邻该鳍片211之间设有隔离层220,该鳍片211沿第一横向x延伸(具体可参见图3b)。

[0063] 其中,该基底210主要为半导体基底,比如硅、锗以及锗化硅、砷化镓等半导体材料制成的基底,该基底210还可以是绝缘体上硅(Silicon-On-Insulator, SOI)或绝缘体上锗基底。该隔离层220主要用于隔离鳍片211,其材料可以包括氧化硅、氮化硅或氮氧化硅等介电性能比较好的绝缘材料。多个鳍片211可以沿第二横向y间隔设置,鳍片211的顶面与隔离层220的顶面可视为实质等高。

[0064] 其中,在上述步骤S101之前,该制作方法还可以包括:

[0065] 沿纵向z对基底210进行刻蚀,以形成从该基底210表面凸出的多个间隔设置的鳍片211,该鳍片211沿第一横向x延伸(具体可参见图3a);

[0066] 在相邻的该鳍片211之间形成用于隔离该鳍片211的隔离层220(可参见图3b)。

[0067] 其中,可以通过干法刻蚀在基底210上形成多个浅槽M,以得到多个凸出的鳍片211,刻蚀过程中可以通过控制刻蚀时长来控制鳍片211高度,之后,可以在基底210上沉积绝缘材料,比如氧化硅,该绝缘材料会填满该浅槽M,再通过CMP(Chemical Mechanical Polishing,化学机械抛光)工艺使沉积的绝缘材料表面平整,得到隔离层220。

[0068] 步骤S102、在该基底210上形成牺牲层230,该牺牲层230覆盖该鳍片211和该隔离层220(具体可参见图3c)。

[0069] 其中,牺牲层230的材料可以包括氮化物,比如氮化硅,可以通过化学气相沉积法或物理气相沉积法在基底210上沉积牺牲层230。容易理解的是,在上述步骤S102之前,该半导体器件200的制作方法还包括步骤:对该鳍片211进行阱区离子注入(Well implant)。通过阱区离子注入,以在鳍片211上形成N阱区和P阱区(图中未示出)。

[0070] 步骤S103、图案化该牺牲层230和该隔离层220,以形成沿第二横向y延伸的至少一个凹槽Q1,且暴露出该凹槽Q1中至少一个鳍片211的顶壁和侧壁,该第一横向x和该第二横向y相互垂直(具体可参见图3e)。

[0071] 其中,凹槽Q1沿纵向z完全贯穿牺牲层230,且部分穿透隔离层220,相当于其沿第二横向y跨越该鳍片211。凹槽Q1的形成可以通过两次刻蚀完成,第一次刻蚀可以只刻蚀牺牲层230,刻蚀到鳍片211顶壁的表面停止,第二次刻蚀是继续从第一次刻蚀后形成的刻蚀

槽开始继续刻蚀,但只对刻蚀槽下方的隔离层220进行刻蚀,不对鳍片211顶壁刻蚀。

[0072] 需要说明的是,图3a-3j只示出了凹槽Q1中只有一个鳍片211,也即只跨越一个鳍片211的实施例,在其他实施例中,比如,请参见图4a-4e以及图5,对于半导体器件200,凹槽Q2也可以跨越多个鳍片211,具体取决于最终制成的栅极需要控制什么类型的元器件,比如若所控制的元器件需要的电流越大,则凹槽Q2跨越的鳍片211数量可以越多,若所控制的元器件需要的电流越小,则凹槽Q2跨越的鳍片211数量可以越少。通常情况下,半导体器件200中会包括多个元器件,不同元器件可以通过不同栅极控制,也即,在制作半导体器件200的过程中,会需要同时制作跨越多个鳍片211的凹槽Q2、以及跨越单个鳍片211的凹槽Q1。

[0073] 具体的,请参见图3d-3e、以及图4a-4b和图6,上述步骤S103可以包括:

[0074] 步骤S1031、对该牺牲层230进行刻蚀,以形成沿纵向z贯穿该牺牲层230的至少一个贯穿槽(比如图3d中的N1和图4a中的N2),每个该贯穿槽N1和N2沿第二横向y延伸,且暴露出该贯穿槽N1和N2中的至少一个该鳍片211的顶壁和隔离层220(可参见图3d和图4a)。

[0075] 其中,第一次刻蚀可以利用现有FinFET制作工艺中制作栅极结构的掩模板来实现,刻蚀到达鳍片211顶壁的表面时停止。贯穿槽N1和N2的位置通常位于鳍片211的正上方,宽度大于鳍片211的宽度。

[0076] 步骤S1032、通过该贯穿槽N1和N2对暴露出的该隔离层220进行刻蚀以形成凹槽Q1和Q2,且暴露出该凹槽Q1和Q2中相应鳍片211的侧壁(可参见图3e和图4b)。

[0077] 其中,第二次刻蚀的深度可以根据需求而定,其通常不会超过隔离层220的厚度,也即不会贯穿隔离层220,比如隔离层220的厚度为100nm时,第二次刻蚀的深度可以为50nm。

[0078] 步骤S104、形成栅介质层240以覆盖该凹槽Q1和Q2中相应鳍片211的该顶壁和该侧壁(可参见图3f和图4c)。

[0079] 其中,栅介质层240的材料可以包括氧化物,比如氧化硅。可以通过热氧化法在凹槽Q1和Q2中鳍片211的顶壁和两侧壁上沉积一层均匀的栅介质层240,也可以先在基底210上沉积栅介质层240的材料,之后通过刻蚀,只保留凹槽Q1和Q2中鳍片211的顶壁和两侧壁上的沉积材料,得到栅介质层240,具体制作方式此处不做限制。

[0080] 步骤S105、在形成有该栅介质层240的该凹槽Q1和Q2中形成栅极层250(可参见图3h和4d)。

[0081] 其中,可参见图3g-3h,上述步骤S105具体可以包括:

[0082] 在该牺牲层230上沉积一层多晶硅材料P,该多晶硅材料P填充该凹槽Q1(可参见图3g);

[0083] 对该多晶硅材料P进行平坦化处理,得到栅极层250(可参见图3h)。

[0084] 其中,可以通过CMP进行平坦化处理,栅极层250的材料可以包括多晶硅。

[0085] 步骤S106、去除该牺牲层230和该栅极层250周围的该隔离层220,以暴露出该栅极层250,得到栅极结构(可参见图3j和图4e)。

[0086] 其中,可参见图3i-3j,上述步骤S106具体可以包括:

[0087] 去除该牺牲层230,以暴露出该栅极层250周围的该隔离层220(可参见图3i);

[0088] 去除该栅极层250周围暴露出的该隔离层220(可参见图3j)。

[0089] 其中,可以通过湿法刻蚀去除该牺牲层230,通过干法刻蚀或湿法刻蚀去除该隔离

层220,从而得到完全裸露出的栅极结构。相对于现有技术中通过刻蚀多晶硅形成栅极结构的方式来说,本申请实施例提供的栅极结构是借助牺牲层230形成与栅极结构匹配的凹槽Q1和Q2,并通过沉积、研磨多晶硅的方式在凹槽Q1和Q2中形成栅极层250,之后只需去掉牺牲层230和多余的隔离层220即可得到栅极结构,这里不涉及对多晶硅的刻蚀工艺,能避免形成多晶硅的残留物。

[0090] 此外,在上述步骤S106之后,可以继续采用常规工艺制作完整的半导体器件200,比如,该半导体器件200的制作方法还可以包括:

[0091] 在该栅极层250沿该第二横向y延伸的两侧壁上形成侧墙260(可参见图5);

[0092] 在该鳍片211上形成源极和漏极(图中未标出),该源极和该漏极分别位于该侧墙260的两侧。

[0093] 其中,侧墙260的材料可以包括氧化硅、氮化硅、氮氧化硅、碳化硅、碳氧化硅、氮化硼和碳氮化硼中的至少一种,主要用于对栅极结构起到保护作用。对于虚设栅极结构(dummy gate),可以在鳍片211上通过离子注入形成源极和漏极,对于正常栅极结构,则优选通过选择性生长(selective growth)半导体材料的方式形成源极和漏极,也即,上述步骤“在该鳍片211上形成源极和漏极”可以包括:

[0094] 以该侧墙260和该栅极结构为掩膜,刻蚀该侧墙260两侧的该鳍片211,以在该鳍片211上形成相应凹陷区(图中未示出);

[0095] 通过选择性生长半导体材料,在该凹陷区形成源极区和漏极区(图中未示出);

[0096] 对该源极区和该漏极区进行离子注入,得到源极和漏极。

[0097] 其中,当该半导体器件200为P型鳍式场效应晶体管时,该半导体材料(也即源极和漏极的材料)可以包括硅锗硼,当该半导体器件200为N型鳍式场效应晶体管时,该半导体材料(也即源极和漏极的材料)包括磷化硅或碳磷化硅。

[0098] 区别于现有技术,本申请实施例提供的半导体器件200的制作方法,通过在基底210上形成覆盖鳍片211和隔离层220的牺牲层230,且借助牺牲层230形成与现有栅极结构匹配的凹槽Q1和Q2,并在凹槽Q1和Q2中形成栅极层250,之后,去除牺牲层230和栅极层250周围的隔离层220,从而无需通过现有多晶硅刻蚀的方式形成栅极结构,能避免鳍片211底部周围形成多晶硅的残留物,也不会对鳍片211造成损伤,有利于提高半导体器件200的产品性能,且工艺方法简单,制作成本较低。

[0099] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

100

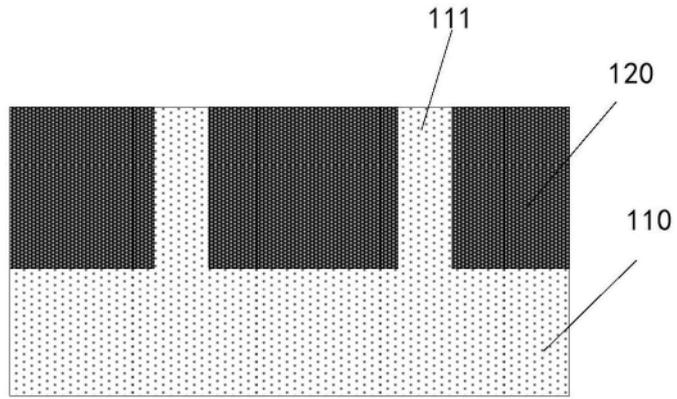


图1a

100

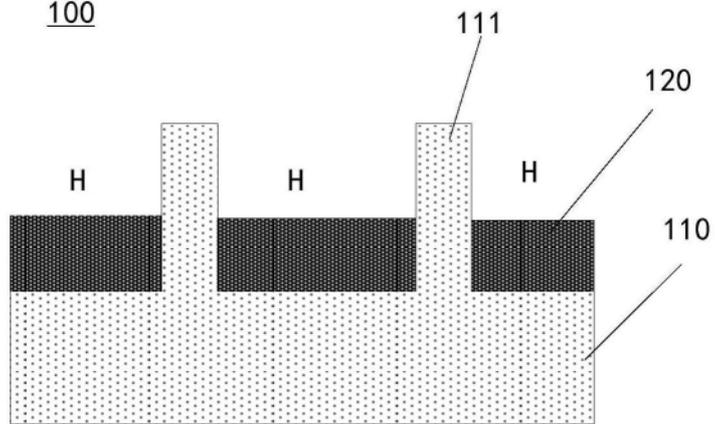


图1b

100

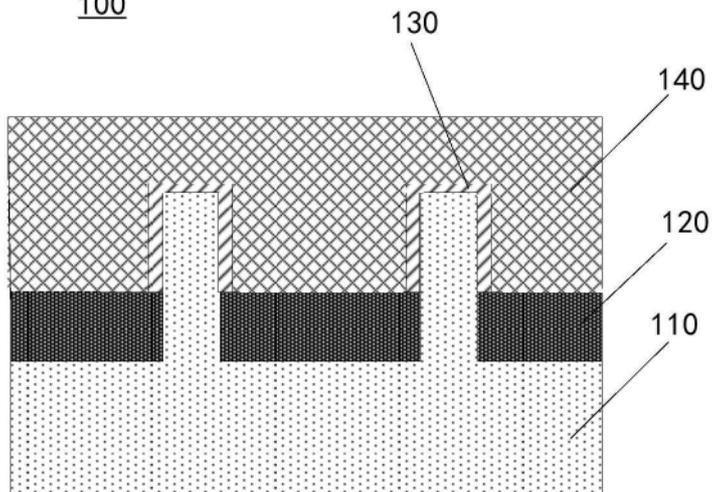


图1c

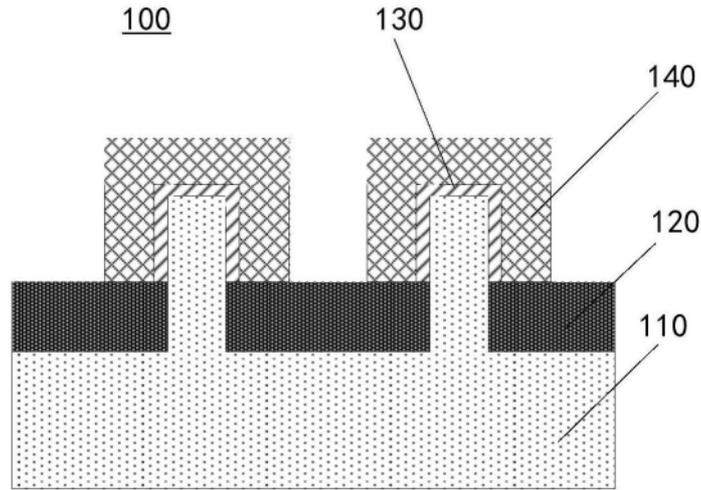


图1d

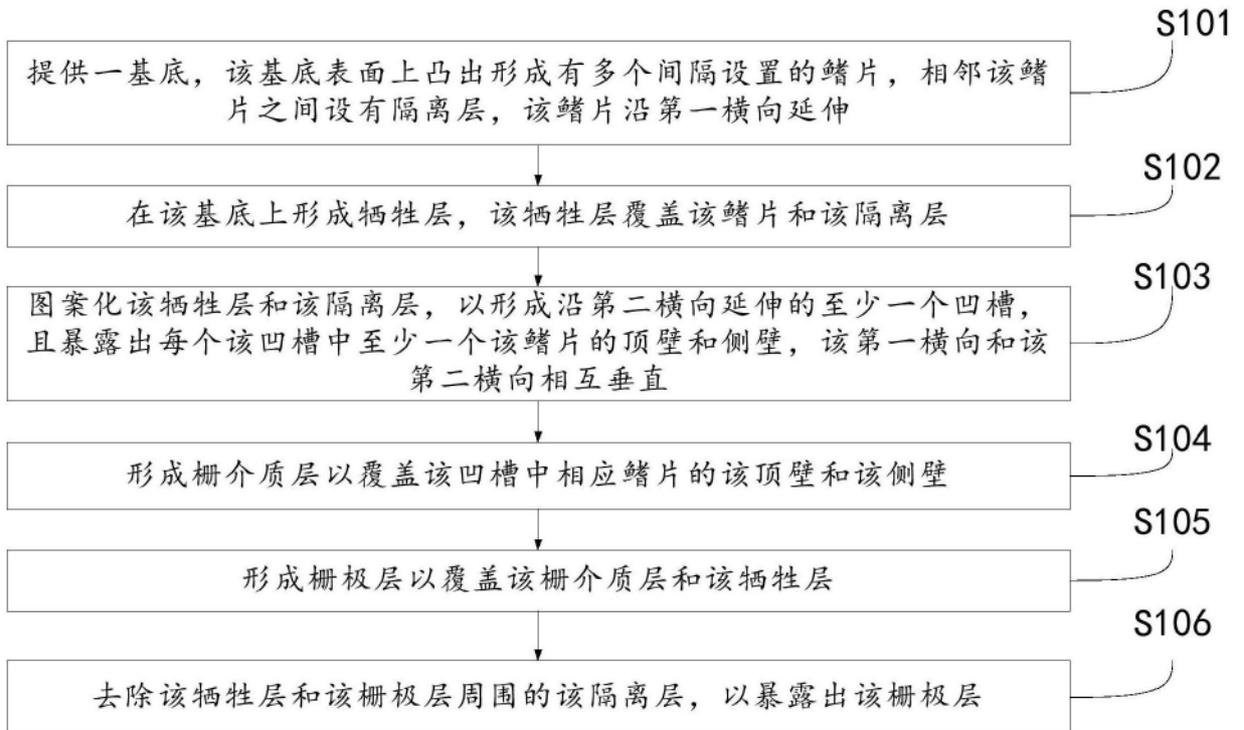


图2

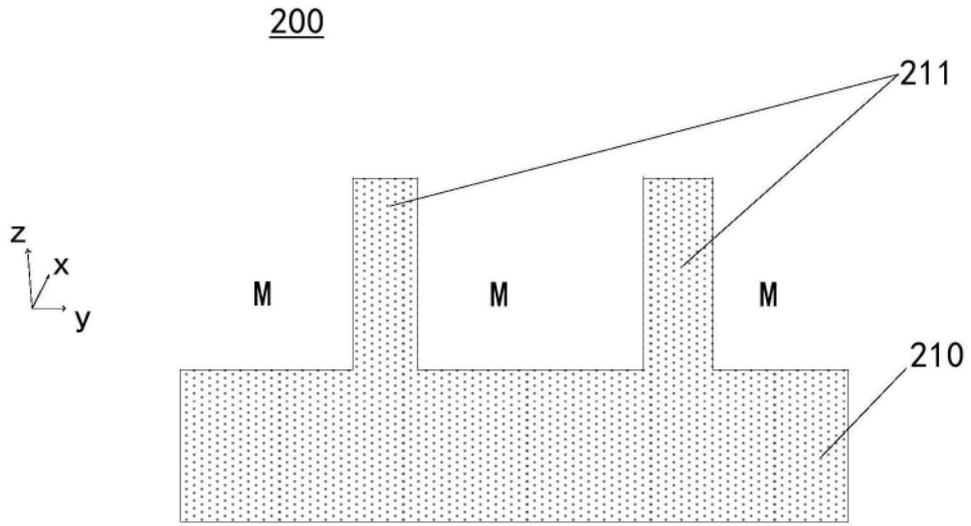


图3a

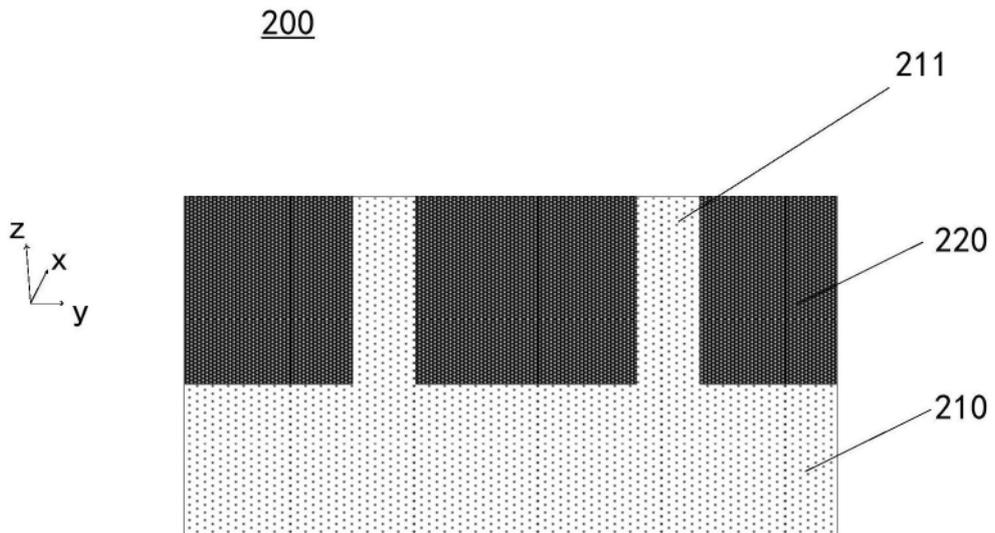


图3b

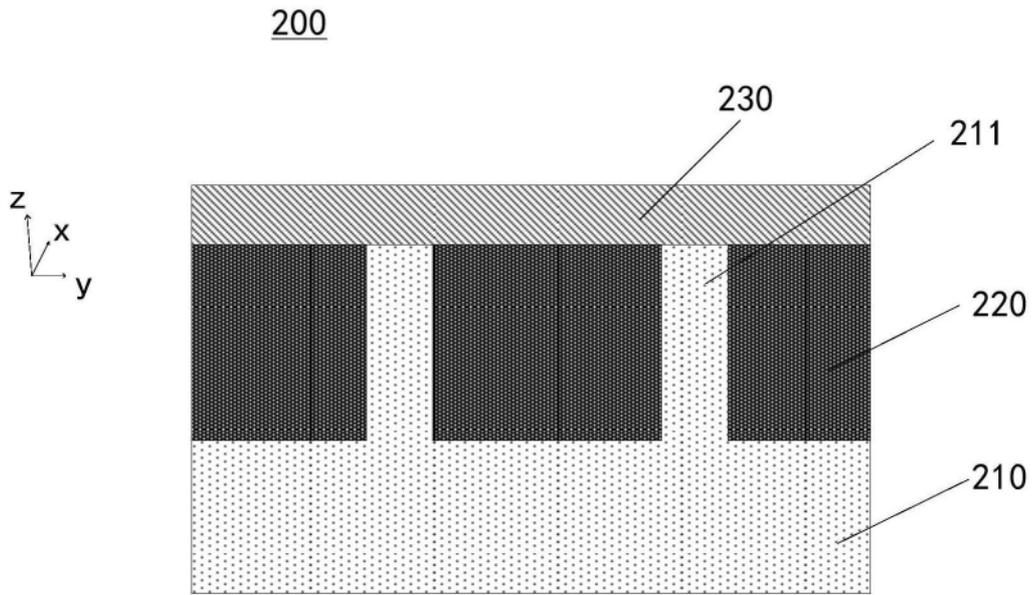


图3c

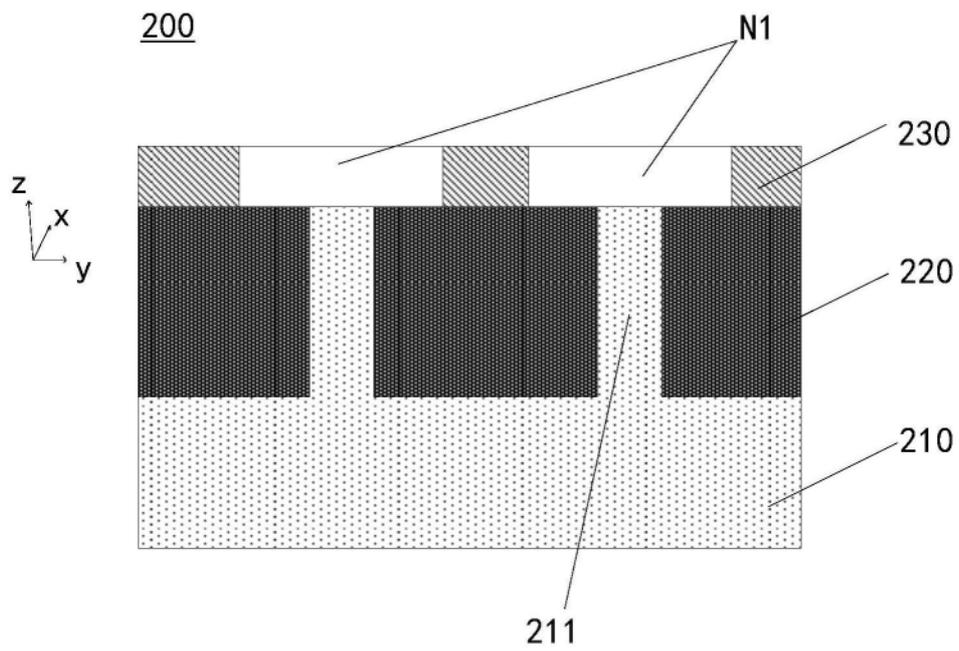


图3d

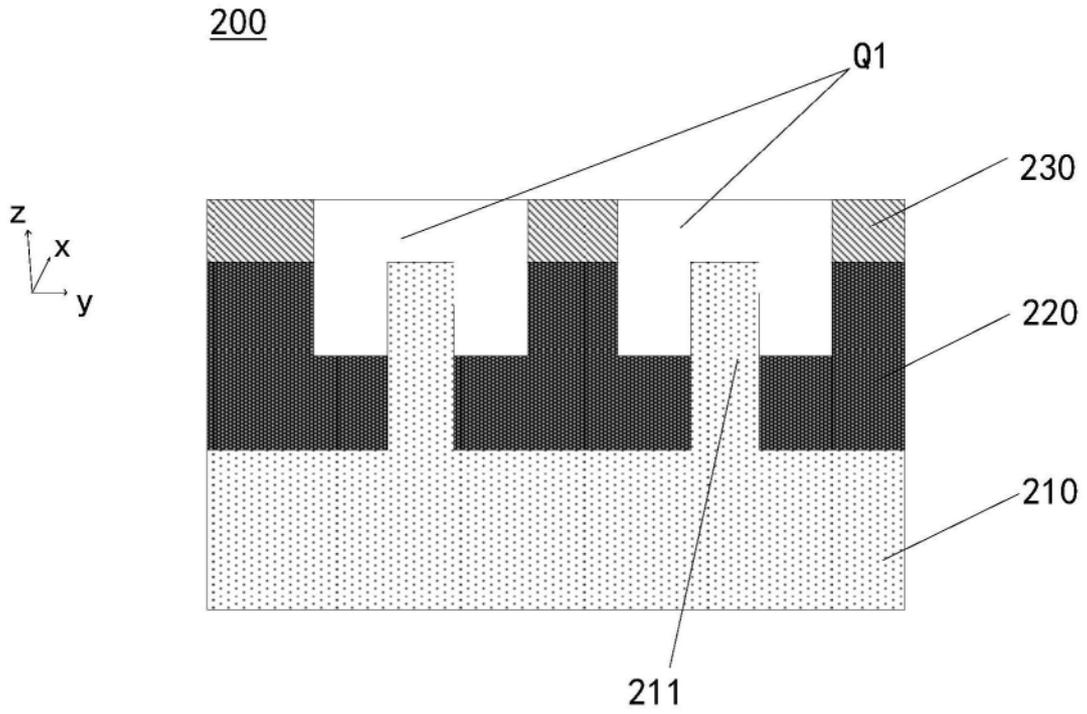


图3e

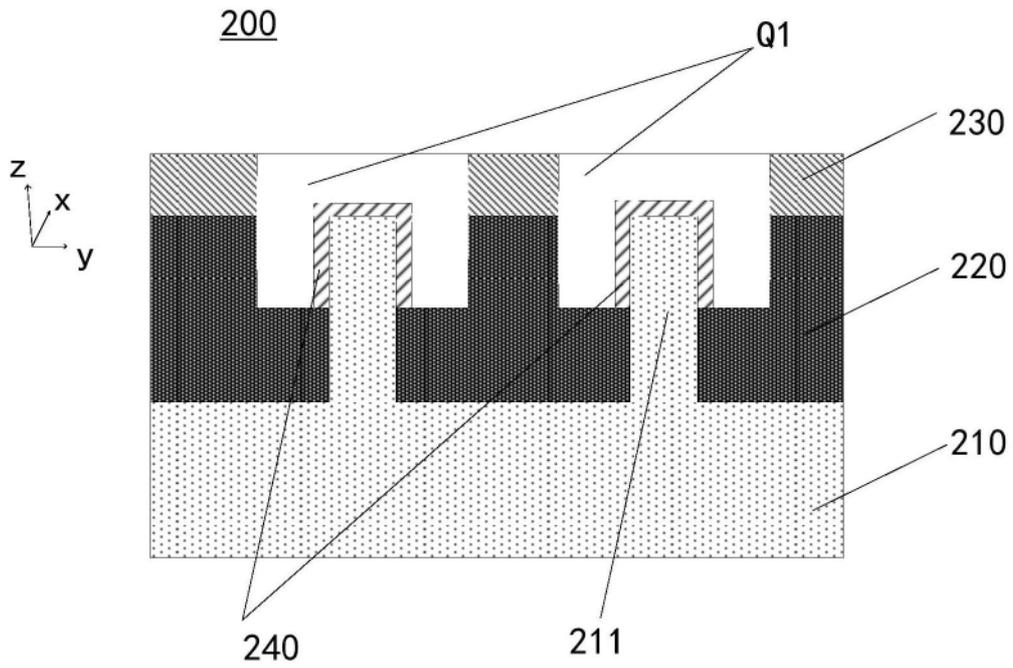


图3f

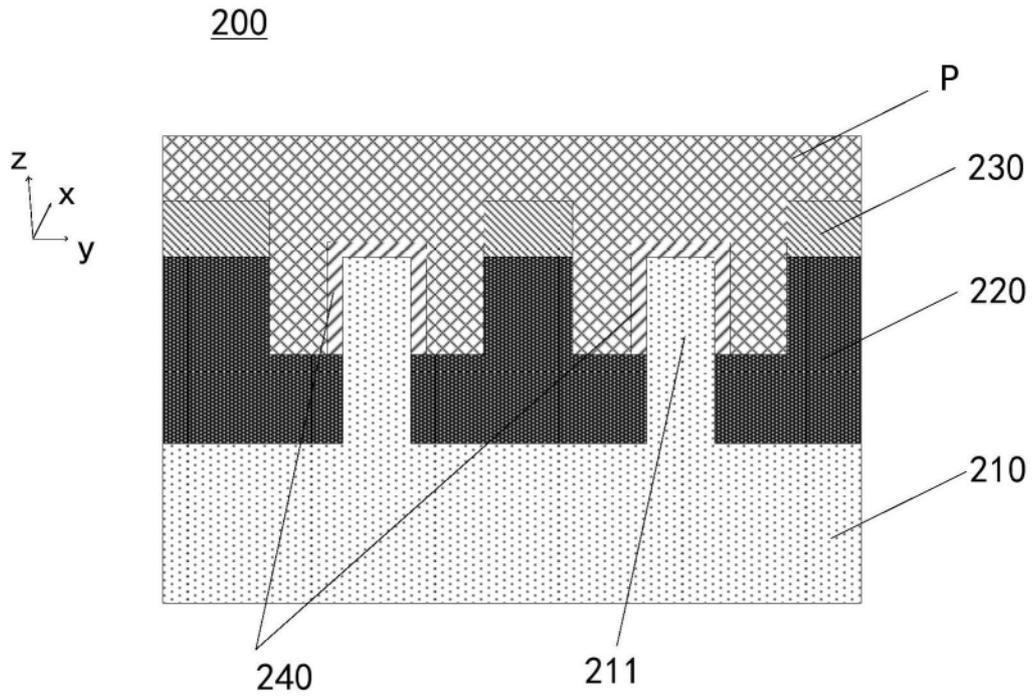


图3g

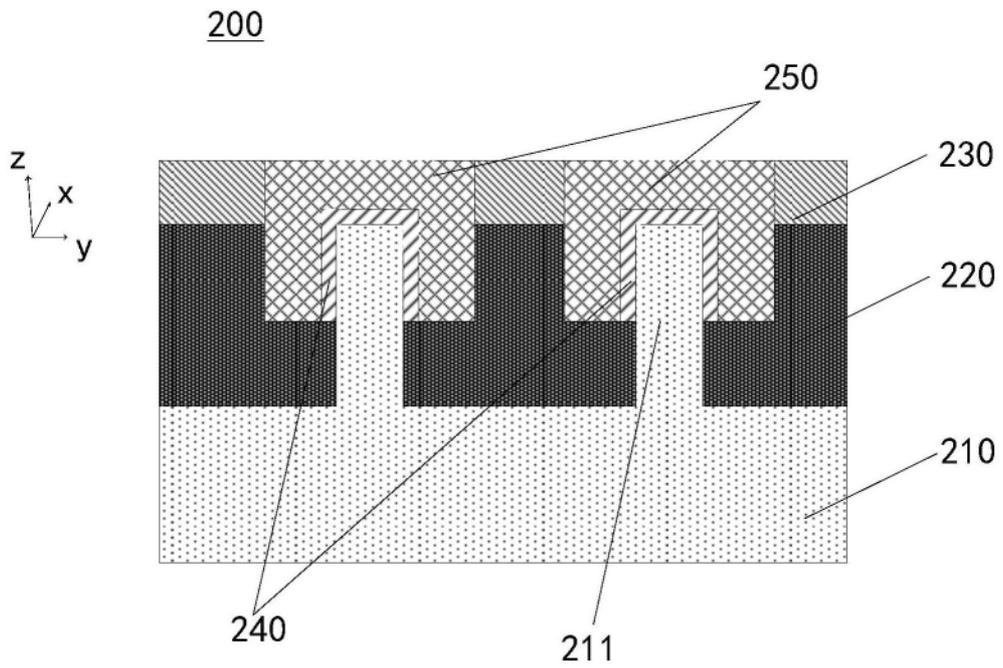


图3h

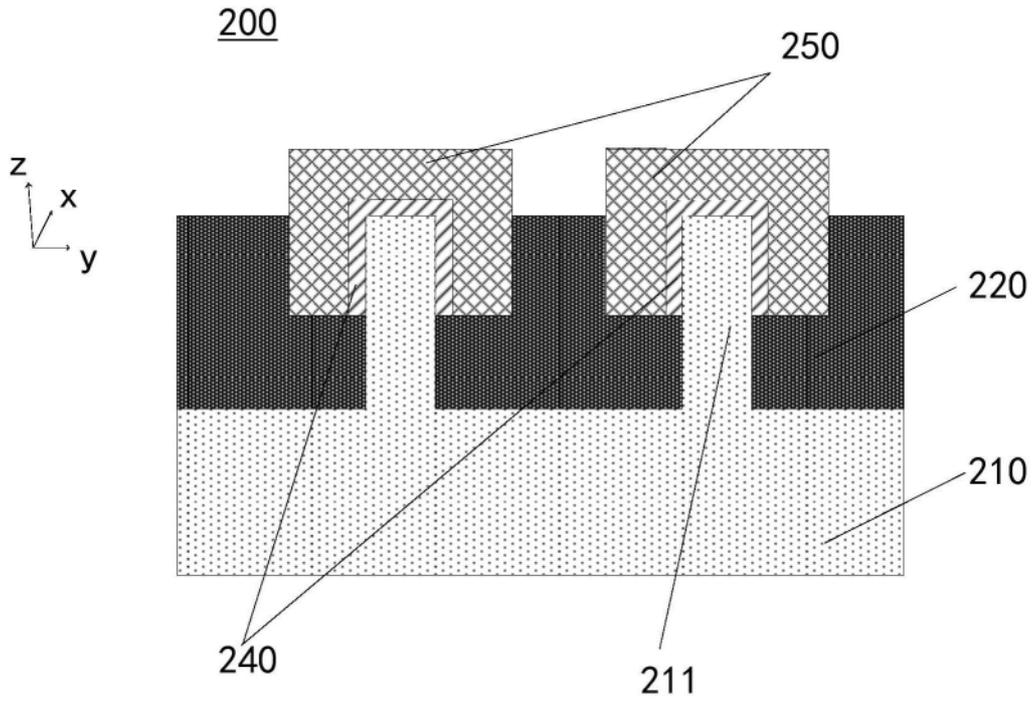


图3i

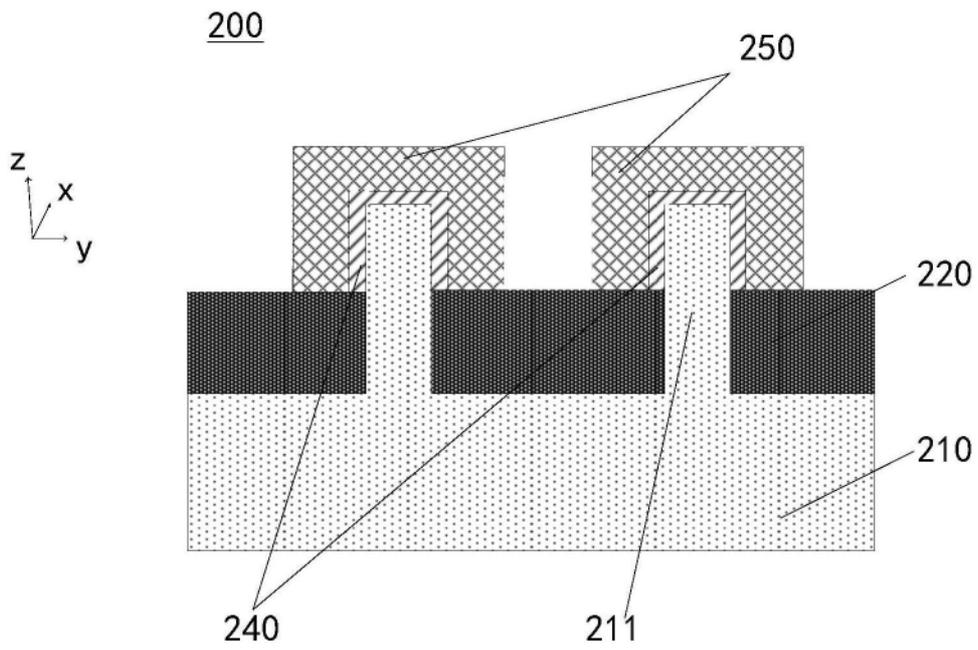


图3j

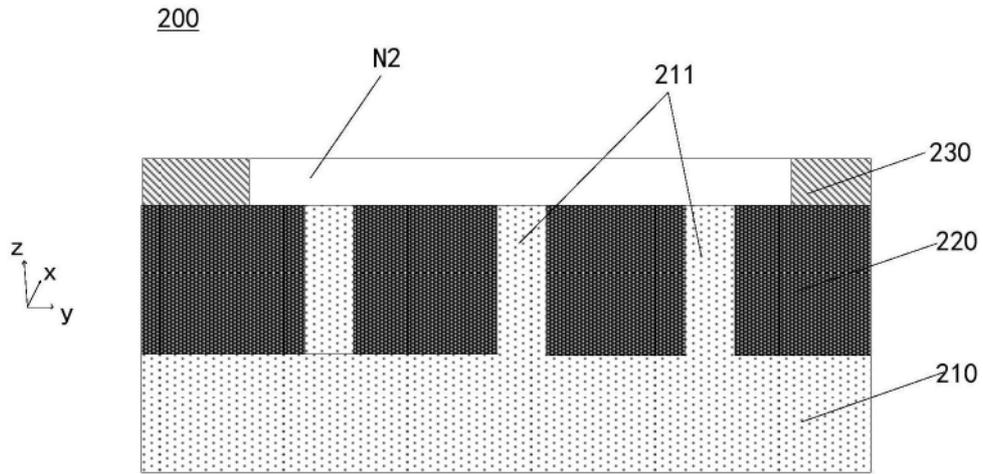


图4a

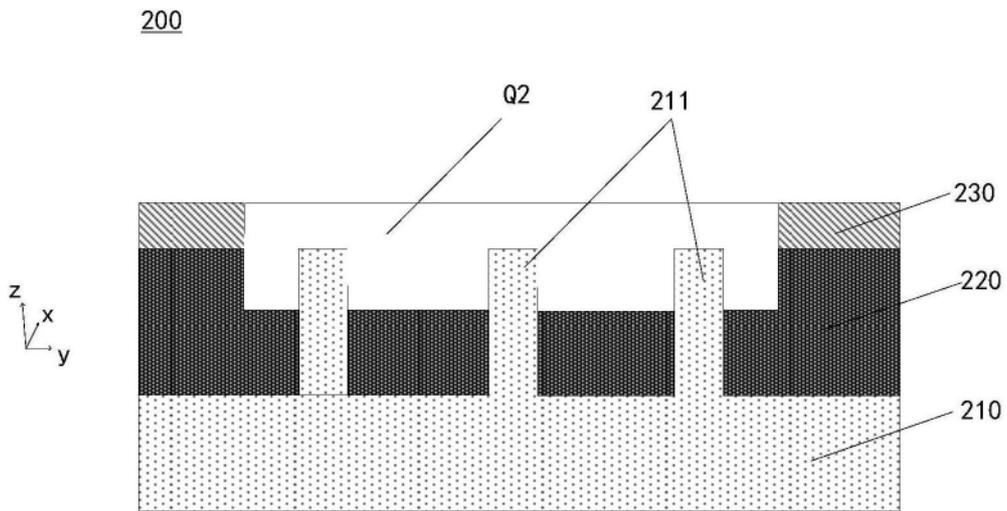


图4b

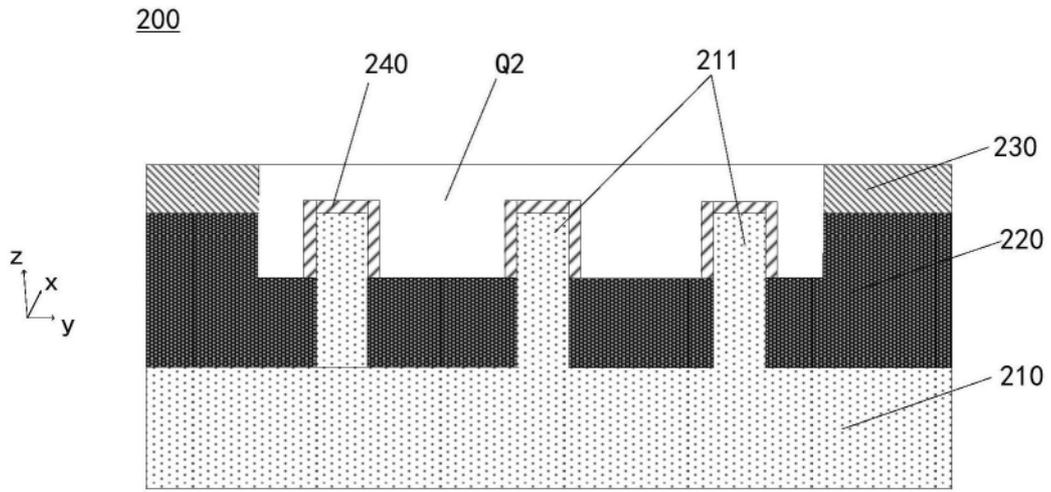


图4c

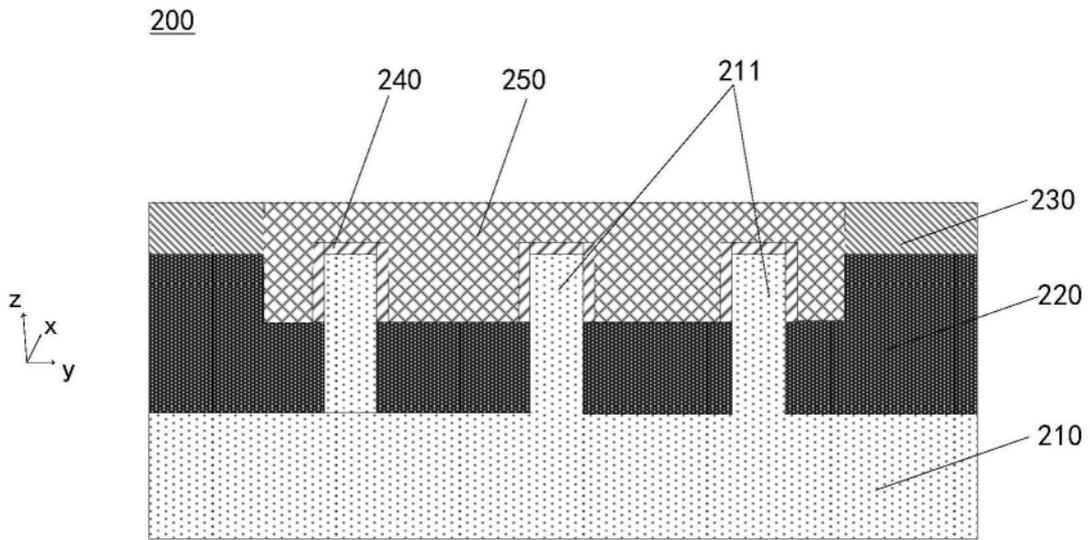


图4d

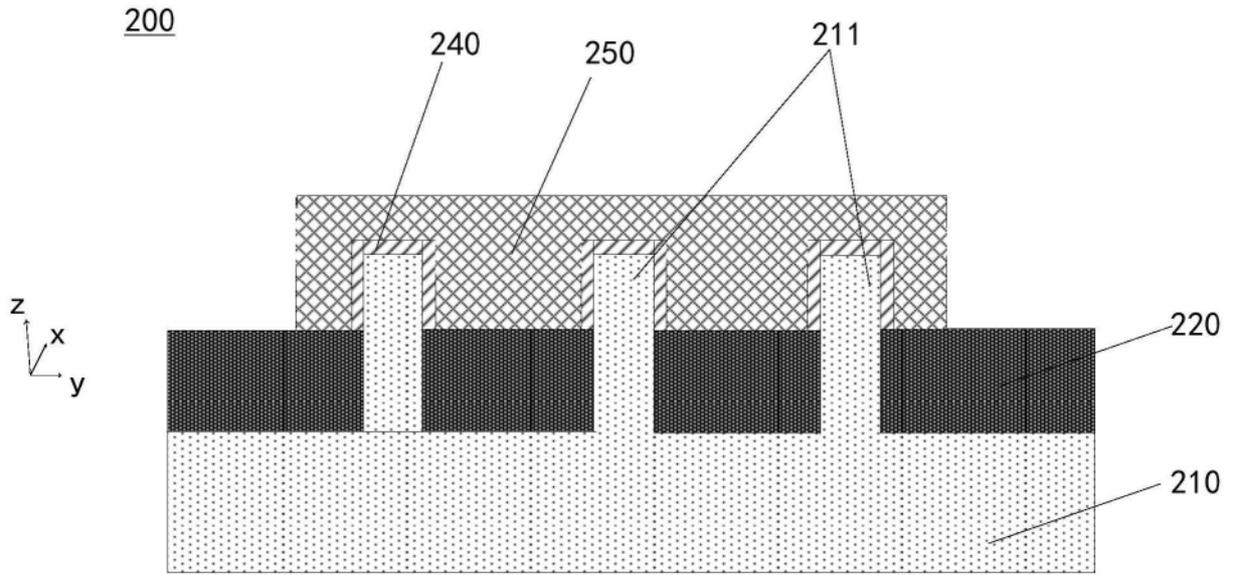


图4e

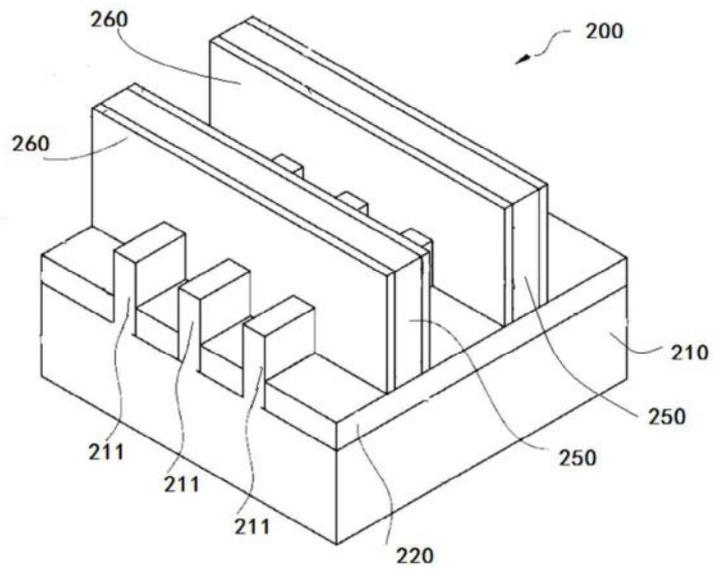


图5

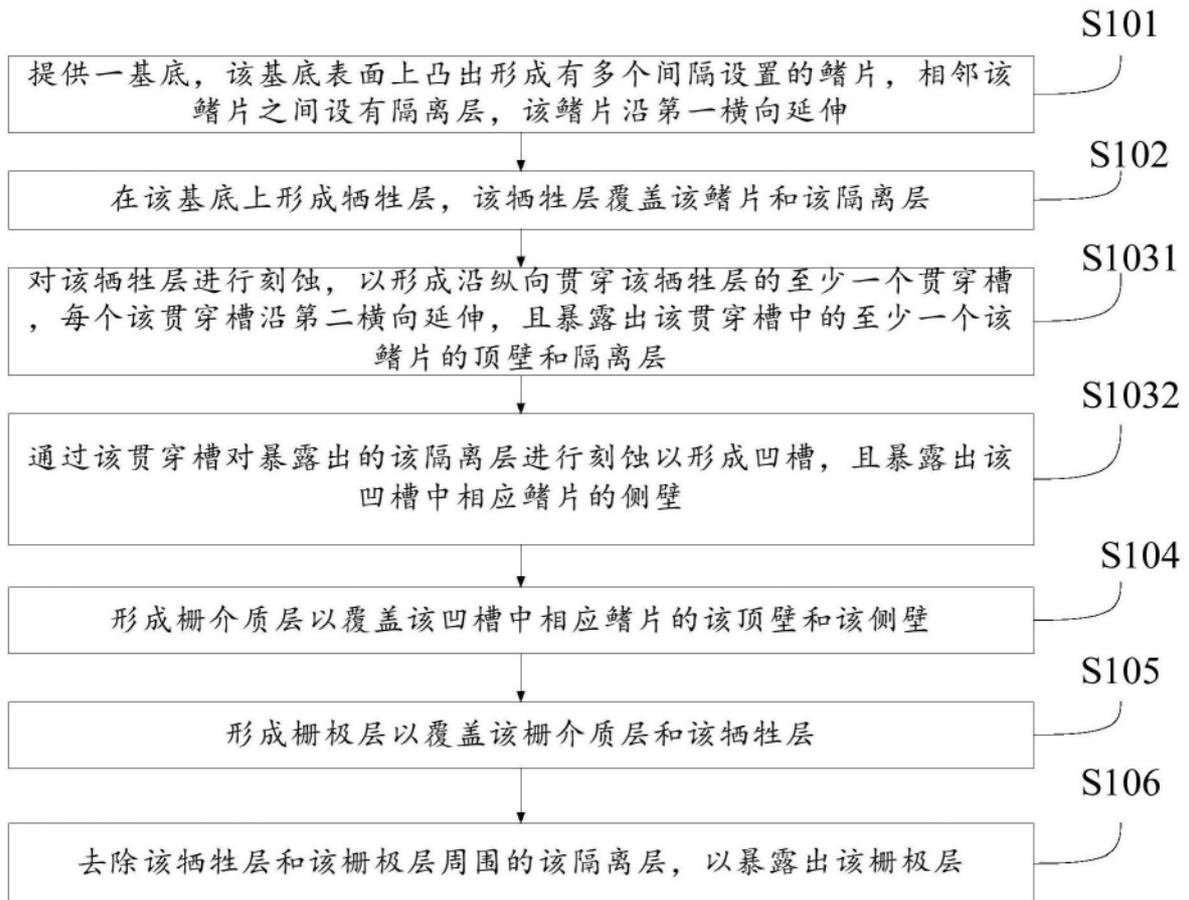


图6