(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0090666
(43) 공개일자 2018년08월13일

(51) 국제특허분류(Int. Cl.)
H01L 23/522 (2006.01) *H01L 23/00* (2006.01)
H01L 23/31 (2006.01) *H01L 23/485* (2006.01)
(52) CPC특허분류
H01L 23/522 (2013.01)
H01L 23/3171 (2013.01)
(21) 출원번호 10-2017-0015797
(22) 출원일자 2017년02월03일
심사청구일자 2017년09월26일

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
이지현
경기도 수원시 영통구 매영로 150 (매탄동)
김형준
경기도 수원시 영통구 매영로 150 (매탄동)
하경무
경기도 수원시 영통구 매영로 150 (매탄동)
(74) 대리인
특허법인씨엔에스

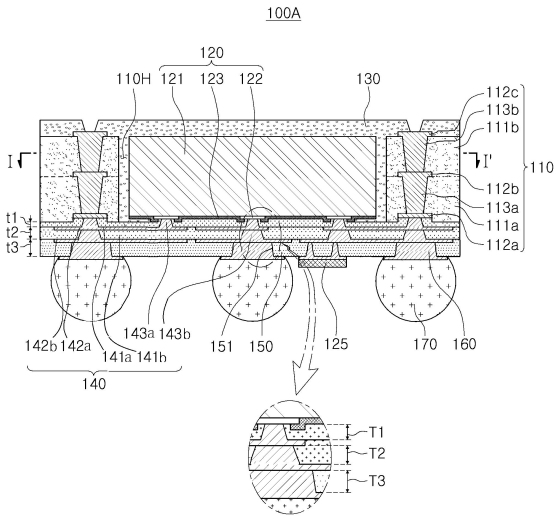
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **팬-아웃 반도체 패키지**

(57) 요 약

본 개시는 접속패드가 배치된 활성면 및 상기 활성면의 반대측에 배치된 비활성면을 갖는 반도체칩, 상기 반도체칩의 적어도 일부를 봉합하는 봉합재, 및 상기 반도체칩의 활성면 상에 배치된 연결부재를 포함하며, 상기 연결부재는 복수의 절연층과 상기 복수의 절연층 상에 각각 배치된 복수의 재배선층과 상기 복수의 절연층을 각각 관통하는 복수의 비아층을 포함하며, 상기 복수의 절연층 중 적어도 두 개의 두께 또는 상기 복수의 바이층 중 적어도 두 개의 두께가 서로 상이한, 팬-아웃 반도체 패키지에 관한 것이다.

대 표 도 - 도9



(52) CPC특허분류
H01L 23/485 (2013.01)
H01L 24/19 (2013.01)
H01L 24/20 (2013.01)
H01L 24/27 (2013.01)
H01L 24/28 (2013.01)
H01L 2224/02379 (2013.01)
H01L 2224/25171 (2013.01)

명 세 서

청구범위

청구항 1

접속패드가 배치된 활성면 및 상기 활성면의 반대측에 배치된 비활성면을 갖는 반도체칩;

상기 반도체칩의 적어도 일부를 봉합하는 봉합재; 및

상기 반도체칩의 활성면 상에 배치된 제1연결부재; 를 포함하며,

상기 제1연결부재는 복수의 절연층 및 상기 복수의 절연층 상에 각각 배치되며 상기 접속패드와 전기적으로 연결된 복수의 재배선층을 포함하며,

상기 복수의 절연층 중 적어도 두 개는 두께가 상이한,

팬-아웃 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 제1연결부재 상에 배치된 패시베이션층; 을 더 포함하며,

상기 패시베이션층은 상기 복수의 절연층 중 적어도 하나와 두께가 상이한,

팬-아웃 반도체 패키지.

청구항 3

제 2 항에 있어서,

상기 패시베이션층 및 상기 복수의 절연층 각각은 두께가 모두 상이한,

팬-아웃 반도체 패키지.

청구항 4

제 2 항에 있어서,

상기 복수의 절연층은 상기 반도체칩의 활성면 상에 배치된 제1절연층 및 상기 제1절연층 상에 배치된 제2절연층을 포함하고,

상기 복수의 재배선층은 상기 제1절연층 상에 배치된 제1재배선층 및 상기 제2절연층 상에 배치된 제2재배선층을 포함하고,

상기 패시베이션층은 상기 제2절연층 상에 배치되며,

상기 제1절연층의 두께를 t1, 상기 제2절연층의 두께를 t2, 및 상기 패시베이션층의 두께를 t3라 할 때, t1 < t2 < t3를 만족하는,

팬-아웃 반도체 패키지.

청구항 5

제 1 항에 있어서,

관통홀을 갖는 제2연결부재; 를 더 포함하며,

상기 반도체칩은 상기 관통홀에 배치된,

팬-아웃 반도체 패키지.

청구항 6

제 5 항에 있어서,

상기 제2연결부재는, 제3절연층, 상기 제1연결부재와 접하며 상기 제3절연층에 매립된 제3재배선층, 및 상기 제3절연층의 상기 제3재배선층이 매립된측의 반대측 상에 배치된 제4재배선층, 을 포함하며,

상기 제3 및 제4재배선층은 상기 접속패드와 전기적으로 연결된,

팬-아웃 반도체 패키지.

청구항 7

제 6 항에 있어서,

상기 제1연결부재의 재배선층과 상기 제3재배선층 사이의 거리가 상기 제1연결부재의 재배선층과 상기 반도체칩의 접속패드 사이의 거리보다 큰,

팬-아웃 반도체 패키지.

청구항 8

제 6 항에 있어서,

상기 제2연결부재는, 상기 제3절연층 상에 배치되며 상기 제4재배선층을 덮는 제4절연층, 및 상기 제4절연층 상에 배치된 제5재배선층, 을 더 포함하며,

상기 제5재배선층은 상기 접속패드와 전기적으로 연결된,

팬-아웃 반도체 패키지.

청구항 9

제 5 항에 있어서,

상기 제2연결부재는, 제3절연층, 상기 제3절연층의 양면에 배치된 제3재배선층 및 제4재배선층, 상기 제3절연층 상에 배치되며 상기 제3재배선층을 덮는 제4절연층, 및 상기 제4절연층 상에 배치된 제5재배선층, 을 포함하며,

상기 제3 내지 제5재배선층은 상기 접속패드와 전기적으로 연결된,

팬-아웃 반도체 패키지.

청구항 10

제 9 항에 있어서,

상기 제3절연층은 상기 제4절연층보다 두께가 두꺼운,

팬-아웃 반도체 패키지.

청구항 11

제 9 항에 있어서,

상기 제2연결부재는, 상기 제3절연층 상에 배치되어 상기 제4재배선층을 덮는 제5절연층, 및 상기 제5절연층 상에 배치된 제6재배선층, 을 더 포함하며,

상기 제6재배선층은 상기 접속패드와 전기적으로 연결된,

팬-아웃 반도체 패키지.

청구항 12

제 2 항에 있어서,

상기 패시베이션층의 개구부에 형성된 언더범프금속층; 및

상기 패시베이션층 상에 배치되며, 상기 언더범프금속층과 연결된 접속단자; 를 더 포함하며,

상기 접속단자 중 적어도 하나는 팬-아웃 영역에 배치된,

팬-아웃 반도체 패키지.

청구항 13

접속패드가 배치된 활성면 및 상기 활성면의 반대측에 배치된 비활성면을 갖는 반도체칩;

상기 반도체칩의 적어도 일부를 봉합하는 봉합재; 및

상기 반도체칩의 활성면 상에 배치된 연결부재; 를 포함하며,

상기 연결부재는 복수의 절연층, 상기 복수의 절연층 상에 각각 배치된 복수의 재배선층, 및 상기 복수의 절연층을 각각 관통하는 복수의 비아층을 포함하며,

상기 복수의 비아층 중 적어도 두 개는 두께가 상이한,

팬-아웃 반도체 패키지.

청구항 14

제 13 항에 있어서,

상기 연결부재 상에 배치된 패시베이션층; 및

상기 패시베이션층의 개구부에 형성된 언더범프금속층; 을 포함하며,

상기 언더범프금속층은 상기 복수의 비아층 중 적어도 하나와 두께가 상이한,

팬-아웃 반도체 패키지.

청구항 15

제 14 항에 있어서,

상기 언더범프금속층 및 상기 복수의 비아층 각각은 두께가 모두 상이한,

팬-아웃 반도체 패키지.

청구항 16

제 14 항에 있어서,

상기 복수의 절연층은 상기 반도체칩의 활성면 상에 배치된 제1절연층 및 상기 제1절연층 상에 배치된 제2절연층을 포함하고,

상기 복수의 재배선층은 상기 제1절연층 상에 배치된 제1재배선층 및 상기 제2절연층 상에 배치된 제2재배선층을 포함하고,

상기 복수의 비아층은 상기 제1절연층을 관통하며 상기 접속패드와 상기 제1재배선층을 연결하는 제1비아층 및 상기 제2절연층을 관통하며 상기 제1재배선층과 상기 제2재배선층을 연결하는 제2비아층을 포함하며,

상기 패시베이션층은 상기 제2절연층 상에 배치되며,

상기 제1비아층의 두께를 T1, 상기 제2비아층의 두께를 T2, 및 상기 언더범프금속층의 두께를 T3라 할 때, T1 < T2 < T3를 만족하는,

팬-아웃 반도체 패키지.

발명의 설명

기 술 분 야

[0001] 본 개시는 반도체 패키지, 예를 들면, 접속단자를 반도체칩이 배치된 영역 외로도 확장할 수 있는 팬-아웃 반도체 패키지에 관한 것이다.

배 경 기 술

[0002] 최근 반도체칩에 관한 기술 개발의 주요한 추세 중의 하나는 부품의 크기를 축소하는 것이며, 이에 패키지 분야에서도 소형 반도체칩 등의 수요 급증에 따라 소형의 크기를 가지면서 다수의 핀을 구현하는 것이 요구되고 있다.

[0003] 이에 부합하기 위하여 제안된 반도체 패키지 기술 중의 하나가 팬-아웃 반도체 패키지이다. 팬-아웃 패키지는 접속단자를 반도체칩이 배치된 영역 외로도 재배선하여, 소형의 크기를 가지면서도 다수의 핀을 구현할 수 있게 해준다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 여러 목적 중 하나는 전기적 특성이 우수하며 보드 레벨 신뢰성 또한 우수한 팬-아웃 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

[0005] 본 개시를 통하여 제안하는 여러 해결 수단 중 하나는 반도체칩의 접속패드를 재배선하기 위하여 복수 층의 재배선층을 도입하되, 각각의 재배선층의 절연거리, 즉 이들을 지지하는 절연층의 두께를 상이하게 하는 것이다.

[0006] 예를 들면, 본 개시를 통하여 제안하는 일례에 따른 팬-아웃 반도체 패키지는 접속패드가 배치된 활성면 및 활성면의 반대측에 배치된 비활성면을 갖는 반도체칩, 반도체칩의 적어도 일부를 봉합하는 봉합재, 및 반도체칩의 활성면 상에 배치된 연결부재를 포함하며, 연결부재는 복수의 절연층 및 복수의 절연층 상에 각각 배치되며 접속패드와 전기적으로 연결된 복수의 재배선층을 포함하며, 복수의 절연층 중 적어도 두 개의 두께가 상이한 것일 수 있다.

[0007] 또는, 본 개시를 통하여 제안하는 일례에 따른 팬-아웃 반도체 패키지는 접속패드가 배치된 활성면 및 활성면의 반대측에 배치된 비활성면을 갖는 반도체칩, 반도체칩의 적어도 일부를 봉합하는 봉합재, 및 반도체칩의 활성면 상에 배치된 연결부재를 포함하며, 연결부재는 복수의 절연층과 복수의 절연층 상에 각각 배치된 복수의 재배선층과 복수의 절연층을 각각 관통하는 복수의 비아층을 포함하며, 복수의 비아층 중 적어도 두 개의 두께가 상이한 것일 수도 있다.

발명의 효과

[0008] 본 개시의 여러 효과 중 일 효과로서 전기적 특성이 우수하며 보드 레벨 신뢰성 또한 우수한 팬-아웃 반도체 패키지를 제공할 수 있다.

도면의 간단한 설명

[0009] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도다.

도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.

도 3은 팬-인 반도체 패키지의 패키징 전후를 개략적으로 나타낸 단면도다.

도 4는 팬-인 반도체 패키지의 패키징 과정을 개략적으로 나타낸 단면도다.

도 5는 팬-인 반도체 패키지가 인터포저 기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

도 6은 팬-인 반도체 패키지가 인터포저 기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

도 7은 팬-아웃 반도체 패키지의 개략적은 모습을 나타낸 단면도다.

도 8은 팬-아웃 반도체 패키지가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

도 9는 팬-아웃 반도체 패키지의 일례를 개략적으로 나타낸 단면도다.

도 10은 도 9의 팬-아웃 반도체 패키지의 개략적인 Ⅰ-Ⅰ' 절단 평면도다.

도 11은 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸 단면도다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면을 참조하여 본 개시에 대해 설명한다. 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장되거나 축소될 수 있다.

[0011] 전자기기

[0012] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도이다.

[0013] 도면을 참조하면, 전자기기(1000)는 메인보드(1010)를 수용한다. 메인보드(1010)에는 칩 관련부품(1020), 네트

워크 관련부품(1030), 및 기타부품(1040) 등이 물리적 및/또는 전기적으로 연결되어 있다. 이들은 후술하는 다른 부품과도 결합되어 다양한 신호라인(1090)을 형성한다.

[0014] 칩 관련부품(1020)으로는 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩; 센트랄 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩; 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 형태의 칩 관련 부품이 포함될 수 있음은 물론이다. 또한, 이들 부품(1020)이 서로 조합될 수 있음은 물론이다.

[0015] 네트워크 관련부품(1030)으로는, Wi-Fi(IEEE 802.11 패밀리 등), WiMAX(IEEE 802.16 패밀리 등), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPS, GPRS, CDMA, TDMA, DECT, Bluetooth, 3G, 4G, 5G 및 그 이후의 것으로 지정된 임의의 다른 무선 및 유선 프로토콜들이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다수의 무선 또는 유선 표준들이나 프로토콜들 중의 임의의 것이 포함될 수 있다. 또한, 네트워크 관련부품(1030)이 칩 관련 부품(1020)과 더불어 서로 조합될 수 있음은 물론이다.

[0016] 기타부품(1040)으로는, 고주파 인덕터, 페라이트 인덕터, 파워 인덕터, 페라이트 비즈, LTCC(low Temperature Co-Firing Ceramics), EMI(Electro Magnetic Interference) filter, MLCC(Multi-Layer Ceramic Condenser) 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다양한 용도를 위하여 사용되는 수동부품 등이 포함될 수 있다. 또한, 기타부품(1040)이 칩 관련 부품(1020) 및/또는 네트워크 관련 부품(1030)과 더불어 서로 조합될 수 있음은 물론이다.

[0017] 전자기기(1000)의 종류에 따라, 전자기기(1000)는 메인보드(1010)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품을 포함할 수 있다. 다른 부품의 예를 들면, 카메라(1050), 안테나(1060), 디스플레이(1070), 배터리(1080), 오디오 코덱(미도시), 비디오 코덱(미도시), 전력 증폭기(미도시), 나침반(미도시), 가속도계(미도시), 자이로스코프(미도시), 스피커(미도시), 대량 저장 장치(예컨대, 하드디스크 드라이브)(미도시), CD(compact disk)(미도시), 및 DVD(digital versatile disk)(미도시) 등이 있으며, 다만, 이에 한정되는 것은 아니고, 이 외에도 전자기기(1000)의 종류에 따라 다양한 용도를 위하여 사용되는 기타 부품 등이 포함될 수 있음은 물론이다.

[0018] 전자기기(1000)는, 스마트 폰(smart phone), 개인용 정보 단말기(personal digital assistant), 디지털 비디오 카메라(digital video camera), 디지털 스틸 카메라(digital still camera), 네트워크 시스템(network system), 컴퓨터(computer), 모니터(monitor), 태블릿(tablet), 랩탑(laptop), 넷북(netbook), 텔레비전(television), 비디오 게임(video game), 스마트 워치(smart watch), 오토모티브(Automotive) 등일 수 있다. 다만, 이에 한정되는 것은 아니며, 이들 외에도 데이터를 처리하는 임의의 다른 전자기기일 수 있음은 물론이다.

[0019] 도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.

[0020] 도면을 참조하면, 반도체 패키지는 상술한 바와 같은 다양한 전자기기에 다양한 용도로써 적용된다. 예를 들면, 스마트 폰(1100)의 바디(1101) 내부에는 메인보드(1110)가 수용되어 있으며, 메인보드(1110)에는 다양한 부품(1120) 들이 물리적 및/또는 전기적으로 연결되어 있다. 또한, 카메라(1130)와 같이 메인보드(1110)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품이 바디(1101) 내에 수용되어 있다. 부품(1120) 중 일부는 칩 관련부품일 수 있으며, 반도체 패키지(100)는, 예를 들면, 그 중 어플리케이션 프로세서

일 수 있으나, 이에 한정되는 것은 아니다. 전자기기는 반드시 스마트 폰(1100)에 한정되는 것은 아니며, 상술한 바와 같이 다른 전자기기일 수도 있음은 물론이다.

[0021] 반도체 패키지

[0022] 일반적으로 반도체칩은 수많은 미세 전기 회로가 집적되어 있으나 그 자체로는 반도체 완성품으로서의 역할을 할 수 없으며, 외부의 물리적 또는 화학적 충격에 의해 손상될 가능성이 존재한다. 그래서 반도체칩 자체를 그대로 사용하지 않고 반도체칩을 패키징하여 패키지 상태로 전자기기 등에 사용하고 있다.

[0023] 반도체 패키징이 필요한 이유는, 전기적인 연결이라는 관점에서 볼 때, 반도체칩과 전자기기의 메인보드의 회로 폭에 차이가 있기 때문이다. 구체적으로, 반도체칩의 경우, 접속패드의 크기와 접속패드간의 간격이 매우 미세한 반면 전자기기에 사용되는 메인보드의 경우, 부품 실장 패드의 크기 및 부품 실장 패드의 간격이 반도체칩의 스케일보다 훨씬 크다. 따라서, 반도체칩을 이러한 메인보드 상에 바로 장착하기 어려우며 상호간의 회로 폭 차이를 완충시켜 줄 수 있는 패키징 기술이 요구되는 것이다.

[0024] 이러한 패키징 기술에 의하여 제조되는 반도체 패키지는 구조 및 용도에 따라서 팬-인 반도체 패키지(Fan-in semiconductor package)와 팬-아웃 반도체 패키지(Fan-out semiconductor package)로 구분될 수 있다.

[0025] 이하에서는, 도면을 참조하여 팬-인 반도체 패키지와 팬-아웃 반도체 패키지에 대하여 보다 자세히 알아보도록 한다.

[0026] (팬-인 반도체 패키지)

[0027] 도 3은 팬-인 반도체 패키지의 패키징 전후를 개략적으로 나타낸 단면도다.

[0028] 도 4는 팬-인 반도체 패키지의 패키징 과정을 개략적으로 나타낸 단면도다.

[0029] 도면을 참조하면, 반도체칩(2220)은 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등을 포함하는 바디(2221), 바디(2221)의 일면 상에 형성된 알루미늄(Al) 등의 도전성 물질을 포함하는 접속패드(2222), 및 바디(2221)의 일면 상에 형성되며 접속패드(2222)의 적어도 일부를 덮는 산화막 또는 질화막 등의 패시베이션막(2223)을 포함하는, 예를 들면, 베어(Bare) 상태의 집적회로(IC)일 수 있다. 이때, 접속패드(2222)는 매우 작기 때문에, 집적회로(IC)는 전자기기의 메인보드 등은 물론, 중간 레벨의 인쇄회로기판(PCB)에도 실장 되기 어렵다.

[0030] 이에, 접속패드(2222)를 재배선하기 위하여 반도체칩(2220) 상에 반도체칩(2220)의 사이즈에 맞춰 연결부재(2240)를 형성한다. 연결부재(2240)는 반도체칩(2220) 상에 감광성 절연수지(PID)와 같은 절연물질로 절연층(2241)을 형성하고, 접속패드(2222)를 오픈시키는 비아홀(2243h)을 형성한 후, 배선패턴 (2242) 및 비아(2243)를 형성하여 형성할 수 있다. 그 후, 연결부재(2240)를 보호하는 패시베이션층(2250)을 형성하고, 개구부(2251)를 형성한 후, 언더범프금속층(2260) 등을 형성한다. 즉, 일련의 과정을 통하여, 예를 들면, 반도체칩(2220), 연결부재(2240), 패시베이션층(2250), 및 언더범프금속층(2260)을 포함하는 팬-인 반도체 패키지(2200)가 제조된다.

[0031] 이와 같이, 팬-인 반도체 패키지는 반도체칩의 접속패드, 예컨대 I/O(Input/Output) 단자를 모두 소자 안쪽에 배치시킨 패키지형태이며, 팬-인 반도체 패키지는 전기적 특성이 좋으며 저렴하게 생산할 수 있다. 따라서, 스

마트폰에 들어가는 많은 소자들이 팬-인 반도체 패키지 형태로 제작되고 있으며, 구체적으로는 소형이면서도 빠른 신호 전달을 구현하는 방향으로 개발이 이루어지고 있다.

[0032] 다만, 팬-인 반도체 패키지는 I/O 단자를 모두 반도체칩 안쪽에 배치해야 하는바 공간적인 제약이 많다. 따라서, 이러한 구조는 많은 수의 I/O 단자를 갖는 반도체칩이나 크기가 작은 반도체칩에 적용하는데 어려운 점이 있다. 또한, 이러한 취약점으로 인하여 전자기기의 메인보드에 팬-인 반도체 패키지가 직접 실장 되어 사용될 수 없다. 반도체칩의 I/O 단자를 재배선 공정으로 그 크기와 간격을 확대하였다 하더라도, 전자기기 메인보드에 직접 실장 될 수 있을 정도의 크기와 간격을 가지는 것은 아니기 때문이다.

[0033] 도 5는 팬-인 반도체 패키지가 인터포저 기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0034] 도 6은 팬-인 반도체 패키지가 인터포저 기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0035] 도면을 참조하면, 팬-인 반도체 패키지(2200)는 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 인터포저 기판(2301)을 통하여 다시 한 번 재배선되며, 최종적으로는 인터포저 기판(2301) 상에 팬-인 반도체 패키지(2200)가 실장된 상태로 전자기기의 메인보드(2500)에 실장될 수 있다. 이때, 솔더볼(2270) 등은 언더필 수지(2280) 등으로 고정될 수 있으며, 외측은 몰딩재(2290) 등으로 커버될 수 있다. 또는, 팬-인 반도체 패키지(2200)는 별도의 인터포저 기판(2302) 내에 내장(Embedded) 될 수 도 있으며, 내장된 상태로 인터포저 기판(2302)에 의하여 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 다시 한 번 재배선되고, 최종적으로 전자기기의 메인보드(2500)에 실장될 수 있다.

[0036] 이와 같이, 팬-인 반도체 패키지는 전자기기의 메인보드에 직접 실장 되어 사용되기 어렵기 때문에, 별도의 인터포저 기판 상에 실장된 후 다시 패키징 공정을 거쳐 전자기기 메인보드에 실장되거나, 또는 인터포저 기판 내에 내장된 채로 전자기기 메인보드에 실장되어 사용되고 있다.

[0037] (팬-아웃 반도체 패키지)

[0038] 도 7은 팬-아웃 반도체 패키지의 개략적은 모습을 나타낸 단면도다.

[0039] 도면을 참조하면, 팬-아웃 반도체 패키지(2100)는, 예를 들면, 반도체칩(2120)의 외측이 봉합재(2130)로 보호되며, 반도체칩(2120)의 접속패드(2122)가 연결부재(2140)에 의하여 반도체칩(2120)의 바깥쪽까지 재배선된다. 이때, 연결부재(2140) 상에는 패시베이션층(2150)이 더 형성될 수 있으며, 패시베이션층(2150)의 개구부에는 언더범프금속층(2160)이 더 형성될 수 있다. 언더범프금속층(2160) 상에는 솔더볼(2170)이 더 형성될 수 있다. 반도체칩(2120)은 바디(2121), 접속패드(2122), 패시베이션막(미도시) 등을 포함하는 집적회로(IC)일 수 있다. 연결부재(2140)는 절연층(2141), 절연층(2241) 상에 형성된 재배선층(2142), 접속패드(2122)와 재배선층(2142) 등을 전기적으로 연결하는 비아(2143)를 포함할 수 있다.

[0040] 이와 같이, 팬-아웃 반도체 패키지는 반도체칩 상에 형성된 연결부재를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태이다. 상술한 바와 같이, 팬-인 반도체 패키지는 반도체칩의 I/O 단자를 모두 반도체칩 안쪽에 배치시켜야 하고 이에 소자 사이즈가 작아지면 볼 크기와 피치를 줄여야 하므로 표준화된 볼 레이아웃을 사용할 수 없다. 반면, 팬-아웃 반도체 패키지는 이와 같이 반도체칩 상에 형성된 연결부재를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태인바 반도체칩의 크기가 작아지더라도 표준화된 볼 레이아웃을 그대로 사용할 수 있는바, 후술하는 바와 같이 전자기기의 메인보드에 별도의 인터포저 기

판 없이도 실장될 수 있다.

[0041] 도 8은 팬-아웃 반도체 패키지가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0042] 도면을 참조하면, 팬-아웃 반도체 패키지(2100)는 솔더볼(2170) 등을 통하여 전자기기의 메인보드(2500)에 실장될 수 있다. 즉, 상술한 바와 같이, 팬-아웃 반도체 패키지(2100)는 반도체칩(2120) 상에 반도체칩(2120)의 사이즈를 벗어나는 팬-아웃 영역까지 접속패드(2122)를 재배선할 수 있는 연결부재(2140)를 형성하기 때문에, 표준화된 볼 레이아웃을 그대로 사용할 수 있으며, 그 결과 별도의 인터포저 기판 등 없이도 전자기기의 메인보드(2500)에 실장 될 수 있다.

[0043] 이와 같이, 팬-아웃 반도체 패키지는 별도의 인터포저 기판 없이도 전자기기의 메인보드에 실장 될 수 있기 때문에, 인터포저 기판을 이용하는 팬-인 반도체 패키지 대비 두께를 얇게 구현할 수 있는바 소형화 및 박형화가 가능하다. 또한, 열 특성과 전기적 특성이 우수하여 모바일 제품에 특히 적합하다. 또한, 인쇄회로기판(PCB)을 이용하는 일반적인 POP(Package on Package) 타입 보다 더 컴팩트하게 구현할 수 있고, 휨 현상 발생으로 인한 문제를 해결할 수 있다.

[0044] 한편, 팬-아웃 반도체 패키지는 이와 같이 반도체칩을 전자기기의 메인보드 등에 실장하기 위하여, 그리고 외부의 충격으로부터 반도체칩을 보호하기 위한 패키지 기술을 의미하는 것으로, 이와는 스케일, 용도 등이 상이하며, 팬-인 반도체 패키지가 내장되는 인터포저 기판 등의 인쇄회로기판(PCB)과는 다른 개념이다.

[0045] 이하에서는, 전기적 특성이 우수하며 보드 레벨 신뢰성 또한 우수한 팬-아웃 반도체 패키지에 대하여 도면을 참조하여 설명한다.

[0046] 도 9는 팬-아웃 반도체 패키지의 일례를 개략적으로 나타낸 단면도다.

[0047] 도 10은 도 9의 팬-아웃 반도체 패키지의 개략적인 Ⅰ-Ⅰ' 절단 평면도다.

[0048] 도면을 참조하면, 일례에 따른 팬-아웃 반도체 패키지(100A)는 관통홀(110H)을 갖는 제1연결부재(110), 제1연결부재(110)의 관통홀(110H)에 배치되며 접속패드(122)가 배치된 활성면 및 활성면의 반대측에 배치된 비활성면을 갖는 반도체칩(120), 제1연결부재(110) 및 반도체칩(120)의 적어도 일부를 봉합하는 봉합재(130), 제1연결부재(110) 및 반도체칩(120)의 활성면 상에 배치된 제2연결부재(140), 제2연결부재(140) 상에 배치된 패시베이션층(150), 패시베이션층(150)의 개구부(151) 상에 배치된 언더범프금속층(160), 및 패시베이션층(150) 상에 배치되며 언더범프금속층(160)과 연결된 접속단자(170)를 포함한다. 제2연결부재(140)는 제1연결부재(110) 및 반도체칩(120)의 활성면 상에 배치된 제1절연층(141a), 제1절연층(141a) 상에 배치된 제1재배선층(142a), 제1절연층(141a) 및 반도체칩(120)의 접속패드(122)를 연결하는 제1비아층(143a), 제1절연층(141a) 상에 배치된 제2절연층(141b), 제2절연층(141b) 상에 배치된 제2재배선층(142b), 및 제2절연층(141b)을 관통하며 제1 및 제2재배선층(142a, 142b)을 연결하는 제2비아층(143b)을 포함한다.

[0049] 한편, 팬-아웃 반도체 패키지는 주로 작은 크기(8mm x 8mm 이하)를 가지는 RFIC, Baseband SoC, Audio Codec 패키지 등에 주로 적용되어 왔으나, 최근에는 모바일용 Application Processor 등, 패키지 크기가 10mm x 10mm를 넘는 High-end 제품 등에 적용하기 위한 개발이 활발히 이루어지고 있다. 이러한 High-end 제품들은 보통 배선의 선폭이 미세해지며, 2층 이상의 다층 재배선 구조를 가지고 있다. 이러한 팬-아웃 반도체 패키지의 열-기계적 신뢰성은 주로 열 이력에 의한 전단응력 발생에 의해 영향을 받으며, 전단응력은 패키지의 중심에서 멀어질수록 그 크기가 증가하게 된다. 이러한 전단응력에 의해 패키지의 파손이 발생하면 신뢰성 불량으로 나타나게 되는데, 파손은 주로 솔더볼 내부 크랙이나, 인쇄회로기판의 패드 박리나, 패키지 재배선층의 크랙 등으로

발생하게 된다. 이 중 가장 바람직한 파손 형태는 솔더볼의 연성파괴 모드로, 이를 위해서는 패키지 재배선층의 강건구조 확보가 우선적으로 이루어져야 한다.

[0050] 이때, 재배선 기술을 적용하는 WLP (Wafer Level Package) 타입의 패키지들은 많은 경우에 있어 전단응력의 분산으로 솔더볼 파손을 막는 방향으로 개발이 진행되고 있다. 예를 들면, 추가적인 UBM (Under Bump Metallurgy) 층의 적용, UBM과 Ball pad의 크기 비율 조정, Ball pad의 형태 변경, Dummy bump의 적용 등을 고려해볼 수 있다. 그러나, 패키지의 디자인 및 패드간 피치가 미세화 될수록, 배선 설계에서 가질 수 있는 자유도가 떨어질 수 있으므로 인접한 패드나 라인간 간격 조정이나 패드 영역을 넓히는 등의 변경이 어려워 질 수 있다.

[0051] 반면, 일례에 따른 팬-아웃 반도체 패키지(100A)는 원래의 설계인자를 그대로 유지한 채 재배선층(142a, 142b) 간 절연층(141a, 141b)의 두께 등을 조정하여 전기적 특성 및 보드레벨 신뢰성을 향상시킨다. 구체적으로, 일례에 따른 팬-아웃 반도체 패키지(100A)는 제1절연층(141a), 제2절연층(141b), 및 패시베이션층(150)은 두께(t1, t2, t3)가 서로 상이하다. 예를 들면, 제1절연층(141a)의 두께를 t1, 제2절연층(141b)의 두께를 t2, 패시베이션층(150)의 두께를 t3라 할 때, t1 < t2 < t3를 만족할 수 있다. 또한, 제1비아층(143a), 제2비아층(143b) 및 언더범프금속층(160)은 두께(T1, T2, T3)가 서로 상이하다. 예를 들면, 제1비아층(143a)의 두께를 T1, 제2비아층(143b)의 두께를 T2, 언더범프금속층(160)의 두께를 T3라 할 때, T1 < T2 < T3를 만족할 수 있다. 이 경우 접속단자(170) 부착 후 응력(stress) 분산으로 인하여 보드 레벨 신뢰성을 향상시킬 수 있다. 예를 들면, 얇은 두께의 PID 적용으로 발생할 수 있는 PID Crack을 응력 분산으로 방지할 수 있으며, 그 결과 외관 불량뿐만 아니라 PID Crack에 의하여 추가로 유발될 수 있는 RDL Crack이나 Via Attack 등도 방지할 수 있다.

[0052] 이하, 일례에 따른 팬-아웃 반도체 패키지(100A)에 포함되는 각각의 구성에 대하여 보다 자세히 설명한다.

[0053] 제1연결부재(110)는 반도체칩(120)의 접속패드(122)를 재배선시키는 재배선층(112a, 112b, 112c)을 포함하는바 제2연결부재(140)의 설계 자유도를 향상시킬 수 있다. 필요에 따라서는, 구체적인 재료에 따라 패키지(100A)의 강성을 보다 개선시킬 수 있으며, 봉합재(130)의 두께 균일성 확보 등의 역할을 수행할 수 있다. 제1연결부재(110)에 의하여 일례에 따른 팬-아웃 반도체 패키지(100A)가 POP(Package on Package) 타입의 패키지로 활용될 수도 있다. 제1연결부재(110)는 관통홀(110H)을 가진다. 관통홀(110H) 내에는 반도체칩(120)이 제1연결부재(110)와 소정거리 이격 되도록 배치된다. 반도체칩(120)의 측면 주위는 제1연결부재(110)에 의하여 둘러싸일 수 있다. 다만, 이는 일례에 불과하며 다른 형태로 다양하게 변형될 수 있으며, 그 형태에 따라서 다른 기능을 수행할 수 있다.

[0054] 제1연결부재(110)는 제2연결부재(140)와 접하는 제1절연층(111a), 제2연결부재(140)와 접하며 제1절연층(111a)에 매립된 제1재배선층(112a), 제1절연층(111a)의 제1재배선층(112a)이 매립된측의 반대측 상에 배치된 제2재배선층(112b), 제1절연층(111a) 상에 배치되며 제2재배선층(112b)을 덮는 제2절연층(111b), 및 제2절연층(111b) 상에 배치된 제3재배선층(112c)을 포함한다. 제1 내지 제3재배선층(112a, 112b, 112c)은 접속패드(122)와 전기적으로 연결된다. 제1 및 제2재배선층(112a, 112b)과 제2및 제3재배선층(112b, 112c)은 각각 제1 및 제2절연층(111a, 111b)을 관통하는 제1 및 제2비아(113a, 113b)를 통하여 전기적으로 연결된다.

[0055] 제1재배선층(112a)을 제1절연층(111a) 내에 매립하는 경우, 제1재배선층(112a)의 두께에 의하여 발생하는 단차가 최소화 되는바, 제2연결부재(140)의 절연거리가 일정해진다. 즉, 제2연결부재(140)의 제1재배선층(142a)으로부터 제1절연층(111a)의 하면까지의 거리와, 제2연결부재(140)의 제1재배선층(142a)로부터 반도체칩(120)의 접속패드(122)까지의 거리의 차이는, 제1재배선층(112a)의 두께보다 작을 수 있다. 따라서, 제2연결부재(140)의 고밀도 배선 설계가 용이할 수 있다.

[0056] 제1연결부재(110)의 제1재배선층(112a)의 하면은 반도체칩(120)의 접속패드(122)의 하면보다 상측에 위치할 수 있다. 또한, 제2연결부재(140)의 제1재배선층(142a)과 제1연결부재(110)의 제1재배선층(112a) 사이의 거리는 제2연결부재(140)의 제1재배선층(142a)과 반도체칩(120)의 접속패드(122) 사이의 거리보다 클 수 있다. 이는 제1재배선층(112a)이 절연층(111a)의 내부로 리세스될 수 있기 때문이다. 이와 같이, 제1재배선층(112a)이 제1절연층 내부로 리세스되어 제1절연층(111a)의 하면과 제1재배선층(112a)의 하면이 단차를 가지는 경우, 봉합재(130) 형성물질이 블리딩되어 제1재배선층(112a)을 오염시키는 것을 방지할 수도 있다. 제1연결부재(110)의 제2재배선층(112b)은 반도체칩(120)의 활성면과 비활성면 사이에 위치할 수 있다. 제1연결부재(110)는 반도체칩(120)의 두께에 대응하는 두께로 형성할 수 있으며, 따라서 제1연결부재(110) 내부에 형성된 제2재배선층(112b)은 반도체칩(120)의 활성면과 비활성면 사이의 레벨에 배치될 수 있다.

[0057] 제1연결부재(110)의 재배선층(112a, 112b, 112c)의 두께는 제2연결부재(140)의 재배선층(142a, 142b)의 두께보다 두꺼울 수 있다. 제1연결부재(110)는 반도체칩(120) 이상의 두께를 가질 수 있는바, 재배선층(112a, 112b, 112c) 역시 그 스케일에 맞춰 보다 큰 사이즈로 형성할 수 있다. 반면, 제2연결부재(140)의 재배선층(142a, 142b)은 박형화를 위하여 재배선층(112a, 112b, 112c) 보다 상대적으로 작은 사이즈로 형성할 수 있다.

[0058] 절연층(111a, 111b)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기필러와 혼합되거나, 또는 무기필러와 함께 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 함침된 수지, 예를 들면, 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine) 등이 사용될 수 있다. 필요에 따라서는, 감광성 절연(Photo Imagable Dielectric: PID) 수지를 사용할 수도 있다.

[0059] 재배선층(112a, 112b, 112c)은 반도체칩(120)의 접속패드(122)를 재배선하는 역할을 수행할 수 있다. 재배선층(112a, 112b, 112c)의 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 사용할 수 있다. 재배선층(112a, 112b, 112c)은 해당 층의 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GrouND: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 비아 패드, 와이어 패드, 접속단자 패드 등을 포함할 수 있다.

[0060] 비아(113a, 113b)는 서로 다른 층에 형성된 재배선층(112a, 112b, 112c)을 전기적으로 연결시키며, 그 결과 제1연결부재(110) 내에 전기적 경로를 형성시킨다. 비아(113a, 113b) 역시 형성물질로는 도전성 물질을 사용할 수 있다. 비아(113a, 113b)는 도전성 물질로 완전히 충전될 수 있으며, 또는 도전성 물질이 비아 홀의 벽면을 따라 형성된 것일 수도 있다. 또한, 테이퍼형상뿐만 아니라, 원통형상 등 공지된 모든 형상이 적용될 수 있다. 제1비아(113a)를 위한 홀을 형성할 때 제1재배선층(112a)의 일부 패드가 스토퍼(stopper) 역할을 수행할 수 있는바, 제1비아(113a)는 윗면의 폭이 아랫면의 폭보다 큰 테이퍼 형상인 것이 공정상 유리할 수 있다. 이 경우, 제1비아(113a)는 제2재배선층(112b)의 패드 패턴과 일체화될 수 있다. 또한, 제2비아(113b)를 위한 홀을 형성할 때 제2재배선층(112b)의 일부 패드가 스토퍼(stopper) 역할을 수행할 수 있는바, 제2비아(113b)는 윗면의 폭이 아랫면의 폭보다 큰 테이퍼 형상인 것이 공정상 유리할 수 있다. 이 경우, 제2비아(113b)는 제3재배선층(112c)의 패드 패턴과 일체화될 수 있다.

[0061] 반도체칩(120)은 소자 수백 내지 수백만 개 이상이 하나의 칩 안에 집적화된 집적회로(IC: Integrated Circuit)일 수 있다. 이때 집적회로는, 예를 들면, 센트랄 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 필드 프로그램어블 게이트 어레이(FPGA), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 프로세서칩, 구체적으로는 어플리케이션 프로세서(AP: Application Processor)일 수 있으나,

이에 한정되는 것은 아니며, 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩이나, 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩일 수도 있다. 또한, 이들이 서로 조합되어 배치될 수도 있음은 물론이다.

[0062] 반도체칩(120)은 액티브 웨이퍼를 기반으로 형성된 집적회로(IC: Integrated Circuit)일 수 있으며, 이 경우 바디(121)를 이루는 모재로는 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등이 사용될 수 있다. 바디(121)에는 다양한 회로가 형성되어 있을 수 있다. 접속패드(122)는 반도체칩(120)을 다른 구성요소와 전기적으로 연결시키기 위한 것으로, 형성물질로는 알루미늄(Al) 등의 도전성 물질을 특별한 제한 없이 사용할 수 있다. 바디(121) 상에는 접속패드(122)를 노출시키는 패시베이션막(123)이 형성될 수 있으며, 패시베이션막(123)은 산화막 또는 질화막 등일 수 있고, 또는 산화막과 질화막의 이중층일 수도 있다. 패시베이션막(123)을 통하여 접속패드(122) 하면은 봉합재(130) 하면과 단차를 가질 수 있으며, 봉합재(130)가 접속패드(122) 하면으로 블리딩 되는 것을 어느 정도 방지할 수 있다. 기타 필요한 위치에 절연막(미도시) 등이 더 배치될 수도 있다. 필요에 따라서는, 반도체칩(120)의 활성면 상에 재배선층(미도시)이 더 형성될 수 있으며, 범프(미도시) 등이 접속패드(122)와 연결된 형태를 가질 수도 있다.

[0063] 수동부품(125)은 다양한 종류의 수동부품일 수 있다. 예를 들면, 수동부품(125)은 MLCC(Multi Layer Ceramic Capacitor), LICC(Low Inductance Chip Capacitor), LSC(Land Side Capacitor), 인덕터, 집적수동소자(IPD: Integrated Passive Device) 등일 수 있다. 박형화를 위하여 수동부품(125)으로 바람직하게는 LSC(Land Side Capacitor)를 사용할 수 있으며, LSC는 제2연결부재(140)의 재배선층(142)의 파워(P) 패턴과 전기적으로 연결될 수 있으나, 이에 한정되는 것은 아니다. 수동부품(125)은 복수개가 배치될 수 있으며, 이 경우 이들은 서로 동일하거나 상이할 수 있다. 수동부품(125)은 패시베이션층(150) 상에 접속단자(170)와 소정거리 이격되어 나란히 배치되도록 솔더 등을 이용하여 부착할 수 있다.

[0064] 봉합재(130)는 제1연결부재(110), 반도체칩(120) 등을 보호할 수 있다. 봉합형태는 특별히 제한되지 않으며, 제1연결부재(110), 반도체칩(120) 등의 적어도 일부를 감싸는 형태이면 무방하다. 예를 들면, 봉합재(130)는 제1연결부재(110) 및 반도체칩(120)의 비활성면을 덮을 수 있으며, 관통홀(110H)의 벽면과 반도체칩(120)의 측면 사이의 공간을 채울 수 있다. 또한, 봉합재(130)는 반도체칩(120)의 패시베이션막(123)과 제2연결부재(140) 사이의 공간의 적어도 일부를 채울 수도 있다. 봉합재(130)가 관통홀(110H)을 채움으로써, 구체적인 물질에 따라 접착제 역할을 수행함과 동시에 버클링을 감소시킬 수 있다.

[0065] 봉합재(130)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기필러와 혼합되거나, 또는 무기필러와 함께 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 함침된 수지, 예를 들면, 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine) 등이 사용될 수 있다. 필요에 따라서는, 감광성 절연(Photo Imagable Dielectric: PID) 수지를 사용할 수도 있다.

[0066] 제2연결부재(140)는 반도체칩(120)의 접속패드(122)를 재배선할 수 있다. 제2연결부재(140)를 통하여 다양한 기능을 가지는 수십 수백의 반도체칩(120)의 접속패드(122)가 재배선 될 수 있으며, 접속단자(170)를 통하여 그 기능에 맞춰 외부에 물리적 및/또는 전기적으로 연결될 수 있다. 제2연결부재(140)는 제1연결부재(110) 및 반도체칩(120)의 활성면 상에 배치된 제1절연층(141a), 제1절연층(141a) 상에 배치된 제1재배선층(142a), 제1절연층(141a) 및 반도체칩(120)의 접속패드(122)를 연결하는 제1비아층(143a), 제1절연층(141a) 상에 배치된 제2절연층(141b), 제2절연층(141b) 상에 배치된 제2재배선층(142b), 및 제2절연층(141b)을 관통하며 제1 및 제2재배선층(142a, 142b)을 연결하는 제2비아층(143b)을 포함한다. 제1 및 제2재배선층(142a, 142b)은 반도체칩(120)의 접속패드(122)와 전기적으로 연결된다.

[0067] 제1절연층(141a), 제2절연층(141b), 및 패시베이션층(150)은 두께(t1, t2, t3)가 서로 상이하다. 예를 들면,

제1절연층(141a)의 두께를 t1, 제2절연층(141b)의 두께를 t2, 패시베이션층(150)의 두께를 t3라 할 때, t1 < t2 < t3를 만족할 수 있다. 예를 들면, t1이 a 정도일 때, t2는 1.5a 내지 2a 정도일 수 있으며, t2는 2,5a 내지 3a 정도일 수 있다. 여기서, t1은 제1연결부재(110)의 제1절연층(111a)의 하면의 리세스에 의한 단차나 반도체칩(120)의 패시베이션막(123)에 의한 단차 등을 제외한 두께, 즉 봉합재(130)와 접하는 제1절연층(141a)의 상면으로부터 제2절연층(141b)과 접하는 제1절연층(141a)의 하면까지의 두께를 의미한다. 또한, 제1비아층(143a), 제2비아층(143b) 및 언더범프금속층(160)은 두께(T1, T2, T3)가 서로 상이하다. 예를 들면, 제1비아층(143a)의 두께를 T1, 제2비아층(143b)의 두께를 T2, 언더범프금속층(160)의 두께를 T3라 할 때, T1 < T2 < T3를 만족할 수 있다. 예를 들면, T1이 A 정도일 때, T2는 1.5A 내지 2A 정도일 수 있으며, T2는 2,5A 내지 3A 정도일 수 있다. 여기서, T1 및 T2는 각각 제1재배선층(142a) 및 제2재배선층(142b)의 두께를 제외한 제1비아층(143a) 및 제2비아층(143b) 자체의 두께를 의미한다. 또한, T3은 언더범프금속층(160)의 패시베이션층(150)의 표면까지의 두께, 즉 개구부(151) 내에서의 언더범프금속층(160)의 두께를 의미한다. 이 경우 접속단자(170) 부착 후 응력(stress) 분산으로 인하여 보드 레벨 신뢰성을 향상시킬 수 있다. 예를 들면, 얇은 두께의 PID 적용으로 발생할 수 있는 PID Crack을 응력 분산으로 방지할 수 있으며, 그 결과 외관 불량뿐만 아니라 PID Crack에 의하여 추가로 유발될 수 있는 RDL Crack이나 Via Attack 등도 방지할 수 있다.

[0068] 절연층(141a, 141b)의 물질로는 절연물질이 사용될 수 있는데, 이때 절연물질로는 상술한 바와 같은 절연물질 외에도 PID 수지와 같은 감광성 절연물질을 사용할 수도 있다. 즉, 절연층(141a, 141b)은 각각 감광성 절연층일 수 있다. 절연층(141a, 141b)이 감광성의 성질을 가지는 경우, 절연층(141a, 141b)을 보다 얇게 형성할 수 있으며, 보다 용이하게 비아층(143a, 143b)의 파인 피치를 달성할 수 있다. 절연층(141a, 141b)은 긱긱 절연수지 및 무기필러를 포함하는 감광성 절연층일 수 있다. 절연층(141a, 141b)이 다층인 경우, 이들의 물질은 서로 동일할 수 있고, 필요에 따라서는 서로 상이할 수도 있다. 절연층(141a, 141b)이 다층인 경우, 이들은 공정에 따라 일체화 되어 이들 자체로는 경계가 불분명할 수도 있다.

[0069] 재배선층(142a, 142b)은 실질적으로 접속패드(122)를 재배선하는 역할을 수행할 수 있으며, 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 사용할 수 있다. 재배선층(142)은 해당 층의 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GrouND: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 비아 패드, 접속단자 패드 등을 포함할 수 있다.

[0070] 비아층(143a, 143b)는 서로 다른 층에 형성된 재배선층(142), 접속패드(122) 등을 전기적으로 연결시키며, 그 결과 패키지(100A) 내에 전기적 경로를 형성시킨다. 비아(143)의 형성 물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 사용할 수 있다. 비아(143)는 도전성 물질로 완전히 충전될 수 있으며, 또는 도전성 물질이 비아의 벽을 따라 형성된 것일 수도 있다. 또한, 형상이 테이퍼 형상, 원통형상 등 당해 기술분야에 공지된 모든 형상이 적용될 수 있다.

[0071] 패시베이션층(150)은 제2연결부재(140)를 외부의 물리적 화학적 손상 등으로부터 보호할 수 있다. 패시베이션층(150)은 제2연결부재(140)의 재배선층(142)의 적어도 일부를 노출시키는 개구부(151)를 가질 수 있다. 이러한 개구부(151)는 패시베이션층(150)에 수십 내지 수천 개 형성될 수 있다. 패시베이션층(150)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기필러와 혼합되거나, 또는 무기필러와 함께 유리섬유(Glass Fiber, Glass Cloth, Glass Fabric) 등의 심재에 함침된 수지, 예를 들면, 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine) 등이 사용될 수 있다. 또는, 솔더레지스트(Solder Resist)가 사용될 수도 있다.

[0072] 언더범프금속층(160)은 접속단자(170)의 접속 신뢰성을 향상시켜주며, 그 결과 패키지(100A)의 보드 레벨 신뢰성을 개선해준다. 언더범프금속층(160)은 패시베이션층(150)의 개구부(151)를 통하여 노출된 제2연결부재(14

0)의 재배선층(142)과 연결된다. 언더범프금속층(160)은 패시베이션층(150)의 개구부(151)에 공지의 도전성 물질, 즉 금속을 이용하여 공지의 메탈화(Metallization) 방법으로 형성할 수 있으나, 이에 한정되는 것은 아니다.

[0073] 접속단자(170)는 팬-아웃 반도체 패키지(100A)를 외부와 물리적 및/또는 전기적으로 연결시킨다. 예를 들면, 팬-아웃 반도체 패키지(100A)는 접속단자(170)를 통하여 전자기기의 메인보드에 실장될 수 있다. 접속단자(170)는 도전성 물질, 예를 들면, 솔더(solder) 등으로 형성될 수 있으나, 이는 일례에 불과하며 재질이 특별히 이에 한정되는 것은 아니다. 접속단자(170)는 랜드(land), 볼(ball), 핀(pin) 등일 수 있다. 접속단자(170)는 다중층 또는 단일층으로 형성될 수 있다. 다중층으로 형성되는 경우에는 구리 필러(pillar) 및 솔더를 포함할 수 있으며, 단일층으로 형성되는 경우에는 주석-은 솔더나 구리를 포함할 수 있으나, 역시 이는 일례에 불과하며 이에 한정되는 것은 아니다.

[0074] 접속단자(170)의 개수, 간격, 배치 형태 등은 특별히 한정되지 않으며, 통상의 기술자에게 있어서 설계 사항에 따라 충분히 변형이 가능하다. 예를 들면, 접속단자(170)의 수는 접속패드(122)의 수에 따라서 수십 내지 수천 개일 수 있으며, 그 이상 또는 그 이하의 수를 가질 수도 있다. 접속단자(170)가 솔더볼인 경우, 접속단자(170)는 언더범프금속층(160)의 패시베이션층(150)의 일면 상으로 연장되어 형성된 측면을 덮을 수 있으며, 접속 신뢰성이 더욱 우수할 수 있다.

[0075] 접속단자(170) 중 적어도 하나는 팬-아웃 영역에 배치된다. 팬-아웃 영역이란 반도체칩(120)이 배치된 영역을 벗어나는 영역을 의미한다. 팬-아웃(fan-out) 패키지는 팬-인(fan-in) 패키지에 비하여 신뢰성이 우수하고, 다수의 I/O 단자 구현이 가능하며, 3D 인터코넥션(3D interconnection)이 용이하다. 또한, BGA(Ball Grid Array) 패키지, LGA(Land Grid Array) 패키지 등과 비교하여 패키지 두께를 얇게 제조할 수 있으며, 가격 경쟁력이 우수하다.

[0076] 한편, 도면에는 도시하지 않았으나, 필요에 따라서는 관통홀(110H)의 벽면에 방열 및/또는 전자파 차폐 목적으로 금속박막을 형성할 수 있다. 또한, 필요에 따라서는 관통홀(110H) 내에 서로 동일하거나 상이한 기능을 수행하는 복수의 반도체칩(120)을 배치할 수도 있다. 또한, 필요에 따라서는 관통홀(110H) 내에 별도의 수동부품, 예컨대 인덕터나 커패시터 등을 배치할 수도 있다.

[0077] 도 11은 팬-아웃 반도체 패키지의 다른 일례를 개략적으로 나타낸 단면도다.

[0078] 도면을 참조하면, 다른 일례에 따른 팬-아웃 반도체 패키지(100B)는 제1연결부재(110)가 제1절연층(111a), 제1절연층(111a)의 양면에 배치된 제1재배선층(112a) 및 제2재배선층(112b), 제1절연층(112a) 상에 배치되며 제1재배선층(112a)을 덮는 제2절연층(111b), 제2절연층(111b) 상에 배치된 제3재배선층(111c), 제1절연층(111a) 상에 배치되어 제2재배선층(112b)을 덮는 제3절연층(111c), 및 제3절연층(111c) 상에 배치된 제4재배선층(112d)을 포함한다. 제1 내지 제4재배선층(112a, 112b, 112c, 112d)는 접속패드(122)와 전기적으로 연결된다. 제1연결부재(110)가 더 많은 수의 재배선층(112a, 112b, 112c, 112d)을 포함하는바, 제2연결부재(140)를 더욱 간소화할 수 있다. 따라서, 제2연결부재(140) 형성 과정에서 발생하는 불량에 따른 수율 저하를 개선할 수 있다. 한편, 제1 내지 제4 재배선층(112a, 112b, 112c, 112d)은 제1 내지 제3 절연층(111a, 111b, 111c)을 각각 관통하는 제1 내지 제3비아(113a, 113b, 113c)를 통하여 전기적으로 연결될 수 있다.

[0079] 제1절연층(111a)은 제2절연층(111b) 및 제3절연층(111c)보다 두께가 두꺼울 수 있다. 제1절연층(111a)은 기본적으로 강성 유지를 위하여 상대적으로 두꺼울 수 있으며, 제2절연층(111b) 및 제3절연층(111c)은 더 많은 수의 재배선층(112c, 112d)을 형성하기 위하여 도입된 것일 수 있다. 제1절연층(111a)은 제2절연층(111b) 및 제3절연층(111c)과 상이한 절연물질 포함할 수 있다. 예를 들면, 제1절연층(111a)은 심재, 필러, 및 절연수지를 포

함하는, 예컨대, 프리프레그일 수 있고, 제2절연층(111c) 및 제3절연층(111c)은 필러 및 절연수지를 포함하는 ABF 필름 또는 PID 필름일 수 있으나, 이에 한정되는 것은 아니다. 유사한 관점에서, 제1절연층(111a)을 관통하는 제1비아(113a)는 제2 및 제3절연층(111b, 111c)을 관통하는 제2및 제3비아(113b, 113c)보다 직경이 클 수 있다.

[0080] 제1연결부재(110)의 제3재배선층(112c)의 하면은 반도체칩(120)의 접속패드(122)의 하면보다 하측에 위치할 수 있다. 또한, 제2연결부재(140)의 제1재배선층(142a)과 제1연결부재(110)의 제3재배선층(112c) 사이의 거리는 제2연결부재(140)의 제1재배선층(142a)과 반도체칩(120)의 접속패드(122) 사이의 거리보다 작을 수 있다. 제3재배선층(112c)이 제2절연층(111b) 상에 돌출된 형태로 배치될 수 있으며, 그 결과 제2연결부재(140)와 접할 수 있기 때문이다. 제1연결부재(110)의 제1재배선층(112a) 및 제2재배선층(112b)은 반도체칩(120)의 활성면과 비활성면 사이에 위치할 수 있다. 제1연결부재(110)는 반도체칩(120)의 두께에 대응하게 형성할 수 있는바, 제1연결부재(110) 내부에 형성된 제1재배선층(112a) 및 제2재배선층(112b)은 반도체칩(120)의 활성면과 비활성면 사이 레벨에 배치될 수 있다.

[0081] 제1연결부재(110)의 재배선층(112a, 112b, 112c, 112d)의 두께는 제2연결부재(140)의 재배선층(142a, 142b)의 두께보다 두꺼울 수 있다. 제1연결부재(110)는 반도체칩(120) 이상의 두께를 가질 수 있는바, 재배선층(112a, 112b, 112c, 112d) 역시 보다 큰 사이즈로 형성할 수 있다. 반면, 제2연결부재(140)의 재배선층(142a, 142b)은 박형화를 위하여 보다 상대적으로 작은 사이즈로 형성할 수 있다.

[0082] 그 외에 다른 구성은 상술한 일례에 따른 팬-아웃 반도체 패키지(100A)에서 설명한 바와 실질적으로 동일한바 자세한 설명은 생략한다.

[0083] 본 개시에서 하측, 하부, 하면 등은 편의상 도면의 단면을 기준으로 팬-아웃 반도체 패키지의 실장 면을 향하는 방향을 의미하는 것으로 사용하였고, 상측, 상부, 상면 등은 그 반대 방향으로 사용하였다. 다만, 이는 설명의 편의상 방향을 정의한 것으로, 특허청구범위의 권리범위가 이러한 방향에 대한 기재에 의하여 특별히 한정되는 것이 아님은 물론이다.

[0084] 본 개시에서 연결된다는 의미는 직접 연결된 것뿐만 아니라, 접착제 층 등을 통하여 간접적으로 연결된 것을 포함하는 개념이다. 또한, 전기적으로 연결된다는 의미는 물리적으로 연결된 경우와 연결되지 않은 경우를 모두 포함하는 개념이다. 또한, 제1, 제2 등의 표현은 한 구성요소와 다른 구성요소를 구분 짓기 위해 사용되는 것으로, 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 경우에 따라서는 권리범위를 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 명명될 수도 있고, 유사하게 제2 구성요소는 제1 구성요소로 명명될 수도 있다.

[0085] 본 개시에서 사용된 일례 라는 표현은 서로 동일한 실시 예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일례들은 다른 일례의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일례에서 설명된 사항이 다른 일례에서 설명되어 있지 않더라도, 다른 일례에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일례에 관련된 설명으로 이해될 수 있다.

[0086] 본 개시에서 사용된 용어는 단지 일례를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

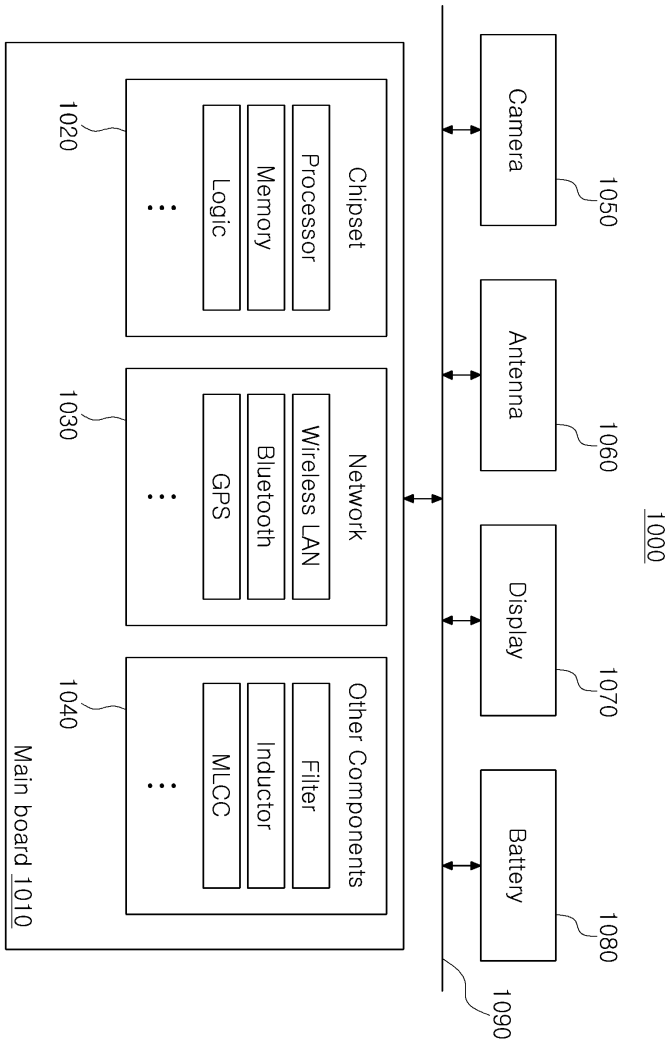
부호의 설명

[0087]

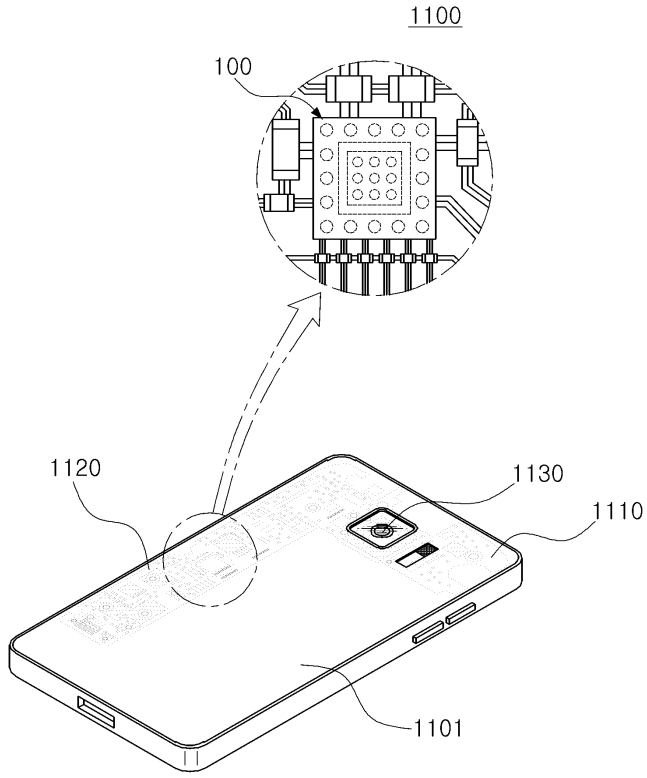
1000: 전자기기
1010: 메인보드
1020: 칩 관련 부품
1030: 네트워크 관련 부품
1040: 기타 부품
1050: 카메라
1060: 안테나
1070: 디스플레이
1080: 배터리
1090: 신호 라인
1100: 스마트 폰
1101: 스마트 폰 바디
1110: 스마트 폰 메인보드
1111: 메인보드 절연층
1112: 메인보드 배선
1120: 부품
1130: 스마트 폰 카메라
2200: 팬-인 반도체 패키지
2220: 반도체칩
2221: 바디
2222: 접속패드
2223: 패시베이션막
2240: 연결부재
2241: 절연층
2242: 재배선층
2243: 비아
2250: 패시베이션층
2260: 언더범프금속층
2270: 솔더볼
2280: 언더필 수지
2290: 몰딩재
2500: 메인보드
2301: 인터포저 기판
2302: 인터포저기판
2100: 팬-아웃 반도체 패키지
2120: 반도체칩
2121: 바디
2122: 접속패드
2140: 연결부재
2141: 절연층
2142: 재배선층
2143: 비아
2150: 패시베이션층
2160: 언더범프금속층
2170: 솔더볼
100: 반도체 패키지
100A~100B: 팬-아웃 반도체 패키지
110: 제1연결부재
112a, 112b, 112c: 절연층
112a, 112b, 112c, 112d: 재배선층
113a, 113b, 113c: 비아
120: 반도체칩
121: 바디
122: 접속패드
123: 패시베이션막
125: 수동부품
130: 봉합재
140: 제2연결부재
141a, 141b: 절연층
142a, 142b: 재배선층
143a, 143b: 비아층
150: 패시베이션층
151: 개구부
160: 언더범프금속층
170: 접속단자

도면

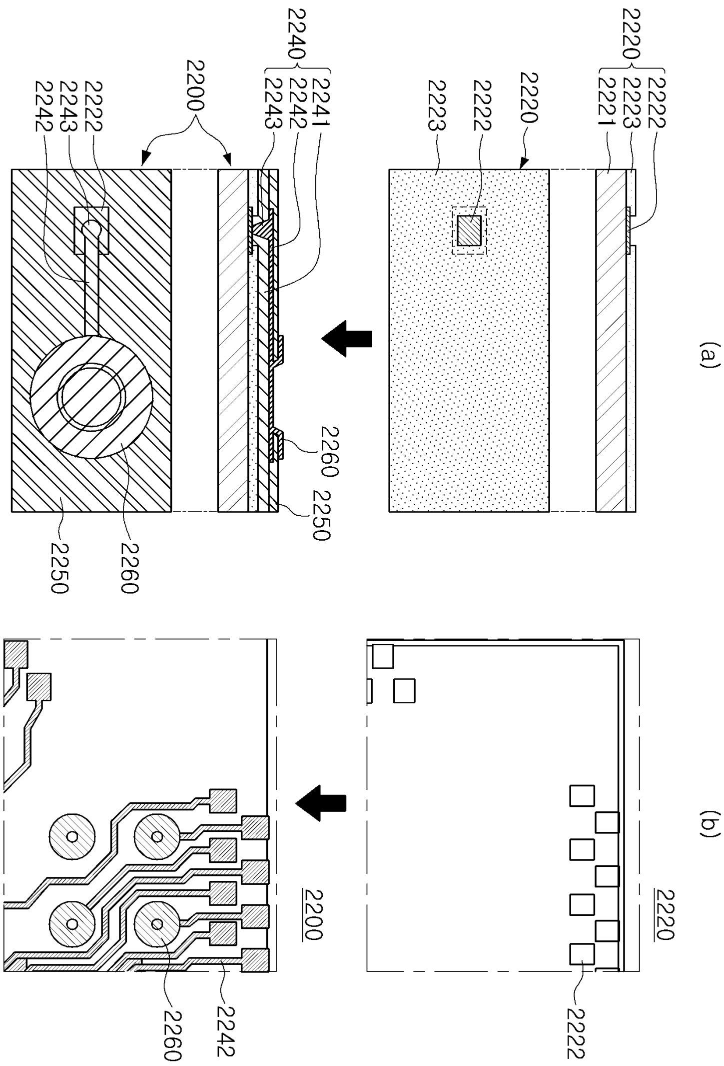
도면1


1000
Camera
1050
Antenna
1060
Display
1070
Battery
1080
1090
Main board 1010
Chipset
Processor
Memory
Logic
1020
Network
Wireless LAN
Bluetooth
GPS
1030
Other Components
Filter
Inductor
MLCC
1040

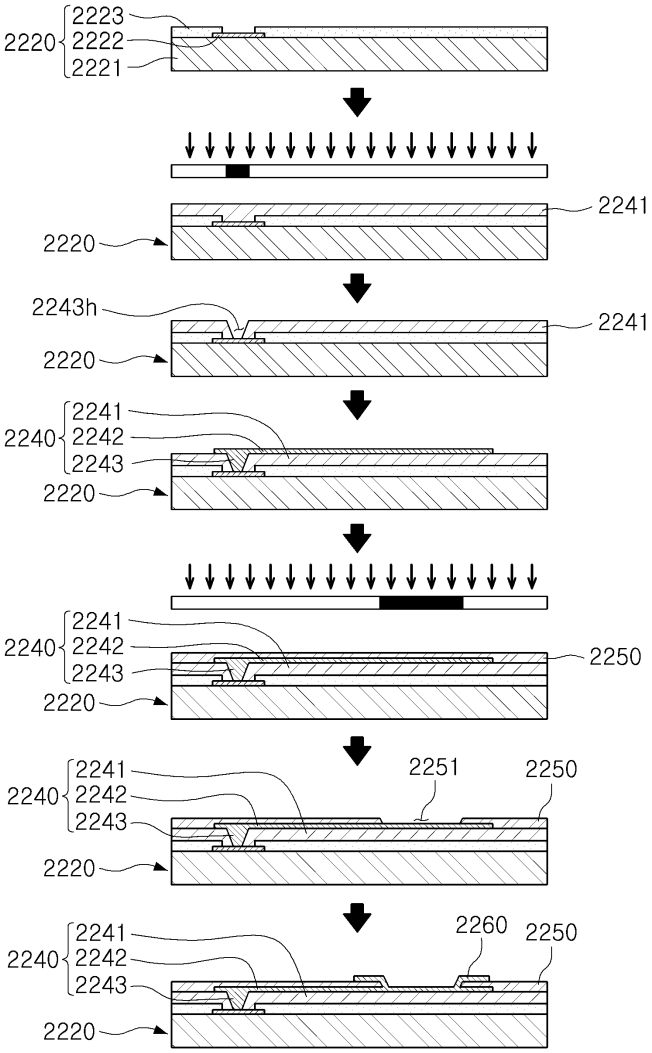
도면2



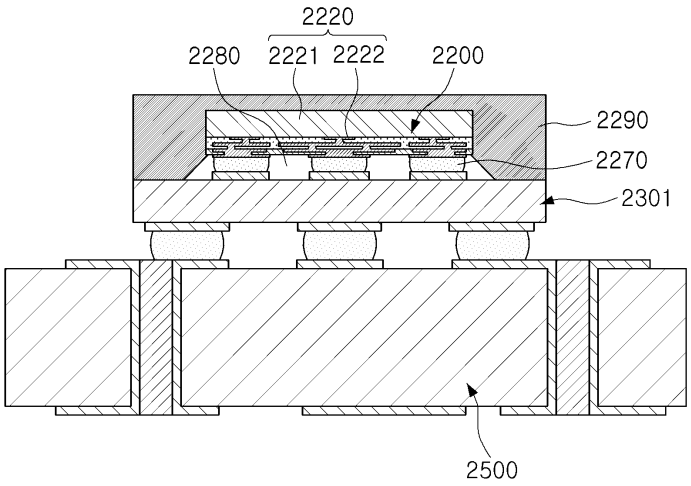
도면3


(a)
2220
2222
2223
2221
2240
2241
2242
2243
2200
2250
2260
(b)
2222
2200
2242

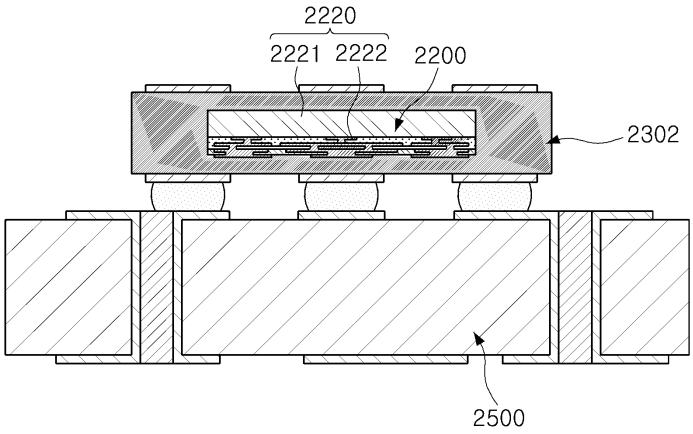
도면4


2223
2220
2222
2221
2241
2220
2243h
2241
2220
2241
2240
2242
2243
2220
2241
2240
2242
2243
2250
2220
2241
2251
2250
2240
2242
2243
2220
2260
2250
2241
2240
2242
2243
2220

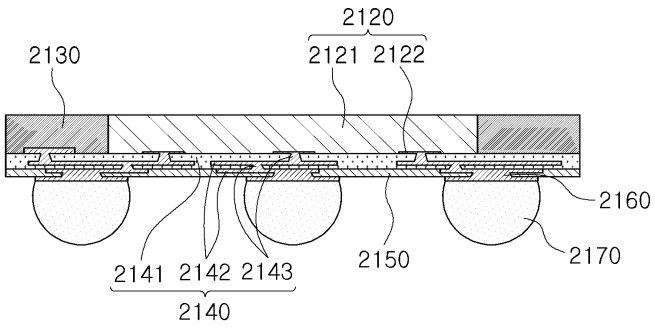
도면5


2220
2280
2221
2222
2200
2290
2270
2301
2500

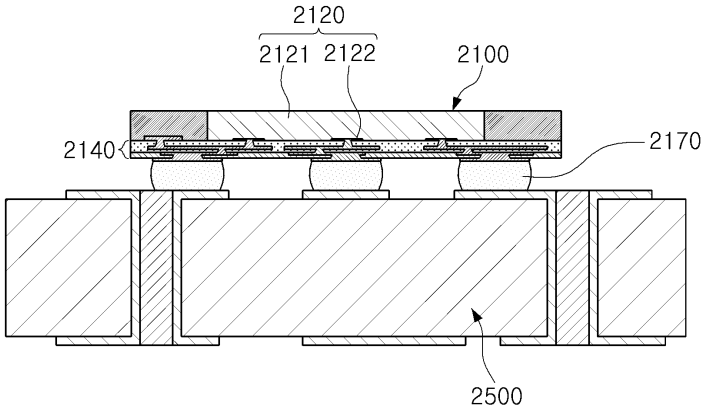
도면6


2220
2221
2222
2200
2302
2500

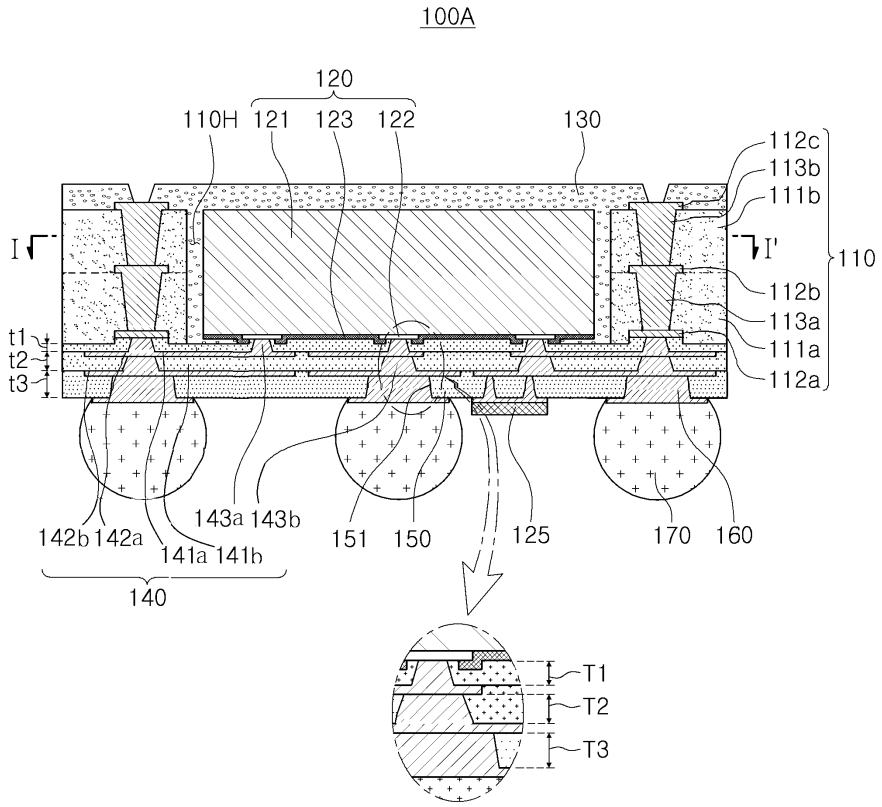
도면7


2120
2130
2121
2122
2160
2170
2150
2141
2142
2143
2140

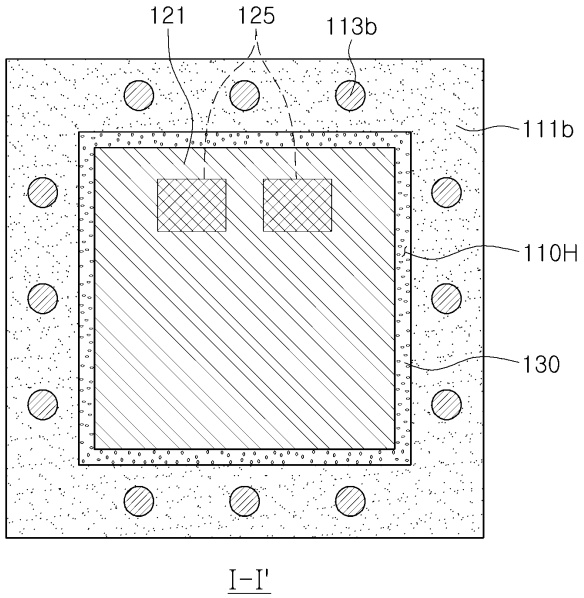
도면8


2120
2121
2122
2100
2140
2170
2500

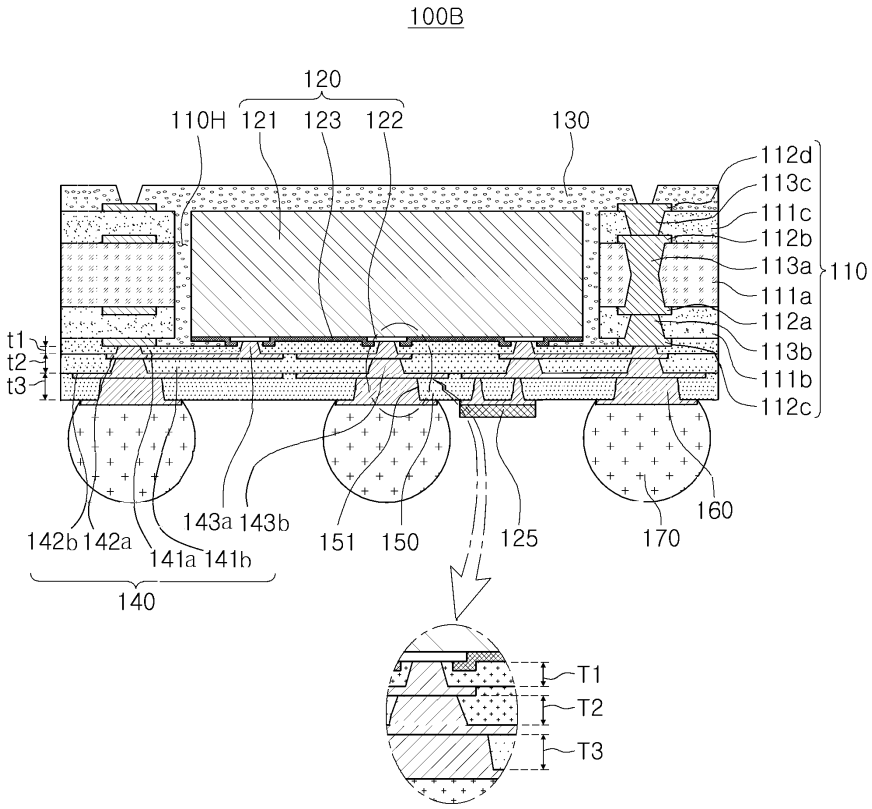
도면9


100A
120
110H
121
123
122
130
112c
113b
111b
I
I'
110
112b
113a
111a
112a
t1
t2
t3
142b
142a
141a
141b
143a
143b
151
150
125
170
160
140
T1
T2
T3

도면10


121
125
113b
111b
110H
130
I-I'

도면11


100B
120
110H
121
123
122
130
112d
113c
111c
112b
113a
110
111a
112a
113b
111b
112c
t1
t2
t3
142b
142a
141a
141b
140
143a
143b
151
150
125
160
170
T1
T2
T3