



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월22일  
(11) 등록번호 10-2698002  
(24) 등록일자 2024년08월19일

(51) 국제특허분류(Int. Cl.)  
G01R 1/073 (2006.01) G01R 1/04 (2006.01)  
G01R 3/00 (2006.01)  
(52) CPC특허분류  
G01R 1/07307 (2013.01)  
G01R 1/0491 (2013.01)  
(21) 출원번호 10-2018-0159137  
(22) 출원일자 2018년12월11일  
심사청구일자 2021년11월15일  
(65) 공개번호 10-2020-0071420  
(43) 공개일자 2020년06월19일  
(56) 선행기술조사문헌  
KR1020080073841 A\*  
(뒷면에 계속)

(73) 특허권자  
(주)포인트엔지니어링  
충청남도 아산시 둔포면 아산밸리로 89  
(72) 발명자  
안범모  
경기도 수원시 영통구 에듀타운로 35, 5104동  
1502호 (이의동, 자연&자이아파트)  
박승호  
경기도 화성시 향남읍 행정중앙1로 39, 403-1001  
변성현  
경기도 화성시 동탄반석로 264, 106-803  
(74) 대리인  
최광석

전체 청구항 수 : 총 8 항

심사관 : 오경환

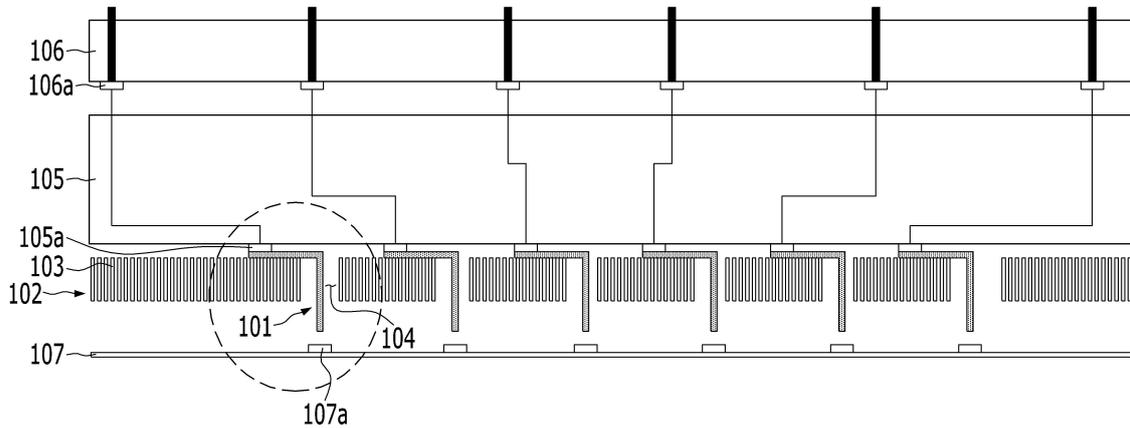
(54) 발명의 명칭 프로브 카드 및 이의 제조 방법

(57) 요약

본 발명은 웨이퍼의 회로 검사를 수행하는 프로브 카드 및 이의 제조 방법에 관한 것으로서, 특히 프로브 핀을 삽입하는 공정이 제거된 프로브 카드 및 이의 제조 방법에 관한 것이다.

대표도

100



(52) CPC특허분류

*G01R 1/07378* (2013.01)

*G01R 3/00* (2013.01)

(56) 선행기술조사문헌

KR1020080102417 A\*

KR1020170099383 A\*

US20140290053 A1

KR1020090100037 A

KR1020090085726 A

KR1020020014677 A

KR1020010093029 A

JP2017090067 A

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

수평부 및 수직부가 구비된 프로브 핀; 및

상기 수평부를 상면에서 지지하는 양극산화막시트 및 상기 수직부가 통과하는 관통홀이 구비되는 프로브 핀 지지부재;를 포함하되,

상기 관통홀을 통과하는 상기 수직부의 주변에는 여유공간이 형성되고, 상기 수직부는 상기 여유공간의 범위에서 자유롭게 탄성 변형되는 것을 특징으로 하는 프로브 카드.

#### 청구항 2

제1항에 있어서,

상기 수직부는 상기 프로브 핀 지지부재의 하부보다 더 돌출되는 것을 특징으로 하는 프로브 카드.

#### 청구항 3

제1항에 있어서,

상기 수직부의 폭은 상기 관통홀의 폭보다 작은 것을 특징으로 하는 프로브 카드.

#### 청구항 4

제1항에 있어서,

접속 패드를 구비하는 스페이스 트랜스 포머;를 더 포함하고,

상기 접속 패드는 상기 수평부와 전기적으로 연결되는 것을 특징으로 하는 프로브 카드.

#### 청구항 5

제4항에 있어서,

상기 스페이스 트랜스 포머는 복수개의 양극산화막시트가 적층되어 형성되는 것을 특징으로 하는 프로브 카드.

#### 청구항 6

양극산화막시트의 적어도 일부를 에칭하고 제1홀을 형성하는 제1단계;

상기 제1홀에 도전성 물질을 청진하여 수직부를 형성하는 제2단계;

상기 수직부와 연결되도록 양극산화막시트 상면에 수평부를 형성하는 제3단계; 및

상기 양극산화막시트 하면의 일부를 에칭하여 상기 수직부를 돌출시키고, 에칭된 상기 수직부 주변의 상기 양극산화막시트의 적어도 일부를 수직적으로 에칭하여 제2홀을 형성하여 상기 수직부가 통과하는 관통홀을 형성하는 제4단계;를 포함하고,

상기 관통홀을 통과하는 상기 수직부의 주변에는 여유공간이 형성되고, 상기 수직부는 상기 여유공간의 범위에서 자유롭게 탄성 변형되는 것을 특징으로 하는 프로브 카드 제조 방법.

#### 청구항 7

제6항에 있어서,

상기 수평부에 접속 패드를 구비하는 스페이스 트랜스 포머를 접합하는 제5단계;를 더 포함하는 것을 특징으로 하는 프로브 카드 제조 방법.

**청구항 8**

제7항에 있어서,

상기 스페이스 트랜스 포머는 복수개의 양극산화막시트를 접합하여 형성되는 것을 특징으로 하는 프로브 카드 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 웨이퍼에 형성된 패턴을 검사하는 프로브 카드 및 이의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로 반도체 제작 공정은 웨이퍼상에 패턴을 형성시키는 패브리케이션(fabrication) 공정과, 웨이퍼를 구성하고 있는 각각의 칩의 전기적 특성을 검사하는 EDS(Electrical Die Sorting: EDS) 공정과, 패턴이 형성된 웨이퍼를 각각의 칩으로 조립하는 어셈블리(assembly) 공정을 통해서 제조된다.

[0003] 여기서 EDS공정은 웨이퍼를 구성하고 있는 칩들 중에서도 불량칩을 판별하기 위해 수행된다. EDS공정에는 웨이퍼를 구성하는 칩들에 전기적 신호를 인가시켜 인가된 전기적 신호로부터 체크되는 신호에 의해서 불량을 판단하게 되는 프로브 카드라는 검사장치가 주로 사용되고 있다.

[0004] 프로브 카드는 웨이퍼를 구성하는 각 칩의 패턴과 접촉되어 전기적 신호를 인가하는 프로브 핀이 구비된다. 프로브 핀은 웨이퍼의 각 디바이스의 전극패드에 접촉되어 특정의 전류가 통전되어 그때 출력되는 전기적 특성을 측정한다.

[0005] 이 경우, 프로브 카드는 프로브 핀을 삽입할 수 있는 홀이 형성되고 핀삽입 홀에 프로브 핀이 삽입되어 가이드된다.

[0006] 이러한 프로브 카드에 대한 특허로는 한국등록특허 제10-1255110호(이하, '특허문헌 1')에 기재된 것이 공지되어 있다.

[0007] 특허문헌 1은 합성수지 계열의 재질로 형성된 제1, 2베이스 기판, 제1, 2가이드 부재 및 프로브 핀을 포함하여 구성된다. 특허문헌 1의 제1, 2가이드 부재는 합성 수지 재질의 필름 및 세라믹 기판으로 이루어진다. 제1가이드 부재에는 세로열로 구분된 홀이 형성되고, 제2가이드 부재에는 가로열로 구분된 홀이 형성된다. 이러한 제1, 2가이드 부재는 순서대로 적층되고, 프로브 핀은 제1가이드 부재의 홀에 먼저 삽입된 후 제2가이드 부재의 홀에 삽입된다. 제1, 2가이드 부재는 각각에 형성되는 홀의 방향이 다르게 형성되므로 서로 겹쳐지면서 사각형 홀이 형성된다. 이러한 사각형 홀로 인해 프로브 핀이 고정된다.

[0008] 그러나 특허문헌 1의 제1, 2가이드 부재는 합성 수지 재질의 필름 및 세라믹 기판으로 이루어져 투과율이 낮다. 이로 인해 제1, 2가이드 부재에 형성되는 홀에 프로브 핀을 삽입하는데 어려움이 발생하게 된다.

[0009] 또한, 특허문헌 1은 프로브 핀의 삽입을 용이하게 하기 위하여 제1, 2가이드 부재에 각각 형성되는 홀의 방향을 다르게 형성하였지만, 투과율이 낮은 재질에 형성된 홀에 프로브 핀을 삽입하는 방식으로 프로브 카드를 제조한다는 점에서 제조의 효율이 낮다. 그 결과 프로브 카드 제조의 시간 및 비용이 상승하게 된다는 문제점이 있다.

[0010] 한편 프로브 핀을 삽입하지 않는 방식의 발명에 대한 특허로는 일본등록특허 JP 6151548 B2(이하, '특허문헌 2'라 한다)에 기재된 것이 공지되어 있다.

[0011] 특허문헌 2는 표면 배선층이 구비된 프로브 카드용 기판과, 프로브 핀을 포함하여 구성된다. 특허문헌 2는 표면 배선층의 표면에 프로브 단자의 일면을 접합함으로써 프로브 카드를 제조할 수 있다.

[0012] 그러나 특허문헌 2는 표면 배선층에 프로브 단자를 일일이 부착해야 한다는 번거로움이 있다. 이로 인해 제조를 위한 시간이 많이 소요되어 작업의 효율이 저하될 수 있다.

[0013] 또한, 특허문헌 2는 프로브 단자의 일면이 표면 배선층에 접합되므로 상대적으로 접합력이 약할 수 있다. 구체적으로 특허문헌 2는 프로브 단자의 상부면이 표면 배선층의 일면과 접합된다. 다시 말해, 특허문헌 2는 프로브 단자의 상부면만이 표면 배선층의 일면에 의해 지지되는 형태이다. 특허문헌 2는 프로브 단자를 지지하는 면이

표면 배선층의 일면 뿐이므로 접합력 및 고정력이 약할 수 있다.

[0014] 이러한 특허문헌 2의 프로브 단자가 반도체 소자의 단자와 접촉되어 전기 특성을 검사한다. 이 경우, 상대적으로 약한 접합력 및 고정력으로 인해 전기 특성 검사의 오류가 발생할 수 있다. 또한, 접합력 및 고정력이 떨어지면서 프로브 단자의 위치 정렬이 바뀌는 문제가 발생할 수 있다. 이는 반도체 소자의 단자와 제대로 접촉되지 못하면서 회로 점검 기능의 오류를 발생시킬 수 있다. 또한, 반도체 소자의 다른 부분과 접촉되어 반도체 소자가 손상되는 문제가 야기될 수 있다.

**선행기술문헌**

**특허문헌**

[0015] (특허문헌 0001) 한국등록특허 제10-1255110호  
 (특허문헌 0002) 일본등록특허 JP 6151548 B2

**발명의 내용**

**해결하려는 과제**

[0016] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로서, 프로브 핀을 삽입하지 않는 구조로 인해 제조의 효율성이 높고, 프로브 핀의 고정력 및 접합력이 높아 효과적인 웨이퍼 회로 검사가 가능한 프로브 카드 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0017] 본 발명의 일 특징에 따른 프로브 카드는 수평부 및 수직부가 구비된 프로브 핀; 및 상기 수평부를 상면에서 지지하는 양극산화막시트 및 상기 수직부가 통과하는 관통홀이 구비되는 프로브 핀 지지부재;를 포함하는 것을 특징으로 한다.

[0018] 또한, 상기 수직부는 상기 프로브 핀 지지부재의 하부보다 더 돌출되는 것을 특징으로 한다.

[0019] 또한, 상기 수직부의 폭은 상기 관통홀의 폭보다 작은 것을 특징으로 한다.

[0020] 또한, 접속 패드를 구비하는 스페이스 트랜스 포머;를 더 포함하고, 상기 접속 패드는 상기 수평부와 전기적으로 연결되는 것을 특징으로 한다.

[0021] 또한, 상기 스페이스 트랜스 포머는 복수개의 양극산화막시트가 적층되어 형성되는 것을 특징으로 한다.

[0022] 본 발명의 다른 특징에 따른 프로브 카드 제조 방법은 양극산화막시트의 적어도 일부를 에칭하고 제1홀을 형성하는 제1단계; 상기 제1홀에 도전성 물질을 충전하여 수직부를 형성하는 제2단계; 상기 수직부와 연결되도록 양극산화막시트 상면에 수평부를 형성하는 제3단계; 상기 양극산화막시트 하면의 일부를 에칭하여 상기 수직부를 돌출시키고, 에칭된 상기 수직부 주변의 상기 양극산화막시트를 제거하여 제2홀을 형성하는 제4단계;를 포함하는 것을 특징으로 한다.

[0023] 또한, 상기 수평부와 접속 패드를 구비하는 스페이스 트랜스 포머를 접합하는 제5단계;를 더 포함하는 것을 특징으로 한다.

[0024] 또한, 상기 스페이스 트랜스 포머는 복수개의 양극산화막시트를 접합하여 형성되는 것을 특징으로 한다.

**발명의 효과**

[0025] 본 발명의 프로브 카드 및 이의 제조 방법은 프로브 핀을 용이하게 구비할 수 있으므로 프로브 카드 제조의 효율을 높일 수 있고, 프로브 핀의 접합력 및 고정력이 높아 회로 단자와의 접촉 불량률을 감소시킬 수 있는 효과가 있다.

[0026] 또한, 온도의 영향과 관계없이 검사 대상과의 접촉 위치와 정확하게 접속되어 측정의 신뢰성이 향상될 수 있다.

**도면의 간단한 설명**

- [0027] 도 1은 본 발명의 바람직한 제1실시 예에 따른 프로브 카드를 개략적으로 도시한 도.
- 도 2는 프로브 카드의 일부 구성을 확대하여 도시한 도.
- 도 3은 본 발명의 바람직한 제2실시 예에 따른 프로브 카드를 개략적으로 도시한 도.
- 도 4는 본 발명의 프로브 카드의 제조 방법을 순서대로 나타낸 도.

**발명을 실시하기 위한 구체적인 내용**

- [0028] 이하의 내용은 단지 발명의 원리를 예시한다. 그러므로 당업자는 비록 본 명세서에 명확히 설명되거나 도시되지 않았지만 발명의 원리를 구현하고 발명의 개념과 범위에 포함된 다양한 장치를 발명할 수 있는 것이다. 또한, 본 명세서에 열거된 모든 조건부 용어 및 실시 예들은 원칙적으로, 발명의 개념이 이해되도록 하기 위한 목적으로만 명백히 의도되고, 이와 같이 특별히 열거된 실시 예들 및 상태들에 제한적이지 않는 것으로 이해되어야 한다.
- [0029] 상술한 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해질 것이며, 그에 따라 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다.
- [0030] 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시 도인 단면도 및/또는 사시도들을 참고하여 설명될 것이다. 이러한 도면들에 도시된 부재들 및 영역들의 두께 및 폭 등은 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다.
- [0031] 또한, 도면에 도시된 홀의 개수는 예시적으로 일부만을 도면에 도시한 것이다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다.
- [0032] 다양한 실시예들을 설명함에 있어서, 동일한 기능을 수행하는 구성요소에 대해서는 실시예가 다르더라도 편의상 동일한 명칭 및 동일한 참조번호를 부여하기로 한다. 또한, 이미 다른 실시예에서 설명된 구성 및 작동에 대해서는 편의상 생략하기로 한다.
- [0034] 이하, 본 발명의 바람직한 실시 예들을 첨부 도면을 참조하여 상세히 설명하면 다음과 같다.
- [0035] 도 1은 본 발명의 바람직한 제1실시 예에 따른 프로브 카드(100)를 개략적으로 도시한 도이다. 도 1에 도시된 바와 같이, 본 발명의 프로브 카드(100)는 웨이퍼(또는 반도체 소자)의 회로 단자(107a)와 접촉되는 프로브 핀(101)과, 상기한 프로브 핀(101)을 지지하는 프로브 핀 지지부재(102) 및 스페이스 트랜스 포머(105)를 포함하여 구성된다. 이러한 본 발명의 프로브 카드(100)는 회로 단자(107a)에 프로브 핀(101)을 접촉시켜 회로의 단선이나 쇼트 등의 상태를 점검할 수 있다.
- [0036] 도 1에 도시된 바와 같이, 검사할 회로가 형성된 웨이퍼(107)의 상부에 프로브 카드(100)가 위치한다. 프로브 카드(100)는 외부의 여러 장비와 연결되어 웨이퍼(107)에 대해 승강 운동하여 정상적인 회로의 형성 여부를 확인한다. 도 1에서는 프로브 카드(100)가 웨이퍼(107)에 대해 상승한 상태로 도시된다.
- [0037] 도 1에 도시된 바와 같이, 프로브 핀(101)은 수평부(101a) 및 수직부(101b)로 구성된다. 수평부(101a)는 일단부가 수직부(101b)의 상부와 접합될 수 있다. 이로 인해 프로브 핀(101)은 수직부(101b)의 상부와 수평부(101a)의 일단부가 연결된 형태로 형성될 수 있다.
- [0038] 수평부(101a) 및 수직부(101b)는 도전성 물질로 이루어질 수 있다. 이로 인해 프로브 핀(101)이 회로 단자(107a)에 접촉되었을 경우, 프로브 카드(100)로 인가된 전기적 신호를 웨이퍼(107)에 전달할 수 있다. 또는 웨이퍼(107)로부터 출력된 신호가 수신될 수 있다.
- [0039] 도 1에 도시된 바와 같이, 프로브 핀(101)은 프로브 핀 지지부재(102)에 의해 지지될 수 있다. 프로브 핀 지지부재(102)는 양극산화막시트(103) 및 관통홀(104)이 구비된다.
- [0040] 양극산화막시트(103)는 금속을 양극산화하여 형성된 기공을 갖는 양극산화막으로 구성될 수 있다.
- [0041] 양극산화막의 기공은 일정 배열로 형성된다. 양극산화막은 모재인 금속을 양극산화하여 형성된 막을 의미하고, 기공은 금속을 양극산화하여 양극산화막을 형성하는 과정에서 형성되는 구멍을 의미한다. 예컨대, 모재인 금속이 알루미늄(Al) 또는 알루미늄 합금인 경우, 모재를 양극 산화하면 모재의 표면에 양극산화알루미늄( $Al_2O_3$ ) 재질의 양극 산화막이 형성된다. 이와 같이 형성되는 양극산화막은 내부에 기공이 형성되지 않은 배리어층과, 내

부에 기공이 형성된 다공층으로 구분된다. 배리어층은 모재의 상부에 위치하고, 다공층은 배리어층의 상부에 위치한다. 이처럼 배리어층과 다공층을 갖는 양극산화막이 표면에 형성된 모재에서, 모재를 제거하게 되면, 양극산화알루미늄( $Al_2O_3$ ) 재질의 양극산화막만이 남게 된다.

- [0042] 양극산화막은, 지름이 균일하고, 수직인 형태로 형성되면서 규칙적인 배열을 갖는 기공을 갖게 된다. 따라서, 배리어층을 제거하면, 기공을 상, 하로 수직하게 관통된 구조를 갖게 된다.
- [0043] 이러한 양극산화막은 절연성을 가진다. 다시 말해, 양극산화막시트(103)는 절연성을 가진다. 양극산화막시트(103)는 프로브 핀 지지부재(102)의 구성으로 프로브 핀(101)을 지지할 수 있다. 이 경우, 절연성을 갖는 양극산화막시트(103)는 프로브 핀(101) 외의 다른 구성으로 전도되는 현상을 방지할 수 있다.
- [0044] 양극산화막은 2~3ppm/°C의 열팽창 계수를 갖는다. 이로 인해 온도에 의한 변형이 적을 수 있다. 예컨대, EDS 공정은 고온의 환경에서 수행된다. 이 경우, 양극산화막으로 구성되는 양극산화막시트(103)는 상대적으로 낮은 열팽창 계수로 인해 열 내구성이 높다. 따라서 양극산화막시트(103)가 고온의 환경에서 수행되는 EDS공정에 이용될 경우, 쉽게 변형되지 않을 수 있다. 또한, 양극산화막시트(103)는 단열의 기능을 수행할 수 있다. 이로 인해 프로브 핀 지지부재(102)의 주변에 구비되는 구성들을 고온의 환경으로부터 보호하는 기능을 할 수 있다.
- [0045] 프로브 핀 지지부재(102)는 관통홀(104)이 구비된다. 관통홀(104)은 위와 같은 양극산화막시트(103)의 상, 하를 관통하여 구비된다. 이러한 관통홀(104)에는 프로브 핀(101)의 수직부(101b)가 통과한다. 이 경우, 수직부(101b)는 관통홀(104)의 하부보다 돌출된다. 관통홀(104)은 프로브 핀 지지부재(102)의 양극산화막시트(103)를 상, 하 관통하여 형성된다. 따라서, 수직부(101b)는 프로브 핀 지지부재(102)의 하부보다 더 돌출되게 관통홀(104)을 통과하여 구비될 수 있다.
- [0046] 또한, 관통홀(104)의 폭은 수직부(101b)의 폭보다 크게 형성된다. 다시 말해 수직부(101b)의 폭은 관통홀(104)보다 작게 형성된다. 수직부(101b)는 회로 단자(107a)와 직접 접촉되는 부분이다. 프로브 핀(101)의 수직부(101b)가 회로 단자(107a)와 접촉될 경우, 프로브 핀(101)의 수평부(101a)와 수직부(101b)의 연결부위는 탄성 변형할 수 있다. 이러한 탄성 변형을 고려하여 관통홀(104)의 폭은 수직부(101b)의 폭보다 크게 형성될 수 있다. 이하에서 도 2를 참조하여 구체적으로 설명한다.
- [0047] 도 2는 프로브 핀 지지부재(102)의 일부를 확대하여 도시한 도이다. 도 2(a)는 프로브 핀(101)과 회로 단자(107a)가 접촉되기 전의 상태를 도시한 도이고, 도 2(b)는 프로브 핀(101)과 회로 단자(107a)가 접촉된 후의 상태를 도시한 도이다.
- [0048] 도 2에 도시된 바와 같이, 프로브 핀 지지부재(102)는 양극산화막시트(103) 상면에서 프로브 핀(101)의 수평부(101a)를 지지하고, 관통홀(104)로 프로브 핀(101)의 수직부(101b)를 통과시킨다. 이 경우, 수직부(101b)는 관통홀(104)의 폭보다 작게 형성된다. 따라서, 관통홀(104)을 통과하는 수직부(101b)의 주변에는 여유 공간이 형성되게 된다. 이러한 여유 공간은 수평부(101a) 및 수직부(101b)의 탄성 변형을 수용할 수 있게 된다. 여기서 수평부(101a) 및 수직부(101b)의 연결부위는 프로브 핀(101)의 수평부(101a)의 일단부와 수직부(101b)의 상부가 접합된 접합부위일 수 있다.
- [0049] 도 2(b)에 도시된 바와 같이, 프로브 핀(101)이 회로 단자(107a)에 접촉된다. 프로브 핀(101)은 회로 단자(107a)와 접촉되면서 탄성 변형하게 된다. 구체적으로, 수직부(101b)가 회로 단자(107a)와 접촉되면서 프로브 핀(101)의 수직부(101b) 및 연결부위가 탄성 변형하게 된다. 관통홀(104)은 프로브 핀(101)과 회로 단자(107a)의 접촉 시 위와 같은 프로브 핀(101)의 탄성 변형을 고려하여 수직부(101b)의 폭보다 크게 형성될 수 있다. 이로 인해 여유 공간이 구비된다. 수직부(101b)는 여유 공간의 범위에서 자유롭게 탄성 변형될 수 있다. 예컨대, 관통홀이 프로브 핀과 동일한 폭으로 형성될 경우, 프로브 핀은 관통홀에 삽입되어 고정될 수 있다. 이러한 형태는 회로 단자와의 접촉 시 완충 기능을 수행할 수 없어 회로 단자를 파손시킬 수 있게 된다. 하지만 본 발명은, 프로브 핀(101)과 회로 단자(107a)의 접촉 시 프로브 핀(101)의 자유로운 탄성 변형을 수용할 수 있는 구조로 형성되어 회로 단자(107a)의 파손을 방지할 수 있게 된다. 그 결과 웨이퍼(107)의 회로 점검에 있어서 물리적 신뢰도가 높아질 수 있다.
- [0050] 위와 같이 프로브 핀 지지부재(102)는 양극산화막시트(103)의 상면에서 프로브 핀(101)의 수평부(101a)를 지지하고, 관통홀(104)로 수직부(101b)를 통과시키는 형태로 형성될 수 있다. 또한, 프로브 핀 지지부재(102)는 프로브 핀(101)의 수평부(101a)와 수직부(101b) 사이에서 프로브 핀(101)을 지지하는 형태로 구비될 수 있다.
- [0051] 프로브 핀 지지부재(102)는 양극산화막시트(103)의 구성으로 인해 2~3ppm/°C의 열 팽창 계수를 갖는다. 이와 같

은 프로브 핀 지지부재(102)를 구비하는 본 발명의 프로브 카드(100)는 고온의 환경에서 수행되는 EDS 공정에서 프로브 핀(101)의 고정 위치가 온도 변화에 관계없이 일정할 수 있다. 그 결과 프로브 핀(101)의 고정 위치 오차로 인한 기능 오류가 방지될 수 있다.

[0052] 또한, 본 발명의 프로브 핀 지지부재(102)는 웨이퍼(107)의 열팽창률과 유사한 열팽창률을 갖는다. 이로 인해 프로브 핀(101)과 회로 단자(107a)의 접촉 불량 문제를 감소시킬 수 있다. 종래에는 알루미늄이나 소결체로 구성되는 세라믹 재질로 구성된 프로브 카드에 프로브 핀이 구비되었다. 그러나 알루미늄이나 소결체로 구성되는 세라믹 재질의 경우, 실리콘 재질로 이루어진 웨이퍼와 열팽창률이 달라 온도 변화 시 접촉 불량 문제를 유발하게 된다. 하지만 본 발명의 프로브 핀 지지부재(102)의 열팽창 계수는 2~3ppm/℃로 웨이퍼(107)의 열팽창 계수 3ppm/℃와 유사하다. 따라서, 온도의 영향으로 프로브 핀 지지부재(102)와 웨이퍼(107)가 열팽창될 경우, 유사한 열팽창률로 열팽창될 수 있다. 이로 인해 프로브 핀(101)과 웨이퍼(107)의 회로 단자(107a) 각각에 소정의 위치 오차가 발생한다고 하더라도 유사한 위치 오차 범위를 가질 수 있게 된다. 그 결과, 접촉 위치 오차로 인한 프로브 핀(101)과 회로 단자(107a)의 접촉 불량 문제가 감소될 수 있게 된다.

[0053] 다시 도 1을 참조하면, 프로브 카드(100)는 접속 패드(105a)를 구비하는 스페이스 트랜스 포머(105)를 구비할 수 있다. 스페이스 트랜스 포머(105)는 PCB 기판(106)과 프로브 핀 지지부재(102)의 사이에 구비될 수 있다. 이러한 스페이스 트랜스 포머(105)는 PCB 기판(106)의 기판 단자(106a)와 프로브 핀(101)의 피치 간의 차이를 보상해줄 수 있다.

[0054] 도 1에 도시된 바와 같이, 스페이스 트랜스 포머(105)는 프로브 핀 지지부재(102)의 상부에 위치하되, PCB 기판(106)의 하부에 구비될 수 있다. 다시 말해, 프로브 핀 지지부재(102)와 PCB 기판(106) 사이에 구비될 수 있다.

[0055] 이러한 스페이스 트랜스 포머(105)는 접속 패드(105a)를 하부에 구비한다. 이로 인해 프로브 핀 지지부재(102)의 상부에 스페이스 트랜스 포머(105)를 구비하였을 때, 접속 패드(105a)와 프로브 핀(101)의 수평부(101a)가 접촉될 수 있게 된다. 스페이스 트랜스 포머(105)의 접속 패드(105a)에는 프로브 핀(101)의 수평부(101a)가 접촉되어 접합될 수 있다. 이로 인해 스페이스 트랜스 포머(105)는 프로브 핀(101)과 전기적으로 연결될 수 있게 된다. 접속 패드(105a)와 수평부(101a)간의 접합은 통상적인 접합 기술을 이용하여 접합될 수 있다. 또한 스페이스 트랜스 포머(105)와 프로브 핀 지지부재(102) 사이에 점착층(미도시)이 구비되어 접합될 수 있다. 점착층은 열가소성 수지로 구성되며 2개의 상, 하 부재를 가열하면서 압착함으로써 접합할 수 있다.

[0056] 접속 패드(105a)는 프로브 핀(101)의 개수와 대응되게 구비된다. 이러한 접속 패드(105a)는 프로브 핀(101)의 수평부(101a)에 일괄적으로 접합될 수 있다. 종래의 프로브 카드는 스페이스 트랜스 포머의 접속 패드 각각에 프로브 핀을 하나씩 접합해야 한다는 번거로움이 있었다. 하지만 본 발명의 프로브 핀(101)은 수평부(101a) 및 수직부(101b)로 구성되어 프로브 핀 지지부재(102)에 의해 지지된다. 이 경우, 수평부(101a)에 의해 프로브 핀 지지부재(102)에 프로브 핀(101)이 안정적으로 지지될 수 있게 된다. 프로브 핀(101)은 프로브 핀 지지부재(102)에 의해 지지되어 접속 패드(105a)와 일괄적으로 접합될 수 있는 구조로 형성될 수 있다. 종래의 경우, 프로브 핀을 지지하는 부재가 없으므로 접속 패드(105a)에 프로브 핀을 하나씩 접합해야 했다. 하지만 본 발명은 프로브 핀(101)과 접속 패드(105a)를 일괄적으로 접합할 수 있는 구조로 형성된다. 이로 인해 프로브 카드 제조의 효율이 높아지는 효과를 얻을 수 있게 된다.

[0057] 위와 같이 접속 패드(105a)가 프로브 핀(101)의 수평부(101a)에 일괄적으로 접합된다. 이 경우, 프로브 핀(101)의 수평부(101a)는 프로브 핀 지지부재(102)의 상면에서 지지되고, 접속 패드(105a)의 하면에서 지지되는 형태로 형성된다. 다시 말해, 수평부(101a)의 상, 하면이 별도의 부재에 의해 지지되어 고정되는 형태로 형성된다.

[0058] 본 발명은 위와 같은 형태로 프로브 핀(101)이 고정됨으로써 고정력 및 접합력이 향상되게 된다. 종래의 경우, 프로브 핀의 일면이 접속 패드의 일면과 접합되었다. 이로 인해 프로브 핀의 일면과 접속 패드의 일면이 접촉되면서 하나의 접합면이 형성되었다. 종래에는 위와 같이 하나의 접합면에서만 접합력 및 고정력이 형성되었다. 그러나 종래의 경우, 하나의 접합면에 의해서 프로브 핀이 고정된다. 따라서, 접합면의 접합력이 저하되면 고정력도 저하되게 된다. 이로 인해 프로브 핀의 위치 정렬이 변화하게 될 수 있다. 또한, 프로브 핀이 분리되는 문제가 발생할 수 있다. 하지만 본 발명은 프로브 핀(101)의 상, 하면이 별도의 부재에 의해 고정 지지된다. 구체적으로 스페이스 트랜스 포머(105)의 접속 패드(105a)가 프로브 핀(101)의 수평부(101a) 상면에서 프로브 핀(101)을 고정 지지한다. 또한, 프로브 핀 지지부재(102)가 프로브 핀(101)의 수평부(101a) 하면에서 프로브 핀(101)을 고정 지지한다. 이로 인해 프로브 핀(101)의 접합력 및 고정력이 향상될 수 있게 된다. 본 발명은 높은 접합력 및 고정력으로 프로브 핀(101)을 고정 지지할 수 있다. 이로 인해 프로브 핀(101)의 위치 정렬이 변화되

는 문제를 방지할 수 있다. 그 결과 프로브 핀(101)과 회로 단자(107a)의 접촉 불량 발생률이 감소될 수 있게 된다.

- [0059] 또한, 본 발명은 프로브 핀(101)이 탈락되는 문제를 방지할 수 있다. 종래에는 프로브 핀이 고정되는 접합위치가 외부로 노출되고 해당 접합위치는 주변 열환경에 의해 열적 스트레스를 직접적으로 영향을 받는 위치가 되므로, 열적 스트레스에 의해 프로브 핀이 탈락되는 문제가 발생한다. 하지만 본 발명의 바람직한 실시예에 따르면, 프로브 핀(101)을 고정시키는 프로브 핀(101)의 수평부(101a)가 양극산화막시트(103)의 내부에 위치함에 따라 프로브 핀(101)의 고정위치가 외부로 노출되지 않게 되므로 주변 열환경에 의한 영향을 최소화할 수 있게 되어 열적 스트레스에 의한 프로브 핀(101)의 박리문제를 해결할 수 있게 된다.
- [0061] 이하, 도 3을 참조하여 본 발명의 제2실시 예에 대해 설명한다. 제2실시 예의 프로브 카드(100)는 복수개의 양극산화막시트(103)로 구성된 스페이스 트랜스 포머(105')를 구비한다는 점에서 제1실시 예와 차이가 있다. 이하에서 설명되는 제2실시 예는 제1실시 예와 비교하여 특징적인 구성요소들을 중심으로 설명하겠으며, 제1실시 예와 동일하거나 유사한 구성요소들에 대한 자세한 설명은 생략한다.
- [0062] 도 3은 본 발명의 바람직한 제2실시 예에 따른 프로브 카드(100)를 도시한 도이다. 도 3에 도시된 바와 같이, 제2실시 예의 프로브 카드(100)는 프로브 핀(101), 프로브 핀 지지부재(102) 및 스페이스 트랜스 포머(105')를 포함하여 구성된다.
- [0063] 도 3에 도시된 바와 같이, 프로브 핀 지지부재(102)의 상부에 스페이스 트랜스 포머(105')가 구비된다. 스페이스 트랜스 포머(105')는 PCB 기판(106)과 프로브 핀 지지부재(102) 사이에 구비되어 PCB 기판(106)의 기판 단자(106a)와 프로브 핀(101)의 피치 간의 차이를 보상해줄 수 있다.
- [0064] 제2실시 예의 프로브 카드(100)에 포함된 스페이스 트랜스 포머(105')는 복수개의 양극산화막시트(103)가 적층되어 구성된다. 본 발명에서는 하나의 예로서 스페이스 트랜스 포머(105')가 3개의 양극산화막시트(103)가 적층되어 구성되는 것으로 설명한다. 다만 적층되는 양극산화막시트(103)의 개수는 이에 한정되지 않는다.
- [0065] 3개의 양극산화막시트(103)는 도 3의 도면상 하방향에서부터 제1양극산화막시트, 제2양극산화막시트 및 제3양극산화막시트로 구성될 수 있다. 제1 내지 제3양극산화막시트는 순서대로 적층될 수 있다.
- [0066] 양극산화막시트(103)는 관통홀이 형성되어 내부에 비아 도체(104a)가 충전될 수 있다. 비아 도체(104a)는 솔더, 구리, 은, 주석, 비스무트, 인듐, 크롬, 니켈, 티탄 등의 금속 재료 또는 이들의 금속 재료 합금 재료 중 적어도 하나로 구성될 수 있다. 이러한 비아 도체(104a)는 관통홀에 스퍼터링법, 증착법, 도금법, 도체 페이스트의 충전 등의 방법으로 충전됨으로써 형성될 수 있다.
- [0067] 도 3에 도시된 바와 같이, 제1양극산화막시트의 비아 도체(104a)는 접속 패드(105a)와 전기적으로 연결될 수 있도록 피치 간격이 형성된다. 한편, 제3양극산화막시트의 비아 도체(104a)는 PCB 기판(106)의 기판 단자(106a)와 전기적으로 연결될 수 있도록 피치 간격이 형성된다. 제2양극산화막시트에는 위와 같은 제1양극산화막시트와 제3양극산화막시트의 비아 도체(104a)의 피치 간의 차이를 보상할 수 있도록 비아 도체(104a)가 구비된다. 제1양극산화막시트의 상면에는 내부 배선층(109)이 형성된다. 내부 배선층(109)은 비아 도체(104a)의 상부에 접합되어 제1양극산화막시트의 상부에 적층되는 제2양극산화막시트의 비아 도체(104a)와 전기적으로 연결될 수 있다. 또한, 제2양극산화막시트의 상면에도 내부 배선층(109)이 형성된다. 제2양극산화막시트에 형성된 내부 배선층(109)은 제3양극산화막시트의 비아 도체(104a)와 전기적으로 연결될 수 있다.
- [0068] 복수개의 양극산화막시트(103)는 이방성 전도 물질(108)을 통해 접합될 수 있다. 이방성 전도 물질(108)은 이방성 전도 필름(ACF) 또는 이방성 전도접착제(ACA) 중 하나일 수 있다. 복수개의 양극산화막시트(103)를 접합하는 이방성 전도 물질(108)은 전도성 입자를 포함할 수 있다. 이 경우, 양극산화막시트(103)는 절연성이므로 수평 방향으로는 전기가 흐를 수 없고, 전도성 입자를 통해서 상, 하 방향으로 전기가 흐를 수 있다. 따라서, 전도성 입자를 통해 상, 하로 인접하는 양극산화막시트(103)의 비아 도체(104a) 및 내부 배선층(109)이 전기적으로 접합되어 연결된다.
- [0069] 한편, 복수개의 양극산화막시트(103)는 열가소성 수지로 구성되어 상, 하로 인접하는 양극산화막시트(103)들을 접합하는 점착층에 의해 접합될 수 있다.
- [0070] 한편, 복수개의 양극산화막시트(103)는 박막 도체층을 통해 접합될 수도 있다. 박막 도체층은 구리, 은, 팔라듐, 금, 백금, 알루미늄, 크롬, 니켈, 코발트 또는 티탄 등의 금속 재료로 구성된다. 또한, 이들의 금속 재료 합금 재료로 구성되는 것도 무방하다.

- [0071] 복수개의 양극산화막시트(103)가 박막 도체층을 통해 접합될 경우, 스퍼터링법이나 증착법, 도금법 등의 방법으로 형성될 수 있다. 이 경우, 필요에 따라 마스크이나 에칭 등의 트리밍 가공을 실시하여 각각의 양극산화막시트(103)의 비아 도체(104a)가 전기적으로 연결되게 할 수 있다.
- [0072] 스페이스 트랜스 포머(105')의 하부에는 양극산화막시트(103) 및 관통홀(104)이 구비된 프로브 핀 지지부재(102)가 구비된다. 프로브 핀 지지부재(102)는 상면에서 프로브 핀(101)의 수평부(101a)를 지지한다. 따라서, 스페이스 트랜스 포머(105')의 접속 패드(105a)와 수평부(101a)가 접합되어 전기적으로 연결될 수 있다. 또한, 관통홀(104)에는 프로브 핀(101)의 수직부(101b)가 통과한다.
- [0073] 전술한 바와 같이 스페이스 트랜스 포머(105')는 복수개의 양극산화막시트(103)로 구성된다. 또한, 프로브 핀 지지부재(102)도 양극산화막시트(103)가 구비된다. 따라서, 스페이스 트랜스 포머(105') 및 프로브 핀 지지부재(102)의 열팽창 계수는 동일하다. 종래 알루미늄 소재로 구성되는 세라믹 재료의 배선기판은, 알루미늄이 소결될 수 있는 온도(약 1600 °C)에서 약 24시간 가열하여 소결함으로써 제작됨에 따라 소결과정에서의 뒤틀림 현상 및 소성수축에 따른 위치 어긋남의 문제가 발생하게 된다. 반면에 본 발명에 따른 복수개로 적층되는 양극산화막시트(103)는 별도의 소결과정이 필요 없기 때문에 종래와 같은 뒤틀림 현상이나 소성수축에 따른 위치 어긋남의 문제가 발생하지 않는다. 이에 따라 스페이스 트랜스 포머(105')와 프로브 핀 지지부재(102)의 위치 어긋남이 최소화되어 보다 신뢰성이 있게 프로브 카드(100)를 제작할 수 있다.
- [0074] 이러한 스페이스 트랜스 포머(105') 및 프로브 핀 지지부재(102)를 구비하는 프로브 카드(100)는 EDS 공정을 수행할 경우, 접합 계면에서의 박리 현상이 방지될 수 있다. 여기서 접합 계면은 수평부(101a)의 상면과 접합된 접속 패드(105a)와의 계면일 수 있다. 또한, 수평부(101a)의 하면과 접합된 프로브 핀 지지부재(102)의 양극산화막시트(103)와의 계면일 수 있다. 종래에는 다층 배선 기판이 수지 절연층 및 세라믹 기판으로 구성되어 스페이스 트랜스 포머의 기능을 수행하였다. 그러나 다층 배선 기판의 경우, 이종의 재질을 적층하여 접합함으로써 수지 절연층과 세라믹 기판의 접합 계면에서 층간 박리 현상이 발생하였다. 수지 절연층 및 세라믹 기판은 각각 다른 열팽창 계수를 갖는다. 그러므로 EDS 공정에서 열영향으로 인한 열팽창률이 다르다. 이로 인해 수지 절연층과 세라믹 기판 사이의 접합 계면에서 응력이 발생하게 된다. 그 결과 층간 박리 현상이 일어난다는 문제점이 있다. 하지만 본 발명은 스페이스 트랜스 포머(105') 및 프로브 핀 지지부재(102)가 양극산화막시트(103)로 구성되어 동일한 열팽창 계수를 가질 수 있다. 따라서, EDS 공정에서 온도의 영향으로 인한 열팽창률이 동일하다. 이로 인해 접합 계면에서의 잔류응력이 최소화되어 박리 현상이 방지될 수 있게 된다.
- [0075] 또한, 양극산화막시트(103)로 구성된 스페이스 트랜스 포머(105') 및 프로브 핀 지지부재(102)를 구비하는 프로브 카드(100)는 고온의 환경 및 저온의 환경에서 회로 단자(107a)를 점검할 경우, 회로 단자(107a)와의 위치 어긋남이 발생하지 않는다. 스페이스 트랜스 포머(105') 및 프로브 핀 지지부재(102)를 구성하는 양극산화막시트(103)는 웨이퍼(107)의 열팽창 계수와 유사한 열팽창 계수를 갖는다. 따라서, 프로브 카드(100)가 고온의 환경 및 저온의 환경에서 회로 점검을 수행할 때, 유사한 열팽창률을 가질 수 있다. 이로 인해 웨이퍼 회로 단자(107a)와의 위치 어긋남이 방지될 수 있다. 그 결과 회로 단자(107a)와의 접촉 불량률이 감소되는 효과를 얻을 수 있게 된다.
- [0076] 도 4는 본 발명의 프로브 카드(100)의 제조 방법을 순서대로 도시한 도이다. 도 4에서는 제1실시 예에 따른 프로브 카드(100)를 예시적으로 도시한다.
- [0077] 프로브 카드의 제조 방법은 양극산화막시트(103)에 제1홀(110)을 형성하는 제1단계(S1), 수직부(101b)를 형성하는 제2단계(S2), 수평부(101a)를 형성하는 제3단계(S3), 제2홀(120)을 형성하는 제4단계 및 스페이스 트랜스 포머(105)를 접합하는 제5단계(S5)를 포함한다.
- [0078] 도 4(a)에 도시된 바와 같이, 금속을 양극산화하여 형성된 양극산화막시트(103)가 구비된다. 그런 다음 양극산화막시트(103)에 에칭을 통해 제1홀(110)이 형성된다. 제1홀(110)은 양극산화막시트(103)를 상, 하 관통하여 형성될 수 있다. 제1홀(110)의 폭은 임의로 형성될 수 있다. 제1홀(110)은 프로브 핀(101)의 수직부(101b)를 형성하기 위하여 에칭될 수 있다. 양극산화막시트(103)에는 도 4(a)에 도시된 제1홀(110)의 피치 간격보다 협피치의 제1홀(110)이 에칭되어 형성될 수 있다. 이로 인해 협피치의 프로브 핀(101)이 구비될 수 있다. 그 결과 미세한 단자와 효과적으로 접속될 수 있다. 위와 같이, 양극산화막시트(103)에 제1홀(110)을 형성하는 제1단계(S1)가 수행된다.
- [0079] 그런 다음, 제1홀(110)에 도전성 물질을 충전하는 제2단계(S2)가 수행된다. 도 4(b)에 도시된 바와 같이, 제1홀(110)에 도전성 물질이 충전된다. 이로 인해 수직부(101b)가 형성될 수 있다. 수직부(101b)는 프로브 핀(101)의

하나의 구성으로서 회로 단자(107a)와 접촉되는 부분이다. 수직부(101b)를 형성하는 도전성 물질은 솔더, 구리, 은, 주석, 비스무트, 인듐, 크롬 니켈, 티탄 등의 금속 재료 또는 이들의 금속 재료 합금 재료 중 적어도 하나를 포함하며 이에 한정되는 것은 아니다. 수직부(101b)는 위와 같은 도전성 물질로 구성되어 회로 단자(107a)와 전기적으로 연결될 수 있다.

[0080] 그런 다음, 도 4(c)에 도시된 바와 같이, 수직부(101b)와 연결되도록 수평부(101a)를 형성하는 제3단계(S3)가 수행된다. 도 4(c)에 도시된 바와 같이, 양극산화막시트(103)의 상면에 수직부(101b)의 상부와 연결되도록 수평부(101a)가 형성된다. 이러한 수평부(101a)는 수직부(101b)와 같이 도전성 물질로 이루어질 수 있다. 수평부(101a)는 그 일단부가 수직부(101b)의 상부와 연결되도록 형성될 수 있다.

[0081] 그런 다음 제2홀(120)을 형성하는 제4단계(S4)가 수행된다. 도 4(d)에 도시된 바와 같이, 수직부(101b)의 주변에 존재하는 양극산화막시트(103)의 적어도 일부가 수직적으로 에칭된다. 이로 인해 제2홀(120)이 형성된다. 이러한 제2홀(120)은 수직부(101b)가 통과하는 관통홀(104)일 수 있다. 또한, 양극산화막시트(103)의 하면의 일부가 수평적으로 에칭된다. 이로 인해 수직부(101b)는 양극산화막시트(103)보다 돌출된다. 수직부(101b)는 돌출부를 통해 회로 단자(107a)와 접촉될 수 있다.

[0082] 그런 다음, 스페이스 트랜스 포머(105)를 접합하는 제5단계(S5)가 수행된다. 도 4(e)에 도시된 바와 같이, 접속 패드(105a)를 구비하는 스페이스 트랜스 포머(105)를 구비한다. 그런 다음, 접속 패드(105a)가 수평부(101a)에 접합된다. 이 경우, 접속 패드(105a)는 수평부(101a)에 일괄 접합될 수 있다.

[0083] 한편, 제5단계(S5)에서 복수개의 양극산화막시트(103)로 구성된 스페이스 트랜스 포머(105')가 구비될 수 있다. 이 경우, 스페이스 트랜스 포머(105')는 복수개의 양극산화막시트(103)를 접합하여 형성될 수 있다. 복수개의 양극산화막시트(103)에는 비아 도체(104a), 내부 배선층(109) 및 이방성 전도 물질(108, 또는 박막 도체층)이 구비될 수 있다. 이로 인해 복수개의 양극산화막시트(103) 각각이 전기적으로 연결될 수 있다. 이러한 스페이스 트랜스 포머(105')의 접속 패드(105a)는 도 4(e)에 도시된 바와 같이 수평부(101a)에 일괄 접합될 수 있다. 위와 같이 복수개의 양극산화막시트(103)로 구성된 스페이스 트랜스 포머(105')를 수평부(101a)에 접합하여 제2 실시 예에 따른 프로브 카드(100)가 제조될 수 있다.

[0084] 본 발명의 프로브 카드(100)는 프로브 핀(101)을 구비하기 위한 제1, 2홀(110, 120)을 에칭하여 형성한다. 양극산화막 재질로 구성된 양극산화막시트(103)는 에칭을 통해 화학적으로 제1, 2홀(110, 120)을 형성할 수 있다. 그러므로 협피치로 홀을 형성하기가 용이하다. 종래의 경우, 알루미늄이나 소결체로 구성되는 세라믹 재질로 이루어진 기판에 프로브 핀을 구비하기 위한 홀이 형성된다. 이 경우, 홀은 레이저 가공을 통해 형성된다. 레이저 가공은 홀을 형성할 위치를 열변형하는 방법이다. 따라서 홀 형성시 적절한 이격거리가 고려되어야 한다. 다시 말해, 종래의 경우, 홀 형성시 적절한 이격거리가 고려되어야 하므로 협피치로 홀을 형성하는 것이 어렵다. 하지만 본 발명은 양극산화막시트(103)를 에칭하여 용이하게 협피치로 홀을 형성할 수 있다. 이로 인해 프로브 핀(101)의 피치 간격이 매우 좁게 형성될 수 있다. 본 발명은 위와 같이 협피치로 프로브 핀(101)을 구비할 수 있다. 따라서, 고집적화 및 미세화된 반도체 소자의 미세한 단자와 용이한 접속이 가능할 수 있다. 다시 말해, 본 발명은 검사 대상의 회로 단자가 협피치로 형성되더라도 이에 적합한 피치 간격으로 프로브 핀(101)을 구비할 수 있다.

[0085] 본 발명은 위와 같이 협피치로 프로브 핀(101)을 구비할 수 있으므로 미세한 단자에도 효과적으로 접속될 수 있다. 또한, 프로브 핀(101)이 안정적으로 지지되는 구조로 구비된다. 이로 인해 프로브 핀(101)의 접합력 및 고정력이 향상되어 회로 단자(107a)와의 접촉 불량률을 감소시킬 수 있게 된다. 또한, 본 발명은 검사 대상의 열팽창 계수와 유사한 열팽창 계수를 갖는 구성을 구비하여 회로 단자(107a)와 프로브 핀(101)의 위치 어긋남을 방지할 수 있다. 이로 인해 회로 단자(107a)와 프로브 핀(101)의 접촉 위치의 정확도가 높아질 수 있다. 그 결과 측정의 신뢰도가 높아질 수 있다.

[0086] 진술한 바와 같이, 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술분야의 통상의 기술자는 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 또는 변형하여 실시할 수 있다.

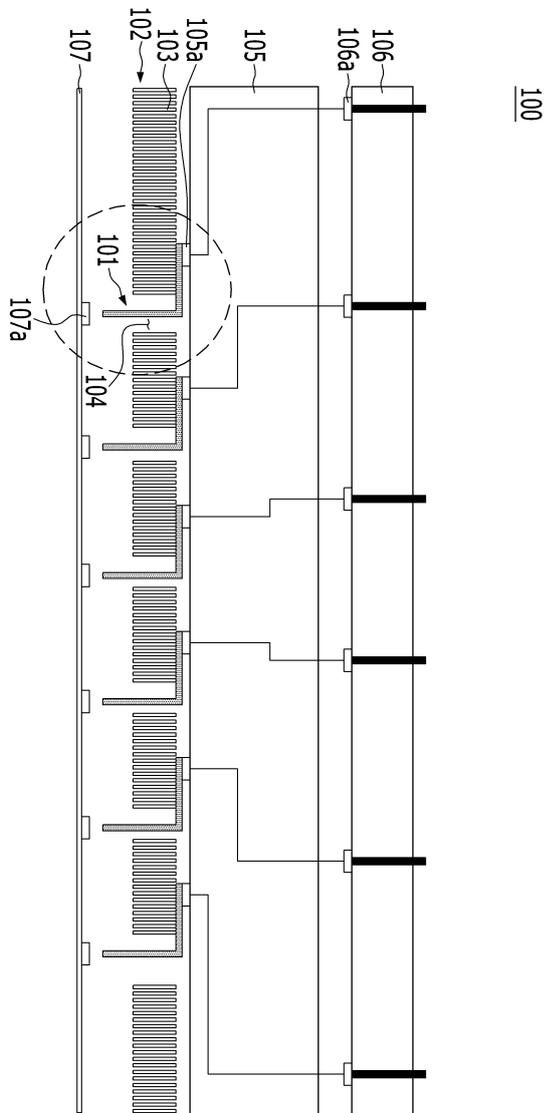
**부호의 설명**

- [0087] 100: 프로브 카드
- 101: 프로브 핀

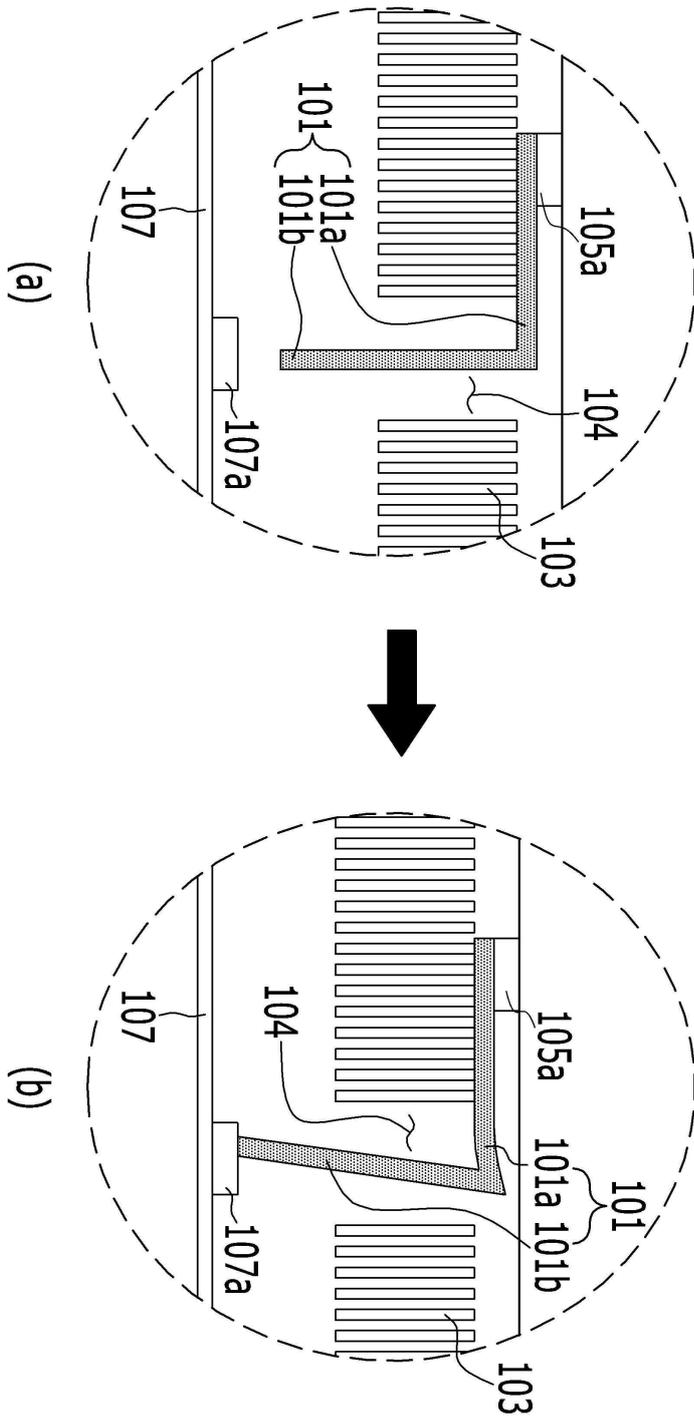
- 101a: 수평부
- 102: 프로브 핀 지지부재
- 104: 관통홀
- 105, 105': 스페이스 트랜스 포머
- 106: PCB 기판
- 107: 웨이퍼
- 108: 이방성 전도 물질
- 110: 제1홀
- 101b: 수직부
- 103: 양극산화막시트
- 104a: 비아 도체
- 105a: 접속 패드
- 106a: 기판 단자
- 107a: 회로 단자
- 109: 내부 배선층
- 120: 제2홀

도면

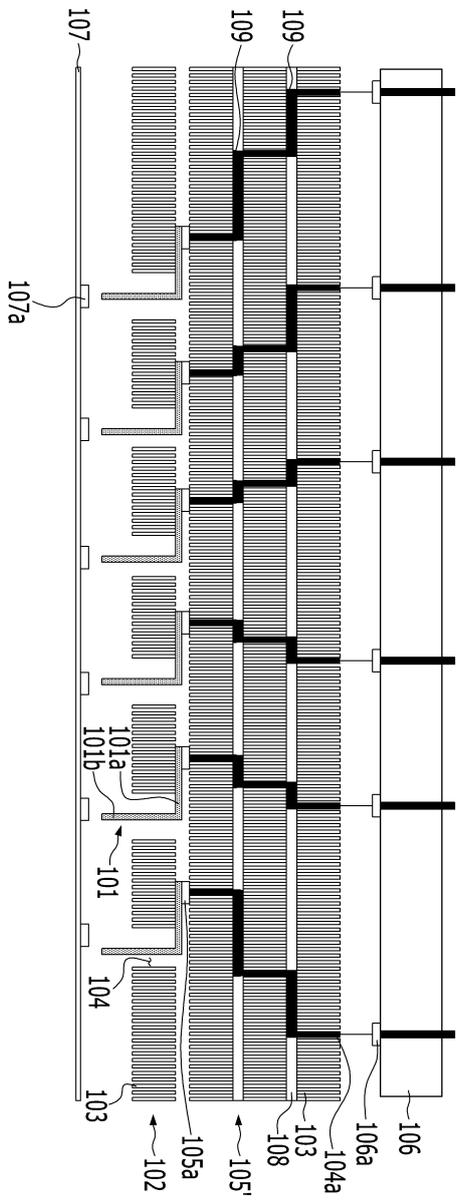
도면1



도면2

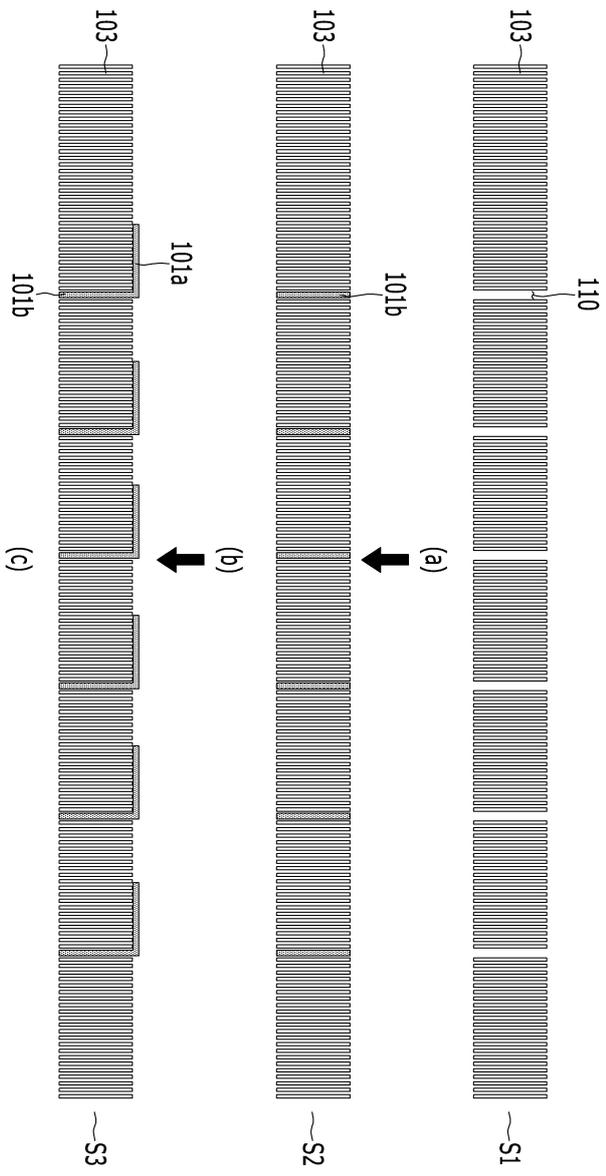


도면3



100

도면4a



도면4b

