



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0027563
(43) 공개일자 2021년03월11일

(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2018.01) G06F 13/16 (2006.01)
(52) CPC특허분류
G06F 12/0246 (2013.01)
G06F 13/1673 (2013.01)
(21) 출원번호 10-2019-0105675
(22) 출원일자 2019년08월28일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
조영익
서울특별시 송파구 중대로 24 231동 1402호 (문정동, 혜미리아파트)
홍성관
서울특별시 서초구 서운로 200 롯데캐슬클래식아파트 115동 801호
(뒷면에 계속)
(74) 대리인
김성남

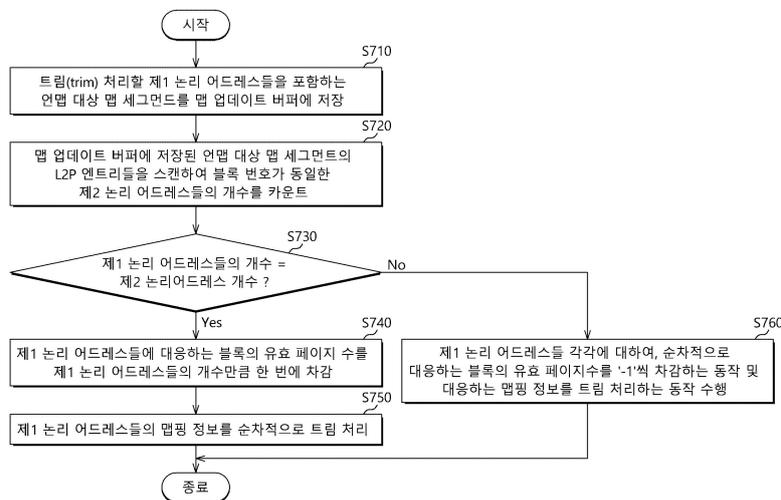
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 저장 장치 및 그 동작 방법

(57) 요약

본 발명의 실시 예에 따른 저장 장치는 불휘발성 메모리 및 컨트롤러를 포함한다. 상기 컨트롤러는, 트림(trim) 처리할 제1 논리 어드레스들을 포함하는 언맵 대상 맵 세그먼트를 맵 업데이트 버퍼에 저장하고, 맵 업데이트 버퍼에 저장된 상기 하나 또는 그 이상의 언맵 대상 맵 세그먼트들의 L2P(logical address to physical address) 엔트리들 중 메모리 블록 번호가 동일한 제2 논리 어드레스들의 개수를 카운트하고, 및 상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 동일한지 여부에 따라 제1 언맵 동작 또는 제2 언맵 동작을 선택적으로 수행한다.

대표도



(52) CPC특허분류

G11C 16/08 (2013.01)

G06F 2212/1024 (2013.01)

G06F 2212/7201 (2013.01)

(72) 발명자

박병규

경기도 성남시 분당구 느티로 70 느티마을3,4단지
406동 1401호

전성훈

경기도 용인시 수지구 용구대로2787번길 9-11 이지
뷰 32동 105호

명세서

청구범위

청구항 1

불휘발성 메모리 및 컨트롤러를 포함하는 저장 장치로서,

상기 컨트롤러는,

트림(trim) 처리할 제1 논리 어드레스들을 포함하는 하나 또는 그 이상의 언맵 대상 맵 세그먼트들을 맵 업데이트 버퍼에 저장하고,

맵 업데이트 버퍼에 저장된 상기 하나 또는 그 이상의 언맵 대상 맵 세그먼트들의 L2P(logical address to physical address) 엔트리들 중 메모리 블록 번호가 동일한 제2 논리 어드레스들의 개수를 카운트하고, 및

상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 동일한지 여부에 따라 제1 언맵 동작 또는 제2 언맵 동작을 선택적으로 수행하는 저장 장치.

청구항 2

제1항에 있어서,

상기 컨트롤러는, 상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 동일하면, 상기 제1 논리 어드레스들에 대하여 상기 제1 언맵 동작을 수행하는 저장 장치.

청구항 3

제2항에 있어서,

상기 제1 언맵 동작은,

상기 제1 논리 어드레스들에 대응하는 메모리 블록에 대한 유효 페이지 수를 상기 제1 논리 어드레스들의 개수 만큼 한 번에 차감하는 동작; 및

상기 제1 논리 어드레스들의 맵핑 정보를 순차적으로 트림(trim) 처리하는 동작을 포함하는 저장 장치.

청구항 4

제1항에 있어서,

상기 컨트롤러는, 상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 상이하면, 상기 제1 논리 어드레스들에 대하여 상기 제2 언맵 동작을 수행하는 저장 장치.

청구항 5

제4항에 있어서,

상기 제2 언맵 동작은, 상기 제1 논리 어드레스들 각각에 대하여, 대응하는 메모리 블록에 대한 유효 페이지 수를 '-1' 씩 차감하는 동작 및 대응하는 맵핑 정보를 트림(trim) 처리하는 동작을 순차적으로 수행하는 동작인 저장 장치.

청구항 6

제1항에 있어서,

상기 컨트롤러는,

호스트와 인터페이싱하도록 구성된 제1 코어;

상기 불휘발성 메모리의 동작을 제어하도록 구성된 제2 코어; 및

상기 하나 또는 그 이상의 언맵 대상 맵 세그먼트들의 L2P 엔트리들 중 메모리 블록 번호가 동일한 제2 논리 어

드레스들을 검색하고 카운트하는 검색 엔진을 포함하는 저장 장치를.

청구항 7

제6항에 있어서,

상기 컨트롤러는, 상기 제1 논리 어드레스들에 대한 트림(trim) 처리를 수행하기 위한 소스 코드로 구성된 맵 모듈이 저장된 메모리를 더 포함하는 저장 장치.

청구항 8

제7항에 있어서,

상기 맵 모듈은 상기 검색 엔진을 이용하여 획득된 상기 제2 논리 어드레스들의 개수와 상기 제1 논리 어드레스들의 개수를 비교하여 동일한지 여부를 판단하고, 판단 결과에 따라 상기 제1 언맵 동작 또는 상기 제2 언맵 동작을 수행하는 저장 장치.

청구항 9

제6항에 있어서,

상기 검색 엔진은 상기 L2P 엔트리들에 포함된 물리 어드레스들 각각의 일부 비트들을 스캔하여 메모리 블록 번호가 동일한 L2P 엔트리들을 카운트하는 저장 장치.

청구항 10

제9항에 있어서,

상기 일부 비트들은 상기 물리 어드레스들 각각의 최상위 비트를 포함하는 다수의 상위 비트들인 저장 장치.

청구항 11

불휘발성 메모리 및 컨트롤러를 포함하는 저장 장치의 동작 방법으로서,

트림(trim) 처리할 제1 논리 어드레스들을 포함하는 하나 또는 그 이상의 언맵 대상 맵 세그먼트들을 맵 업데이트 버퍼에 저장하는 단계;

맵 업데이트 버퍼에 저장된 상기 하나 또는 그 이상의 언맵 대상 맵 세그먼트들의 L2P(logical address to physical address) 엔트리들 중 메모리 블록 번호가 동일한 제2 논리 어드레스들의 개수를 카운트하는 단계; 및
 상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 동일한지 여부에 따라 제1 언맵 동작 또는 제2 언맵 동작을 선택적으로 수행하는 단계를 포함하는 저장 장치의 동작 방법.

청구항 12

제11항에 있어서,

상기 제2 논리 어드레스들의 개수를 카운트하는 단계는,

상기 L2P 엔트리들에 포함된 물리 어드레스들 각각의 일부 비트들을 스캔하는 단계; 및

스캔 결과에 근거하여 메모리 블록 번호가 동일한 L2P 엔트리들의 개수를 카운트하는 단계를 포함하는 저장 장치의 동작 방법.

청구항 13

제12항에 있어서,

상기 일부 비트들은 상기 물리 어드레스들 각각의 최상위 비트를 포함하는 다수의 상위 비트들인 저장 장치의 동작 방법

청구항 14

제11항에 있어서,

상기 제1 언맵 동작 또는 상기 제2 언맵 동작을 선택적으로 수행하는 단계에서,

상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 동일하면, 상기 제1 논리 어드레스들에 대하여 상기 제1 언맵 동작을 수행하는 저장 장치의 동작 방법.

청구항 15

제11항에 있어서,

상기 제1 언맵 동작 또는 상기 제2 언맵 동작을 선택적으로 수행하는 단계에서,

상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 상이하면, 상기 제1 논리 어드레스들에 대하여 상기 제2 언맵 동작을 수행하는 저장 장치의 동작 방법.

청구항 16

제11항에 있어서,

상기 제1 언맵 동작은,

상기 제1 논리 어드레스들에 대응하는 메모리 블록에 대한 유효 페이지 수를 상기 제1 논리 어드레스들의 개수 만큼 한 번에 차감하는 동작; 및

상기 제1 논리 어드레스들의 맵핑 정보를 순차적으로 트림(trim) 처리하는 동작을 포함하는 저장 장치의 동작 방법.

청구항 17

제11항에 있어서,

상기 제2 언맵 동작은, 상기 제1 논리 어드레스들 각각에 대하여, 대응하는 메모리 블록에 대한 유효 페이지 수를 ‘-1’ 씩 차감하는 동작 및 대응하는 맵핑 정보를 트림(trim) 처리하는 동작을 순차적으로 수행하는 것인 저장 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로는 저장 장치 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 근 컴퓨터 환경에 대한 패러다임(paradigm)이 언제, 어디서나 컴퓨터 시스템을 사용할 수 있도록 하는 유비쿼터스 컴퓨팅(ubiquitous computing)으로 전환되고 있다. 이로 인해 휴대폰, 디지털 카메라, 노트북 컴퓨터 등과 같은 휴대용 전자 장치의 사용이 급증하고 있다. 이와 같은 휴대용 전자 장치는 일반적으로 메모리 장치를 이용하는 데이터 저장 장치를 사용한다. 데이터 저장 장치는 휴대용 전자 장치에서 사용되는 데이터를 저장하기 위해서 사용된다.

[0003] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 데이터 저장 장치는 USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, UFS(Universal Flash Storage) 장치, 솔리드 스테이트 드라이브(Solid State Drive)를 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시 예는 언맵(unmap) 동작에 소요되는 시간을 단축시킬 수 있는 저장 장치 및 그 동작 방법을 제공

한다.

과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 저장 장치는 불휘발성 메모리 및 컨트롤러를 포함한다. 상기 컨트롤러는, 트림(trim) 처리할 제1 논리 어드레스들을 포함하는 하나 또는 그 이상의 언맵 대상 맵 세그먼트들을 맵 업데이트 버퍼에 저장하고, 맵 업데이트 버퍼에 저장된 상기 하나 또는 그 이상의 언맵 대상 맵 세그먼트들의 L2P(logical address to physical address) 엔트리들 중 메모리 블록 번호가 동일한 제2 논리 어드레스들의 개수를 카운트하고, 및 상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 동일한지 여부에 따라 제1 언맵 동작 또는 제2 언맵 동작을 선택적으로 수행한다.

[0006] 본 발명의 실시 예에 따른 저장 장치의 동작 방법은 트림(trim) 처리할 제1 논리 어드레스들을 포함하는 하나 또는 그 이상의 언맵 대상 맵 세그먼트들을 맵 업데이트 버퍼에 저장하는 단계; 맵 업데이트 버퍼에 저장된 상기 하나 또는 그 이상의 언맵 대상 맵 세그먼트들의 L2P(logical address to physical address) 엔트리들 중 메모리 블록 번호가 동일한 제2 논리 어드레스들의 개수를 카운트하는 단계; 및 상기 제1 논리 어드레스들의 개수와 상기 제2 논리 어드레스들의 개수가 동일한지 여부에 따라 제1 언맵 동작 또는 제2 언맵 동작을 선택적으로 수행하는 단계를 포함한다.

발명의 효과

[0007] 본 실시 예에 따르면, 언맵 요청된 논리 어드레스들에 맵핑된 물리 어드레스들이 하나의 메모리 블록에 포함된 경우와 다수의 메모리 블록에 포함된 경우 각각에 대하여 최적화된 언맵 동작을 선택적으로 수행할 수 있으므로, 언맵 동작에 소요되는 시간을 단축시킬 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시 예에 따른 저장 장치를 나타낸 도면이다.
- 도 2는 도 1의 메모리를 나타낸 도면이다.
- 도 3은 도 2의 플래시 변환 계층(flash translation layer, FTL)을 예시적으로 나타낸 도면이다.
- 도 4는 본 발명의 실시 예에 따른 어드레스 맵핑 테이블(address mapping table)을 예시적으로 나타낸 도면이다.
- 도 5는 본 발명의 실시 예에 따라 언맵 대상 맵 세그먼트에서 블록 넘버가 동일한 논리 어드레스를 검색 및 카운트하는 과정을 예시적으로 나타낸 도면이다.
- 도 6은 본 발명의 실시 예에 따른 검색 엔진이 블록 넘버가 동일한 논리 어드레스를 구별하는 방법을 예시적으로 나타낸 도면이다.
- 도 7은 본 발명의 실시 예에 따른 저장 장치의 동작 방법을 나타낸 도면이다.
- 도 8은 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD)를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다.
- 도 9는 도 8의 컨트롤러의 구성을 예시적으로 나타낸 도면이다.
- 도 10은 본 발명의 실시 예에 따른 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다.
- 도 11은 본 발명의 실시 예에 따른 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다.
- 도 12는 본 발명의 실시 예에 따른 저장 장치를 포함하는 네트워크 시스템을 예시적으로 나타낸 도면이다.
- 도 13은 본 발명의 실시 예에 따른 저장 장치에 포함된 불휘발성 메모리 장치를 예시적으로 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시 예를 설명하도록 한다.
- [0010] 도 1은 본 발명의 실시 예에 따른 저장 장치(10)의 구성을 예시적으로 나타낸 도면이다.
- [0011] 도 1을 참조하면, 본 실시 예에 따른 저장 장치(10)는 휴대폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터,

게임기, TV, 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트(도시되지 않음)에 의해서 액세스되는 데이터를 저장할 수 있다. 저장 장치(10)는 메모리 시스템으로 불릴 수 있다.

- [0012] 저장 장치(10)는 호스트와 연결되는 인터페이스 프로토콜에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다. 예를 들어, 저장 장치(10)는 솔리드 스테이트 드라이브(solid state drive, SSD), MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-e(PCI-express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.
- [0013] 저장 장치(10)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들어, 저장 장치(10)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi-chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.
- [0014] 저장 장치(10)는 불휘발성 메모리(100) 및 컨트롤러(200)를 포함할 수 있다.
- [0015] 불휘발성 메모리(100)는 저장 장치(10)의 데이터 저장 매체로서 동작할 수 있다. 불휘발성 메모리(100)는 메모리 셀에 따라서 낸드(NAND) 플래시 메모리 장치, 노어(NOR) 플래시 메모리 장치, 강유전체 커패시터를 이용한 강유전체 램(ferroelectric random access memory, FRAM), 터널링 자기저항성(TMR) 막을 이용한 마그네틱 램(magnetic random access memory, MRAM), 칼코겐 화합물(chalcogenide alloys)을 이용한 상변화 램(phase change random access memory, PRAM), 전이 금속 화합물(transition metal oxide)을 이용한 저항성 램(resistive random access memory, ReRAM) 등과 같은 다양한 형태의 불휘발성 메모리들 중 어느 하나로 구성될 수 있다.
- [0016] 도면의 간략화를 위해, 도 1에서는 불휘발성 메모리(100)를 하나의 블록으로 도시하였으나, 불휘발성 메모리(100)는 복수의 메모리 칩들(또는 다이들)을 포함할 수 있다. 본 실시 예는 복수의 메모리 칩들로 구성된 불휘발성 메모리(100)를 포함하는 저장 장치(10)에 대해서도 동일하게 적용될 수 있다.
- [0017] 불휘발성 메모리(100)는 복수의 비트라인들(도시되지 않음) 및 복수의 워드라인들(도시되지 않음)이 교차하는 영역들에 각각 배치되는 복수의 메모리 셀들을 갖는 메모리 셀 어레이(도시되지 않음)를 포함할 수 있다. 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있고, 복수의 메모리 블록들은 각각 복수의 페이지들을 포함할 수 있다.
- [0018] 예를 들어, 메모리 셀 어레이의 각 메모리 셀은 하나의 비트를 저장하는 싱글 레벨 셀(single level cell, SLC), 2 비트의 데이터를 저장할 수 있는 멀티 레벨 셀(multi-level cell, MLC), 3 비트의 데이터를 저장할 수 있는 트리플 레벨 셀(triple level cell, TLC) 또는 4 비트의 데이터를 저장할 수 있는 쿼드 레벨 셀(quad level cell, QLC)일 수 있다. 메모리 셀 어레이(110)는 싱글 레벨 셀, 멀티 레벨 셀, 트리플 레벨 셀, 및 쿼드 레벨 셀 중 적어도 하나 이상을 포함할 수 있다. 예를 들어, 메모리 셀 어레이(110)는 2차원 수평 구조의 메모리 셀들을 포함할 수도 있고, 또는 3차원 수직 구조의 메모리 셀들을 포함할 수도 있다.
- [0019] 컨트롤러(200)는 저장 장치(10)의 제반 동작을 제어할 수 있다. 컨트롤러(200)는 호스트로부터 수신된 요청을 처리할 수 있다. 컨트롤러(200)는 호스트로부터 수신된 요청에 응답하여 불휘발성 메모리(100)의 동작을 제어하기 위한 제어 신호들을 생성하고, 생성된 제어 신호들을 불휘발성 메모리(100)로 제공할 수 있다. 도 1을 다시 참조하면, 컨트롤러(200)는 제1 코어(210), 메모리(220) 및 제2 코어(230)를 포함할 수 있다. 컨트롤러(200)는 검색 엔진(240)을 더 포함할 수 있다.
- [0020] 제1 코어(210)는 호스트의 프로토콜에 대응하여 호스트와 저장 장치(10) 사이를 인터페이싱하도록 구성될 수 있다. 이에 따라, 제1 코어(210)는 프로토콜 코어(protocol core)로도 불릴 수 있다. 예를 들어, 제1 코어(210)는 USB(universal serial bus), UFS(universal flash storage), MMC(multimedia card), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-e(PCI express) 프로토콜 중 어느 하나를 통해 호스트와 통신할 수 있다.
- [0021] 제1 코어(210)는 마이크로 컨트롤 유닛(micro control unit)(MCU), 중앙 처리 장치(central processing

unit)(CPU)를 포함할 수 있다. 제1 코어(210)는 호스트로부터 전송되는 커맨드들을 수신하고, 수신된 커맨드들을 제2 코어(230)로 제공할 수 있다.

- [0022] 또한, 제1 코어(210)는 호스트로부터 수신된 데이터(예컨대, 라이트 데이터)를 메모리(220)의 라이트 버퍼(write buffer)(도 2 참조)에 저장할 수 있다. 이를 위해, 컨트롤러(200)는 호스트로부터 수신된 데이터를 메모리(220)의 라이트 버퍼(write buffer)로 전송하기 위한 별도의 데이터 전송 블록(도시하지 않음)을 더 포함할 수 있다. 예를 들어, 데이터 전송 블록은 제1 코어(210)로부터 수신된 제어 신호에 따라 호스트로부터 데이터를 수신하여 메모리(220)의 라이트 버퍼(write buffer)에 저장할 수 있다.
- [0023] 또한, 제1 코어(210)는 메모리(220)의 리드 버퍼(read buffer)(도 2 참조)에 저장된 데이터(예컨대, 리드 데이터)를 호스트로 전송할 수 있다. 예를 들어, 데이터 전송 블록은 제1 코어(210)로부터 수신된 제어 신호에 따라 메모리(220)의 리드 버퍼(read buffer)에 저장된 데이터를 독출하여 호스트로 전송할 수 있다.
- [0024] 제1 코어(210)는 호스트로부터 수신된 커맨드에 근거하여 디스크립터(descriptor)를 생성하고, 생성된 디스크립터(descriptor)를 제2 코어(230)로 제공할 수 있다. 여기에서, 디스크립터(descriptor)는 제2 코어(230)가 호스트로부터 수신된 커맨드를 처리하는데 필요한 정보가 포함된 작업 기술서일 수 있다.
- [0025] 제1 코어(210)는 호스트로부터 언맵 커맨드(unmap command)가 수신되면, 메모리(220)의 커맨드 큐(Command Queue)(도시되지 않음) 내에 할당된 언맵 커맨드 큐(Unmap CMD Queue)에 큐잉할 수 있으나, 특별히 이에 한정되는 것은 아니다.
- [0026] 메모리(220)는 정적 랜덤 액세스 메모리(SRAM) 또는 동적 랜덤 액세스 메모리(DRAM)과 같은 랜덤 액세스 메모리로 구성될 수 있으나, 특별히 이에 한정되는 것은 아니다. 도 1에서는, 메모리(220)가 컨트롤러(200) 내에 포함된 것으로 도시되었으나, 메모리(220)는 컨트롤러(200)의 외부에 배치될 수도 있다.
- [0027] 메모리(220)는 제1 코어(210) 및 제2 코어(230)와 물리적으로 그리고 전기적으로 연결될 수 있다. 메모리(220)는 제2 코어(230)에 의해서 실행되는 펌웨어를 저장할 수 있다. 또한, 메모리(220)는 펌웨어의 실행에 필요한 데이터, 예를 들면, 메타 데이터를 저장할 수 있다. 즉, 메모리(220)는 제2 코어(230)의 동작 메모리(working memory)로서 동작할 수 있다.
- [0028] 또한, 메모리(220)는 호스트로부터 불휘발성 메모리(100)로 전송될 라이트 데이터 및 불휘발성 메모리 장치(100)로부터 호스트로 전송될 리드 데이터를 임시 저장하기 위한 버퍼(buffer)를 포함하도록 구성될 수 있다. 즉, 메모리(220)는 버퍼 메모리(buffer memory)로서 동작할 수 있다. 메모리(220)의 내부 구성에 대해서는 이후 도 2를 참조하여 상세히 설명한다.
- [0029] 제2 코어(230)는 메모리(220)에 로딩된 펌웨어 또는 소프트웨어의 실행을 통해서 저장 장치(10)의 제반 동작을 제어할 수 있다. 제2 코어(230)는 펌웨어 또는 소프트웨어와 같은 코드 형태의 명령(instruction) 또는 알고리즘을 해독하고 실행시킬 수 있다. 이에 따라, 제2 코어(230)는 FTL(flash translation layer) 코어로도 불릴 수 있다. 제2 코어(230)는 마이크로 컨트롤 유닛(micro control unit)(MCU), 중앙 처리 장치(central processing unit)(CPU)를 포함할 수 있다.
- [0030] 제2 코어(230)는 제1 코어(210)로부터 제공된 커맨드에 근거하여 불휘발성 메모리(100)의 동작을 제어하기 위한 제어 신호들을 생성하고, 생성된 제어 신호들을 불휘발성 메모리(100)로 제공할 수 있다. 제어 신호들은 불휘발성 메모리(100)를 제어하기 위한 커맨드, 어드레스, 동작 제어 신호 등을 포함할 수 있다. 제2 코어(230)는 메모리(220)에 임시 저장된 라이트 데이터를 불휘발성 메모리(100)로 제공하거나, 불휘발성 메모리(100)로부터 리드 데이터를 제공 받을 수 있다.
- [0031] 검색 엔진(240)은 메모리(220)의 맵 업데이트 버퍼(map update buffer)(도 2 참조)에 저장된 언맵(unmap) 대상 맵 세그먼트의 논리 어드레스들 중 블록 번호가 동일한 논리 어드레스들을 검색 및 카운트할 수 있다. 블록 번호가 동일한 논리 어드레스들은 하나의 메모리 블록에 포함된 물리 어드레스들이 맵핑된 논리 어드레스들을 의미할 수 있다. 검색 엔진(240)은 제2 코어(230)의 제어에 의해 동작할 수 있다. 또한, 검색 엔진(240)은 제2 코어(230)에 의해 실행된 맵 모듈(MM)(도 3 참조)의 제어에 의해 동작할 수 있다.
- [0032] 도 2는 도 1의 메모리(220)를 나타낸 도면이고, 도 3은 도 2의 플래시 변환 계층(FTL)을 예시적으로 나타낸 도면이다.
- [0033] 도 2를 참조하면, 본 실시 예에 따른 메모리(220)는 크게 제1 영역 및 제2 영역으로 구분될 수 있으나, 특별히 이에 한정되는 것은 아니다. 예를 들어, 메모리(220)의 제1 영역에는 제2 코어(230)에 의해 해석 및 실행되는

소프트웨어(또는 펌웨어) 및 제2 코어(230)에서 연산 및 처리 동작을 수행하는데 필요한 메타 데이터 등이 저장될 수 있다. 또한, 메모리(220)의 제1 영역에는 호스트로부터 수신된 커맨드들이 저장될 수 있다.

- [0034] 예를 들어, 메모리(220)의 제1 영역에 저장된 소프트웨어는 플래시 변환 계층(flash translation layer, FTL)일 수 있다. 플래시 변환 계층(FTL)은 제2 코어(230)에 의해 실행될 수 있고, 제2 코어(230)는 플래시 변환 계층(FTL)을 실행시켜 불휘발성 메모리(100)의 고유 동작을 제어하고, 호스트에 장치 호환성을 제공할 수 있다. 플래시 변환 계층(FTL)의 실행을 통해서, 호스트는 저장 장치(10)를 하드 디스크와 같은 일반적인 저장 장치로 인식하고 사용할 수 있다.
- [0035] 플래시 변환 계층(FTL)은 불휘발성 메모리(100)의 시스템 영역(도시되지 않음)에 저장될 수 있고, 저장 장치(10)가 파워-온 되면 불휘발성 메모리(100)의 시스템 영역으로부터 독출되어 메모리(220)의 제1 영역에 로드될 수 있다. 또한, 메모리(220)의 제1 영역에 로드된 플래시 변환 계층(flash translation layer, FTL)은 제2 코어(230)의 내부 또는 외부에 별도로 구비된 제2 코어(230) 전용 메모리(도시하지 않음)에 로드될 수도 있다.
- [0036] 플래시 변환 계층(FTL)은 여러 기능을 수행하기 위한 모듈들을 포함할 수 있다. 예를 들어, 도 3을 참조하면, 플래시 변환 계층(FTL)은 맵 모듈(MM)을 포함할 수 있으나, 특별히 이에 한정되는 것은 아니며, 리드 모듈, 라이트 모듈, 가비지 컬렉션 모듈, 웨어-레벨링 모듈, 배드 블록 관리 모듈 등을 포함할 수 있다. 예를 들어, 플래시 변환 계층(FTL)에 포함된 모듈들은 각각 특정 동작(또는 기능)을 수행하기 위한 소스 코드들의 집합으로 구성될 수 있다.
- [0037] 맵 모듈(MM)은 맵 데이터에 관련된 동작들을 수행하도록 불휘발성 메모리(100) 및 메모리(220)를 관리하도록 구성될 수 있다. 맵 데이터에 관련된 동작들은 크게 어드레스 맵핑(변환) 동작, 맵 업데이트 동작, 및 맵 캐싱 동작을 포함할 수 있으나, 특별히 이에 한정되는 것은 아니다.
- [0038] 예를 들어, 호스트로부터 라이트 커맨드, 논리 어드레스 및 라이트 데이터가 제공되면, 제2 코어(230)는 맵 모듈(MM)을 실행시켜 메모리(220)의 어드레스 버퍼(도시되지 않음)에서 라이트 데이터가 저장될 물리 어드레스에 대응하는 영역에 논리 어드레스를 저장할 수 있다. 즉, 논리 어드레스를 데이터가 저장될 실제 위치에 대응하는 물리 어드레스에 맵핑시키는 것이다.
- [0039] 또한, 맵 업데이트 동작이 수행될 조건에 도달하면, 제2 코어(230)는 맵 모듈(MM)을 실행시켜 어드레스 버퍼에 저장된 논리 어드레스와 물리 어드레스 간의 맵핑 정보에 근거하여 어드레스 맵핑 테이블(도 4 참조)에 저장된 이전 맵핑 정보를 최신 맵핑 정보로 갱신하거나 또는, 호스트로부터 언맵 요청된 논리 어드레스들에 대한 트림(trim) 처리를 수행할 수 있다.
- [0040] 다시 도 2를 참조하면, 메모리(220)의 제1 영역은 플래시 변환 계층(FTL)에 포함된 다양한 모듈들의 구동에 필요한 메타 데이터가 저장되는 메타 영역(meta region)을 포함할 수 있다. 메타 영역(meta region)에는 불휘발성 메모리(100)에 포함된 복수의 메모리 블록들 각각에 대한 유효 페이지 수(Valid Page Count, VPC)가 저장될 수 있다. 메모리 블록의 유효 페이지 수는 맵 업데이트 동작이 수행되는 동안 맵 모듈(MM)에 의해 관리될 수 있다.
- [0041] 메모리(220)의 제2 영역은 라이트 버퍼(write buffer), 리드 버퍼(read buffer), 및 맵 업데이트 버퍼(map update buffer) 등을 포함할 수 있다.
- [0042] 라이트 버퍼(write buffer)는 호스트로부터 불휘발성 메모리(100)로 전송될 라이트 데이터를 임시 저장하도록 구성될 수 있다. 리드 버퍼(read buffer)는 불휘발성 메모리(100)로부터 독출되어 호스트로 전송될 리드 데이터를 임시 저장하도록 구성될 수 있다. 맵 업데이트 버퍼(map update buffer)는 맵핑 정보가 업데이트될 맵 세그먼트를 임시 저장하도록 구성될 수 있다.
- [0043] 메모리(220)의 제1 영역과 제1 및 제2 코어들(210, 230) 간의 거리는 메모리(220)의 제2 영역과 제1 및 제2 코어들(210, 230) 간의 거리보다 짧을 수 있으나, 특별히 이에 한정되는 것은 아니다. 메모리(220)의 제1 영역이 제1 및 제2 코어들(210, 230)에 물리적으로 가까운 위치에 있음에 따라 제1 코어(210) 및 제2 코어(230)가 메모리(220)의 제1 영역에 빠르게 액세스할 수 있다.
- [0044] 제1 코어(210)와 제2 코어(230)는 메모리(220)의 제1 영역에 빈번하게 액세스한다. 제1 코어(210)는 호스트로부터 커맨드가 수신될 때마다 수신된 커맨드를 메모리(220)의 제1 영역에 큐잉하기 위해 메모리(220)의 제1 영역에 액세스한다. 또한, 제2 코어(230)는 메모리(220)의 제1 영역에 저장된 커맨드를 디큐딩하고, 디큐딩된 커맨드를 처리하기 위해(또는, 커맨드와 관련 없는 백그라운드 동작 등과 같은 동작을 수행하기 위해) 메모리(220)의 제1 영역에 저장된 펌웨어를 실행시키기 위해 메모리(220)의 제1 영역에 액세스한다.

- [0045] 전술한 바와 같이, 제1 코어(210)와 제2 코어(230)가 메모리(220)의 제1 영역에 빠르게 액세스할 수 있으므로, 커맨드의 처리 속도가 증가하여 저장 장치(10)의 성능이 전반적으로 향상될 수 있다.
- [0046] 도 4는 어드레스 맵핑 테이블(address mapping table)을 예시적으로 나타낸 도면이다.
- [0047] 도 1에 도시하지는 않았으나, 불휘발성 메모리(100)는 도 4에 도시한 것과 같은 어드레스 맵핑 테이블(address mapping table)을 포함할 수 있다.
- [0048] 도 4를 참조하면, 어드레스 맵핑 테이블은 복수의 맵 세그먼트(map segment)들을 포함할 수 있다. 각 맵 세그먼트는 복수의 L2P(logical address to physical address) 엔트리들을 포함할 수 있다. 각 L2P 엔트리는 하나의 논리 어드레스에 맵핑된 하나의 물리 어드레스를 포함할 수 있다. 각 맵 세그먼트에 포함된 논리 어드레스들은 오름차순(또는 내림차순)으로 정렬 및 고정될 수 있다. 각 논리 어드레스에 맵핑된 물리 어드레스는 최신 위치에 대응하는 물리 어드레스로 업데이트될 수 있다. 또한, 논리 어드레스들과 물리 어드레스들의 맵핑은 호스트로부터의 언맵 요청에 따라 해제될 수 있다.
- [0049] 도 4에서는 어드레스 맵핑 테이블이 100개의 맵 세그먼트들(0~99)을 포함하고, 각 맵 세그먼트(0~99)가 100개의 L2P 엔트리들을 포함하는 것을 예를 들어 도시하였으나, 맵 세그먼트들의 개수 및 L2P 엔트리들의 개수가 특별히 이에 한정되는 것은 아니다. 또한, 맵 업데이트 동작은 맵 세그먼트 단위로 수행될 수 있다. 예를 들어, 맵핑 정보가 업데이트될 논리 어드레스들이 'LBA1~LBA30' 인 경우, 맵 업데이트 동작 시 'LBA1~LBA30' 을 포함하는 맵 세그먼트 '0' 에 포함된 논리 어드레스들(LBA0~LBA99)을 모두 리드하여 메모리(220)의 맵 업데이트 버퍼(map update buffer)에 저장한 후, 'LBA1~LBA30' 의 맵핑 정보를 업데이트해야 한다. 맵핑 정보를 업데이트하는 것은 'LBA1~LBA30' 각각에 맵핑된 물리 어드레스들을 최신 위치에 대응하는 물리 어드레스들로 변경하거나 또는 'LBA1~LBA30' 과 기 맵핑된 물리 어드레스들을 해제하는 것일 수 있다.
- [0050] 도 5는 본 발명의 실시 예에 따라 언맵 대상 맵 세그먼트에서 블록 넘버가 동일한 논리 어드레스를 검색 및 카운트하는 과정을 예시적으로 나타낸 도면이다.
- [0051] 전술한 바와 같이, 맵 업데이트 동작을 수행할 조건에 도달하면, 제2 코어(230)는 맵 모듈(MM)을 실행시켜 호스트로부터 수신된 특정 논리 어드레스에 대한 언맵 커맨드를 처리할 수 있다. 언맵 커맨드에 따라 논리 어드레스와 물리 어드레스 간의 맵핑을 해제하는 것 역시 맵 업데이트 동작에 포함된다. 본 실시 예에서는, 본 발명의 특징을 명확하게 설명하기 위해 맵 업데이트 동작 시 언맵 커맨드에 따라 논리 어드레스와 물리 어드레스 간의 맵핑을 해제하는 것에 대해서만 설명할 것이다.
- [0052] 도 5를 참조하면, 제2 코어(230)에 의해 실행된 맵 모듈(MM)은 호스트로부터 수신된 언맵 커맨드 및 언맵 대상 논리 어드레스들(이하, 제1 논리 어드레스들'이라 함)에 근거하여 불휘발성 메모리(100)로 언맵 대상 맵 세그먼트를 리드하기 위한 커맨드를 제공할 수 있다. 불휘발성 메모리(100)는 맵 모듈(MM)로부터 제공된 커맨드에 근거하여 언맵 대상 맵 세그먼트를 독출하여 컨트롤러(200)(도 1 참조)로 전송할 수 있다. 맵 모듈(MM)은 불휘발성 메모리(100)로부터 수신된 언맵 대상 맵 세그먼트를 메모리(220)의 맵 업데이트 버퍼(map update buffer)에 저장할 수 있다(㉠).
- [0053] 이후, 맵 모듈(MM)은 검색 엔진(240)을 이용하여 맵 업데이트 버퍼(map update buffer)에 저장된 언맵 대상 맵 세그먼트에 포함된 논리 어드레스들 중 블록 번호가 동일한 하나 또는 그 이상의 논리 어드레스들(이하, '제2 논리 어드레스들' 이라 함)을 검색 및 카운트할 수 있다(㉡). 예를 들어, 맵 모듈(MM)은 검색 엔진(240)으로 검색 시작 위치, 크기, 및 검색 조건 등과 같은 정보를 제공하고, 검색 엔진(240)은 맵 모듈(MM)로부터 제공된 정보에 따라 메모리(220)의 맵 업데이트 버퍼(map update buffer)의 검색 시작 위치부터 검색 종료 위치까지의 데이터를 스캔하면서 검색 조건에 해당하는 데이터를 추출하고, 추출된 데이터의 수를 카운트할 수 있다. 이와 같은, 검색 방식은 일 실시 예에 불과하며, 맵 업데이트 버퍼(map update buffer)에 저장된 논리 어드레스들 중 제2 논리 어드레스들을 검색하고 카운트하는 방식이 특별히 이에 한정되는 것은 아니다.
- [0054] 이후, 도 5에 도시되지는 않았으나, 맵 모듈(MM)은 언맵 대상 논리 어드레스들인 제1 논리 어드레스들의 개수와 검색 엔진(240)을 이용하여 획득한 제2 논리 어드레스들의 개수가 동일한지 여부를 판단하고, 판단 결과에 따라 다른 방법으로 메모리 블록의 유효 페이지 수를 관리할 수 있다.
- [0055] 예를 들어, 제1 논리 어드레스들의 개수와 제2 논리 어드레스들의 개수가 동일하면, 맵 모듈(MM)은 해당 블록 번호에 대응하는 메모리 블록의 유효 페이지 수를 해당 개수만큼 한 번에 차감할 수 있다. 이후, 맵 모듈(MM)은 제1 논리 어드레스들의 맵핑 정보를 순차적으로 트림(trim) 처리할 수 있다.

- [0056] 한편, 제1 논리 어드레스들의 개수와 제2 논리 어드레스들의 개수가 상이하면, 맵 모듈(MM)은 제1 논리 어드레스들 각각에 대하여, 대응하는 메모리 블록의 유효 페이지 수를 감소시키는 동작과 트림(trim) 처리를 수행하는 동작을 제1 논리 어드레스들의 개수만큼 반복적으로 수행할 수 있다.
- [0057] 즉, 언맵 대상 논리 어드레스들에 맵핑된 물리 어드레스들이 하나의 메모리 블록에 포함되어 있는 경우(예컨대, 시퀀셜한 경우)와 다수의 메모리 블록들에 포함되어 있는 경우(예컨대, 랜덤한 경우)에 따라 맵 모듈(MM)은 각각의 경우에 적합한 방식으로 메모리 블록의 유효 페이지 수를 관리할 수 있다. 이에 따라, 언맵 동작 즉, 논리 어드레스들과의 맵핑이 해제된 물리 어드레스들에 대응하는 메모리 블록의 유효 페이지 수를 차감하는 동작 및 논리 어드레스들의 맵핑 정보를 트림(trim) 처리하는 동작을 수행하는데 소요되는 시간을 단축시킬 수 있다.
- [0058] 도 6은 본 발명의 실시 예에 따른 검색 엔진이 블록 번호가 동일한 논리 어드레스를 구별하는 방법을 예시적으로 나타낸 도면이다.
- [0059] 도 6에 도시된 바와 같이, 물리 어드레스들(PBAx)은 각각 32비트(4바이트)로 구성될 수 있고, 최상위 비트를 포함하는 일부 상위 비트들은 블록 번호를 나타낼 수 있다. 블록 번호는 블록 인덱스로 불릴 수 있다. 검색 엔진(240)은 검색 시작으로 표시된 위치(또는 영역)부터 검색 종료로 표시된 위치(또는 영역)까지 순차적으로 물리 어드레스들을 스캔하되, 물리 어드레스들 각각의 상위 비트들 즉, 블록 번호를 나타내는 비트들만을 스캔할 수 있다. 검색 시작으로 표시된 위치부터 검색 종료로 표시된 위치까지의 범위 즉, 검색 범위는 맵 모듈(MM)로부터 제공된 정보에 포함될 수 있다.
- [0060] 검색 엔진(240)은 스캔 결과에 근거하여 동일한 블록 번호를 갖는 물리 어드레스들을 카운트할 수 있다. 카운트된 물리 어드레스들의 개수는 앞에서 설명한 제2 논리 어드레스들의 개수에 대응할 수 있다. 맵 모듈(MM)은 검색 엔진(240)에 의해 카운트된 물리 어드레스들의 개수 즉, 제2 논리 어드레스들의 개수와 언맵 처리할 제1 논리 어드레스들의 개수를 비교하여 동일한지 여부를 판단할 수 있다. 맵 모듈(MM)은 판단 결과에 근거하여 각각의 경우에 적합한 방법으로 언맵 동작을 수행할 수 있다.
- [0061] 전술한 바와 같이, 언맵 동작은 언맵 처리할 제1 논리 어드레스들에 맵핑된 물리 어드레스들에 대응하는 메모리 블록들의 유효 페이지 수를 차감하는 동작과 제2 논리 어드레스들에 대한 맵핑 정보를 트림(trim) 처리하는 동작을 포함할 수 있다. 트림(trim) 처리하는 동작은 도 6에 도시된 물리 어드레스를 구성하는 비트들 중 트림 비트(trim bit)를 언맵 상태(또는 맵핑 해제 상태)를 나타내는 값으로 변경함으로써 수행될 수 있다. 도 6에서는, 트림 비트(trim bit)가 최하위 비트인 것으로 도시하였으나, 트림 비트(trim bit)의 위치가 특별히 이에 한정되는 것은 아니다.
- [0062] 도 7은 본 실시 예에 따른 데이터 저장 장치의 동작 방법을 나타낸 순서도이다. 도 7을 참조하여 본 실시 예에 따른 데이터 저장 장치의 동작 방법을 설명함에 있어서, 도 1 내지 도 6 중 적어도 하나의 도면이 참조될 수 있다.
- [0063] S710 단계에서, 트림(trim) 처리할 제1 논리 어드레스들을 포함하는 언맵 대상 맵 세그먼트를 불휘발성 메모리(100)로부터 리드하여 메모리(220)의 맵 업데이트 버퍼(map update buffer)에 저장할 수 있다. S710 단계는, 맵 업데이트 동작이 트리거된 후 수행될 수 있다. 맵 업데이트 동작이 트리거되는 조건은 당 기술 분야에서 이미 공지된 다양한 조건들을 포함할 수 있다. S710 단계는, 예를 들어, 컨트롤러(200)의 제2 코어(230)에 의해 실행된 맵 모듈(MM)에 의해 수행될 수 있다. 불휘발성 메모리(100)로부터 독출되어 메모리(200)의 맵 업데이트 버퍼(map update buffer)에 저장되는 언맵 대상 맵 세그먼트는 하나 또는 그 이상의 맵 세그먼트들을 포함할 수 있다. 또한, 언맵 대상 맵 세그먼트는 복수의 L2P 엔트리들을 포함할 수 있다. L2P 엔트리는 논리 어드레스 및 논리 어드레스에 맵핑된 물리 어드레스를 포함하는 정보일 수 있다.
- [0064] S720 단계에서, 맵 업데이트 버퍼(map update buffer)에 저장된 언맵 대상 맵 세그먼트의 L2P 엔트리들을 스캔하여 블록 번호가 동일한 제2 논리 어드레스들을 검색 및 카운트할 수 있다. S720 단계는, 맵 모듈(MM)이 검색 엔진(240)을 이용하여 수행할 수 있다. 검색 엔진(240)이 블록 번호가 동일한 제2 논리 어드레스들을 검색 및 카운트하는 것에 대해서는 앞에서 상세히 설명하였다.
- [0065] S730 단계에서, 맵 모듈(MM)은 트림(trim) 처리할 제1 논리 어드레스들의 개수와 검색 엔진(240)을 이용하여 획득한 제2 논리 어드레스들의 개수를 비교하여 제1 논리 어드레스들의 개수와 제2 논리 어드레스들의 개수가 동일한지 여부를 판단할 수 있다. 제1 논리 어드레스들의 개수와 제2 논리 어드레스들의 개수가 동일하면, 프로세서는 S740 단계로 진행될 수 있다. 제1 논리 어드레스들의 개수와 제2 논리 어드레스들의 개수가 상이하면, 프로세서는 S760 단계로 진행될 수 있다.

- [0066] S740 단계에서, 맵 모듈(MM)은 제1 논리 어드레스들에 대응하는 블록(또는 메모리 블록)의 유효 페이지 수를 제1 논리 어드레스들의 개수만큼 한 번에 차감할 수 있다. 제1 논리 어드레스들에 대응하는 블록은 제1 논리 어드레스들에 맵핑된 물리 어드레스들을 갖는 블록일 수 있다.
- [0067] S750 단계에서, 맵 모듈(MM)은 제1 논리 어드레스들의 맵핑 정보를 순차적으로 트림(trim) 처리할 수 있다. 트림(trim) 처리는 제1 논리 어드레스들에 맵핑된 물리 어드레스들을 구성하는 비트들 중 트림(trim) 비트를 맵핑 해제 상태를 나타내는 값으로 변경하여 수행될 수 있다.
- [0068] S760 단계에서, 맵 모듈(MM)은 제1 논리 어드레스들 각각에 대하여, 대응하는 블록(또는 메모리 블록)의 유효 페이지 수를 '-1' 씩 차감하는 동작 및 대응하는 맵핑 정보를 트림(trim) 처리하는 동작을 순차적으로 수행할 수 있다.
- [0069] 도 8은 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD)를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다. 도 8을 참조하면, 데이터 처리 시스템(2000)은 호스트 장치(2100)와 솔리드 스테이트 드라이브(solid state drive)(2200)(이하, SSD라 칭함)를 포함할 수 있다.
- [0070] SSD(2200)는 컨트롤러(2210), 버퍼 메모리 장치(2220), 불휘발성 메모리 장치들(2231~223n), 전원 공급기(2240), 신호 커넥터(2250) 및 전원 커넥터(2260)를 포함할 수 있다.
- [0071] 컨트롤러(2210)는 SSD(2200)의 제반 동작을 제어할 수 있다.
- [0072] 버퍼 메모리 장치(2220)는 불휘발성 메모리 장치들(2231~223n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(2220)는 불휘발성 메모리 장치들(2231~223n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(2220)에 임시 저장된 데이터는 컨트롤러(2210)의 제어에 따라 호스트 장치(2100) 또는 불휘발성 메모리 장치들(2231~223n)로 전송될 수 있다.
- [0073] 불휘발성 메모리 장치들(2231~223n)은 SSD(2200)의 저장 매체로 사용될 수 있다. 불휘발성 메모리 장치들(2231~223n) 각각은 복수의 채널들(CH1~CHn)을 통해 컨트롤러(2210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 불휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 불휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0074] 전원 공급기(2240)는 전원 커넥터(2260)를 통해 입력된 전원(PWR)을 SSD(2200) 내부에 제공할 수 있다. 전원 공급기(2240)는 보조 전원 공급기(2241)를 포함할 수 있다. 보조 전원 공급기(2241)는 서든 파워 오프(sudden power off)가 발생하는 경우, SSD(2200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(2241)는 전원(PWR)을 충전할 수 있는 대용량 캐패시터들(capacitors)을 포함할 수 있다.
- [0075] 컨트롤러(2210)는 신호 커넥터(2250)를 통해서 호스트 장치(2100)와 신호(SGL)를 주고 받을 수 있다. 여기에서, 신호(SGL)는 커맨드, 어드레스, 데이터 등을 포함할 수 있다. 신호 커넥터(2250)는 호스트 장치(2100)와 SSD(2200)의 인터페이스 방식에 따라 다양한 형태의 커넥터로 구성될 수 있다.
- [0076] 도 9는 도 8의 컨트롤러의 구성을 예시적으로 나타낸 도면이다. 도 9를 참조하면, 컨트롤러(2210)는 호스트 인터페이스 유닛(2211), 컨트롤 유닛(2212), 랜덤 액세스 메모리(2213), 에러 정정 코드(ECC) 유닛(2214) 및 메모리 인터페이스 유닛(2215)을 포함할 수 있다.
- [0077] 호스트 인터페이스 유닛(2211)은, 호스트 장치(2100)의 프로토콜에 따라서, 호스트 장치(2100)와 SSD(2200)를 인터페이싱할 수 있다. 예를 들면, 호스트 인터페이스 유닛(2211)은, 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Expresss), UFS(universal flash storage) 프로토콜들 중 어느 하나를 통해서 호스트 장치(2100)와 통신할 수 있다. 또한, 호스트 인터페이스 유닛(2211)은 호스트 장치(2100)가 SSD(2200)를 범용 데이터 저장 장치, 예를 들면, 하드 디스크 드라이브(HDD)로 인식하도록 지원하는 디스크 에뮬레이션(disk emulation) 기능을 수행할 수 있다.
- [0078] 컨트롤 유닛(2212)은 호스트 장치(2100)로부터 입력된 신호(SGL)를 분석하고 처리할 수 있다. 컨트롤 유닛(2212)은 SSD(2200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 내부 기능 블록들의 동작을 제어할 수 있다. 랜덤 액세스 메모리(2213)는 이러한 펌웨어 또는 소프트웨어를 구동하기 위한 동작 메모리로서 사용될 수 있다.

있다.

- [0079] 에러 정정 코드(ECC) 유닛(2214)은 불휘발성 메모리 장치들(2231~223n)로 전송될 데이터의 패리티 데이터를 생성할 수 있다. 생성된 패리티 데이터는 데이터와 함께 불휘발성 메모리 장치들(2231~223n)에 저장될 수 있다. 에러 정정 코드(ECC) 유닛(2214)은 패리티 데이터에 근거하여 불휘발성 메모리 장치들(2231~223n)로부터 독출된 데이터의 에러를 검출할 수 있다. 만약, 검출된 에러가 정정 범위 내이면, 에러 정정 코드(ECC) 유닛(2214)은 검출된 에러를 정정할 수 있다.
- [0080] 메모리 인터페이스 유닛(2215)은, 컨트롤 유닛(2212)의 제어에 따라서, 불휘발성 메모리 장치들(2231~223n)에 커맨드 및 어드레스와 같은 제어 신호를 제공할 수 있다. 그리고 메모리 인터페이스 유닛(2215)은, 컨트롤 유닛(2212)의 제어에 따라서, 불휘발성 메모리 장치들(2231~223n)과 데이터를 주고받을 수 있다. 예를 들면, 메모리 인터페이스 유닛(2215)은 버퍼 메모리 장치(2220)에 저장된 데이터를 불휘발성 메모리 장치들(2231~223n)로 제공하거나, 불휘발성 메모리 장치들(2231~223n)로부터 읽혀진 데이터를 버퍼 메모리 장치(2220)로 제공할 수 있다.
- [0081] 도 10은 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다. 도 10을 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 데이터 저장 장치(3200)를 포함할 수 있다.
- [0082] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0083] 호스트 장치(3100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(3110)을 포함할 수 있다. 데이터 저장 장치(3200)는 접속 터미널(3110)에 마운트(mount)될 수 있다.
- [0084] 데이터 저장 장치(3200)는 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 데이터 저장 장치(3200)는 메모리 모듈 또는 메모리 카드로 불릴 수 있다. 데이터 저장 장치(3200)는 컨트롤러(3210), 버퍼 메모리 장치(3220), 불휘발성 메모리 장치(3231~3232), PMIC(power management integrated circuit)(3240) 및 접속 터미널(3250)을 포함할 수 있다.
- [0085] 컨트롤러(3210)는 데이터 저장 장치(3200)의 제반 동작을 제어할 수 있다. 컨트롤러(3210)는 도 9에 도시된 컨트롤러(2210)와 동일하게 구성될 수 있다.
- [0086] 버퍼 메모리 장치(3220)는 불휘발성 메모리 장치들(3231~3232)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 불휘발성 메모리 장치들(3231~3232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 불휘발성 메모리 장치들(3231~3232)로 전송될 수 있다.
- [0087] 불휘발성 메모리 장치들(3231~3232)은 데이터 저장 장치(3200)의 저장 매체로 사용될 수 있다.
- [0088] PMIC(3240)는 접속 터미널(3250)을 통해 입력된 전원을 데이터 저장 장치(3200) 내부에 제공할 수 있다. PMIC(3240)는, 컨트롤러(3210)의 제어에 따라서, 데이터 저장 장치(3200)의 전원을 관리할 수 있다.
- [0089] 접속 터미널(3250)은 호스트 장치의 접속 터미널(3110)에 연결될 수 있다. 접속 터미널(3250)을 통해서, 호스트 장치(3100)와 데이터 저장 장치(3200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(3250)은 호스트 장치(3100)와 데이터 저장 장치(3200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(3250)은 데이터 저장 장치(3200)의 어느 한 번에 배치될 수 있다.
- [0090] 도 11은 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 나타낸 도면이다. 도 11을 참조하면, 데이터 처리 시스템(4000)은 호스트 장치(4100)와 데이터 저장 장치(4200)를 포함할 수 있다.
- [0091] 호스트 장치(4100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(4100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0092] 데이터 저장 장치(4200)는 표면 실장형 패키지 형태로 구성될 수 있다. 데이터 저장 장치(4200)는 솔더 볼(solder ball)(4250)을 통해서 호스트 장치(4100)에 마운트될 수 있다. 데이터 저장 장치(4200)는 컨트롤러

(4210), 버퍼 메모리 장치(4220) 및 불휘발성 메모리 장치(4230)를 포함할 수 있다.

- [0093] 컨트롤러(4210)는 데이터 저장 장치(4200)의 제반 동작을 제어할 수 있다. 컨트롤러(4210)는 도 9에 도시된 컨트롤러(2210)와 동일하게 구성될 수 있다.
- [0094] 버퍼 메모리 장치(4220)는 불휘발성 메모리 장치(4230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(4220)는 불휘발성 메모리 장치들(4230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(4220)에 임시 저장된 데이터는 컨트롤러(4210)의 제어에 따라 호스트 장치(4100) 또는 불휘발성 메모리 장치(4230)로 전송될 수 있다.
- [0095] 불휘발성 메모리 장치(4230)는 데이터 저장 장치(4200)의 저장 매체로 사용될 수 있다.
- [0096] 도 12는 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 네트워크 시스템(5000)을 예시적으로 나타낸 도면이다. 도 12는 참조하면, 네트워크 시스템(5000)은 네트워크(5500)를 통해서 연결된 서버 시스템(5300) 및 복수의 클라이언트 시스템들(5410~5430)을 포함할 수 있다.
- [0097] 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로부터 제공된 데이터를 저장할 수 있다. 다른 예로서, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로 데이터를 제공할 수 있다.
- [0098] 서버 시스템(5300)은 호스트 장치(5100) 및 데이터 저장 장치(5200)를 포함할 수 있다. 데이터 저장 장치(5200)는 도 1의 저장 장치(10), 도 8의 SSD(2200), 도 10의 데이터 저장 장치(3200) 및 도 11의 데이터 저장 장치(4200)로 구성될 수 있다.
- [0099] 도 13은 본 발명의 실시 예에 따른 데이터 저장 장치에 포함된 불휘발성 메모리 장치를 예시적으로 보여주는 블록도이다. 도 13을 참조하면, 불휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 행 디코더(120), 열 디코더(140), 데이터 읽기/쓰기 블럭(130), 전압 발생기(150) 및 제어 로직(160)을 포함할 수 있다.
- [0100] 메모리 셀 어레이(110)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.
- [0101] 행 디코더(120)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(110)와 연결될 수 있다. 행 디코더(120)는 제어 로직(160)의 제어에 따라 동작할 수 있다. 행 디코더(120)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(120)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(120)는 전압 발생기(150)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.
- [0102] 데이터 읽기/쓰기 블럭(130)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(110)와 연결될 수 있다. 데이터 읽기/쓰기 블럭(130)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블럭(130)은 제어 로직(160)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블럭(130)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블럭(130)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(110)에 저장하는 쓰기 드라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블럭(130)은 읽기 동작 시 메모리 셀 어레이(110)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.
- [0103] 열 디코더(140)는 제어 로직(160)의 제어에 따라 동작할 수 있다. 열 디코더(140)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(140)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블럭(130)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.
- [0104] 전압 발생기(150)는 불휘발성 메모리 장치(100)의 내부 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(150)에 의해서 생성된 전압들은 메모리 셀 어레이(110)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.
- [0105] 제어 로직(160)은 외부 장치로부터 제공된 제어 신호에 근거하여 불휘발성 메모리 장치(100)의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(160)은 불휘발성 메모리 장치(100)의 읽기, 쓰기, 소거 동작과 같은 불휘

발성 메모리 장치(100)의 동작을 제어할 수 있다.

[0106] 본 발명이 속하는 기술분야의 통상의 기술자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

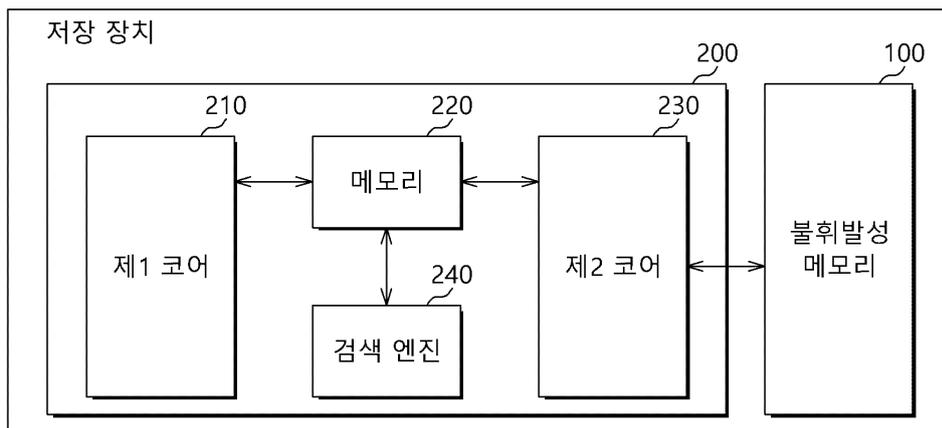
부호의 설명

[0107] 10: 저장 장치 100: 불휘발성 메모리
 200: 컨트롤러 210: 제1 코어
 220: 메모리 230: 제2 코어
 240: 검색 엔진

도면

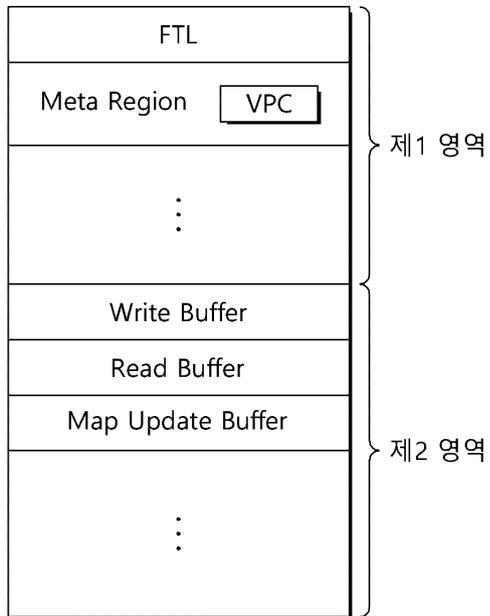
도면1

10



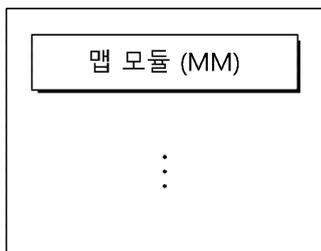
도면2

220



도면3

FTL

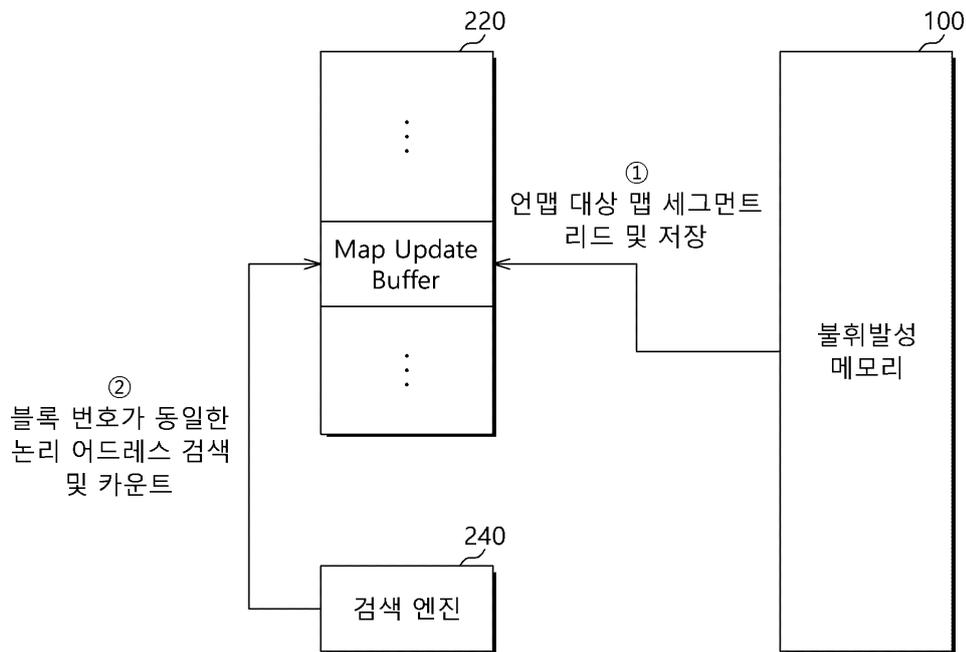


도면4

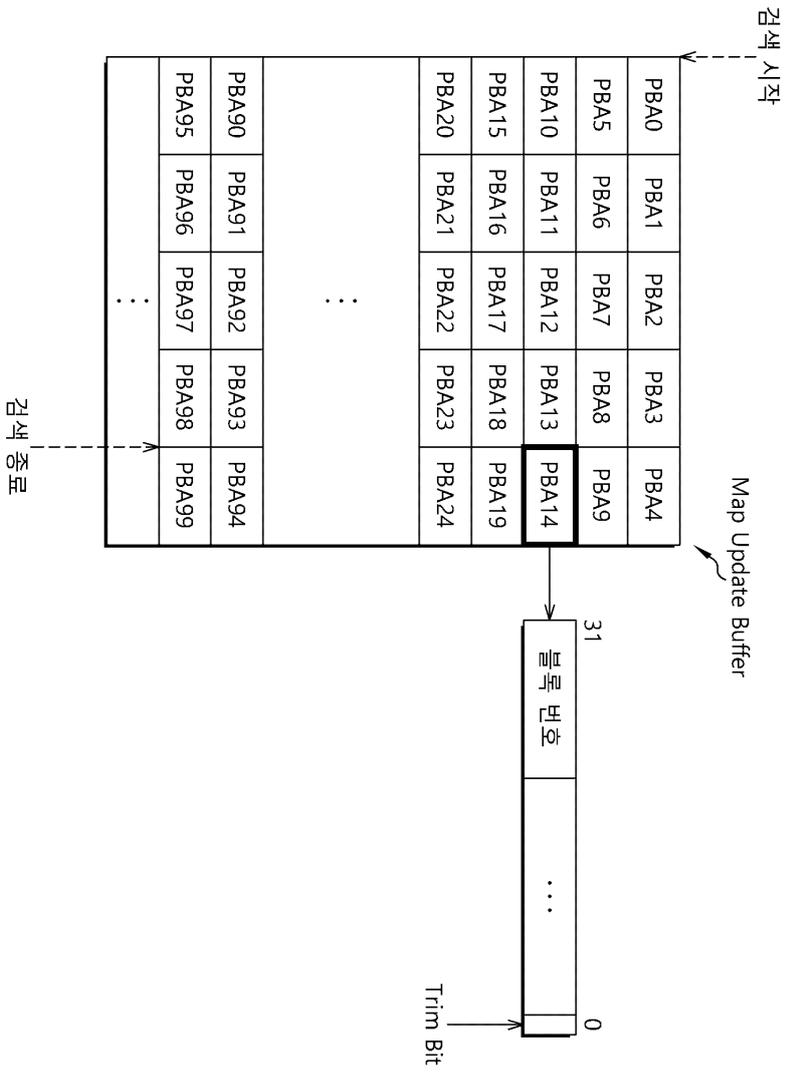
Map Segment	Logical Address	Physical Address
0	LBA0	PBA0
	LBA1	PBA1
	⋮	⋮
	LBA99	PBA99
⋮	⋮	⋮
99	LBA9900	PBA9900
	LBA9901	PBA9901
	⋮	⋮
	LBA9999	PBA9999

← L2P 엔트리

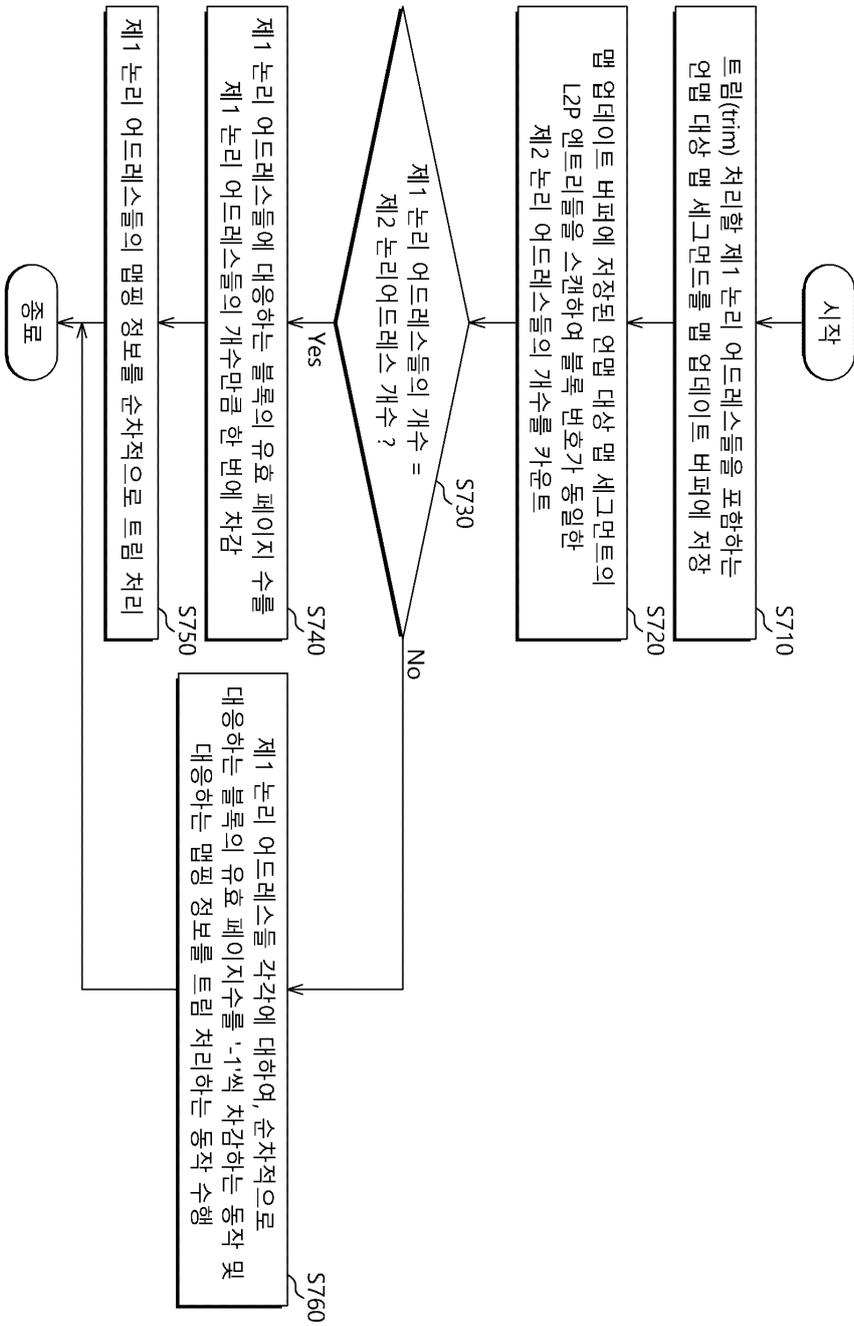
도면5



도면6

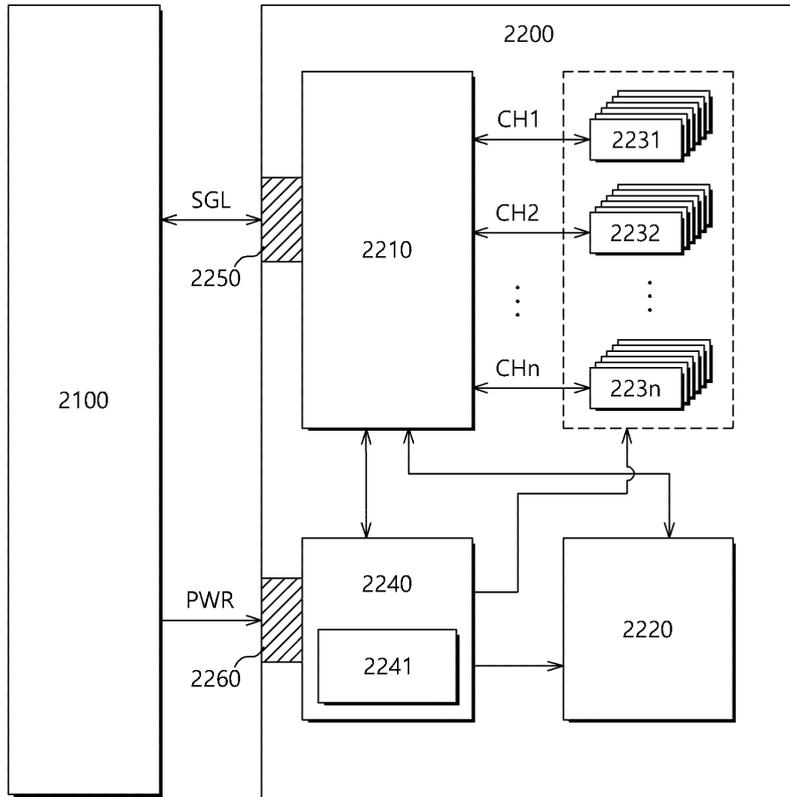


도면7



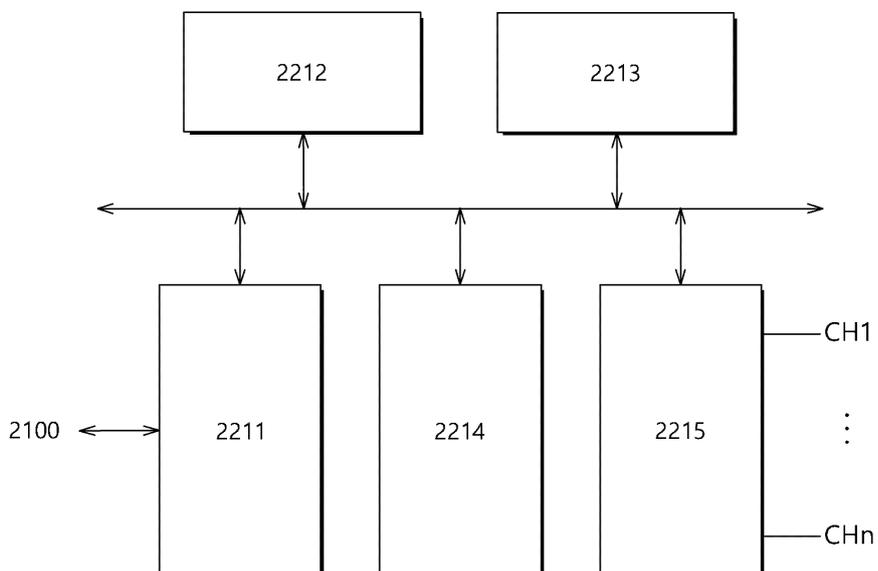
도면8

2000

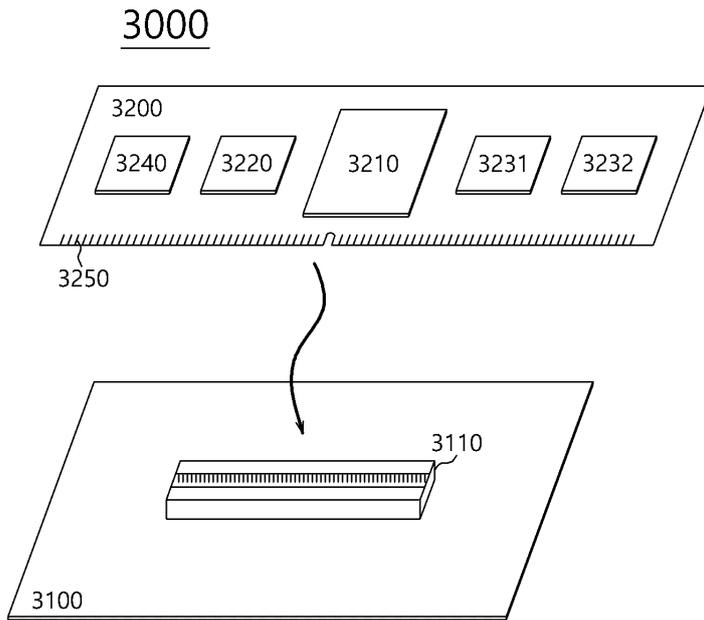


도면9

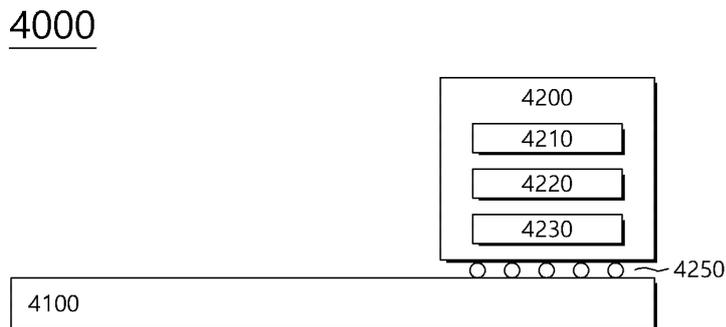
2210



도면10

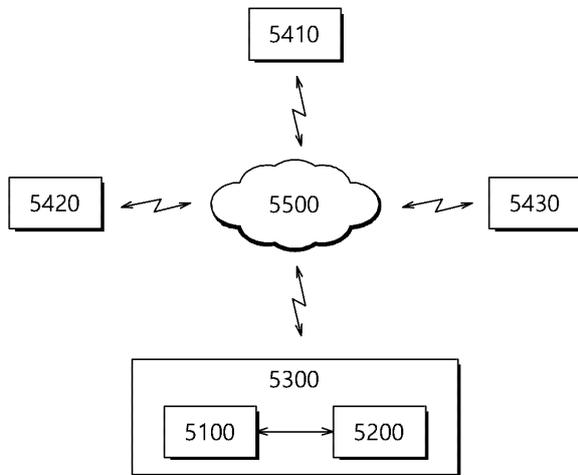


도면11



도면12

5000



도면13

100

