



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월21일
(11) 등록번호 10-2365326
(24) 등록일자 2022년02월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/11575 (2017.01) G11C 16/04 (2006.01)
H01L 21/02 (2006.01) H01L 21/285 (2006.01)
H01L 21/768 (2006.01) H01L 27/1157 (2017.01)
H01L 27/11582 (2017.01)
(52) CPC특허분류
H01L 27/11575 (2013.01)
G11C 16/0483 (2013.01)
(21) 출원번호 10-2020-0062328
(22) 출원일자 2020년05월25일
심사청구일자 2020년05월25일
(65) 공개번호 10-2021-0145435
(43) 공개일자 2021년12월02일
(56) 선행기술조사문헌
KR1020160000512 A*
(뒷면에 계속)

(73) 특허권자
한양대학교 산학협력단
서울특별시 성동구 왕십리로 222(행당동, 한양대학교내)
(72) 발명자
송윤흡
경기도 성남시 분당구 수내로 74, 112동 1304호
(수내동, 양지마을금호1단지아파트)
(74) 대리인
양성보

전체 청구항 수 : 총 13 항

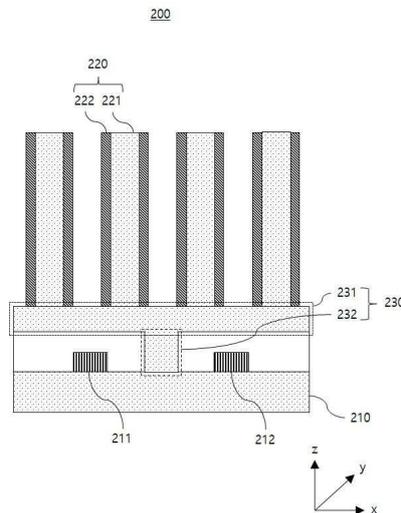
심사관 : 고연화

(54) 발명의 명칭 **벌크 소거 동작을 지원하는 COP 구조가 적용된 3차원 플래시 메모리**

(57) 요약

벌크 소거 동작을 지원하는 COP 구조가 적용된 3차원 플래시 메모리 및 그 제조 방법이 개시된다. 일 실시예에 따르면, COP 구조가 적용된 3차원 플래시 메모리는, 상기 COP 구조에 따라 주변 회로의 적어도 하나의 트랜지스터가 형성된 기판; 상기 적어도 하나의 트랜지스터의 상부로부터 일 방향으로 연장 형성되는 적어도 하나의 메모리 셀 스트링; 및 상기 기판을 상기 적어도 하나의 메모리 셀 스트링에 연결시키는 연결부를 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 21/02381 (2013.01)

H01L 21/02428 (2013.01)

H01L 21/28525 (2013.01)

H01L 21/76877 (2013.01)

H01L 27/1157 (2013.01)

H01L 27/11582 (2013.01)

(56) 선행기술조사문헌

US20200144242 A1

KR1020200052497 A

KR1020200016150 A

KR1020190064852 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

COP(Cell on Peripheral circuit) 구조가 적용된 3차원 플래시 메모리에 있어서,
 상기 COP 구조에 따라 주변 회로의 적어도 하나의 트랜지스터가 형성된 기판;
 상기 적어도 하나의 트랜지스터의 상부로부터 일 방향으로 연장 형성되는 적어도 하나의 메모리 셀 스트링; 및
 상기 기판을 상기 적어도 하나의 메모리 셀 스트링에 연결시키는 연결부
 를 포함하고,
 상기 연결부는,
 상기 기판에 인가되는 벌크 소거 전압을 상기 적어도 하나의 메모리 셀 스트링으로 전달하는 기능을 담당하는
 것을 특징으로 하는 3차원 플래시 메모리.

청구항 2

삭제

청구항 3

제1항에 있어서,
 상기 연결부는,
 상기 적어도 하나의 트랜지스터의 상부 및 상기 적어도 하나의 메모리 셀 스트링의 하부 사이에 상기 기판과 평
 행하도록 위치하는 적어도 하나의 수평 부분; 및
 상기 적어도 하나의 트랜지스터의 사이 공간에 상기 기판과 수직으로 위치하는 적어도 하나의 수직 부분
 을 포함하는 것을 특징으로 하는 3차원 플래시 메모리.

청구항 4

제3항에 있어서,
 상기 연결부는,
 상기 적어도 하나의 수평 부분 및 상기 적어도 하나의 수직 부분이 에피택셜(Epitaxial) 성장 공정을 통해 일체
 형으로 형성되는 것을 특징으로 하는 3차원 플래시 메모리.

청구항 5

제3항에 있어서,
 상기 적어도 하나의 수평 부분은,
 상기 적어도 하나의 메모리 셀 스트링이 형성되는 면적 및 상기 적어도 하나의 트랜지스터가 형성되는 면적에
 대응하는 면적으로 형성되는 것을 특징으로 하는 3차원 플래시 메모리.

청구항 6

제1항에 있어서,
 상기 연결부는,
 상기 기판을 통해 인가되는 상기 벌크 소거 전압을 상기 적어도 하나의 메모리 셀 스트링으로 전달하는 단자를

포함하는 것을 특징으로 하는 3차원 플래시 메모리.

청구항 7

제1항에 있어서,

상기 기판은,

단결정질의 실리콘(Single crystal silicon)으로 형성되는 것을 특징으로 하는 3차원 플래시 메모리.

청구항 8

제7항에 있어서,

상기 연결부는,

상기 기판과 동일하게 상기 단결정질의 실리콘으로 형성되는 것을 특징으로 하는 3차원 플래시 메모리.

청구항 9

COP(Cell on Peripheral circuit) 구조가 적용된 3차원 플래시 메모리의 제조 방법에 있어서,

상기 COP 구조에 따라 주변 회로의 적어도 하나의 트랜지스터가 형성된 기판을 준비하는 단계;

상기 기판을 상기 적어도 하나의 트랜지스터의 상부에 위치할 적어도 하나의 메모리 셀 스트링에 연결시키기 위한 연결부를 형성하는 단계; 및

상기 연결부의 상부에 상기 적어도 하나의 메모리 셀 스트링을 일 방향으로 연장 형성하는 단계

를 포함하고,

상기 연결부는,

상기 기판에 인가되는 벌크 소거 전압을 상기 적어도 하나의 메모리 셀 스트링으로 전달하는 기능을 담당하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

청구항 10

삭제

청구항 11

제9항에 있어서,

상기 연결부를 형성하는 단계는,

상기 적어도 하나의 트랜지스터의 상부 및 상기 적어도 하나의 메모리 셀 스트링의 하부 사이에 상기 기판과 평행하도록 위치하는 적어도 하나의 수평 부분과, 상기 적어도 하나의 트랜지스터의 사이 공간에 상기 기판과 수직으로 위치하는 적어도 하나의 수직 부분을 형성하는 단계인 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

청구항 12

제11항에 있어서,

상기 적어도 하나의 수평 부분과, 상기 적어도 하나의 수직 부분을 형성하는 단계는,

상기 적어도 하나의 수평 부분 및 상기 적어도 하나의 수직 부분을 에피택셜 성장 공정을 통해 일체형으로 형성하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

청구항 13

제11항에 있어서,

상기 적어도 하나의 수평 부분과, 상기 적어도 하나의 수직 부분을 형성하는 단계는,

상기 적어도 하나의 메모리 셀 스트링이 형성되는 면적 및 상기 적어도 하나의 트랜지스터가 형성되는 면적에 대응하는 면적으로 상기 적어도 하나의 수평 부분을 형성하는 단계

를 포함하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

청구항 14

제9항에 있어서,

상기 연결부를 형성하는 단계는,

상기 기판을 통해 인가되는 상기 벌크 소거 전압을 상기 적어도 하나의 메모리 셀 스트링으로 전달하는 단자를 포함하도록 상기 연결부를 형성하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

청구항 15

제9항에 있어서,

상기 기판을 준비하는 단계는,

실리콘 기판을 준비하는 단계이고,

상기 연결부를 형성하는 단계는,

상기 기판으로 사용되는 실리콘 기판과 동일한 물질로 상기 연결부를 형성하는 것을 특징으로 하는 3차원 플래시 메모리의 제조 방법.

발명의 설명

기술 분야

[0001] 아래의 실시예들은 3차원 플래시 메모리에 관한 것으로, 보다 상세하게 COP(Cell On Peripheral circuit) 구조가 적용된 3차원 플래시 메모리에 대한 기술이다.

배경 기술

[0002] 플래시 메모리는 전기적으로 소거가능하며 프로그램 가능한 판독 전용 메모리(Electrically Erasable Programmable Read Only Memory; EEPROM)로서, F-N 터널링(Fowler-Nordheim tunneling) 또는 열전자 주입(Hot electron injection)에 의해 전기적으로 데이터의 입출력을 제어한다.

[0003] 최근 플래시 메모리에는, 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 수직적으로 셀을 적층하며 집적도를 증가시키는 3차원 구조가 적용되었다. 이러한 기존의 3차원 플래시 메모리를 나타낸 도 1을 참조하면, 3차원 플래시 메모리(100)는 기판(110)에 수직 방향으로 형성된 채널층(121), 채널층(121)을 감싸도록 형성된 전하 저장층(122), 전하 저장층(122)에 연결되며 수평 방향으로 적층된 복수의 전극층들(130) 및 복수의 전극층들(130)에 교번하며 개재되는 복수의 절연층들(140)을 포함하는 구조를 갖는다. 이하, 데이터의 저장 및 판독과 직접적으로 관련된 구성요소인 전하 저장층(122)과 채널층(121)은 메모리 셀 스트링(120)으로 명명될 수 있다.

[0004] 이러한 기존의 3차원 플래시 메모리(100)는, 주변 회로의 적어도 하나의 트랜지스터(150)가 기판(110)에 형성되고 그 위에 절연층(151)이 배치됨으로써, 주변 회로의 적어도 하나의 트랜지스터(150)가 기판(110)과 절연층(151)에 매립되는 COP 구조를 갖게 될 수 있다. 이하, 주변 회로는 3차원 플래시 메모리(100)의 동작 중 메모리 셀 스트링의 데이터 저장 및 판독 동작을 제외한 나머지 동작과 관련되는 회로를 의미한다.

[0005] 그러나 COP 구조가 적용된 기존의 3차원 플래시 메모리(100)에서, 메모리 셀 스트링(120)은 주변 회로의 적어도 하나의 트랜지스터(150) 위를 덮는 절연층(151)에 의해 기판(110)과 분리 및 차단되기 때문에, 기판(110)에 벌크 소거 전압이 인가됨에 따른 벌크 소거 동작을 지원하지 못하는 단점을 갖는다.

[0006] 따라서, 벌크 소거 동작을 지원하기 위한 기술이 제안될 필요가 있다.

발명의 내용

해결하려는 과제

- [0008] 일 실시예들은 벌크 소거 동작을 지원하는 COP 구조가 적용된 3차원 플래시 메모리 및 그 제조 방법을 제안한다.
- [0009] 보다 상세하게, 일 실시예들은 기판을 적어도 하나의 메모리 셀 스트링에 연결시키는 연결부를 포함함으로써, 벌크 소거 동작을 지원하는 COP 구조가 적용된 3차원 플래시 메모리 및 그 제조 방법을 제안한다.

과제의 해결 수단

- [0010] 일 실시예에 따르면, COP(Cell on Peripheral circuit) 구조가 적용된 3차원 플래시 메모리는, 상기 COP 구조에 따라 주변 회로의 적어도 하나의 트랜지스터가 형성된 기판; 상기 적어도 하나의 트랜지스터의 상부로부터 일 방향으로 연장 형성되는 적어도 하나의 메모리 셀 스트링; 및 상기 기판을 상기 적어도 하나의 메모리 셀 스트링에 연결시키는 연결부를 포함한다.
- [0011] 일측에 따르면, 상기 연결부는, 상기 기판에 인가되는 벌크 소거 전압을 상기 적어도 하나의 메모리 셀 스트링으로 전달하는 기능을 담당하는 것을 특징으로 할 수 있다.
- [0012] 다른 일측에 따르면, 상기 연결부는, 상기 적어도 하나의 트랜지스터의 상부 및 상기 적어도 하나의 메모리 셀 스트링의 하부 사이에 상기 기판과 평행하도록 위치하는 적어도 하나의 수평 부분; 및 상기 적어도 하나의 트랜지스터의 사이 공간에 상기 기판과 수직으로 위치하는 적어도 하나의 수직 부분을 포함하는 것을 특징으로 할 수 있다.
- [0013] 또 다른 일측에 따르면, 상기 연결부는, 상기 적어도 하나의 수평 부분 및 상기 적어도 하나의 수직 부분이 에피택셜(Epitaxial) 성장 공정을 통해 일체형으로 형성되는 것을 특징으로 할 수 있다.
- [0014] 또 다른 일측에 따르면, 상기 적어도 하나의 수평 부분은, 상기 적어도 하나의 메모리 셀 스트링이 형성되는 면적 및 상기 적어도 하나의 트랜지스터가 형성되는 면적에 대응하는 면적으로 형성되는 것을 특징으로 할 수 있다.
- [0015] 또 다른 일측에 따르면, 상기 연결부는, 상기 기판을 통해 인가되는 상기 벌크 소거 전압을 상기 적어도 하나의 메모리 셀 스트링으로 전달하는 단자를 포함하는 것을 특징으로 할 수 있다.
- [0016] 또 다른 일측에 따르면, 상기 기판은, 단결정질의 실리콘(Single crystal silicon)으로 형성되는 것을 특징으로 할 수 있다.
- [0017] 또 다른 일측에 따르면, 상기 연결부는, 상기 기판과 동일하게 상기 단결정질의 실리콘으로 형성되는 것을 특징으로 할 수 있다.
- [0018] 일 실시예에 따르면, COP(Cell on Peripheral circuit) 구조가 적용된 3차원 플래시 메모리의 제조 방법은, 상기 COP 구조에 따라 주변 회로의 적어도 하나의 트랜지스터가 형성된 기판을 준비하는 단계; 상기 기판을 상기 적어도 하나의 트랜지스터의 상부에 위치할 적어도 하나의 메모리 셀 스트링에 연결시키기 위한 연결부를 형성하는 단계; 및 상기 연결부의 상부에 상기 적어도 하나의 메모리 셀 스트링을 일 방향으로 연장 형성하는 단계를 포함한다.
- [0019] 일측에 따르면, 상기 연결부는, 상기 기판에 인가되는 벌크 소거 전압을 상기 적어도 하나의 메모리 셀 스트링으로 전달하는 기능을 담당하는 것을 특징으로 할 수 있다.
- [0020] 다른 일측에 따르면, 상기 연결부를 형성하는 단계는, 상기 적어도 하나의 트랜지스터의 상부 및 상기 적어도 하나의 메모리 셀 스트링의 하부 사이에 상기 기판과 평행하도록 위치하는 적어도 하나의 수평 부분과, 상기 적어도 하나의 트랜지스터의 사이 공간에 상기 기판과 수직으로 위치하는 적어도 하나의 수직 부분을 형성하는 단계인 것을 특징으로 할 수 있다.
- [0021] 또 다른 일측에 따르면, 상기 적어도 하나의 수평 부분과, 상기 적어도 하나의 수직 부분을 형성하는 단계는, 상기 적어도 하나의 수평 부분 및 상기 적어도 하나의 수직 부분을 에피택셜 성장 공정을 통해 일체형으로 형성하는 것을 특징으로 할 수 있다.
- [0022] 또 다른 일측에 따르면, 상기 적어도 하나의 수평 부분과, 상기 적어도 하나의 수직 부분을 형성하는 단계는, 상기 적어도 하나의 메모리 셀 스트링이 형성되는 면적 및 상기 적어도 하나의 트랜지스터가 형성되는 면적에

대응하는 면적으로 상기 적어도 하나의 수평 부분을 형성하는 단계를 포함하는 것을 특징으로 할 수 있다.

[0023] 또 다른 일측에 따르면, 상기 연결부를 형성하는 단계는, 상기 기판을 통해 인가되는 상기 벌크 소거 전압을 상기 적어도 하나의 메모리 셀 스트링으로 전달하는 단계를 포함하도록 상기 연결부를 형성하는 것을 특징으로 할 수 있다.

[0024] 또 다른 일측에 따르면, 상기 기판을 준비하는 단계는, 실리콘 기판을 준비하는 단계이고, 상기 연결부를 형성하는 단계는, 상기 기판으로 사용되는 실리콘 기판과 동일한 물질로 상기 연결부를 형성하는 것을 특징으로 할 수 있다.

발명의 효과

[0025] 일 실시예들은 벌크 소거 동작을 지원하는 COP 구조가 적용된 3차원 플래시 메모리 및 그 제조 방법을 제안할 수 있다.

[0026] 보다 상세하게, 일 실시예들은 기판을 적어도 하나의 메모리 셀 스트링에 연결시키는 연결부를 포함함으로써, 벌크 소거 동작을 지원하는 COP 구조가 적용된 3차원 플래시 메모리 및 그 제조 방법을 제안할 수 있다.

도면의 간단한 설명

[0027] 도 1은 기존의 3차원 플래시 메모리를 나타낸 X-Z 단면도이다.

도 2는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Z 단면도이다.

도 3은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이다.

도 4a 내지 4d는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다. 또한, 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0029] 또한, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0031] 도 2는 일 실시예에 따른 3차원 플래시 메모리를 나타낸 X-Z 단면도이다.

[0032] 도 2를 참조하면, 일 실시예에 따른 3차원 플래시 메모리(200)는 기판(210), 적어도 하나의 메모리 셀 스트링(220) 및 연결부(230)를 포함한다.

[0033] 기판(210)은 COP 구조에 따라 주변 회로의 적어도 하나의 트랜지스터(211, 212)가 형성되며, P+ 콘택(미도시)을 통해 인가되는 벌크 소거 전압이 연결부(230)를 통해 적어도 하나의 메모리 셀 스트링(220)으로 전달될 수 있도록 단결정질의 실리콘(Single crystal silicon)으로 형성될 수 있다. 즉, 기판(210)으로는 실리콘 기판이 사용될 수 있다. 이하, 도면에는 기판(210)에 주변 회로의 적어도 하나의 트랜지스터(211, 212)만이 형성되어 있는 것으로 도시되나, 이에 제한되거나 한정되지 않고, 기판(210)에는 적어도 하나의 트랜지스터(211, 212)에 의해 사용되는 소스 라인과 드레인 라인 등의 배선 등이 더 형성될 수 있다. 그러나 설명의 편의를 위해 도면에는 배선 등이 생략되어 도시된다.

[0034] 적어도 하나의 메모리 셀 스트링(220)은 주변 회로의 적어도 하나의 트랜지스터(211, 212)의 상부로부터 일 방향(예컨대, Z 방향)으로 연장 형성되며, 그 상부에 배치되는 드레인 라인(미도시)을 포함한 채 적어도 하나의 채널층(221) 및 적어도 하나의 채널층(221)을 감싸는 적어도 하나의 전하 저장층(222)으로 구성될 수 있다. 적어도 하나의 채널층(221)은 단결정질의 실리콘 또는 폴리 실리콘(Poly-silicon)으로 형성될 수 있으며, 적어도 하나의 전하 저장층(222)은, 복수의 전극층들(미도시)을 통해 유입되는 전류로부터 전하를 저장하는 구성요소로서, 일례로, ONO(Oxide-Nitride-Oxide)의 구조로도 형성될 수 있다. 이하, 적어도 하나의 전하 저장층(222)이 기판(210)에 대해 직교하는 일 방향(예컨대, Z 방향)으로 연장 형성(기판(210)과 수직으로 연장 형성)되는 수직 요소만을 포함하는 것으로 설명되나, 이에 제한되거나 한정되지 않고 기판(210)과 평행하며 복수의 전극층들과 접촉되는 수평 요소도 더 포함할 수 있다.

- [0035] 여기서, 도면에 도시되지 않은 복수의 전극층들은 도 1에 도시된 기존의 3차원 플래시 메모리(100)에 포함되는 복수의 전극층들(130)과 동일하게 W(텅스텐), Ti(티타늄), Ta(탄탈륨), Au(구리) 또는 Au(금)과 같은 도전성 물질로 형성되어 워드라인의 기능을 담당할 수 있다. 마찬가지로, 복수의 전극층들 사이에는 복수의 절연층들(미도시)이 절연 특성을 갖는 다양한 물질로 형성되어 복수의 전극층들과 교번하며 개재될 수 있다.
- [0036] 연결부(230)는 기판(210)을 적어도 하나의 메모리 셀 스트링(220)에 연결시킴으로써, 기판(210)에 인가되는 벌크 소거 전압을 적어도 하나의 메모리 셀 스트링(220)으로 전달하는 기능을 담당할 수 있다.
- [0037] 이를 위해, 연결부(230)는 기판(210)을 형성하는 물질과 동일한 물질인 단결정질의 실리콘으로 형성될 수 있으며, 주변 회로의 적어도 하나의 트랜지스터(211, 212)의 상부 및 적어도 하나의 메모리 셀 스트링(220)의 하부 사이에 기판(210)과 평행하도록 위치하는 적어도 하나의 수평 부분(231)과, 주변 회로의 적어도 하나의 트랜지스터(211, 212)의 사이 공간에 기판(210)과 수직으로 위치하는 적어도 하나의 수직 부분(232)을 포함할 수 있다.
- [0038] 이와 같은 구조를 갖는 연결부(230)의 적어도 하나의 수평 부분(231) 및 적어도 하나의 수직 부분(232)은, 에피텍셜(Epitaxial) 성장 공정을 통해 일체형으로 형성됨을 특징으로 할 수 있다. 즉, 연결부(230)의 적어도 하나의 수평 부분(231) 및 적어도 하나의 수직 부분(232)은, 단일 에피텍셜 성장 공정을 통해 형성됨으로써, 일체형의 구조를 갖게 될 수 있다.
- [0039] 이 때, 연결부(230)의 적어도 하나의 수평 부분(231)은 적어도 하나의 메모리 셀 스트링(220)이 형성되는 면적 및 주변 회로의 적어도 하나의 트랜지스터(211, 212)가 형성되는 면적에 대응하는 면적으로 형성될 수 있다. 예를 들어, 연결부(230)의 적어도 하나의 수평 부분(231)은 기판(210)에 인가되는 벌크 소거 전압을 적어도 하나의 메모리 셀 스트링(220) 전체에 전달해야 하므로, 적어도 하나의 메모리 셀 스트링(220)의 하부 전체와 맞닿을 수 있도록 적어도 하나의 메모리 셀 스트링(220)의 하부 전체의 면적과 동일하거나 더 큰 면적을 갖도록 형성될 수 있다. 다른 예를 들면, 연결부(230)의 적어도 하나의 수평 부분(231)은 주변 회로의 적어도 하나의 트랜지스터(211, 212)의 상부 전체를 덮도록 주변 회로의 적어도 하나의 트랜지스터(211, 212)의 상부 전체의 면적과 동일하거나 더 큰 면적을 갖도록 형성될 수 있다.
- [0040] 또한, 연결부(230)의 적어도 하나의 수직 부분(232)은 주변 회로의 적어도 하나의 트랜지스터(211, 212)의 배치 위치에 기초하여 형성될 수 있다. 예를 들어, 연결부(230)의 적어도 하나의 수직 부분(232)은 주변 회로의 적어도 하나의 트랜지스터(211, 212)의 사이 공간에 위치해야 하므로, 주변 회로의 적어도 하나의 트랜지스터(211, 212)가 기판(210) 상에 배치되는 위치를 고려하여 주변 회로의 적어도 하나의 트랜지스터(211, 212)의 사이 공간에 위치하도록 형성될 수 있다.
- [0041] 또한, 연결부(230)는 기판(210)으로부터 인가되는 벌크 소거 전압을 적어도 하나의 메모리 셀 스트링(220)으로 전달하기 위해 단결정질의 실리콘으로 형성될 뿐만 아니라, 적어도 하나의 메모리 셀 스트링(220)으로 벌크 소거 전압을 전달하기 위한 단자를 더 포함할 수 있다.
- [0042] 이처럼 일 실시예에 따른 3차원 플래시 메모리(200)는 기판(210)과 적어도 하나의 메모리 셀 스트링(220)을 연결시키는 연결부(230)를 포함함으로써, COP 구조에서 벌크 소거 동작을 지원하는 기술적 효과를 도모할 수 있다. 또한, 3차원 플래시 메모리(200)는 연결부(230)가 단일 에피텍셜 성장 공정을 통해 적어도 하나의 수평 부분(231) 및 적어도 하나의 수직 부분(232)의 일체형으로 형성됨에 따라, 제조 공정을 단순화하는 기술적 효과를 도모할 수 있다. 또한, 3차원 플래시 메모리(200)는 기판(210) 및 연결부(230)가 단결정질의 실리콘으로 형성됨에 따라 벌크 소거 전압을 전달하기 위한 별도의 배선을 생략할 수 있어 배선 공정을 단순화하는 기술적 효과를 도모할 수 있다.
- [0043] 이와 같은 3차원 플래시 메모리(200)의 제조 공정에 대한 상세한 설명은 아래의 도 3 및 4a 내지 4d를 참조하여 기재하기로 한다.
- [0045] 도 3은 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 나타낸 플로우 차트이고, 도 4a 내지 4d는 일 실시예에 따른 3차원 플래시 메모리의 제조 방법을 설명하기 위한 X-Z 단면도이다. 이하, 도 3 및 4a 내지 4d를 참조하여 설명되는 제조 방법은 도 2에 설명된 3차원 플래시 메모리(200)를 제조하기 위한 것으로서, 자동화 및 기계화된 제조 시스템에 의해 수행됨을 전제로 한다.
- [0046] 도 3 및 4a 내지 4d를 참조하면, 일 실시예에 따른 제조 시스템은 단계(S310)에서, 도 4a와 같이 COP 구조에 따라 주변 회로의 적어도 하나의 트랜지스터(411, 412)가 형성된 기판(410)을 준비한다. 이 때, 제조 시스템은,

단결정질의 실리콘으로 구성된 기판(410)을 준비할 수 있다.

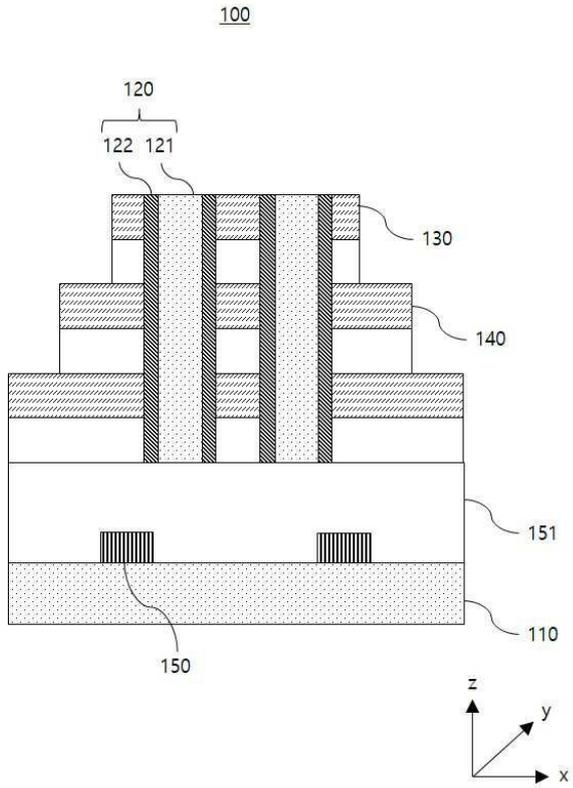
- [0047] 이어서, 제조 시스템은 단계(S320)에서, 도 4b 내지 4c와 같이 기판(410)을 적어도 하나의 트랜지스터(411, 412)의 상부에 위치할 적어도 하나의 메모리 셀 스트링(420)에 연결시키기 위한 연결부(430)를 형성한다.
- [0048] 단계(S320)는 기판(410)을 적어도 하나의 트랜지스터(411, 412)의 상부에 위치할 적어도 하나의 메모리 셀 스트링(420)에 연결시키기 위한 연결부(430)를 형성하는 것인 바, 단계(S320)는 기판(410)에 인가되는 벌크 소거 전압을 적어도 하나의 메모리 셀 스트링(420)으로 전달하는 기능을 담당하는 연결부(430)를 형성하는 것일 수 있다.
- [0049] 이처럼 연결부(430)가 기판(410)에 인가되는 벌크 소거 전압을 적어도 하나의 메모리 셀 스트링(420)으로 전달하는 기능을 담당할 수 있도록, 제조 시스템은 기판(210)을 형성하는 물질과 동일한 물질인 단결정질의 실리콘으로 연결부(430)를 형성할 수 있다.
- [0050] 보다 상세하게, 제조 시스템은 연결부(430)가 기판(410)에 인가되는 벌크 소거 전압을 적어도 하나의 메모리 셀 스트링(420)으로 전달하는 기능을 담당할 수 있도록 주변 회로의 적어도 하나의 트랜지스터(411, 412)의 상부 및 적어도 하나의 메모리 셀 스트링(420)의 하부 사이에 기판(410)과 평행하도록 위치하는 적어도 하나의 수평 부분(431)과, 주변 회로의 적어도 하나의 트랜지스터(411, 412)의 사이 공간에 기판(410)과 수직으로 위치하는 적어도 하나의 수직 부분(432)을 형성함으로써, 연결부(430)를 형성할 수 있다.
- [0051] 특히, 제조 시스템은 적어도 하나의 수평 부분(431) 및 적어도 하나의 수직 부분(432)을 형성함에 있어, 단일 에피텍셜 성장 공정을 통해 일체형으로 형성함을 특징으로 할 수 있다. 예를 들어, 제조 시스템은 도 4b와 같이 에피텍셜 성장 공정을 수행한 뒤 도 4c와 같이 CMP(Chemical mechanical polishing) 공정을 통해 평탄화를 수행하여, 연결부(430)의 적어도 하나의 수평 부분(431) 및 적어도 하나의 수직 부분(432)을 일체형으로 형성할 수 있다.
- [0052] 이 때, 제조 시스템은 적어도 하나의 메모리 셀 스트링(420)이 형성되는 면적 및 주변 회로의 적어도 하나의 트랜지스터(411, 412)가 형성되는 면적에 대응하는 면적으로 연결부(430)의 적어도 하나의 수평 부분(431)을 형성할 수 있다. 예를 들어, 연결부(430)의 적어도 하나의 수평 부분(431)은 기판(410)에 인가되는 벌크 소거 전압을 적어도 하나의 메모리 셀 스트링(420) 전체에 전달해야 하므로, 제조 시스템은 적어도 하나의 메모리 셀 스트링(420)의 하부 전체와 맞닿을 수 있도록 적어도 하나의 메모리 셀 스트링(420)의 하부 전체의 면적과 동일하거나 더 큰 면적을 갖도록 연결부(430)의 적어도 하나의 수평 부분(431)을 형성할 수 있다. 다른 예를 들면, 제조 시스템은 연결부(430)의 적어도 하나의 수평 부분(431)이 주변 회로의 적어도 하나의 트랜지스터(411, 412)의 상부 전체를 덮도록, 주변 회로의 적어도 하나의 트랜지스터(411, 412)의 상부 전체의 면적과 동일하거나 더 큰 면적을 갖도록 연결부(430)의 적어도 하나의 수평 부분(431)을 형성할 수 있다.
- [0053] 또한, 제조 시스템은 주변 회로의 적어도 하나의 트랜지스터(411, 412)의 배치 위치에 기초하여 연결부(430)의 적어도 하나의 수직 부분(432)을 형성할 수 있다. 예를 들어, 연결부(430)의 적어도 하나의 수직 부분(432)은 주변 회로의 적어도 하나의 트랜지스터(411, 412)의 사이 공간에 위치해야 하므로, 제조 시스템은 주변 회로의 적어도 하나의 트랜지스터(411, 412)가 기판(410) 상에 배치되는 위치를 고려하여 주변 회로의 적어도 하나의 트랜지스터(411, 412)의 사이 공간에 연결부(430)의 적어도 하나의 수직 부분(432)이 위치하도록 형성할 수 있다.
- [0054] 또한, 제조 시스템은 기판(410)으로부터 인가되는 벌크 소거 전압을 적어도 하나의 메모리 셀 스트링(420)으로 전달하기 위해 연결부(430)를 단결정질의 실리콘으로 형성할 뿐만 아니라, 적어도 하나의 메모리 셀 스트링(420)으로 벌크 소거 전압을 전달하기 위한 단자를 더 포함하도록 형성할 수도 있다.
- [0055] 그 다음, 제조 시스템은 단계(S330)에서, 도 4d와 같이 연결부(430)의 상부에 적어도 하나의 메모리 셀 스트링(420)을 일 방향으로 연장 형성한다.
- [0056] 이 때, 제조 시스템은 적어도 하나의 메모리 셀 스트링(420)에 수직 방향으로 적층되는 복수의 전극층들(미도시) 및 복수의 전극층들 사이에 교번하며 개재되는 복수의 절연층들(미도시)을 형성할 수 있다.
- [0058] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될

수 있다.

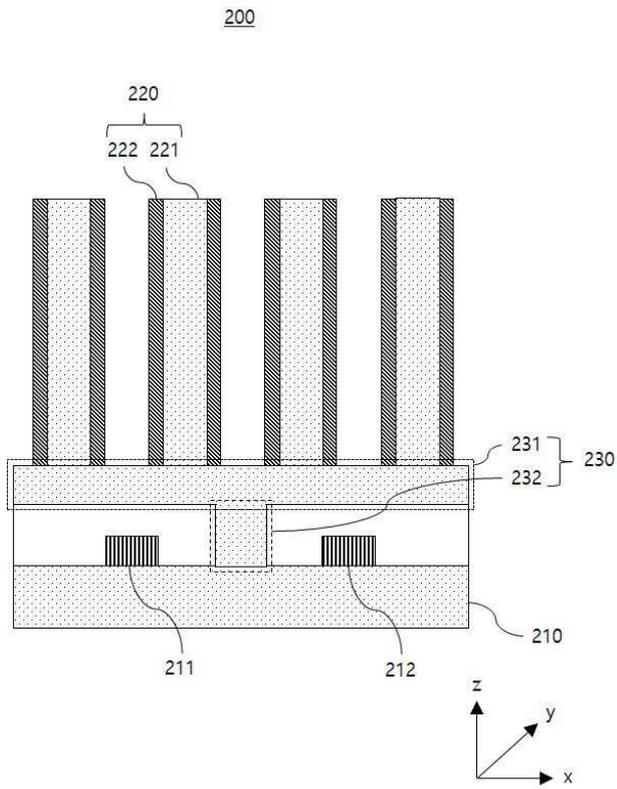
[0059] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

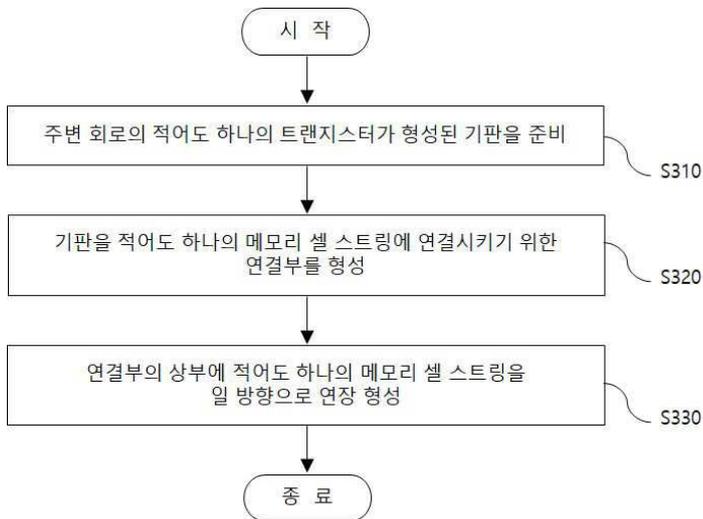
도면1



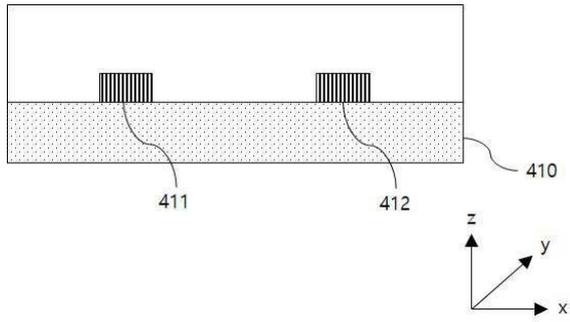
도면2



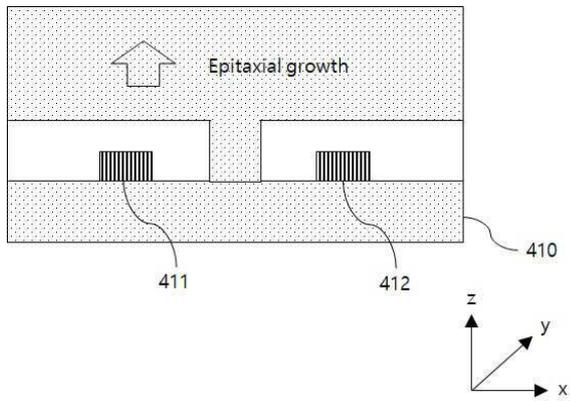
도면3



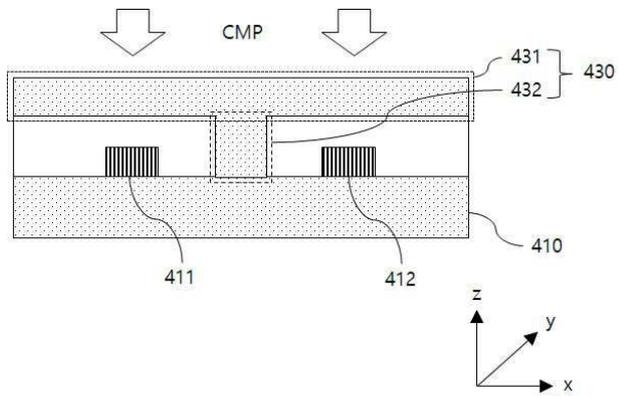
도면4a



도면4b



도면4c



도면4d

