



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I466258 B

(45) 公告日：中華民國 103 (2014) 年 12 月 21 日

(21) 申請案號：098112115

(22) 申請日：中華民國 98 (2009) 年 04 月 10 日

(51) Int. Cl. : **H01L23/535 (2006.01)**

(71) 申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORP. (TW)

桃園縣龜山鄉華亞科技園區復興三路 669 號

(72) 發明人：林瑄智 LIN, SHIAN JYH (TW)

(74) 代理人：蔡清福

(56) 參考文獻：

TW 200903773A

US 6822316B1

US 20060289968A1

審查人員：莊榮昌

申請專利範圍項數：16 項 圖式數：8 共 31 頁

(54) 名稱

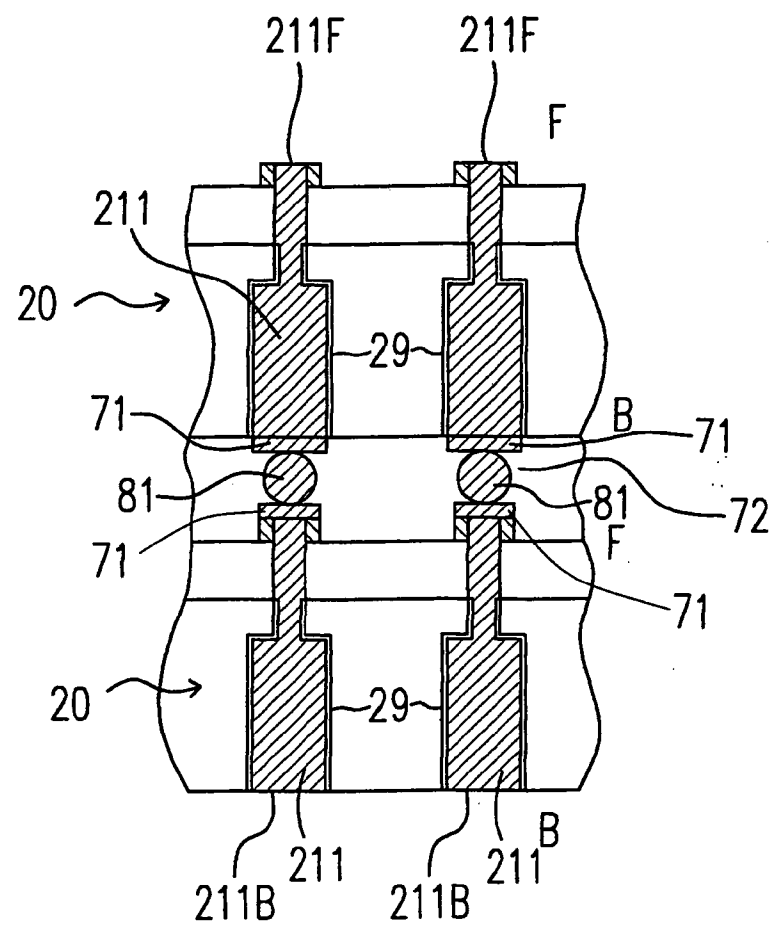
電性通透連接及其形成方法

CONDUCTIVE THROUGH CONNECTION AND FORMING METHOD THEREOF

(57) 摘要

本發明提出一種電性通透連接，其設置於一半導體裝置上，該半導體裝置具有一本體層以及一金屬層，其中該金屬層位於該本體層上，其包括一導電本體其係貫穿該金屬層以及該本體層，該導電本體的一端之形狀可為矩形或是圓形，且其寬度或直徑大於另一端之寬度或直徑。

The present invention relates to a conductive through connection, disposed on a semiconductor device having a body layer and a metal layer wherein the metal layer is above the body layer, comprising: a conductive body configured to penetrate the body layer and the metal layer, wherein one end of the conductive body has a width or a diameter being rectangular or circular greater than that of the other end of the conductive body.



- 20 . . . 晶片
- 211 . . . 電性通透連接
- 211F . . . 支撐端
- 211B . . . 接觸端
- F . . . 面
- B . . . 背
- 71 . . . 金屬黏著劑
- 72 . . . 填充層
- 81 . . . 接觸

第八圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98112115

※申請日：98.4.10

※IPC分類：H01L23/535 (2006.01)

一、發明名稱：(中文/英文)

電性通透連接及其形成方法/Conductive Through Connection And
Forming Method Thereof

二、中文發明摘要：

本發明提出一種電性通透連接，其設置於一半導體裝置上，該半導體裝置具有一本體層以及一金屬層，其中該金屬層位於該本體層上，其包括一導電本體其係貫穿該金屬層以及該本體層，該導電本體的一端之形狀可為矩形或是圓形，且其寬度或直徑大於另一端之寬度或直徑。

三、英文發明摘要：

The present invention relates to a conductive through connection, disposed on a semiconductor device having a body layer and a metal layer wherein the metal layer is above the body layer, comprising: a conductive body configured to penetrate the body layer and the metal layer, wherein one end of the conductive body has a width or a diameter being rectangular or circular greater than that of the other end of the conductive body.

四、指定代表圖：

(一)本案指定代表圖為：第(八)圖。

(二)本代表圖之元件符號簡單說明：

20：晶片

211：電性通透連接

211F：支撐端

211B：接觸端

F：面

B：背

71：金屬黏著劑

72：填充層

81：接觸

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本案係指一種電性通透連接，尤指一種形成於基板貫穿通道(TSV)中的電性通透連接。

【先前技術】

隨著電子形成技術的發展，越來越多的電子產品係以可攜性、高性能性以及輕薄短小為其發展目標，但這也表示電子產品所搭配的電子晶片之功能及其所包括的電路裝置將越來越多且越來越複雜而精密，然而在這樣微型化的發展趨勢下，儘管目前用於超大型積體電路(VLSI)形成的微影製程(lithographic process)已經來到了奈米(nano)級的 45nm、32nm 的極限或甚至更小，但為了在有限的晶片面積下積集更大量的積集電路(Integrated Circuit)，促成了三維的晶片堆疊技術的蓬勃發展。

請參照第一圖，其為現有三維晶片堆疊技術的示意圖。在第一圖中，多片核心晶片 101a、101b~101n 通過接觸 11 及貫穿連接元件 12 而彼此電連接，各核心晶片 101a、101b~101n 可再通過金屬連接 30 而與電路晶片 100 電連接，以傳輸或接收控制訊號等，而電路晶片 100 再通過外部終端 103 而與其它外部電路電連接，在第一圖中的多片核心晶片 101a、101b~101n 是經由接觸 11 而垂直地堆疊，其中接觸 11 是通過貫穿連接元件 12 而與各核心晶片 101a、101b~101n 電連接；以上為現有的三維晶片的堆疊架構，關於現有晶片堆疊技術的資訊可參閱美國專利申請案第 US2007/0132085A1 號。

但令人遺憾的是，現今半導體工藝邁向微型化，前述的堆疊技術會造成以下的缺失，隨著臨界尺寸(critical dimension)的縮小，接觸 11 與貫穿連接元件 12 的尺寸也將隨之收縮到非常微小的奈米級尺寸，此時，

只要各核心晶片 101a、101b~101n 彼此之間的對準稍有偏移，或在晶片的形成過程中，貫穿連接元件 12 的位置稍有誤差，或者在堆疊的過程中，接觸 11 的位置稍有錯位等等狀況，都將使得接觸 11 無法準確地與貫穿連接元件 12 電連接，導致堆疊後的三維晶片無法正常工作而成為瑕疵品。

職是之故，申請人鑑於習知技術中所產生之缺失，經過悉心試驗與研究，並一本鍥而不捨之精神，終構思出本案「電性通透連接及其形成方法」，能夠克服上述缺點，以下為本案之簡要說明。

【發明內容】

鑑於習知技術中存在的缺失，本發明藉由在半導體裝置，如晶圓(wafer)、晶片(chip)或晶粒(die)中形成多個上窄下寬的瓶狀(bottle)的基板貫穿通道(through substrate via, TSV)結構，並在 TSV 中填入導電材料而形成電性通透連接(conductive through connection)，以晶片為例，當擬堆疊多片晶片時，各晶片之間即可通過形成於 TSV 中的電性通透連接而彼此電連接以相互傳遞電子訊號，由於本發明之電性通透連接其一端之寬度或直徑小於另一端之寬度或直徑，因此各晶片在堆疊時可容忍較大的對準誤差，藉此能夠克服微型晶片在堆疊時需精密對準或難以精確對準的問題，特別是可克服奈米級晶片在堆疊時的精確對準的問題。值得注意的是，本發明提出的電性通透連接還可穿過鉸墊(bond pad)而設置。

根據本發明的第一構想，提出一種形成電性通透連接的方法，用於在一半導體裝置上形成一電性通透連接，該半導體裝置具有一元件層、一介電層及一金屬層，其中該介電層位於該元件層上及該金屬層位於該介電層上，該方法包括步驟：(a)於該半導體裝置上形成一第一溝槽，該第一溝槽自該金屬層延伸入該元件層；(b)在該第一溝槽之下方形成與該

第一溝槽相連通之一第二溝槽，其中該第二溝槽之寬度或直徑大於該第一溝槽之寬度或直徑；(c)在位於該元件層中之該第一溝槽及該第二溝槽之側壁上形成一第二介電層；(d)填充一導電材料於該第一溝槽及該第二溝槽中；以及(e)去除該元件層的一部份以露出該導電材料。

較佳地，本發明所提供形成電性通透連接的方法，其中該步驟(a)和該步驟(b)之間更包括下列步驟：(a1)於該第一溝槽之側壁上形成一保護層。

較佳地，本發明所提供形成電性通透連接的方法，其中該步驟(b)和該步驟(c)之間更包括下列步驟：(b1)去除該保護層。

較佳地，本發明所提供形成電性通透連接的方法，其中該步驟(c)和該步驟(d)之間更包括下列步驟：(c1)形成一晶種層於該第一溝槽及該第二介電層上。

較佳地，本發明所提供形成電性通透連接的方法，其中該第二溝槽係透過該保護層蝕刻該第一溝槽之下方而形成。

較佳地，本發明所提供形成電性通透連接的方法，其中該第一溝槽係透過一非等向性蝕刻而形成。

較佳地，本發明所提供形成電性通透連接的方法，其中該第二溝槽係透過一等向性蝕刻而形成。

較佳地，本發明所提供形成電性通透連接的方法，其中該元件層的一部份係透過一化學機械平坦化(CMP)製程而去除。

較佳地，本發明所提供形成電性通透連接的方法，其中該導電材料係透過一物理氣相沉積(PVD)製程或一化學氣相沉積(CVD)製程而填充於該第一溝槽及該第二溝槽。

較佳地，本發明所提供形成電性通透連接的方法，其中該導電材料為一鎢(W)金屬、一多晶矽(poly-silicon)或一銅(Cu)金屬材料。

較佳地，本發明所提供形成電性通透連接的方法，其中該保護層為一氧化鋁(Al_2O_3)或一絕緣介電層(SiO_2 、 Si_3N_4 或 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 之複合層)。

較佳地，本發明所提供形成電性通透連接的方法，其中該晶種層(seed layer)為一氮化鉭(TaN)層或一氮化鈦(TiN)層。

較佳地，本發明所提供形成電性通透連接的方法，其中該半導體裝置為一晶圓、一晶片或一晶粒。

較佳地，本發明所提供形成電性通透連接的方法，其中該半導體裝置中積集有一邏輯電路、一記憶電路或一類比電路。

較佳地，本發明所提供形成電性通透連接的方法，其中該金屬層為一鐳墊或一金屬線路。

根據本發明的第二構想，提出一種形成電性通透連接的方法，用於在一半導體裝置上形成一電性通透連接，該半導體裝置具有一本體層以及一金屬層，其中該金屬層位於該本體層上，該方法包括步驟：(a)貫穿該半導體裝置以及該金屬層而形成一通道，該通道的一端之寬度或直徑大於另一端之寬度或直徑；(b)於位於該本體層中的該通道之側壁上形成一第二介電層；以及(c)於該通道中填入一導電材料而於該通道中形成一電性通透連接。

根據本發明的第三構想，提出一種電性通透連接，其設置於一半導體裝置上，該半導體裝置具有一本體層以及一金屬層，其中該金屬層位於該本體層上，其包括：一導電本體，係貫穿該金屬層以及該本體層，該導電本體的一端之寬度或直徑大於另一端之寬度或直徑。

根據本發明的第四構想，提出一種半導體裝置，其具有一本體層以及一金屬層，其中該金屬層位於該本體層上，其包括：一電性通透連接，係貫穿該金屬層以及該本體層，該電性通透連接的一端之寬度或直徑大於另一端之寬度或直徑。

較佳地，本發明所提供的半導體裝置為一品圓、一晶片或一品粒。

【實施方式】

本案將可由以下的實施例說明而得到充分瞭解，使得熟習本技藝之人士可以據以完成之，然本案之實施並非可由下列實施案例而被限制其實施型態。其中相同的標號始終代表相同的組件。

以下利用第二圖(a)~(l)來說明本發明之電性通透連接之形成方法的第一實施例。

首先請參照第二圖(a)，首先提供半導體裝置，此半導體裝置可為晶圓、晶片或晶粒，於此實施例中係以晶圓 20 為例作為半導體裝置，且此晶圓 20 可為各式邏輯晶片、各式記憶晶片或各式類比晶片，例如 Flash 晶片或 DRAM 晶片等，晶圓 20 上包括了元件層 21、介電層 22 及金屬層 23，其排列順序由下至上依序為元件層 21、介電層 22 及金屬層 23，而元件層 21 以及介電層 22 則構成了本體層，其中元件層 21 的材料主要為半導體材料如矽，其中積集有積集電路，包括了各式主被動元件、記憶或邏輯胞元(cell)、胞元陣列(array)、多重內連線結構等各種組成積集電路所需的電子元件；而金屬層 23 為設置於晶圓 20 表面的鐳墊，或是其他設置在晶圓表面用於電性連接的金屬線路；元件層 21 與金屬層 23 之間設有介電層 22，而元件層 21 與介電層 22 構成了本體層。

接著請參照第二圖(b)，在金屬層 23 上覆蓋一層光罩層 24，光罩層 24 可為正、負光阻或其他半導體製程上常用的光阻材料，或為事先預製的硬式光罩，如圖所示，光罩層 24 上具有多個溝槽圖案 25。

請繼續參照第二圖(c)，將光罩層 24 上的溝槽圖案 25 轉移(圖案化)到光罩層 24 上，於此實施例中是以非等向性蝕刻的方式去除未受到光罩層 24 所覆蓋的金屬層 23、介電層 22 及元件層 21，而在晶圓 20 上形

成第一溝槽 26，如圖所示，第一溝槽 26 係延伸入元件層 21 但尚未貫穿元件層 21 或晶圓 20 乾蝕刻。待蝕刻完畢後，去除覆蓋於金屬層 23 上的光罩層 24，如第二圖(d)所示。

請繼續參閱第二圖(e)，在第一溝槽 26 的側壁上形成保護層 27，於此實施例中可採用如原子層沉積(ALD)法或化學氣相沉積(CVD)製程在第一溝槽 26 的側壁上沉積一層氧化鋁(Al_2O_3)或絕緣介電層，如氧化矽(SiO_2)、氮化矽(Si_3N_4)或氧化矽與氮化矽($\text{SiO}_2/\text{Si}_3\text{N}_4$)之複合層，以作為保護層 27。請繼續參閱第二圖(f)，以濕蝕刻或化學乾蝕刻向下去除第一溝槽 26 底部處未受到保護層 27 覆蓋的元件層 21，以在第一溝槽 26 的底部下方形成第二溝槽 28。請繼續參閱第二圖(g)，再以等向性蝕刻去除第二溝槽 28 側壁及底部處的元件層 21 以擴大第二溝槽 28，使得第二溝槽 28 的寬度或直徑大於第一溝槽 26 的寬度或直徑。此處，第一溝槽 26 或第二溝槽 28 較佳可為矩形或是圓形，然本案第一溝槽 26 或第二溝槽 28 並非因此而被限制其實施型態，本實施例中所附之圖式，所顯示者係僅為圓形之圖式。

請繼續參閱第二圖(h)，當第二溝槽 28 形成之後，去除第一溝槽 26 的側壁上的保護層 27，而形成如圖所示的通道 29，但目前此通道 29 尚未貫穿晶圓 20，此通道 29 主要包括了第一溝槽 26 及第二溝槽 28 兩個部分，至此已在晶圓 20 上形成了一個上窄下寬，有如瓶狀的通道 29。值得注意的是，上述第一溝槽 26、第二溝槽 28 或通道 29 的形成，非僅限於以上所述的方法，其他半導體產業習用的溝槽或通道形成方法均可應用至本發明中用以形成瓶狀的通道 29。

請繼續參閱第二圖(i)，接著在位於元件層 21 中的第一溝槽 26 及第二溝槽 28 的表面上形成第二介電層 210，於此實施例中可採用如物理氣相沉積(PVD)或 CVD 製程、ALD 製程或其他沉積製程，在位於元件層

21 中的第一溝槽 26 及第二溝槽 28 的表面上沉積一層氧化物或其他介電材料以作為第二介電層 210。

請繼續參閱第二圖(j)，接著在包括第一溝槽 26 及第二溝槽 28 的通道 29 中填入導電材料 211，於此實施例中可選擇以 PVD 或 CVD 製程，將諸如鎢(W)金屬或多晶矽(poly-silicon)等材料一次地或分多次地填充於通道 29 中，基本上所填入的導電材料 211 非僅限於以上所述的材料，隨著半導體製程的不斷改進，適用的導電材料 211 亦將隨著製程的改進而不斷的改變，其他在現有製程或未來製程當中可適用的導電材料均可被本發明所使用而填入通道 29 當中。

請繼續參閱第二圖(k)，接著將晶圓 20 的背面(back side)B 以化學機械平坦化(CMP)製程或其他研磨製程，去除部份元件層 21 上的矽材料或矽基板，直到至少使第二溝槽 28 中的導電材料 211 露出為止，如圖所示，至此通道 29 已貫穿晶圓 20 而成為 TSV，而填充於通道 29 中的導電材料 211 則形成了本發明所提出的電性通透連接。請繼續參閱第二圖(i)，接著繼續對金屬層 23 進行曝光與顯影，以形成鐳墊 213，如圖所示。

值得注意的是，在上述的第一實施例中，也可以選擇直接對第一溝槽 26 進行深蝕刻，形成一個深度略相等於上述第一溝槽 26 以及第二溝槽 28 之總深度的溝槽，然後在位於金屬層 23 以及介電層 22 中的第一溝槽 26 的側壁上形成形成保護層 27，然後再以等向性蝕刻擴大第一溝槽 26 下半部未受到保護層 27 所覆蓋的溝槽而形成第二溝槽 28。

以下利用第三圖(a)~(d)來說明本發明之電性通透連接之形成方法的第二實施例。

請參閱第三圖(a)，接續第二圖(i)的步驟，由於填入通道 29 中的導電材料 211 並非僅限於鎢金屬或多晶矽等材料，還可填入如銅(Cu)材料，但須先在第一溝槽 26 以及第二介電層 210 的表面上形成銅的晶種

層(seed layer)212，如圖所示，先在通道 29 之側壁沉積晶種層 212，於此實施例中是選擇以氮化鉭(TaN)或氮化鈦(TiN)作為晶種層 212 而沉積在通道 29 的表面。請繼續參閱第三圖(b)，接著選擇以 PVD、CVD 製程或電鍍的方式，一次或分多次地將導電材料 211 也就是銅填充於通道 29 中的晶種層 212 上，而在通道 29 中形成由銅所填充的電性通透連接。請繼續參閱第三圖(c)，接著將晶圓 20 的背面 B 以 CMP 或其他研磨製程，去除部份元件層 21 上的矽材料或矽基板，直至第二溝槽 28 中的導電材料 211 露出為止，如圖所示，至此通道 29 已貫穿晶圓 20 而成為 TSV，而填充於通道 29 中的導電材料 211 則形成了本發明所提出的電性通透連接。請繼續參閱第三圖(d)，接著繼續對金屬層 23 進行曝光與顯影，以形成鐳墊 213，如圖所示。

以下利用第四圖(a)~(f)來說明本發明之電性通透連接之形成方法的第三實施例。

請參閱第四圖(a)，接續第二圖(h)的步驟，在第一溝槽 26 及第二溝槽 28 之表面，形成第二介電層 210，於此實施例中可採用如 PVD、CVD 製程、ALD 製程或其他沉積製程，如圖所示，在位於元件層 21 中的第一溝槽 26 及第二溝槽 28 的表面上沉積一層氧化物或其他介電材料以作為第二介電層 210。值得注意的是，第四圖(a)中所揭示的第二介電層 210 是覆蓋於第一溝槽 26 中的所有側壁，但在第二圖(i)中的第二介電層 210，是覆蓋位於元件層 21 中的第一溝槽 26 及第二溝槽 28 的表面。

請繼續參閱第四圖(b)，於通道 29 中填入鎢金屬或多晶矽等導電材料 211，於此實施例中選擇以 PVD 或 CVD 製程，將諸如鎢金屬或多晶矽等材料一次或分多次地填充於通道 29 中。

請繼續參閱第四圖(c)，但由於導電材料 211 與金屬層 23 之間隔有一層第二介電層 210，因此導電材料 211 與金屬層 23 之間無法電連接，

因此須以回蝕的方式除去金屬層 23 中的導電材料 211 與第二介電層 210 而形成凹槽 42，如圖所示，於此實施例中的回蝕可採用非等向性蝕刻。請繼續參閱第四圖(d)，接者在凹槽 42 中重新回填金屬，以使得導電材料 211 可與金屬層 23 之間電連接，於此實施例中的回填可採用 PVD 或 CVD 製程或其他沉積製程，將鎢金屬或鋁銅(Al-Cu)沉積在凹槽 42 中而形成回填 41，導電材料 211 可與金屬層 23 之間可通過回填 41 而電連接。

請繼續參閱第四圖(e)，接著將晶圓 20 的背面 B 以 CMP 或其他研磨製程，去除部份元件層 21 上的矽材料或矽基板，直至通道 29 中的導電材料 211 露出為止，如圖所示，至此通道 29 已貫穿晶圓 20 而成為 TSV，而填充於通道 29 中的導電材料 211 則形成了本發明所提出的電性通透連接。請繼續參閱第四圖(f)，接著繼續對金屬層 23 進行曝光、顯影、與蝕刻，以形成鐳墊 213，如圖所示。

以下利用第五圖(a)~(g)來說明本發明之電性通透連接之形成方法的第四實施例。

請參閱第五圖(a)，接續第二圖(h)的步驟，在第一溝槽 26 及第二溝槽 28 之表面，形成第二介電層 210，於此實施例中可採用如 PVD、CVD 製程、ALD 製程或其他沉積製程，如圖所示，在位於元件層 21 中的第一溝槽 26 及第二溝槽 28 的表面上沉積一層氧化物或其他介電材料以作為第二介電層 210。

請繼續參閱第五圖(b)，由於填入通道 29 中的導電材料 211 並非僅限於鎢金屬或多晶矽等材料，還可填入如銅材料，但須先在通道 29 的表面上形成銅的晶種層 212，如圖所示，先在第二介電層 210 的表面上沉積晶種層 212，於此實施例中是選擇以氮化鈮或氮化鈦作為晶種層 212 而沉積在通道 29 的表面。

請繼續參閱第五圖(c)，接著選擇以 PVD、CVD 製程或電鍍的方式，

一次或分多次地將導電材料 211 也就是銅填充於通道 29 中的晶種層 212 上，如圖所示。

請繼續參閱第五圖(d)，但由於導電材料 211 與金屬層 23 之間隔有一層第二介電層 210，因此導電材料 211 與金屬層 23 之間無法電連接，因此須以回蝕的方式除去金屬層 23 中的導電材料 211 與第二介電層 210 而形成凹槽 52 如圖所示，於此實施例中的回蝕可採用非等向性蝕刻。

請繼續參閱第五圖(e)，接者在凹槽 52 中重新回填金屬，以使得導電材料 211 可與金屬層 23 之間電連接，於此實施例中的回填可採用 PVD 或 CVD 製程或其他沉積製程，將鎢金屬或鋁銅沉積在凹槽 42 中而形成回填 51，導電材料 211 可與金屬層 23 之間可通過回填 51 而電連接。

請繼續參閱第五圖(f)，接著將晶圓 20 的背面 B 以 CMP 或其他研磨製程，去除部份元件層 21 上的矽材料或矽基板，直至通道 29 中的導電材料 211 露出為止，如圖所示，至此通道 29 已貫穿晶圓 20 而成為 TSV，而填充於通道 29 中的導電材料 211 則形成了本發明所提出的電性通透連接。請繼續參閱第五圖(g)，接著繼續對金屬層 23 進行曝光、顯影與蝕刻以形成鐳墊 213，如圖所示。

以上本發明提出之電性通透連接之形成方法，其具體實施流程圖請參閱第六圖，第六圖中包括了步驟(51)於半導體裝置上形成第一溝槽，第一溝槽自金屬層延伸入元件層；(52)在第一溝槽之下方形成第二溝槽，其中第二溝槽之寬度或直徑大於第一溝槽之寬度或直徑；(53)在位於元件層中之第一溝槽及第二溝槽之側壁上形成第二介電層；(54)填充導電材料於第一溝槽及第二溝槽中；以及(55)自半導體裝置的背面去除元件層的一部份以露出導電材料。

實施以上所述的方法即可在晶圓、晶片或晶粒等的半導體裝置中形成一個電性通透連接的結構，此電性通透連接直接貫穿半導體裝置，且

其一端之寬度或直徑大於另一端之寬度或直徑，其外觀約略近似瓶狀，這個電性通透連接的結構可用來堆疊半導體裝置而組成三維堆疊式半導體裝置。

以第一實施例中所形成的形成電性通透連接結構為例來說明如何利用本發明之電性通透連接來進行半導體裝置的堆疊。

以下以第七圖來說明設置有本發明電性通透連接的半導體裝置其堆疊架構的第五實施例。請參閱第七圖，第七圖中的多個晶圓 20 分別具有正面(front side)F 與背面 B，電性通透連接 211 係貫穿各晶圓 20 上的正面 F 與背面 B，電性通透連接 211 在正面 F 上露出的部分為支撐端 211F 而在背面 B 上露出的部分為接觸端 211B，以各晶圓 20 上的電性通透連接 211 為基準將多個晶圓 20 彼此對齊，再以金屬黏著劑(metal glue)71 將電性通透連接的支撐端 211F 與接觸端 211B 黏著，再於晶圓 20 與晶圓 20 之間形成填充層(interposer layer)72，如此即完成三維晶片的堆疊。

以下以第八圖來說明設置有本發明電性通透連接的半導體裝置其堆疊架構的第六實施例。請參閱第八圖，第八圖中的多個晶圓 20 分別具有正面 F 與背面 B，以每一晶圓 20 上的電性通透連接 211 為基準將多個晶圓 20 彼此對齊，再以背對面(back to front)的架構將多個晶圓 20 彼此垂直堆疊，在每一晶圓 20 的中間設置接觸 81，其可為錫球(Sn ball)或其他電導體，在本案的第三以及四實施例中，回填 41 以及 51 可為鋁銅，鋁銅可與錫之間產生非常好的接合效果，以金屬黏著劑 71 將電性通透連接的支撐端 211F 與接觸端 211B 與錫球黏著，再於晶圓 20 與晶圓 20 之間形成填充層 72，如此即可完成三維晶片的堆疊。上述的堆疊架構可以視晶片設計的需要而重複地將多個晶片垂直堆疊，而形成一個堆疊式半導體晶片。

經由第七圖及第八圖對晶片堆疊架構的說明中可發現，本發明藉由形成具有瓶頸(bottle neck)狀或瓶狀的矽穿孔通道 29，同時在矽穿孔通道 29 中填入導電材料而形成電性通透連接 211，通常矽穿孔通道 29 的深度約介於 5~10 μm 之間，其寬度或直徑約小於 0.5 μm ，當晶圓 20 採用背對面的架構堆疊時，由於位於面的電性通透連接其支撐端 211F 的寬度或直徑小於位於背的電性通透連接的接觸端 211B 的寬度或直徑，因此當晶片堆疊時可容忍較大的對準誤差，也就是晶圓 20 彼此間可能的對準誤差可以被電性通透連接的接觸端 211B 所吸收，藉此可克服微型晶片在堆疊時難以精確對準的問題，特別是可克服奈米級晶片在堆疊時難以精確對準的問題。值得注意的是，本發明的實施亦可應用至晶圓或晶粒的堆疊，本實施例中採用晶片為例說明，但本發明之實施非僅限於晶片的堆疊。

值得注意的是，以上所述的堆疊架構並非僅限於晶圓 20 對晶圓 20 的堆疊，還包括了晶圓對晶片、晶圓對晶粒、晶片對晶片、晶片對晶粒以及晶粒對晶粒等的堆疊，且以上所述的堆疊架構也不限於兩層，可為多層堆疊，也就是上述的堆疊架構可為選自多個晶圓、多個晶片、多個晶粒或其組合的堆疊。

再者在半導體裝置上佈設本發明的電性通透連接時，以晶片為例，其可佈設在晶片上的適當處，數量不限，或亦可選擇使 TSV 通過位於晶片表面的鐳墊而貫穿晶片，然後再於 TSV 中形成電性通透連接，此電性通透連接再與鐳墊電連接，晶片上通常會設有多個鐳墊，但實施時並不需要在每個鐳墊下方都設置一個電性通透連接，工程師可依實際狀況或視晶片堆疊的方式來決定每一晶片上電性通透連接設置的數量。

總結而言，本案實為一難得一見，值得珍惜的難得發明，惟以上所述者，僅為本發明之最佳實施例而已，當不能以之限定本發明所實施之

範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請 貴審查委員明鑑，並祈惠准，是所至禱。

【圖式簡單說明】

第一圖 係現有三維晶片堆疊技術的示意圖；

第二圖(a)~(l) 係分別為本發明之電性通透連接之形成方法的第一實施例的示意圖；

第三圖(a)~(d) 係分別為本發明之電性通透連接之形成方法的第二實施例的示意圖；

第四圖(a)~(f) 係分別為本發明之電性通透連接之形成方法的第三實施例的示意圖；

第五圖(a)及(g) 係分別為本發明之電性通透連接之形成方法的第四實施例的示意圖；

第六圖 係為本發明之電性通透連接之形成方法的實施流程圖；

第七圖 係為設有本發明電性通透連接的晶片其堆疊架構的第五實施例示意圖；以及

第八圖 係為設有本發明電性通透連接的晶片其堆疊架構的第六實施例示意圖。

【主要元件符號說明】

11：接觸

12：貫穿連接元件

30：金屬連接

100：電路晶片

101a、101b~101n：核心晶片

103：外部終端

20：晶圓

21：元件層

22：介電層	23：金屬層
24：光罩層	25：溝槽圖案
26：第一溝槽	27：保護層
28：第二溝槽	29：通道
210：第二介電層	211：導電材料
212：晶種層	213：鐳墊
41：回填	42：凹槽
51：回填	52：凹槽

51：於該半導體裝置上形成一第一溝槽，該第一溝槽自該金屬層延伸入該元件層

52：在該第一溝槽之下方形成一第二溝槽，其中該第二溝槽之寬度或直徑大於該第一溝槽之寬度或直徑

53：在位於該元件層中之該第一溝槽及該第二溝槽之側壁上形成一第二介電層

54：填充一導電材料於該第一溝槽及該第二溝槽中

55：去除該元件層以露出該導電材料

211F：支撐端

211B：接觸端

F：正面

B：背面

71：金屬黏著劑

72：填充層

81：接觸

七、申請專利範圍：

1. 一種形成電性通透連接的方法，用於在一半導體裝置上形成一電性通透連接，該半導體裝置具有一元件層、一介電層及一金屬層，其中該介電層位於該元件層上及該金屬層位於該介電層上，該方法包括步驟：

(a)於該半導體裝置上形成一第一溝槽，該第一溝槽自該金屬層延伸入該元件層；

(b)在該第一溝槽之下方形成與該第一溝槽相連通之一第二溝槽，其中該第二溝槽之寬度或直徑大於該第一溝槽之寬度或直徑；

(c)在位於該元件層中之該第一溝槽及該第二溝槽之側壁上形成一第二介電層；

(d)填充一導電材料於該第一溝槽及該第二溝槽中；以及

(e)去除該元件層的一部份以露出該導電材料。

2. 如申請專利範圍第 1 項所述形成電性通透連接的方法，其中該步驟(a)和該步驟(b)之間更包括下列步驟：

(a1)於該第一溝槽之側壁上形成一保護層。

3. 如申請專利範圍第 2 項所述形成電性通透連接的方法，其中該步驟(b)和該步驟(c)之間更包括下列步驟：

(b1)去除該保護層。

4. 如申請專利範圍第 1 項所述形成電性通透連接的方法，其中該步驟(c)和該步驟(d)之間更包括下列步驟：

(c1)形成一晶種層於該第一溝槽及該第二介電層上。

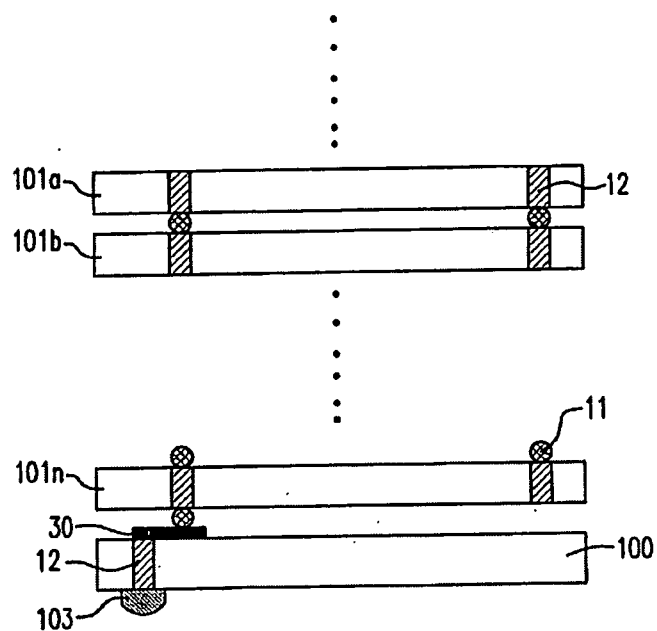
5. 如申請專利範圍第 2 項所述形成電性通透連接的方法，其中該第二溝槽係透過該保護層蝕刻該第一溝槽之下方而形成。

6. 如申請專利範圍第 1、2、4 或 5 項所述的方法，其中該第一溝槽係透過一非等向性蝕刻而形成。

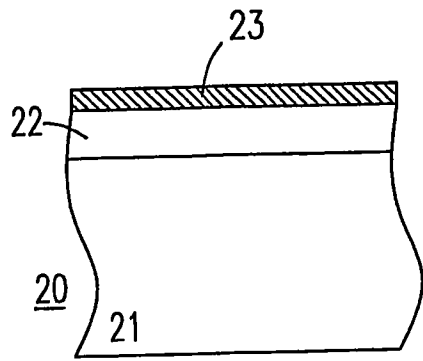
7. 如申請專利範圍第1或5項所述的方法，其中該第二溝槽係透過一等向性蝕刻而形成。
8. 如申請專利範圍第1項所述形成電性通透連接的方法，其中該元件層的一部份係透過一化學機械平坦化(CMP)製程而去除。
9. 如申請專利範圍第1項所述形成電性通透連接的方法，其中該導電材料係透過一物理氣相沉積(PVD)製程或一化學氣相沉積(CVD)製程而填充於該第一溝槽及該第二溝槽。
10. 如申請專利範圍第1或9項所述形成電性通透連接的方法，其中該導電材料為一鎢(W)金屬、一多晶矽(poly-silicon)或一銅(Cu)金屬材料。
11. 如申請專利範圍第2或3項所述形成電性通透連接的方法，其中該保護層為一氧化鋁(Al_2O_3)層或一絕緣介電層。
12. 如申請專利範圍第4項所述形成電性通透連接的方法，其中該晶種層(seed layer)為一氮化鉭(TaN)層或一氮化鈦(TiN)層。
13. 如申請專利範圍第1項所述形成電性通透連接的方法，其中該半導體裝置為一晶圓、一晶片或一晶粒。
14. 如申請專利範圍第1項所述形成電性通透連接的方法，其中該半導體裝置中積集有一邏輯電路、一記憶電路或一類比電路。
15. 如申請專利範圍第1項所述形成電性通透連接的方法，其中該金屬層為一鐳墊或一金屬線路。
16. 一種形成電性通透連接的方法，用於在一半導體裝置上形成一電性通透連接，該半導體裝置具有一本體層以及一金屬層，其中該金屬層位於該本體層上，該方法包括步驟：
 - (a) 於該半導體裝置表面形成一溝槽，並於該溝槽內側壁形成保護層，繼續於該溝槽底部蝕刻，以形成一通道穿越該半導體裝置及該金屬層，該通道的一端之寬度或直徑大於另一端之寬度或直徑；

- (b)於位於該本體層中的該通道之側壁上形成一第二介電層；以及
- (c)於該通道中填入一導電材料而於該通道中形成一電性通透連接。

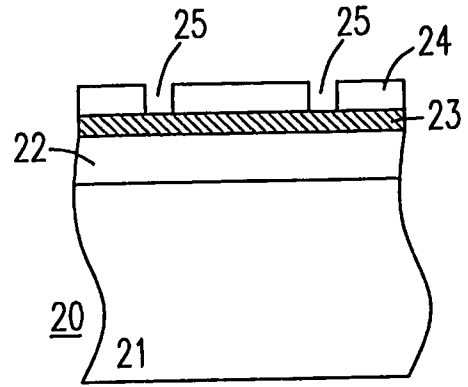
八、圖式：



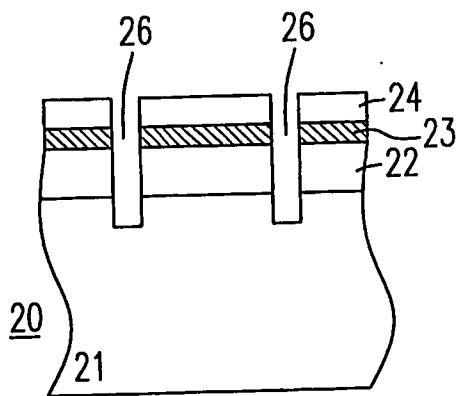
第一圖



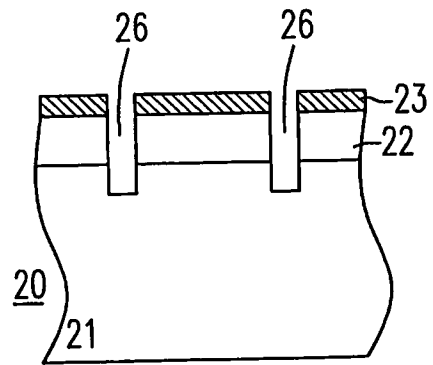
第二圖(a)



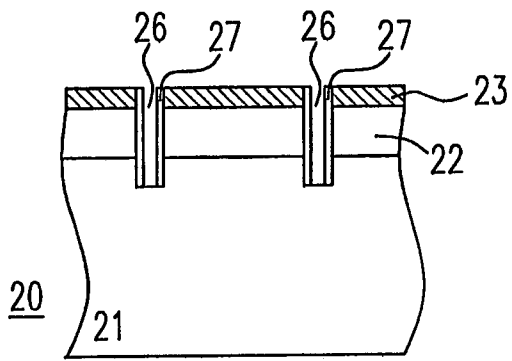
第二圖(b)



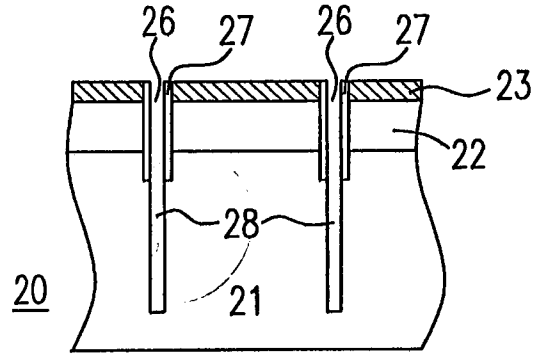
第二圖(c)



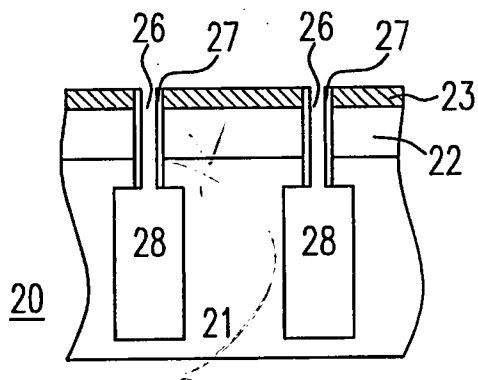
第二圖(d)



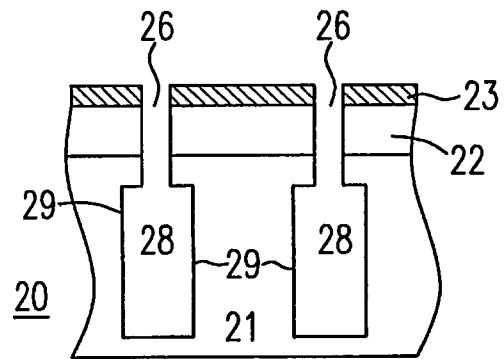
第二圖(e)



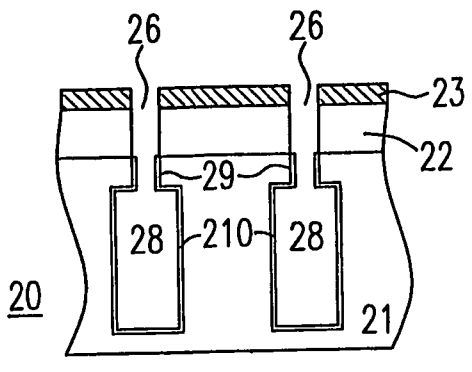
第二圖(f)



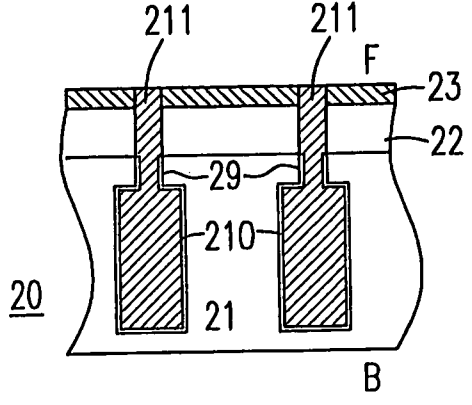
第二圖(g)



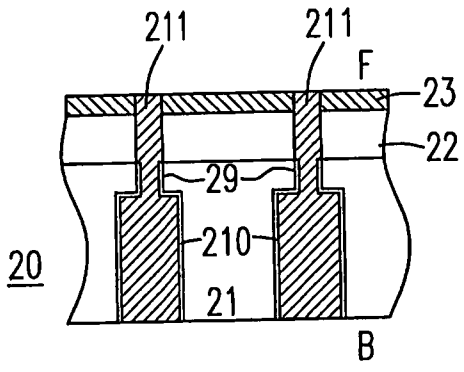
第二圖(h)



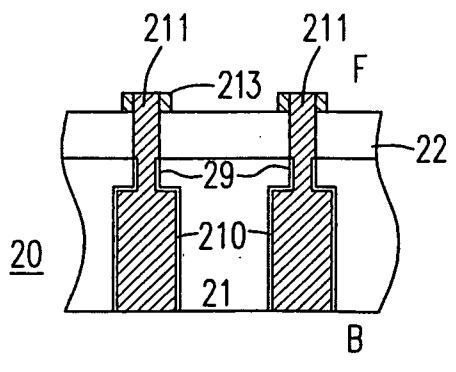
第二圖(i)



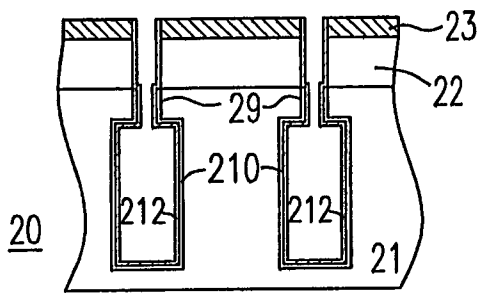
第二圖(j)



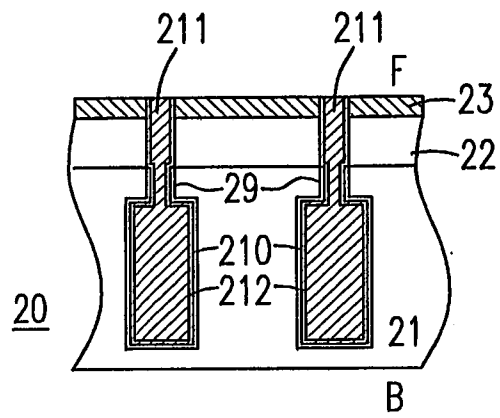
第二圖(k)



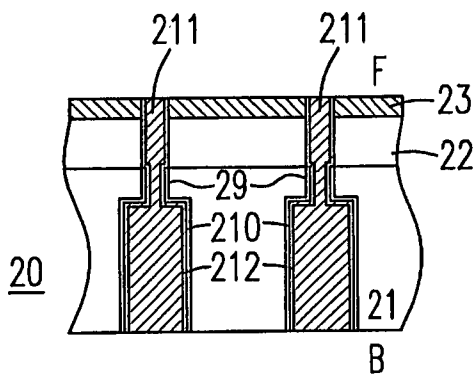
第二圖(l)



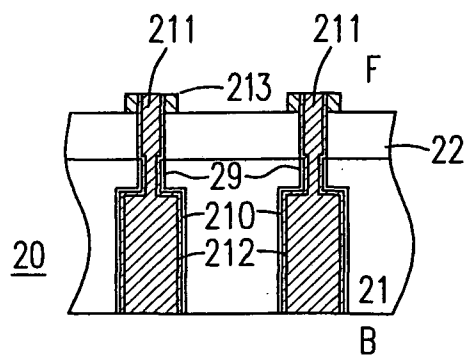
第三圖(a)



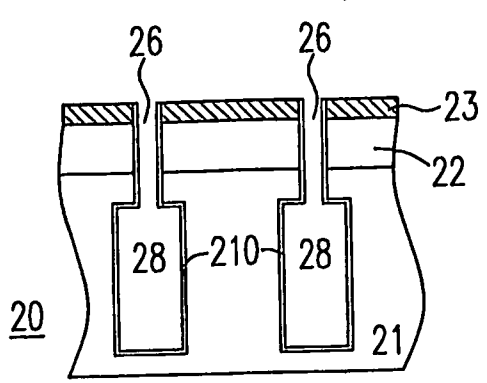
第三圖(b)



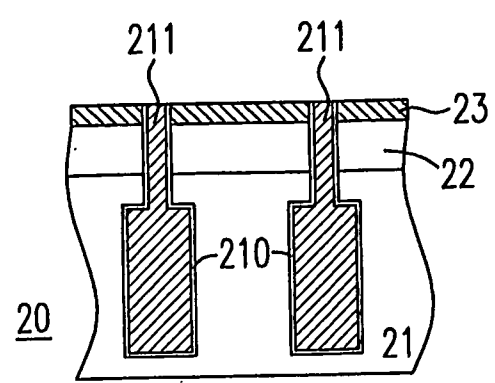
第三圖(c)



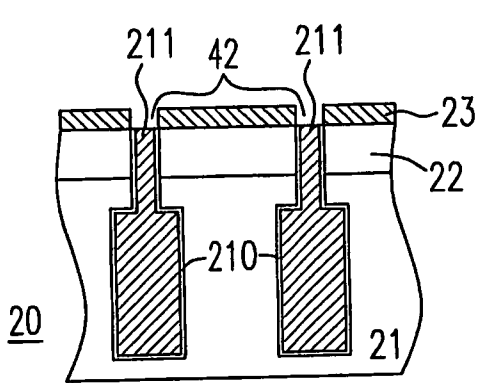
第三圖(d)



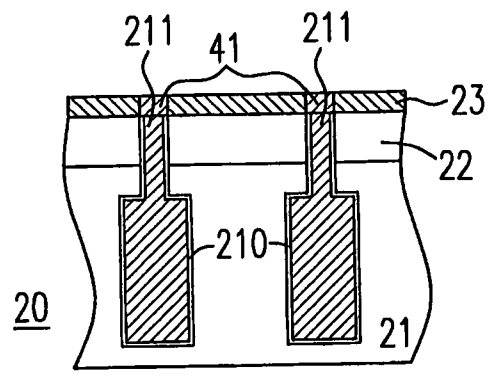
第四圖(a)



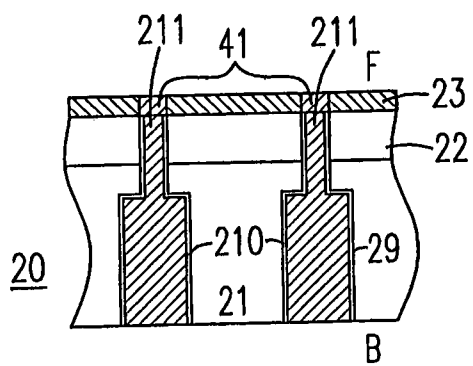
第四圖(b)



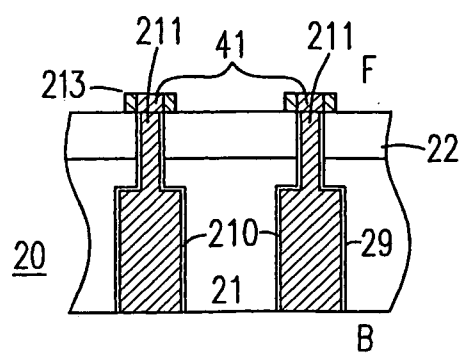
第四圖(c)



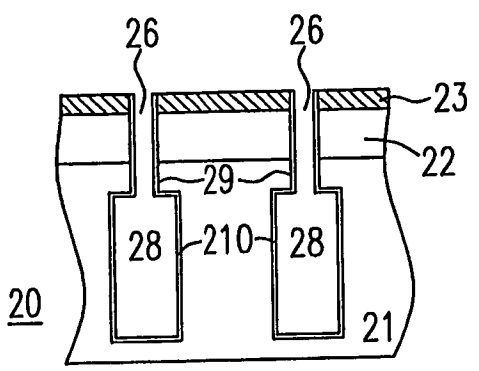
第四圖(d)



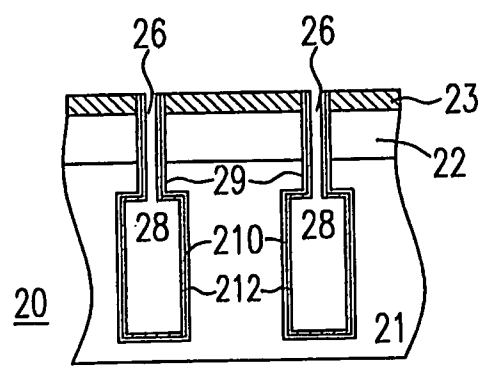
第四圖(e)



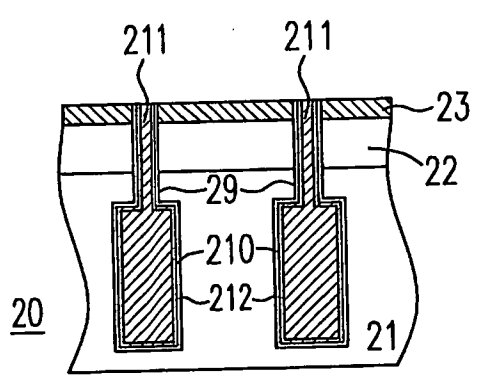
第四圖(f)



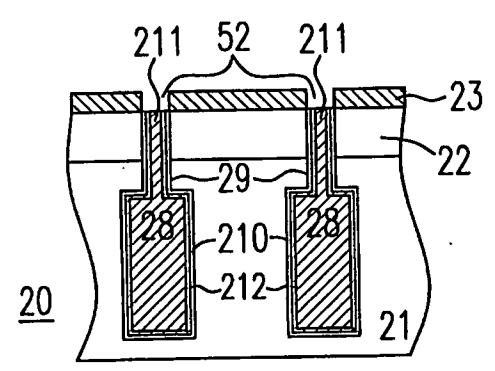
第五圖(a)



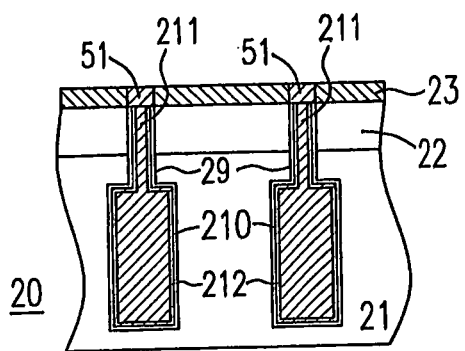
第五圖(b)



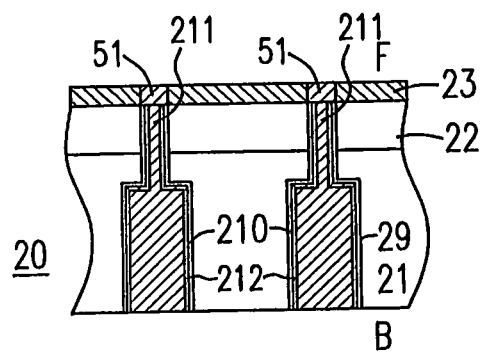
第五圖(c)



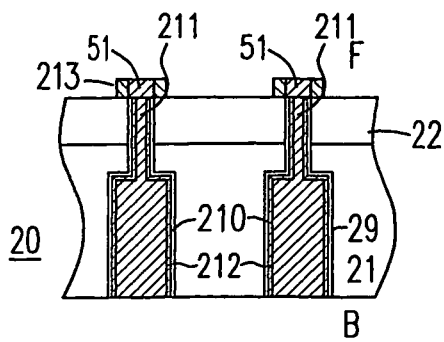
第五圖(d)



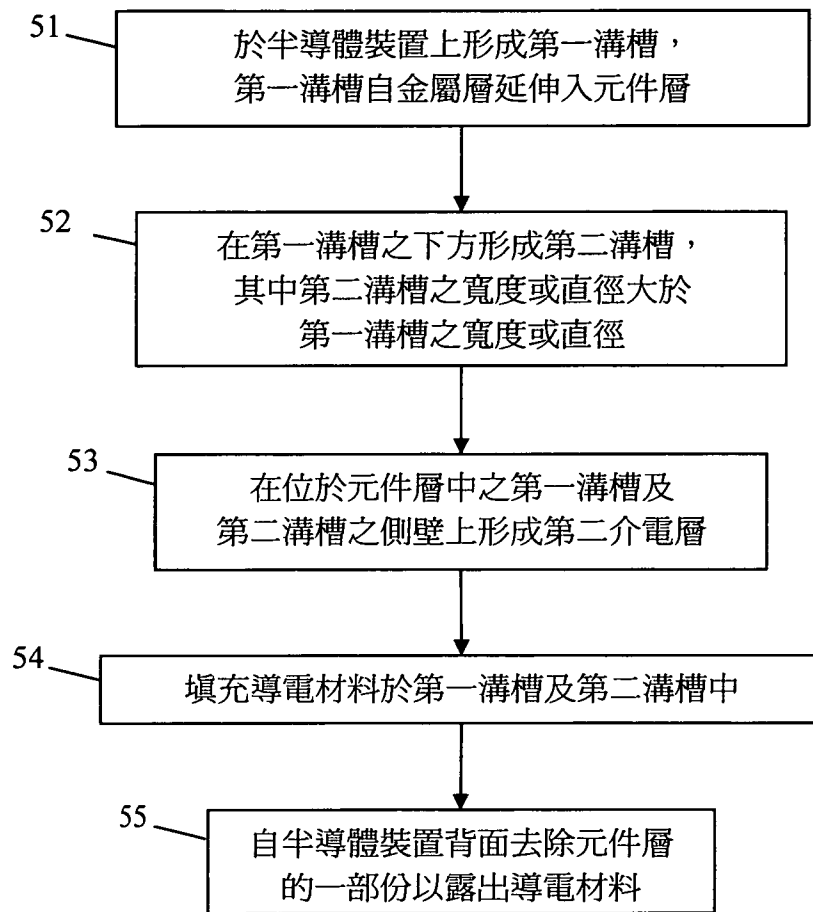
第五圖(e)



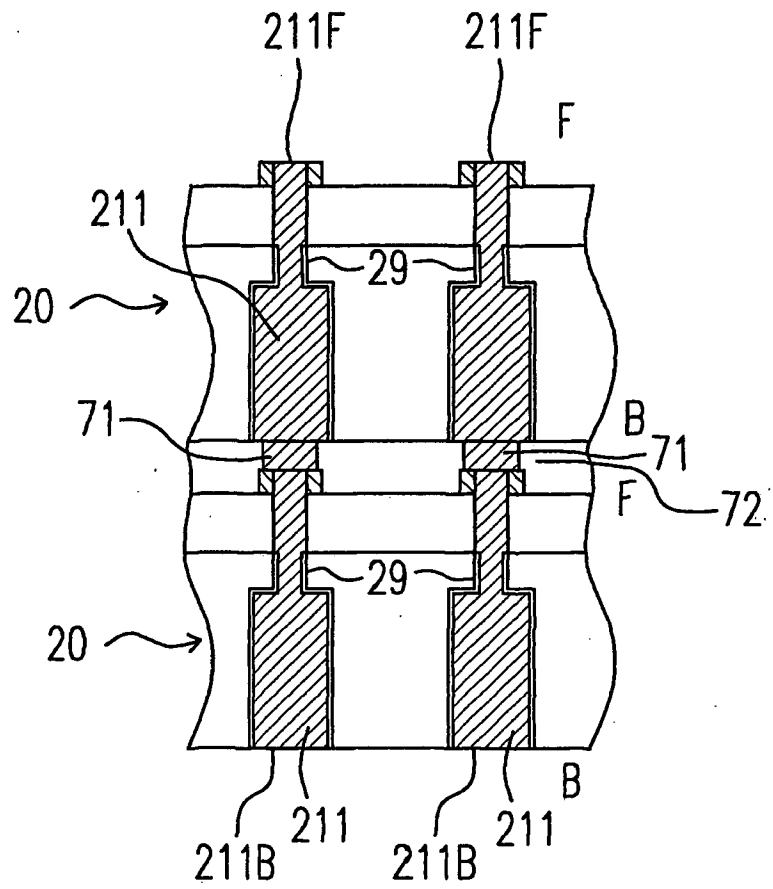
第五圖(f)



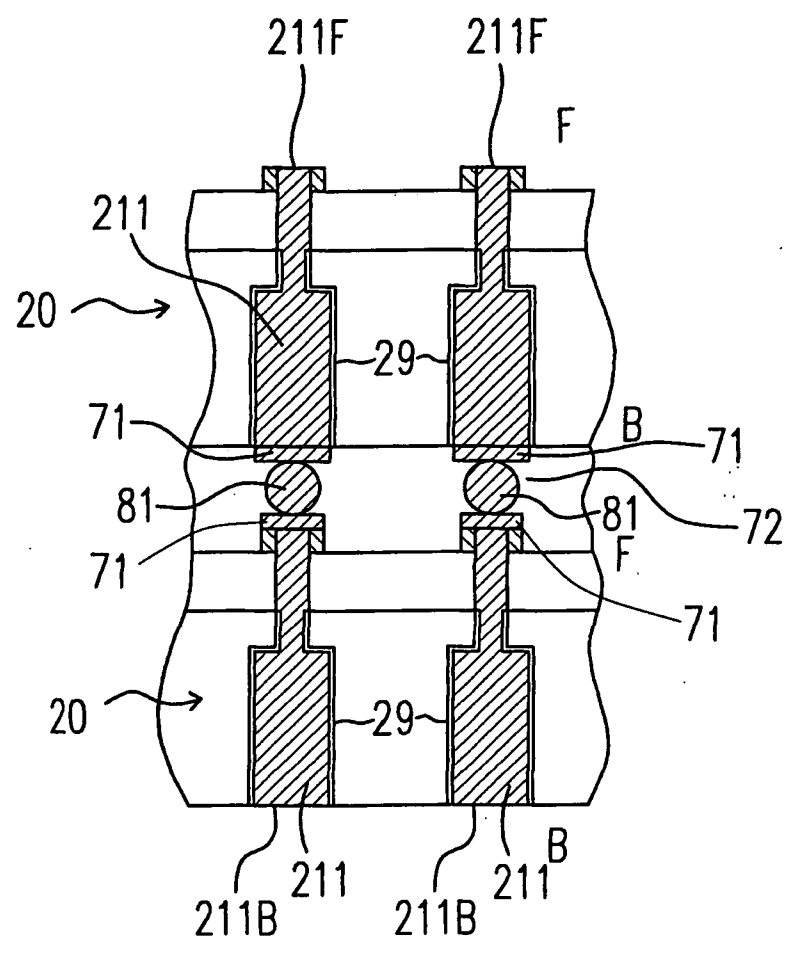
第五圖(g)



第六圖



第七圖



第八圖