

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 23/48	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월01일 10-0475337 2005년02월25일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-1997-0047428 1997년09월13일	(65) 공개번호 (43) 공개일자	10-1999-0025705 1999년04월06일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                조태제  
                              충청남도 천안시 쌍용동 택지지구 16

                              안은철  
                              충청남도 천안시 쌍용2동 1282번지 26/6 주공7단지 203-305

                              이영민  
                              충청남도 천안시 쌍용동 현대4차아파트 403-1504

(74) 대리인                윤동열  
                              박종한

심사관 : 유환철

(54) 고전력칩스케일패키지및그제조방법

요약

본 발명에 의한 고전력 칩 스케일 패키지(CSP) 및 그 제조방법은, 관통 홀 주변의 기관 하부면이 소정 두께 리세스되고, 그 상부면에는 복수개의 덤폴이 형성된 구조를 갖는 금속 기관이나 또는 관통 홀 주변의 기관 하부면이 소정 두께 리세스된 구조를 갖는 인쇄회로기판(PCB)을 이용하여 CSP를 제조하도록 이루어져, 첫째, 본딩 패드와 금속 배선이 기관의 리세스된 면에서 금속 와이어에 의해 전기적으로 연결되므로, 용이한 와이어 본딩 작업이 가능하게 되고 둘째, 성형수지가 기관(금속 기관 또는 PCB)의 리세스된 부분을 포함한 관통 홀 내부에만 채워지도록 방지되므로, 포팅 공정 진행의 어려움을 해결할 수 있게 되며 셋째, 제품 조립후 반도체 칩과 기관 간의 열팽창 계수 차이로 인해 야기되던 CSP의 휨 현상을 방지할 수 있게 되므로, 솔더 볼의 코플래너리티(coplanarity)를 확보할 수 있게 되고 넷째, 금속 기관의 상면에 형성된 복수개의 덤폴로 인하여, 반도체 칩과 금속 기관 간의 접착력을 강화시킬 수 있게 되며 다섯째, 반도체 칩과 솔더 볼 사이에 금속 기관이 놓여지므로, CSP의 열방출 능력을 향상시킬 수 있게 된다.

대표도

도 2

명세서

도면의 간단한 설명

- 도 1은 종래 기술에 의한 CSP 구조를 도시한 단면도.
- 도 2는 본 발명의 제 1 실시예에 의한 CSP 구조를 도시한 단면도.
- 도 3은 도 2의 금속 기관 구조를 도시한 평면도.
- 도 4는 본 발명의 제 2 실시예에 의한 CSP 구조를 도시한 단면도.

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 고전력 칩 스케일 패키지(chip scale package:이하, CSP라 한다) 및 그 제조방법에 관한 것으로, 보다 상세하게는 패키지의 열 방출 특성 향상과 용이한 와이어 본딩 및 포팅 공정이 가능하도록 하여, CSP의 신뢰성을 향상시킬 수 있도록 한 고전력 CSP 및 그 제조방법에 관한 것이다.

전자기기의 박형화·소형화 추세에 따라 반도체 소자를 탑재하는 패키징(packaging) 기술도 고속, 고기능, 고밀도 실장이 요구되고 있다. 도 1에는 이러한 요구에 의거하여 제조된 종래의 일반적인 CSP 구조를 도시한 단면도가 제시되어 있다.

상기 단면도를 참조하면, 종래 일반적으로 사용되어 오던 CSP는 크게, 중앙부에는 관통 홀이 형성되고, 하부면에는 금속 배선(7)이 형성되어 있는 기판(5) 상에, 칩(1) 상면의 본딩 패드가 노출되도록 반도체 칩(1)이 부착되고, 상기 반도체 칩(1)의 각 본딩 패드와 기판(5) 하면의 금속 배선(7)은 금속 와이어(9)에 의해 전기적으로 연결되며, 상기 금속 와이어(9)와 그 주변의 반도체 칩(1) 상면 및 기판(5) 하면의 소정 부분이 성형수지(15)에 의해 봉지되고, 상기 기판(5) 하면의 금속 배선(7)에는 솔더 볼(11)이 부착되는 구조로 이루어져 있음을 알 수 있다.

따라서, 상기 CSP는 다음의 제 5 단계 공정을 거쳐 제조된다.

제 1 단계로서, 중앙부에는 관통 홀이 구비되고, 그 하면에는 랜드 패턴으로 사용되어질 금속 배선(7)이 형성된 구조의 기판(예컨대, PCB)(5)를 준비한다.

제 2 단계로서, 상기 관통 홀을 통하여 반도체 칩(1) 상면의 본딩 패드가 노출되도록, 기판(5)의 상면(금속 배선이 형성되지 않은 표면)과 반도체 칩(1)의 상면을 절연성 접착제(non-conductive adhesive)(3)를 이용하여 접착한다.

제 3 단계로서, 금속 와이어(9)를 이용하여 상기 반도체 칩(1) 상면의 본딩 패드와 상기 PCB(5) 하면(금속 배선이 형성된 표면)의 금속 배선(7)을 와이어 본딩한다.

제 4 단계로서, 본딩 패드와 금속 배선(7)이 와이어 본딩된 부분을 외부 환경으로부터 보호하기 위하여, 포팅(potting)법을 이용하여 금속 와이어(9)와 그 주변의 반도체 칩(1) 상면 및 기판(5) 하면의 소정 부분을 성형수지(15)로 봉지한다.

제 5 단계로서, 상기 기판(5) 하면에 형성된 금속 배선(7)에 솔더 볼(11)을 부착하므로써, CSP 제조를 완료한다.

그러나, 이러한 일련의 제조 공정을 거쳐 CSP를 제조할 경우에는 패키징 공정 완료후 다음과 같은 여러 가지의 문제가 발생하게 된다.

첫째, 패키지의 박형화·소형화로 인해 솔더 볼(11)의 피치(pitch) 및 사이즈가 점차 미세(fine)화되어질 경우, 포팅법을 이용하여 금속 와이어(9)와 그 주변의 반도체 칩(1) 상면 및 기판(5) 하면의 소정 부분을 성형수지(15)로 봉지하고자 할 때 필요한 댐(dam)(13)을 설치할 공간을 확보할 수 없게 되므로 포팅 공정을 실시할 수 없게 되고 둘째, 솔더 볼(11)의 사이즈가 작아질 경우 포팅 물질인 성형수지(15)의 높이가 솔더 볼(11)의 높이에 비해 상대적으로 높아지는 현상이 발생하게 되며 셋째, 열팽창계수 차이로 인해 패키지의 휨(warpage) 현상이 발생될 경우, 금속 배선(7)에 부착된 솔더 볼(11) 간의 높낮이에 차이가 발생하게 되므로, 볼(11)의 코플래너리티(coplanarity)를 확보하기 어렵게 되고 넷째, 반도체 칩(1)과 기판(5)이 단순히 절연성 접착제(3)에 의해 부착되므로 외부의 압력에 의해 칩(1)과 기판(5)이 쉽게 분리되며 다섯째, 반도체 칩(1)과 솔더 볼(11) 사이에 절연층인 접착제와 기판(5)이 놓여지므로, CSP의 열방출 능력이 저하되는 등의 문제가 발생하게 된다.

**발명이 이루고자 하는 기술적 과제**

이에 본 발명의 제 1 과제는, 상부면에 복수개의 딥플(dimple)이 형성된 금속 기판을 이용하여 CSP를 제조하므로써, CSP의 열 방출 특성 향상 및 금속 기판과 반도체 칩간의 접착력 향상을 기할 수 있도록 한 고전력 CSP 및 그 제조방법을 제공함에 있다.

본 발명의 제 2 과제는, 관통 홀 주변의 기판 하부면에 소정 두께 리세스된 구조를 갖는 PCB를 이용하여 CSP를 제조하므로써, 와이어 본딩 및 포팅 공정을 용이하게 실시할 수 있도록 한 고전력 CSP 및 그 제조방법을 제공함에 있다.

**발명의 구성 및 작용**

상기 제 1 과제를 달성하기 위하여 본 발명에서는, 중앙부에는 관통 홀이 형성되고, 상부면에는 복수개의 딥플이 형성된 금속 기판과, 상기 금속 기판의 하면에 형성되며, 표면에 금속 배선이 형성된 절연층과, 본딩 패드가 노출되도록 상기 금속 기판의 상면에 부착되며, 중앙부에 본딩 패드가 형성된 반도체 칩과, 상기 본딩 패드와 상기 금속 배선을 전기적으로 연결하는 금속 와이어와, 상기 금속 와이어와 반도체 칩의 상면을 봉지한 성형수지 및, 상기 금속 배선에 부착된 솔더 볼로 이루어진 CSP가 제공된다.

이때, 상기 CSP를 구성하는 금속 기판은 상기 관통 홀 주변의 기판 하면이 소정 두께 리세스된 구조를 가지도록 제작될 수도 있으며, 표면에 금속 배선이 형성된 절연층으로는 주로 탭 테이프가 이용된다.

상기 제 1 과제를 달성하기 위하여 본 발명에서는, 금속 기판의 중앙부에 관통 홀을 형성하는 단계와, 상기 금속 기판의 상면에 복수개의 댄플을 가공하는 단계와, 상기 금속 기판의 하면에 절연층을 형성하는 단계와, 상기 절연층 상에 금속 배선을 형성하는 단계와, 본딩 패드가 노출되도록, 절연성 접착제를 이용하여 상기 금속 기판의 상면에 반도체 칩의 상면을 부착하는 단계와, 상기 본딩 패드와 금속 배선을 와이어 본딩하는 단계와, 상기 금속 와이어와 반도체 칩 상면을 성형수지로 봉지하는 단계 및, 상기 금속 배선에 솔더 볼을 부착하는 단계로 이루어진 CSP 제조방법이 제공된다.

본 발명의 경우, 박형화·소형화된 CSP의 와이어 본딩 공정 및 포팅 공정을 용이하게 실시하기 위한 한 방법으로, 금속 기판의 중앙부에 관통 홀을 형성하는 단계 이후, 상기 관통 홀 주변의 기판 하부면이 소정 두께 리세스되도록 기판을 가공하는 단계를 더 포함하는 방식으로 공정을 진행할 수도 있다. 이때, 상기 금속 기판의 하면에 절연층을 형성하는 단계와, 상기 절연층 상에 금속 배선을 형성하는 단계는, 금속 기판의 하면에 금속 배선이 형성된 탭 테이프를 직접 접착해 주는 방식으로 대체할 수 있다. 그리고, 상기 금속 배선은 Cu 또는 Cu/수지/Cu의 CCL 구조로 형성되며, 절연층으로는 폴리이미드가 사용된다.

상기 제 2 과제를 달성하기 위하여 본 발명에서는, 중앙부에는 관통 홀이 형성되고, 하부면에는 금속 배선이 형성되며, 상기 관통 홀 주변의 와이어 본딩이 이루어질 부분은 소정 두께 리세스된 구조를 갖는 PCB와, 본딩 패드가 노출되도록 상기 PCB의 상면에 부착되며, 중앙부에 본딩 패드가 형성된 반도체 칩과, 상기 본딩 패드와 상기 PCB의 리세스된 면에 형성된 금속 배선을 전기적으로 연결하는 금속 와이어와, 상기 금속 와이어와 반도체 칩의 상면을 봉지한 성형수지 및, 상기 금속 배선에 부착된 솔더 볼로 이루어진 CSP가 제공된다.

상기 제 2 과제를 달성하기 위하여 본 발명에서는, 중앙부에는 관통 홀이 형성되고, 하부면에는 금속 배선이 형성되며, 상기 관통 홀 주변의 와이어 본딩이 이루어질 부분은 소정 두께 리세스된 구조를 가지도록 PCB를 가공하는 단계와, 본딩 패드가 노출되도록, 상기 PCB 상면에 반도체 칩의 상면을 부착하는 단계와, 상기 본딩 패드와 상기 PCB의 리세스된 면에 형성된 금속 배선을 와이어 본딩하는 단계와, 상기 금속 와이어와 반도체 칩 상면을 성형수지로 봉지하는 단계 및, 상기 금속 배선에 솔더 볼을 부착하는 단계로 이루어진 CSP 제조방법이 제공된다.

이때, 상기 PCB는 단층 구조의 PCB를 가공하여 형성할 수도 있고 반면 다층 구조의 PCB를 가공하여 형성할 수도 있다.

상기 구조를 가지도록 CSP를 제조한 결과, 금속 기판의 사용으로 인해 CSP의 열 방출 특성을 향상시킬 수 있을 뿐 아니라 상부면에 형성된 복수개의 댄플로 인해 반도체 칩과 기판 간의 접착력을 향상시킬 수 있게 된다. 그리고, 관통 홀 주변의 기판(금속 기판 또는 PCB) 하면에 형성된 리세스되어진 부분으로 인해 본딩 패드와 금속 배선이 와이어 본딩되는 높이를 낮출 수 있게 되므로, CSP의 박형화·소형화가 진행되어 솔더 볼의 피치 및 사이즈가 점차 미세화될 경우에도 와이어 본딩 및 포팅 공정을 용이하게 실시할 수 있게 된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

도 2는 본 발명의 제 1 실시예에 의한 CSP 구조를 도시한 단면도를 나타내고, 도 3은 도 2의 CSP를 구성하는 금속 기판의 구조를 도시한 평면도를 나타낸다.

상기 제 1 실시예는, 종래 CSP 제조시 널리 이용되어 오던 PCB 대신, 관통 홀 주변의 기판 하면이 소정 두께 리세스되고, 상부면에는 복수개의 댄플이 형성된 구조를 갖는 금속 기판을 이용하여 패키지를 제조함으로써, CSP의 열 방출 특성 향상과, 금속 기판과 반도체 칩간의 접착력 향상, 그리고 용이한 와이어 본딩 및 포팅 공정의 실시가 가능하도록 하는데 주요한 점을 둔 기술로서, 이를 도 2와 도 3에 제시된 단면도와 평면도를 참조하여 살펴보면 다음과 같다.

상기 단면도와 평면도를 참조하면, 상기 제 1 실시예에서 제시된 CSP는 크게, 중앙부에는 관통 홀(h)이 형성되고, 상기 관통 홀 주변의 기판(104) 하면은 소정 두께 리세스된 구조를 가지며, 그 상면에는 복수개의 댄플(@)이 형성되도록 제작된 금속 기판(104) 상에, 상기 관통 홀을 통하여 본딩 패드가 노출되도록 반도체 칩(100)이 부착되고, 상기 금속 기판(104)의 하면에는 표면에 금속 배선(108)이 형성된 절연층(106)이 형성되며, 상기 본딩 패드와 상기 금속 기판(104)의 리세스된 면에 형성된 금속 배선(108)은 금속 와이어(110)에 의해서로 전기적으로 연결되고, 상기 금속 와이어(110)와 반도체 칩(100)의 상면은 성형수지(112)에 의해 봉지되며, 상기 금속 배선(108)에는 솔더 볼(114)이 부착되는 구조로 이루어져 있음을 알 수 있다.

이때, 상기 금속 기판(104)으로는 주로 Cu나 Al 등이 사용되며, 금속 배선(108)으로는 Cu나 Cu/수지/Cu로 이루어진 CCL(copper clad laminate)이, 그리고 절연층(106)으로는 폴리이미드가 사용된다. 여기서, 상기 금속 기판(104)의 하면에 형성된, 표면에 금속 배선(108)이 형성된 절연층(106)은 탭 테이프를 대체 가능하며, 상기 댄플(@)은 라운드형 구조(예컨대, 원형 구조 등)를 가지도록 제작할 수도 있고, 반면 각형 구조(예컨대, 사각형 구조나 삼각형 구조 등)를 가지도록 제작할 수도 있다.

한편, 상기 제 1 실시예에서 제시된 CSP를 열 방출 특성 향상 및 칩(100)과 금속 기판(104) 간의 접착력을 향상시킬 목적으로만 사용하고자 할 경우에는 PCB 대신 금속 기판(104)을 사용한 것에만 초점을 맞추어, 중앙부에는 관통 홀이 형성되고, 상부면에는 복수개의 댄플(@)이 프레스 가공된 구조를 갖는 금속 기판(104)을 사용하여 CSP를 제조하여도 무방하다.

따라서, 상기 CSP는 다음의 제 6 단계 공정을 거쳐 제조된다.

제 1 단계로서, 금속 기판(104)의 중앙부에 관통 홀(h)을 형성하고, 상기 관통 홀(h) 주변의 기판(104) 하면이 소정 두께 리세스되도록 금속 기판(104)을 포팅(forming)법이나 금형 타발법을 이용하여 가공한 다음, 기판(104) 상면에 라운드형 구조(또는 각형 구조)를 갖는 복수개의 뎀플(ⓐ)을 형성한다.

그 결과, 중앙부에는 관통 홀(h)이 형성되고, 상부면에는 뎀플(ⓐ)이 형성되며, 상기 관통 홀(h) 주변의 기판(104) 하면이 소정 두께 리세스된 구조를 갖는 금속 기판(104)이 만들어진다.

이와 같이, PCB 대신 금속 기판(104)을 이용하여 패키지를 제조해 준 것은 최종적으로 만들어지는 CSP의 열 방출 특성을 향상시키고 동시에 제품 조립후 기판과 반도체 칩 간의 열팽창 계수 차이로 인해 야기되는 패키지의 휨 현상을 억제하기 위함이며, 금속 기판(104)의 상면에 복수개의 뎀플(ⓐ)을 형성해 준 것은 반도체 칩(100)과 금속 기판(104) 간의 접착력을 강화시켜 주므로써, 제품 조립후에 외부 압력에 의해 칩(100)과 기판(104)이 분리되는 것을 막기 위함이다.

그리고, 관통 홀(h) 주변의 기판(104) 하면을 소정 두께 리세스시켜 준 것은, 와이어 본딩 공정이 기판(104)의 리세스된 면에서 이루어지도록 하여, 와이어 본딩 공정을 보다 용이하게 실시할 수 있도록 함과 동시에 CSP의 박형화·소형화로 인해 솔더 볼의 피치 및 사이즈가 점차 미세화되어질 경우에도 포팅법을 이용하여 용이하게 금속 와이어와 반도체 칩(100)의 상면을 성형수지(112)로 봉지할 수 있도록 하기 위함이다.

그러므로, 상기 CSP를 열 방출 특성과 접착력을 향상시킬 목적으로만 사용하고자 할 경우에는 기판(104) 하면의 리세스 공정을 생략(skip)해 주는 방식으로 공정을 진행하면 된다.

제 2 단계로서, 상기 금속 기판(104)의 하면에 절연층(106)인 폴리이미드를 도포한 뒤, 그 위에 Cu(또는 CCL) 재질의 금속 배선(108)을 형성해 주거나 또는 금속 배선이 형성되어 있는 탭 테이프(TAB tape)를 직접 상기 금속 기판(104)의 하면에 부착시켜 주는 방식으로 금속 기판(104)에 금속 배선(108)을 형성시켜 준다.

제 3 단계로서, 상기 반도체 칩(100) 상면의 중앙부에 형성된 본딩 패드가 노출되도록, 절연성 접착제(102)를 이용하여 상기 금속 기판(104)의 상면에 반도체 칩(100)을 부착한다.

이때, 상기 금속 기판(104)의 상면에는 복수개의 뎀플(ⓐ)이 형성되어 있으므로, 뎀플(ⓐ)이 형성되어 있지 않은 경우에 비하여 칩(100)과 기판(104) 간의 접착력을 강화시킬 수 있게 된다.

제 4 단계로서, 금속 와이어(110)를 이용하여 상기 반도체 칩(100) 상면의 본딩 패드와 상기 금속 기판(104)의 리세스된 면에 형성된 금속 배선(108)을 와이어 본딩하여, 이들을 서로 전기적으로 연결해 준다.

이와 같이, 와이어 본딩 공정을 실시해줄 경우 와이어 본딩시 금속 와이어(110)가 솔더 볼(114)과 금속 배선(108)이 부착되는 지점까지 내려올 필요가 없으므로, 종래의 경우보다 용이하게 본딩 공정을 진행할 수 있게 된다.

제 5 단계로서, 상기 본딩 패드와 금속 배선(108)이 와이어 본딩된 부분을 외부 환경으로부터 보호하기 위하여, 포팅법을 이용하여 상기 금속 와이어(110)와 반도체 칩(100)의 상면을 성형수지(112)로 봉지한다.

이때, 상기 성형수지(112)는 금속 기판(104)의 리세스된 부분을 포함한 관통 홀 내부에만 채워지도록 봉지므로, 솔더 볼(114)의 피치 및 사이즈가 미세화될 경우에도 포팅 작업에 어려움이 따르지 않게 된다.

제 6 단계로서, 상기 금속 기판(104)의 하면에 형성된 금속 배선(108)에 솔더 볼(114)을 부착해 주므로써, 패키지 제조를 완료한다.

한편, 도 4는 본 발명의 제 2 실시예에 의한 CSP 구조를 도시한 단면도를 나타낸 것으로, 상기 제 2 실시예에서는 관통 홀 주변의 기판 하면이 소정 두께 리세스된 구조를 갖는 PCB(204)를 이용하여 패키지를 제조하므로써, 와이어 본딩 및 포팅 공정의 실시가 용이하게 이루어지도록 하는 데 주안점을 둔 기술로서, 이를 도 4에 제시된 단면도를 참조하여 살펴보면 다음과 같다.

상기 단면도를 참조하면, 상기 제 2 실시예에서 제시된 CSP는 크게, 중앙부에는 관통 홀이 형성되고, 하부면에는 금속 배선(206)이 형성되며, 상기 관통 홀 주변의 와이어 본딩이 이루어질 부분은 소정 두께 리세스된 구조를 가지도록 제작된 PCB(204) 상에, 상기 관통 홀을 통하여 본딩 패드가 노출되도록 반도체 칩(100)이 부착되고, 상기 본딩 패드와 상기 PCB(204)의 리세스된 면에 형성된 금속 배선(206)은 금속 와이어(208)에 의해 서로 전기적으로 연결되며, 상기 금속 와이어(208)와 반도체 칩(200)의 상면은 성형수지(210)에 의해 봉지되고, 상기 금속 배선(206)에는 솔더 볼(212)이 부착되는 구조로 이루어져 있음을 알 수 있다. 이때, 상기 PCB(204)는 단층 및 다층 구조의 PCB에 모두 적용 가능하다.

따라서, 상기 CSP는 다음의 제 5 단계 공정을 거쳐 제조된다.

제 1 단계로서, 관통 홀 주변의 기판 하면이 소정 두께 리세스되도록 PCB를 가공한 다음, 상기 PCB(204)의 하면에 금속 배선(206)을 형성한다.

그 결과, 중앙부에는 관통 홀이 형성되고, 하부면에는 금속 배선(206)이 형성되며, 상기 관통 홀 주변의 와이어 본딩이 이루어질 부분은 소정 두께 리세스된 구조를 갖는 PCB(204)가 만들어진다.

이와 같이, 관통 홀 주변의 PCB(104) 하면을 소정 두께 리세스시켜 준 것은, 와이어 본딩 공정이 기관(204)의 리세스된 면에서 이루어지도록 하여, 와이어 본딩 공정을 보다 용이하게 실시할 수 있도록 함과 동시에 CSP의 박형화·소형화로 인해 솔더 볼의 피치 및 사이즈가 점차 미세화되어질 경우에도 포팅법을 이용하여 용이하게 금속 와이어와 반도체 칩(200)의 상면을 성형수지(210)로 봉지할 수 있도록 하기 위함이다.

제 2 단계로서, 상기 반도체 칩(200) 상면의 중앙부에 형성된 본딩 패드가 노출되도록, 절연성 접착제(202)를 이용하여 상기 PCB(204)의 상면에 반도체 칩(200)을 부착한다.

제 3 단계로서, 금속 와이어(208)를 이용하여 상기 반도체 칩(200) 상면의 본딩 패드와 상기 PCB(104)의 리세스된 면에 형성된 금속 배선(206)을 와이어 본딩하여, 이들을 서로 전기적으로 연결해 준다.

이와 같이, 와이어 본딩 공정을 실시해줄 경우 금속 와이어(208)가 솔더 볼(212)과 금속 배선(206)이 부착되는 지점까지 내려오지 않으므로, 종래의 경우보다 용이하게 본딩 공정을 진행할 수 있게 된다.

제 4 단계로서, 상기 본딩 패드와 금속 배선(206)이 와이어 본딩된 부분을 외부 환경으로부터 보호하기 위하여, 포팅법을 이용하여 상기 금속 와이어(208)와 반도체 칩(200)의 상면을 성형수지(210)로 봉지한다.

이때, 상기 성형수지(210)는 PCB(204)의 리세스된 부분을 포함한 관통 홀 내부에만 채워지도록 봉지므로, 솔더 볼(212)의 피치 및 사이즈가 미세화될 경우에도 포팅 작업에 어려움이 따르지 않게 된다.

제 5 단계로서, 상기 PCB(204)의 하면에 형성된 금속 배선(206)에 솔더 볼(212)을 부착해 주므로써, 패키지 제조를 완료한다.

### 발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면 첫째, 본딩 패드와 금속 배선이 기관의 리세스된 면에서 금속 와이어에 의해 전기적으로 연결되므로, 용이한 와이어 본딩 작업이 가능하게 되고 둘째, 성형수지가 기관(금속 기관 또는 PCB)의 리세스된 부분을 포함한 관통 홀 내부에만 채워지도록 봉지되므로, 패키지의 박형화·소형화로 인해 솔더 볼의 피치 및 사이즈가 점차 미세화될 경우에도 성형수지의 높이가 솔더 볼의 높이보다 높아지는 현상이 발생하지 않게 되어 포팅 공정 진행의 어려움을 해결할 수 있게 되며 셋째, 제품 조립후 반도체 칩과 기관 간의 열팽창 계수 차이로 인해 야기되던 CSP의 휨 현상을 방지할 수 있게 되므로, 솔더 볼의 코플레인리티(coplanarity)를 확보할 수 있게 되고 넷째, 금속 기관의 상면에 형성된 복수개의 덩플로 인하여, 반도체 칩과 금속 기관 간의 접착력을 강화시킬 수 있게 되며 다섯째, 반도체 칩과 솔더 볼 사이에 금속 기관이 놓여지므로, CSP의 열방출 능력을 향상시킬 수 있게 된다.

### (57) 청구의 범위

#### 청구항 1.

중앙부에는 관통 홀이 형성되어 있고, 상부면에는 복수개의 덩플이 형성되어 있으며 상기 관통 홀 주변의 기관 하면이 소정 두께 리세스된 금속 기관과,

상기 금속 기관의 하면에 형성되며, 표면에 금속 배선이 형성된 절연층과,

본딩 패드가 노출되도록 상기 금속 기관의 상면에 부착되며, 중앙부에 본딩 패드가 형성된 반도체 칩과,

상기 본딩 패드와 상기 금속 배선을 전기적으로 연결하는 금속 와이어와,

상기 금속 기관의 리세스된 부분에서 상기 금속 와이어와 반도체 칩의 상면을 봉지하는 성형수지; 및

상기 금속 배선에 부착된 솔더 볼로 이루어진 것을 특징으로 하는 칩 스케일 패키지.

#### 청구항 2.

제 1 항에 있어서, 상기 금속 기관은 Cu 또는 Al로 이루어진 것을 특징으로 하는 칩 스케일 패키지.

#### 청구항 3.

제 1 항에 있어서, 상기 금속 배선은 Cu 또는 Cu/수지/Cu의 CCL 구조로 이루어진 것을 특징으로 하는 칩 스케일 패키지.

#### 청구항 4.

제 1항에 있어서, 상기 절연층은 폴리이미드로 이루어진 것을 특징으로 하는 칩 스케일 패키지.

**청구항 5.**

제 1항에 있어서, 상기 댄플은 라운드형 구조 또는 각형 구조를 갖는 것을 특징으로 하는 칩 스케일 패키지.

**청구항 6.**

제 1항에 있어서, 상기 표면에 금속 배선이 형성된 절연층은 탭 테이프인 것을 특징으로 하는 칩 스케일 패키지.

**청구항 7.**

금속 기관의 중앙부에 관통 홀을 형성하는 단계와,  
 상기 관통 홀 주변의 기관 하부면이 소정 두께 리세스되도록 기관을 가공하는 단계와,  
 상기 금속 기관의 상면에 복수개의 댄플을 가공하는 단계와,  
 상기 금속 기관의 하면에 절연층을 형성하는 단계와,  
 상기 절연층 상에 금속 배선을 형성하는 단계와,  
 본딩 패드가 노출되도록, 절연성 접착제를 이용하여 상기 금속 기관의 상면에 반도체 칩의 상면을 부착하는 단계와,  
 상기 본딩 패드와 금속 배선을 와이어 본딩하는 단계와,  
 상기 금속 기관의 리세스된 부분에서 상기 금속 와이어와 반도체 칩 상면을 성형수지로 봉지하는 단계; 및  
 상기 금속 배선에 솔더 볼을 부착하는 단계로 이루어진 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 8.**

제 7항에 있어서, 상기 금속 기관은 Cu 또는 Al으로 형성하는 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 9.**

제 7항에 있어서, 상기 금속 배선은 Cu 또는 Cu/수지/Cu의 CCL 구조로 형성하는 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 10.**

제 7항에 있어서, 상기 절연층은 폴리이미드로 형성하는 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 11.**

제 7항에 있어서, 상기 기관은 포밍법이나 금형 타발법으로 가공하는 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 12.**

제 7항에 있어서, 상기 댄플은 라운드형 구조 또는 각형 구조로 형성하는 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 13.**

금속 기판의 중앙부에 관통 홀을 형성하는 단계와,  
 상기 관통 홀 주변의 기판 하부면이 소정 두께 리세스되도록 기판을 가공하는 단계와,  
 상기 금속 기판의 상면에 복수개의 덩플을 가공하는 단계와,  
 상기 금속 기판의 하면에 금속 배선이 형성된 탭 테이프를 부착하는 단계와,  
 본딩 패드가 노출되도록, 절연성 접착제를 이용하여 상기 금속 기판의 상면에 반도체 칩의 상면을 부착하는 단계와,  
 상기 본딩 패드와 금속 배선을 와이어 본딩하는 단계와,  
 상기 금속 기판의 리세스된 부분에서 상기 금속 와이어와 반도체 칩 상면을 성형수지로 봉지하는 단계; 및  
 상기 금속 배선에 솔더 볼을 부착하는 단계로 이루어진 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 14.**

제 13항에 있어서, 상기 금속 기판은 Cu 또는 Al으로 형성하는 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 15.**

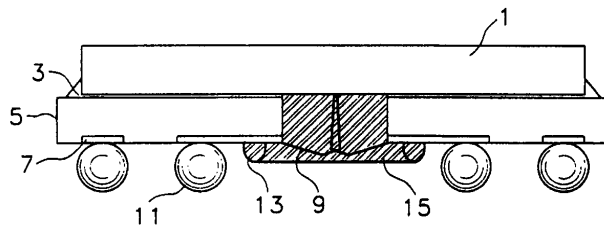
제 13항에 있어서, 상기 기판은 포밍법이나 금형 타발법으로 가공하는 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**청구항 16.**

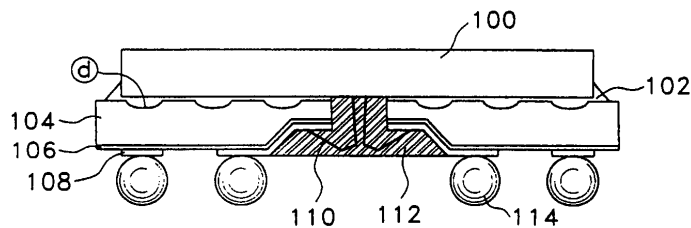
제 13항에 있어서, 상기 덩플은 라운드형 구조 또는 각형 구조로 형성하는 것을 특징으로 하는 칩 스케일 패키지 제조방법.

**도면**

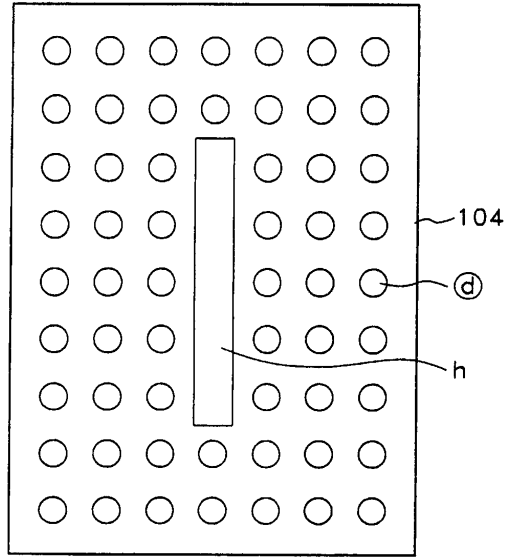
도면1



도면2



도면3



도면4

