

종래의 액정표시장치는 제1도에 도시된 바와 같이 유리기판(6) 위에 금속을 증착하고 패터닝하여 게이트전극(1)을 형성하고, 이어서 게이트전극(1) 상부에 게이트절연막(7)을 형성한 후, 활성층이 되는 반도체층 및 불순물을 함유한 반도체층(2)을 차례로 형성하고 패터닝한 다음 투명도전막을 증착하고 패터닝하여 화소전극(3)을 형성하고, 상기 반도체층 및 불순물을 함유한 반도체층(2) 상부에 소오스 및 드레인전극(4)을 형성함으로써 제조되었다.

이때 제조공정상의 여러가지 이유로 인하여 소오스 및 드레인전극 물질이 패터닝 공정시 완전하게 패터닝되지 않고 소오스 및 드레인전극 버스라인과 화소전극간에 남아서 소오스 및 드레인전극 버스라인과 화소전극을 단락을 일으키는 포인트 결함(point defect)이 발생될 수 있다.

상기 소오스 및 드레인전극형성 후에는 일반적으로 보호막(5)을 형성하는데 종래에는 화소전극을 완전히 이 보호막으로 덮거나 화소전극보다 크기를 작게 하여 화소전극상에 보호막패턴을 형성하였다.

상기와 같이 제조되는 액정표시장치는 게이트전극과 소오스전극에 일정하고 이상의 바이어스 인가시 반도체층에 채널이 형성되어 소오스에 인가된 바이어스에 의해 드레인전극 및 화소전극으로 신호가 인가되게 된다.

이때, 소오스전극과 화소전극간에 단락이 발생되어 있으면 일종의 스위칭소자인 박막트랜지스터는 소자의 역할을 수행할 수 없게 된다.

이럴 경우 상술한 종래의 액정표시장치는 상기 소오스전극 및 드레인전극 버스라인과 화소전극간의 단락을 발생시킨 요인을 제거할 수 없는 구조를 취하고 있기 때문에 소자의 신뢰성을 저하시키고 제조시의 수율을 저하시키는 문제를 초래한다.

본 발명은 상술한 문제를 해결하기 위한 것으로 액정표시장치의 소오스 및 드레인전극버스라인과 화소전극간의 단락 발생요인을 감소시켜 제조시의 수율을 증대시키는 것을 그 목적으로 한다.

상기 목적을 달성하기 위한 본 발명의 액정표시장치용 박막트랜지스터는 투명기판(6)과, 상기 투명기판 위에 형성된 게이트전극(1), 상기 게이트전극(1) 상부에 형성된 게이트절연막(7), 상기 게이트절연막 상부에 게이트전극상에 형성된 반도체층 및 불순물을 함유한 반도체층(2), 상기 게이트절연막 상부에 형성된 화소전극(3), 상기 반도체층 및 불순물을 함유한 반도체층(2) 상부에 형성된 소오스 및 드레인전극버스라인(4), 상기 화소전극(3)과 소오스 및 드레인전극버스라인(4)이 형성된 기판 전면에 형성된 보호막(5)을 포함하며, 상기 보호막(5)이 상기 화소전극(3)보다 큰 크기를 가지면서 화소전극과 같은 형상을 갖는 것을 특징으로한다.

또한, 상기 목적을 달성하기 위한 본 발명의 액정표시장치 박막트랜지스터의 결함제거방법은 투명기판(6) 상부에 게이트전극(1)을 형성하는 공정과, 게이트절연막(7), 반도체층(2), 불순물이 포함된 반도체층(2)을 증착, 패터닝해 형성하는 공정과, 화소 투명전극을 형성하는 공정과, 보호막을 상기의 화소 투명전극보다 약간 큰 크기로 화소 투명전극과 같은 형상을 갖도록 형성하는 공정과, 상기 화소 투명전극과 소오스, 드레인전극버스라인(4)간에 쇼트가 발생시 상기의 보호막(5)층을 마스크로 하여 재에칭하여 상기의 쇼트를 제거하는 공정으로 이루어짐을 특징으로 한다. 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

본 발명의 액정표시장치의 평면구조 및 단면구조를 제2도(a)와 (b)에 각각 나타내었다. 제2도(b)는 (a)의 A-A'선에 따른 단면도이다.

본 발명의 액정표시장치의 제조공정을 설명하면, 제2도에 도시된 바와 같이 유리기판(6) 위에 금속을 증착하고 패터닝하여 게이트전극(1)을 형성하고, 이어서 게이트전극(1) 상부에 게이트절연막(7)을 형성한 후, 활성층이 되는 반도체층 및 불순물을 함유한 반도체층(2)을 차례로 형성하고 패터닝한 다음 투명도전막을 증착하고 패터닝하여 화소전극(3)을 형성하고, 상기 반도체층 및 불순물을 함유한 반도체층(2)상부에 소오스 및 드레인전극버스라인(4)을 형성한다. 여기까지의 공정은 종래와 동일하다.

이어서 상기 화소전극(3)과 소오스 및 드레인전극버스라인(4)이 형성된 기판전면에 보호막(5)을 증착하고 패터닝한다. 이때, 상기 보호막(5)은 화소전극(3)의 크기보다 크면서 화소전극과 같은 형상을 가지도록 패터닝한다.

이와 같이 보호막(5)을 화소전극(3)보다 넓게 패터닝하게 되면 소오스 및 드레인전극버스라인(4)과 화소전극(3)간의 패턴불량에 의한 포인트결함으로 인한 단락발생시 상기 화소전극보다 크게 형성된 보호막을 마스크로 하여 화소전극과 소오스 및 드레인전극의 패턴불량을 재식각하면 단락발생의 원인을 제거할 수 있게 되므로 전체 액정표시장치의 박막트랜지스터의 포인트 결함을 크게 감소시킬 수 있다.

이상 상술한 바와 같이 본 발명에 의하면, 액정표시장치의 박막트랜지스터에 있어서 소오스 및 드레인전극 형성 후에 발생할 수 있는 패턴불량에 의한 화소전극과 소오스 및 드레인전극버스라인간의 단락을 제거할 수 있게 되므로 액정표시장치 제조시의 수율을 향상시킬 수 있으며, 전체적으로 결함의 감소되므로 소자의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

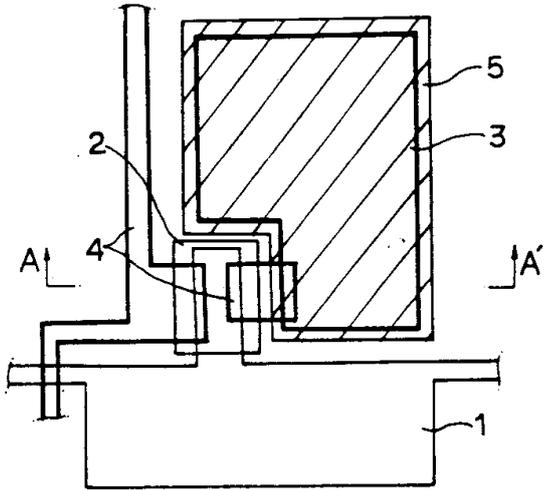
투명기판(6)과, 상기 투명기판위에 형성된 게이트전극(1), 상기 게이트전극(1) 상부에 형성된 게이트절연막(7), 상기 게이트절연막 상부의 게이트전극상에 형성된 반도체층 및 불순물을 함유한 반도체층(2), 상기 게이트절연막 상부에 형성된 화소전극(3), 상기 반도체층 및 불순물을 함유한 반도체층(2) 상부에 형성된 소오스 및 드레인전극버스라인(4), 상기 화소전극(3)과 소오스 및 드레인전극버스라인(4)이 형성된 기판 전면에 형성된 보호막(5)을 포함하여 이루어지는 액정표시장치용 박막트랜지스터에 있어서, 상기 보호막(5)이 상기 화소전극(3)보다 큰 크기를 가지면서 화소전극과 같은 형상을 갖는 것을 특징으로 하는 액정표시장치 박막트랜지스터.

청구항 2

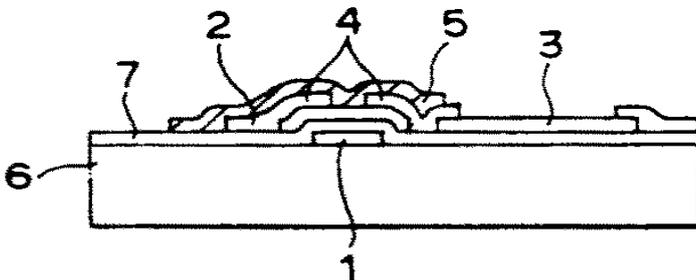
투명기판(6) 상부에 게이트전극(1)을 형성하는 공정과, 게이트절연막(7), 반도체층(2), 불순물이 포함된 반도체층을 증착, 패터닝해 형성하는 공정과, 화소 투명전극을 형성하는 공정과, 소오스, 드레인전극버스라인(4)을 형성하는 공정과, 보호막(5)을 상기의 화소 투명전극보다 약간 큰 크기로 화소 투명전극과 같은 형상을 갖도록 형성하는 공정과, 상기의 화소 투명전극과 소오스 및 드레인전극버스라인(4)간에 쇼트가 발생시 상기의 보호막(5)층을 마스크로 하여 재애칭하여 상기의 쇼트를 제거하는 공정으로 이루어지는 액정표시장치 박막트랜지스터의 결함제거방법.

도면

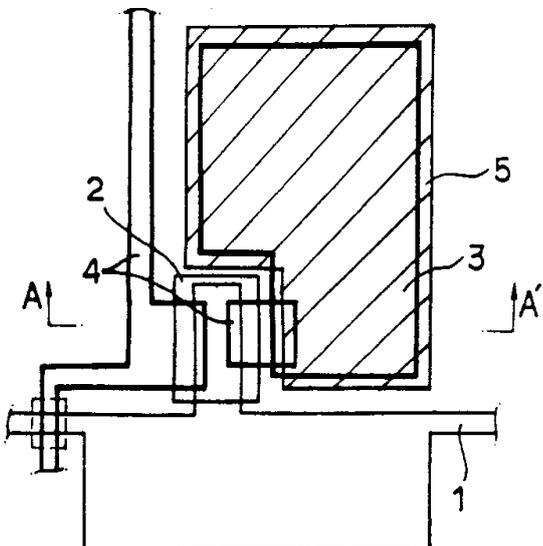
도면 1a



도면 1b



도면 2a



도면2b

