

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3707960号
(P3707960)

(45) 発行日 平成17年10月19日(2005.10.19)

(24) 登録日 平成17年8月12日(2005.8.12)

(51) Int. Cl.⁷

F I

G 0 6 F 1/06

G 0 6 F 1/04 3 1 2 A

G 1 1 C 11/407

H 0 3 K 5/135

H 0 3 K 5/135

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 S

請求項の数 2 (全 25 頁)

| | | | |
|-----------|----------------------------|-----------|-----------------------|
| (21) 出願番号 | 特願平11-209962 | (73) 特許権者 | 000005223 |
| (22) 出願日 | 平成11年7月23日(1999.7.23) | | 富士通株式会社 |
| (65) 公開番号 | 特開2001-34356(P2001-34356A) | | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (43) 公開日 | 平成13年2月9日(2001.2.9) | (74) 代理人 | 100077517 |
| 審査請求日 | 平成15年2月7日(2003.2.7) | | 弁理士 石田 敬 |
| | | (74) 代理人 | 100092624 |
| | | | 弁理士 鶴田 準一 |
| | | (74) 代理人 | 100100871 |
| | | | 弁理士 土屋 繁 |
| | | (74) 代理人 | 100082898 |
| | | | 弁理士 西山 雅也 |
| | | (74) 代理人 | 100081330 |
| | | | 弁理士 樋口 外治 |

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

相補クロックである第1のクロックおよび第2のクロックを受け、該第1および第2のクロックと所定の位相関係を有する第1の内部クロックおよび第2の内部クロックを生成するクロック安定化回路を有する半導体装置において、前記クロック安定化回路は、

前記第1のクロックの電圧レベルと前記第2のクロックの電圧レベルとを比較する第1の差動回路を含むクロック入力回路部と、

該クロック入力回路部に接続され、前記第1の内部クロック、前記第2の内部クロックおよびフィードバッククロックを出力する可変遅延回路部と、

前記フィードバッククロックを受け、相補クロックである第1のフィードバッククロックおよび第2のフィードバッククロックを生成する相補ダミークロック生成部と、

前記第1のフィードバッククロックの電圧レベルと前記第2のフィードバッククロックの電圧レベルとを比較する第2の差動回路を含むダミー入力回路部と、

前記クロック入力回路部および前記ダミー入力回路部に接続され、前記可変遅延回路部を制御する位相比較部とを有することを特徴とする半導体装置。

【請求項2】

前記相補ダミークロック生成部は、

前記第1のクロックまたは第2のクロックを位相調整して生成された前記フィードバッククロックにตอบสนองして前記第1のフィードバッククロックを生成する第1のダミー出力回路部と、

10

20

前記フィードバッククロックにตอบสนองして前記第2のフィードバッククロックを生成する第2のダミー出力回路部とを含むことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、外部から入力される相補クロックである2つの外部クロックの位相をそれぞれ調整して上記外部クロックと所定の位相関係を有する内部クロックを生成するDLL (Delay Locked Loop : デレイ・ロックド・ループ) 回路等のクロック安定化回路 (STC (Stabilized Timing Circuit) ともよばれる) を備えた半導体装置に関する。より詳しくいえば、本発明は、外部から相補クロック形式 (すなわち、差動クロック形式) で供給される外部クロックに対し周囲温度や電源電圧等の変動に関係なく所定の位相だけ遅れた内部クロックを生成するシンクロナス・ダイナミック・ランダム・アクセス・メモリ (以後、SDRAMと略記する) に関するものである。

10

【0002】

近年のSDRAMは、CPU (Central Processing Unit : 中央処理装置) の高速化に伴い高速化が要求されている。この要求に答えるために、クロックサイクルタイムの縮小を測りつつ、データの有効期間を示すデータウィンドウを十分に確保しなければならない。それゆえに、DLL回路等のクロック安定化回路を用いてデータ出力のタイミングを正確に制御することや、アドレスやデータの取り込みのマージンを十分に確保することが必要になってくる。

20

【0003】

【従来の技術】

一般に、高速にて動作するSDRAMにおいては、外部から入力される一つの外部クロックに対し常に所定の正確な位相 (例えば、クロックの一周期分に相当する360°、またはその他の位相) にてデータの入出力を誤りなく行うことが必要である。このため、通常は、外部から入力されるクロックの位相と内部クロックの位相との差を正確に調整して上記内部クロックを生成する機能を有するDLL回路等をSDRAMに設け、このDLL回路に入力される外部クロックの位相と、SDRAMから出力されるデータの位相とを見かけ上同期させるようにしている。

【0004】

従来のSDRAMは、外部クロックの立ち上がり (または立ち下がり) のエッジに同期してデータを入出力するので、データの最大の周波数は外部クロックの周波数と同じにしなければならない。このような不都合に対処するために、外部から入力される第1のクロックの立ち上がりのエッジと、この第1のクロックと相補関係にある第2のクロック (すなわち、第1のクロックに対して180°位相がずれた第2のクロック) の立ち上がりのエッジの両方に同期してデータ信号を同期してデータを入出力するようにする技術 (例えば、DDR (Double Data Rate) 技術) が開発されている。換言すれば、クロックの一方のエッジのみを使用した場合の2倍の転送速度にてデータを入出力することができる。このため、互いに相補関係にある第1および第2のクロックを受け、これらのクロックと同期した第1および第2の内部クロックを生成するDLL回路、すなわち、相補クロック形式で動作するDLL回路が提案されている。

30

40

【0005】

図13は、上記のような相補クロック形式で動作して相補内部クロックを出力する従来のクロック安定化回路の構成を示すブロック図である。図13のクロック安定化回路100は、代表的に、互いに相補関係にある2つの外部クロック (第1のクロックCLKおよび第2のクロック/CLK) の立ち上がりのエッジに同期して互いに相補関係にある第1および第2の内部クロックを出力するDLL回路により構成される。なお、説明の都合上、外部クロックを単に「クロック」とよぶこともある。

【0006】

図13に示すDLL回路は、外部から供給される2つの外部クロック (例えば、第1のク

50

ロックCLK、および第1のクロックCLKに対して180°位相がずれた第2のクロック/CLK)を相補クロック形式で入力するクロック入力回路部200を備えている。このクロック入力回路部200内の第1の入力初段回路部200aおよび第2の入力初段回路部200bにおいて、第1のクロックCLKおよび第2のクロック/CLKに基づき、互いに相補関係にある2つの入力クロック(例えば、第1の入力クロックclkz、および第1の入力クロックclkzに対して180°位相がずれた第2の入力クロックclkbz)がそれぞれ生成される。

【0007】

さらに、図13に示すDLL回路は、第1および第2の入力初段回路部200a、200bから供給される2つの入力クロックclkz、clkbzを、それぞれ所定の位相だけ遅延させる第1のディレイ素子回路部300a、第2のディレイ素子回路部300bと、これらの第1および第2のディレイ素子回路部300a、300bの複数のディレイ段の段数を制御することによって、外部クロックに対し所定の位相遅れに相当する遅延量(遅延時間)を設定するディレイ素子制御回路部400とを備えている。

10

【0008】

さらに、図13に示すDLL回路は、第1の入力クロックclkzを分周して基準クロックrefclkを生成する分周器800と、この分周器800から供給される基準クロックrefclkの位相と、後述のダミー回路600から出力されるダミークロックdumclk3の位相とを比較する位相比較部900とを備えている。上記のディレイ素子制御回路部400は、位相比較部900による基準クロックrefclkとダミークロックdumclk3との位相比較の結果として得られる位相差信号pcclkに基づき、第1および第2のディレイ素子回路部300a、300b(および、後述のダミーディレイ回路部630)の遅延量を設定する。

20

【0009】

さらに、図13に示すDLL回路は、上記の第1および第2のディレイ素子回路部300a、300bからそれぞれ出力される2つの内部クロック(例えば、第1の内部クロックclkd、および第2の内部クロックclkbd)の各々の立ち上がりのエッジでデータDATAを取り込み、それらを外部に出力データ(出力信号Dout)として出力する出力回路部500を備えている。ここで、周囲温度や電源電圧の変動にかかわらず、外部クロック(CLK、/CLK)のそれぞれの立ち上がりに同期して出力回路部500からデータ(出力信号Dout)が出力されるように第1および第2のディレイ素子回路部300a、300bによって遅延時間を調整する。

30

【0010】

さらに、図13に示すDLL回路においては、外部クロックに対する内部クロックの位相遅れに相当する遅延量を正確に設定するために、クロック入力回路部200における外部クロックの通過時間や、出力回路部500における内部クロックの通過時間をモニタするダミー回路600が設けられている。このダミー回路600は、ディレイ素子制御回路部400によって第1および第2のディレイ素子回路部300a、300bの各々の遅延量と同じ遅延量に設定されたダミーディレイ素子回路部630と、クロック入力回路部200の遅延量と同じ遅延量を有するダミー入力回路部640と、出力回路部500の遅延量と同じ遅延量を有するダミー出力回路部650とにより構成される。

40

【0011】

ダミーディレイ素子回路部630から出力されるダミークロックdumclk1は、ダミー出力回路部650によって出力回路部500の遅延量の分だけ遅延されてダミークロックdumclk2となり、さらに、ダミー入力回路部640によってクロック入力回路部640の遅延量の分だけ遅延されてダミークロックdumclk3となる。このようにして補正されたダミークロックdumclk3は、位相比較部900の一方の入力部に入力される。また一方で、第1の入力初段回路部200から供給される第1の入力クロックclkzは、分周器800により分周され、入力ダミークロックdumclk0としてダミーディレイ素子回路部630に入力されると共に、入力ダミークロックdumclk0と

50

逆相の関係にある基準クロック $refclk$ として位相比較部 900 の他方の入力部に入力される。

【0012】

図13のDLL回路においては、位相比較部900による位相比較の結果に応じてディレイ素子制御回路部400を動作させることで、基準クロック $refclk$ とダミークロック $dumclk3$ との位相差が零になるように第1および第2のディレイ素子回路部300a、300bとダミーディレイ回路部630の遅延量を変化させる。基準クロック $refclk$ とダミークロック $dumclk3$ との位相差が零になった時点で、位相比較部900がロックオンの状態になって、最終的に、第1および第2のクロックの各々の立ち上がりのエッジに同期してデータDATAが出力されることになる。

10

【0013】

ただし、図13に示すDLL回路では、ダミー回路600内のダミー入力回路部640への入力信号の入りがクロック入力回路部200のそれとは異なっている点に注意すべきである。より具体的にいえば、第1および第2の入力初段回路部200a、200bの入力端子には相補クロック CLK 、 \overline{CLK} がそれぞれ入力されているのに対し、ダミー入力回路部640の2つの入力端子の一方にはダミークロック $dumclk2$ が入力されるが、他方の入力端子には基準信号 $Vref$ が入力されている。

【0014】

【発明が解決しようとする課題】

上記のとおり、第1および第2の入力初段回路部200a、200bとダミー入力回路部640とは、同じ遅延時間を得るために、互いに実質的に同一の回路構成をなしている。しかしながら、上記のような従来のDLL回路では、ダミー入力回路部の一方の入力にクロック信号の代わりにDCレベルの基準信号を入力しているため、クロック入力回路部のクロックの通過時間とダミー入力回路部のダミークロックの通過時間との間に誤差が生じる。このような誤差によって、位相比較部900に入力される2つのクロックの立ち上がりのエッジもずれてくるので、外部クロックに対してデータが出力されるタイミングにもずれが生じるという問題が発生する。この場合、データの有効期間の設定の仕方によっては、データの有効期間が実質的に減少するおそれもある。

20

【0015】

本発明は上記問題点を鑑みてなされたものであり、相補クロックが入力されるDLL回路等のクロック安定化回路において、ダミー回路全体におけるクロックの通過時間の誤差をできる限り小さくすると共に、クロックに同期して出力されるデータの有効期間をできる限り広く確保することが可能な半導体装置を提供することを目的とするものである。

30

【0016】

【課題を解決するための手段】

上記問題点を解決するために、本発明の半導体装置は、相補クロックである第1のクロックおよび第2のクロックを受け、上記第1および第2のクロックと所定の位相関係を有する第1の内部クロックおよび第2の内部クロックを生成するクロック安定化回路を有し、このクロック安定化回路は、上記第1のクロックの電圧レベルと上記第2のクロックの電圧レベルとを比較する第1の差動回路を含むクロック入力回路部と、このクロック入力回路部に接続され、上記第1の内部クロック、上記第2の内部クロックおよびフィードバッククロックを出力する可変遅延回路部と、上記フィードバッククロックを受け、相補クロックである第1のフィードバッククロックおよび第2のフィードバッククロックを生成する相補ダミークロック生成部と、上記第1のフィードバッククロックの電圧レベルと上記第2のフィードバッククロックの電圧レベルとを比較する第2の差動回路を含むダミー入力回路部と、上記クロック入力回路部および上記ダミー入力回路部に接続され、上記可変遅延回路部を制御する位相比較部とを有する。

40

【0017】

好ましくは、上記相補ダミークロック生成部は、上記第1のクロックまたは第2のクロックを位相調整して生成された上記フィードバッククロックにตอบสนองして上記第1のフィー

50

ドバッククロックを生成する第1のダミー出力回路部と、上記フィードバッククロックに
応答して上記第2のフィードバッククロックを生成する第2のダミー出力回路部とを有す
る。

【0018】

換言すれば、相補クロックを受けて動作するクロック安定化回路を有する本発明の半導体集積回路では、クロック安定化回路内の入力回路部の第1および第2のクロックの通過時間をより正確にモニタするため、第1のフィードバッククロック（図13のダミークロック $dumclk2$ ）に対し逆相となる逆相信号（すなわち、第2のフィードバッククロック）を生成し、このような逆相信号を、DCレベルの基準信号の代わりにダミー入力回路部に入力するようにしている。

10

【0019】

かくして、本発明では、クロック安定化回路内の入力初段回路部と同じ入力形式（すなわち、相補クロック形式）でダミー入力回路部に第1および第2のフィードバッククロックを入力するので、従来のようにDCレベルの基準信号を使用する場合よりも、ダミー回路全体のモニタ時間の誤差を小さくすることができる。

【0020】

【発明の実施の形態】

以下、添付図面（図1～図12）を参照しながら本発明の好ましい実施の形態を説明する。

図1は、本発明の一実施例の構成を示すブロック図である。ここでは、相補クロック形式で動作してデータを出力するクロック安定化回路1と出力回路部5の構成を示す。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表すこととする。

20

【0021】

図1のクロック安定化回路1は、互いに相補関係にある2つの外部クロック（第1のクロック CLK 、および第1のクロック CLK に対して 180° 位相がずれた第2のクロック $/CLK$ ）の立ち上がりのエッジに同期してデータを出力するために、相補クロック形式で入力される第1および第2のクロック CLK 、 $/CLK$ の位相を調整する機能を有する DLL 回路により構成される。

【0022】

図1に示すクロック安定化回路1、好ましくは DLL 回路は、外部から供給される第1および第2のクロック CLK 、 $/CLK$ を相補クロック形式で入力するクロック入力回路部2を備えている。このクロック入力回路部2内の第1の入力初段回路部2aおよび第2の入力初段回路部2bにおいて、第1のクロック CLK および第2のクロック $/CLK$ に基づき、互いに相補関係にある2つの入力クロック（例えば、第1の入力クロック $clkz$ 、および第1の入力クロック $clkz$ に対して 180° 位相がずれた第2の入力クロック $clkbz$ ）がそれぞれ生成される。上記のクロック入力回路部2は、前述の従来例（図13）のクロック入力回路部200と同様の構成を有している。

30

【0023】

さらに、図1に示す DLL 回路は、第1および第2の入力初段回路部2a、2bから供給される2つの入力クロック $clkz$ 、 $clkbz$ を、それぞれ所定の位相（例えば、クロックの一周分分に相当する 360° ）だけ遅延させる第1のディレイ素子回路部3a、第2のディレイ素子回路部3bと、これらの第1および第2のディレイ素子回路部3a、3bの複数のディレイ段の段数を制御することによって、第1および第2のクロック CLK 、 $/CLK$ に対し所定の位相遅れに相当する遅延量（遅延時間）を設定するディレイ素子制御回路部4とを備えている。

40

【0024】

さらに、図1に示す DLL 回路は、第1の入力クロック $clkz$ を分周して基準クロック $refclk$ を生成する分周器8と、この分周器8から供給される基準クロック $refclk$ の位相と、後述のダミー回路6から出力されるダミークロック $dumclk3$ の位相

50

とを比較する位相比較部 9 とを備えている。この位相比較部 9 は、基準クロック $ref\ clk$ の位相と、ダミークロック $dum\ clk\ 3$ の位相とを比較し、両クロックの位相差を位相差信号 $p\ cc\ 1\ k$ として出力するものである。上記のディレイ素子制御回路部 4 は、位相比較部 9 から出力される位相差信号 $p\ cc\ 1\ k$ に基づき、第 1 および第 2 のディレイ素子回路部 3 a、3 b (および、後述のダミーディレイ回路部 6 3) の遅延量を設定する。上記第 1 のディレイ素子回路部 3 a、第 2 のディレイ素子回路部 3 b、ディレイ素子制御回路部 4、分周器 8、および位相比較部 9 は、それぞれ、前述の従来例 (図 1 3) の第 1 のディレイ素子回路部 3 0 0 a、第 2 のディレイ素子回路部 3 0 0 b、ディレイ素子制御回路部 4 0 0、分周器 8 0 0、および位相比較部 9 0 0 とほぼ同じ構成を有している。

【 0 0 2 5 】

図 1 において、さらに、上記の第 1 および第 2 のディレイ素子回路部 3 a、3 b からそれぞれ供給される 2 つの内部クロック (例えば、第 1 の内部クロック $clk\ d$ 、および第 2 の内部クロック $clk\ b\ d$) の各々の立ち上がりのエッジを利用してデータ DATA を取り込む出力回路部 5 を備えている。この出力回路部 5 により取り込まれたデータ DATA は、出力信号 Out (すなわち、出力データ DQ) として D L L 回路の外部に出力される。ここで、第 1 および第 2 の内部クロック $clk\ d$ 、 $clk\ b\ d$ が、2 つの外部クロック CLK 、 $/CLK$ に対し (360° - 出力回路部における遅延時間) 分の位相遅れをそれぞれ有している場合、相補クロック形式で動作する D L L 回路は、2 つの外部クロックの各々の立ち上がりのエッジに同期して (すなわち、外部クロックの周波数と同じ周波数で) データ (Out) を出力することになる。上記の出力回路部 5 は、前述の従来例 (

【 0 0 2 6 】

さらに、図 1 に示す D L L 回路においては、クロック入力回路部 2 における第 1 および第 2 のクロック CLK 、 $/CLK$ の通過時間や、出力回路部 5 における第 1 および第 2 の内部クロック $clk\ d$ 、 $clk\ b\ d$ の通過時間をモニタするダミー回路 6 が設けられている。

このダミー回路 6 は、周囲温度や電源電圧等が変動した場合でも、第 1 および第 2 のクロック CLK 、 $/CLK$ の時間遅れ、すなわち、外部クロックに対する内部クロックの位相遅れに相当する遅延量を正確に設定する機能を有する。より具体的にいえば、上記のダミー回路 6 は、ディレイ素子制御回路部 6 3 によって第 1 および第 2 のディレイ素子回路部 3 a、3 b の各々の遅延量と同じ遅延量に設定されたダミーディレイ素子回路部 6 3 と、出力回路部 5 の遅延量と同じ遅延量を有するダミー出力回路部 6 5、クロック入力回路部 2 (特に、第 1 および第 2 の入力初段回路部 2 a、2 b) の遅延量と同じ遅延量を有するダミー入力回路部 6 4 とを備えている。さらに、ダミー入力回路部 6 4 の入力側に、ダミー出力回路部 6 5 から出力されるダミークロック $dum\ clk\ 2$ と逆相の関係にある逆相信号 (すなわち、逆相ダミークロック $dum\ clk\ 2\ x$) を生成する逆相信号生成部 7 を設けている。上記のダミー出力回路部 6 5 および逆相信号生成部 7 は、それぞれ、本発明に係る第 1 のダミー出力回路部および第 2 のダミー出力回路部を構成する。

【 0 0 2 7 】

より詳しく説明すると、ダミーディレイ素子回路部 6 3 から出力されるダミークロック $dum\ clk\ 1$ (すなわち、第 1 のクロックを位相調整して生成された単相フィードバッククロック) は、ダミー出力回路部 6 5 によってリアル回路内の出力回路部 2 の遅延量と同じ量だけ遅延されてダミークロック $dum\ clk\ 2$ となる。さらに、ダミー出力回路部 6 5 から出力されるダミークロック $dum\ clk\ 2$ が、ダミー入力回路部 6 4 の一方の入力部に供給されると共に、逆相信号生成部 7 から出力される $dum\ clk\ 2\ x$ が、逆相信号としてダミー入力回路部 6 4 の他方の入力部に供給される。

【 0 0 2 8 】

換言すれば、ダミー回路内のダミー入力回路部 6 4 の入力側には、リアル回路内の第 1 および第 2 の入力初段回路部 2 a、2 b の入力側と同じように、ダミークロック $dum\ clk\ 2$ および逆相ダミークロック $dum\ clk\ 2\ x$ が相補クロック形式で入力される。上記

10

20

30

40

50

のダミークロック $dumck2$ および逆相ダミークロック $dumck2x$ が、本発明に係る第1のフィードバッククロックおよび第2のフィードバッククロックにそれぞれ対応する。

【0029】

さらに、ダミー入力回路部64は、第1および第2の入力初段回路部2a、2bの各々の遅延量と同じ量だけ遅延されたダミークロック $dumck3$ を出力する。このような構成においては、DCレベルの基準信号 $Vref$ (図13参照)の代わりに、逆相信号生成部7にて生成された逆相信号をダミー入力回路部64に入力することによって、互いに相補関係にある2つのダミークロック(第1および第2のフィードバッククロック)が相補クロック形式でダミー入力回路部64に入力されることになるので、クロック入力回路部のクロックの通過時間とダミー入力回路部のダミークロックの通過時間との間の誤差を比較的小さくすることができる。

10

【0030】

ダミー入力回路部64から出力されるダミークロック $dumck3$ は、位相比較部9の一方の入力部に入力される。また一方で、第1の入力初段回路部2から供給される第1の入力クロック $clkz$ は、分周器8により分周され、入力ダミークロック $dumck0$ としてダミーディレイ素子回路部63に入力されると共に、基準クロック $refclk$ として位相比較部9の他方の入力部に入力される。それゆえに、ダミーディレイ素子回路部63から出力されるダミークロック $dumck1$ は、分周器8により分周されたクロックの周期、すなわち、基準クロック $refclk$ の周期に一致することになり、分周されたクロックの周期にて基準クロック $refclk$ とダミークロック $dumck1$ との位相比較を正確に行うことができる。この位相比較においては、基準クロック $refclk$ の立ち上がりとダミークロック $dumck3$ の立ち上がりとを比較することによって、基準クロック $refclk$ とダミークロック $dumck3$ との位相差を求めるようにしている。

20

【0031】

図1に示すDLL回路においては、位相比較部9による位相比較の結果に応じてディレイ素子制御回路部4を動作させることで、基準クロック $refclk$ とダミークロック $dumck3$ との位相差が零になるように第1および第2のディレイ素子回路部3a、3bとダミーディレイ回路部63の遅延量を変化させる。基準クロック $refclk$ とダミークロック $dumck3$ との位相差が零になった時点で、位相比較部9がロックオンの状態になって(すなわち、DLL回路がロックオンの状態になって)、最終的に、第1および第2のクロック CLK 、 $/CLK$ の各々の立ち上がりのエッジに同期してデータ (Out) が出力されることになる。

30

【0032】

図1に示す実施例によれば、DLL回路等のクロック安定化回路内の入力初段回路部と同じ相補クロック形式でダミー入力回路部にクロックを入力するので、従来のようにDCレベルの基準信号を使用する場合よりも、入力初段回路部のクロックの通過時間とダミー入力回路部のダミークロックの通過時間との間の誤差が小さくなり、ダミー回路全体のモータ時間の誤差も小さくなる。

40

【0033】

ついで、図2~図7に基づき、本発明の一実施例の具体的な回路構成について説明する。図2は、図1の実施例の入力初段回路部の具体的な構成を示す回路図である。図2に示す第1の入力初段回路部2aおよび第2の入力初段回路部2bは、各々カレントミラー回路を有しており、相補クロック形式で入力される第1のクロック CLK および第2のクロック $/CLK$ に基づき、第1の入力クロック $clkz$ 、および第1の入力クロック $clkz$ に対して 180° 位相がずれた第2の入力クロック $clkbz$ をそれぞれ生成する。

【0034】

より詳しく説明すると、図2の(A)の第1の入力初段回路部2aは、差動増幅器として機能する一対のnMOSトランジスタ21a、23aと、回路全体の電流源として機能す

50

る nMOS トランジスタ 24 a と、一対の nMOS トランジスタ 21 a、23 a の一方の nMOS トランジスタ 23 a に流れる電流を調整するためのカレントミラー接続形式の一対の pMOS トランジスタ 20 a、22 a (これらの pMOS トランジスタ 20 a、22 a がカレントミラー回路を構成する) とを備えている。さらに、このカレントミラー回路を構成する一対の pMOS トランジスタ 20 a、22 a の各々のソースは、電源電圧 V_d の高電圧側の電源に接続され、上記の pMOS トランジスタ 20 a、22 a のドレインは、一対の nMOS トランジスタ 21 a、23 a のドレインにそれぞれ接続される。さらに、一対の nMOS トランジスタ 21 a、23 a の各々のソースは、電流源の nMOS トランジスタ 24 a のドレインに接続される。また一方で、nMOS トランジスタ 24 a のソースは、アース等の低電圧側の電源に接続される。

10

【0035】

図 2 の (A) の第 1 の入力初段回路部 2 a においては、第 1 のクロック CLK が、一対の nMOS トランジスタ 21 a、23 a の他方の nMOS トランジスタ 21 a のゲートに入力されると共に、上記第 1 のクロックと逆相の関係にある第 2 のクロック / CLK が、一対の nMOS トランジスタ 21 a、23 a の一方の nMOS トランジスタ 23 a のゲートに入力される。他方の nMOS トランジスタ 21 a のゲートに入力される第 1 のクロック CLK は、カレントミラー回路を構成する一対の pMOS トランジスタ 20 a、22 a によって安定化され、上記第 1 のクロック CLK に対し所定の位相遅れを有する第 1 の入力クロック clk_z として、nMOS トランジスタ 23 a のドレインから出力される。

【0036】

また一方で、図 2 の (B) の第 2 の入力初段回路部 2 b は、差動増幅器として機能する一対の nMOS トランジスタ 21 b、23 b と、回路全体の電流源として機能する nMOS トランジスタ 24 b と、一対の nMOS トランジスタ 21 b、23 b の一方の nMOS トランジスタ 23 b に流れる電流を調整するためのカレントミラー接続形式の一対の pMOS トランジスタ 20 b、22 b (これらの pMOS トランジスタ 20 b、22 b も、前述の pMOS トランジスタ 20 a、22 a と同様にカレントミラー回路を構成する) とを備えている。さらに、このカレントミラー回路を構成する一対の pMOS トランジスタ 20 b、22 b の各々のソースは、電源電圧 V_d の高電圧側の電源に接続され、上記の pMOS トランジスタ 20 b、22 b のドレインは、一対の nMOS トランジスタ 21 b、23 b のドレインにそれぞれ接続される。さらに、一対の nMOS トランジスタ 21 b、23 b の各々のソースは、電流源の nMOS トランジスタ 24 b のドレインに接続される。また一方で、nMOS トランジスタ 24 b のソースは、アース等の低電圧側の電源に接続される。

20

30

【0037】

図 2 の (B) の第 2 の入力初段回路部 2 b においては、第 2 のクロック / CLK が、一対の nMOS トランジスタ 21 b、23 b の他方の nMOS トランジスタ 21 b のゲートに入力されると共に、第 1 のクロック CLK が、一対の nMOS トランジスタ 21 b、23 b の一方の nMOS トランジスタ 23 b のゲートに入力される。他方の nMOS トランジスタ 21 b のゲートに入力される第 2 のクロック / CLK は、カレントミラー回路を構成する一対の pMOS トランジスタ 20 b、22 b によって安定化され、上記第 2 のクロック / CLK に対し所定の位相遅れを有する第 2 の入力クロック clk_bz として、nMOS トランジスタ 23 b のドレインから出力される。

40

【0038】

図 2 に示したようなカレントミラー回路を含む第 1 の入力初段回路部 2 a および第 2 の入力初段回路部 2 b によって、第 1 の入力クロック clk_z と、この第 1 の入力クロック clk_z と逆相の関係にある第 2 の入力クロック clk_bz が安定に生成される。

図 3 は、図 1 の実施例のディレイ素子回路部およびディレイ素子制御回路部の具体的な構成を示す回路図である。図 3 においては、第 1 のディレイ素子回路部 3 a (図 1) および第 2 のディレイ素子回路部 3 b (図 1) の一方のディレイ素子回路部のみを示し、他方のディレイ素子回路部は省略している。上記の第 1 のディレイ素子回路部 3 a および第 2 の

50

ディレイ素子回路部 3 b は同一の回路構成を有し、ディレイ素子制御回路部 4 (図 1) からの制御信号によって同じ遅延量が設定されるように調整される。

【 0 0 3 9 】

図 3 に示すように、第 1 のディレイ素子回路部 3 a (または第 2 のディレイ素子回路部 3 b) は、複数のインバータを直列に接続したインバータ列 3 2 と、一方の入力端子がインバータ列 3 2 の 2 段毎の出力信号を受けるように設けられた複数の AND ゲート 3 3 - 1 ~ 3 3 - n (ここで、n は 2 以上の任意の正の整数) により構成される AND ゲート列と、各々の AND ゲート列の出力信号がゲートに供給される n MOS トランジスタ 3 4 - 1 ~ 3 4 - n により構成されるトランジスタ列とを備えている。これらの n MOS トランジスタ 3 4 - 1 ~ 3 4 - n のドレインは 1 本の信号線に共通に接続され、抵抗 3 5 を介して電源電圧 V d の高電圧側の電源に接続されており、また一方で、n MOS トランジスタ 3 4 - 1 ~ 3 4 - n のソースはアース等の低電圧側の電源に接続されている。

10

【 0 0 4 0 】

さらに、第 1 のディレイ素子回路部 3 a (または第 2 のディレイ素子回路部 3 b) は、上記の信号線に接続される入力端子を有するバッファ 3 6 を備えている。このバッファ 3 6 は、第 1 の入力クロック c l k z (または第 2 の入力クロック c l k b z) に対して所定の遅延量に相当する位相遅れを有する第 1 の内部クロック c l k d (または第 2 の内部クロック c l k b d) を出力する。

【 0 0 4 1 】

図 3 に示すディレイ素子制御回路部 4 は、位相比較部 9 (図 1) の位相比較結果に応じて、カウントアップとカウントダウンとを切り替えるアップ・ダウンカウンタ 4 2 と、このアップ・ダウンカウンタ 4 2 の出力信号をデコードするデコーダ 4 1 とを備えている。ここで、アップ・ダウンカウンタ 4 2 は、必要に応じて保持信号 H O L D を “ L (low) ” のレベルにすることにより、カウント値を保持することができる。保持信号 H O L D が “ H (High) ” のレベルになっている場合、第 1 の入力クロック c l k z が立ち上がるときに、位相比較部 9 が位相比較結果に基づいて出力するアップ・ダウン信号 U P / D O W N (図 1 に示す位相差信号 p c c l k に対応する) に応じて、カウントアップまたはカウントダウンのいずれかの動作が行われる。

20

【 0 0 4 2 】

デコーダ 4 1 は、アップ・ダウンカウンタ 4 2 の出力信号に応じて、いずれか一つの出力端子の出力信号を “ H ” にし、他の出力端子の出力信号を “ L ” にする。アップ・ダウンカウンタ 4 2 がカウントアップの動作を行う場合には “ H ” にする出力端子の位置を右にシフトし、カウントダウンの動作を行う場合には “ H ” にする出力端子の位置を左にシフトする。デコーダ 4 1 の複数の出力端子は、順に各々の AND ゲート 3 3 - 1 ~ 3 3 - n の他方の入力端子に接続されており、デコーダ 4 1 から “ H ” の出力信号が入力される AND ゲートのみが活性化される。さらに、インバータ列 3 2 の出力信号の中で、活性化された AND ゲートに入力される出力信号が第 1 の内部クロック c l k d として出力されることになり、どの AND ゲートを活性化するかにより、インバータ列を通過する段数が変化するので、第 1 の内部クロック c l k d の遅延量を適宜選択することができる。

30

【 0 0 4 3 】

上記のとおり、第 1 のディレイ素子回路部 3 a と第 2 のディレイ素子回路部 3 b は、ディレイ素子制御回路部 4 の制御によって段階的に遅延量が設定できるようになっており、しかも第 1 のディレイ素子回路部 3 a と第 2 のディレイ素子回路部 3 b の遅延量は同一である。位相比較部 9 は、第 1 のディレイ素子回路部 3 a に入力される第 1 の入力クロック c l k z (実際は、分周された基準クロック r e f c l k) とダミー回路 6 (図 1) の出力信号 (実際は、分周されたダミークロック d u m c l k 3) とを比較し、この比較結果に応じてアップ・ダウン信号 U P / D O W N をディレイ素子制御回路部 4 内のアップ・ダウンカウンタ 4 2 に供給する。より具体的には、第 1 の入力クロック c l k z の位相が、ダミー回路 6 の出力信号の位相よりも遅れているときには、アップ・ダウン信号 U P / D O W N を “ H ” にして第 1 のディレイ素子回路部 3 a と第 2 のディレイ素子回路部 3 b の各

40

50

々の遅延量を増加させる。また一方で、第1の入力クロック clk_z の位相が、ダミー回路6の出力信号の位相よりも進んでいるときには、アップ・ダウン信号 UP/DOWNを“L”にして第1のディレイ素子回路部3aと第2のディレイ素子回路部3bの各々の遅延量を減少させる。このような処理は、第1の入力クロック clk_z の位相と、ダミー回路6の出力信号の位相とが一致するまで繰り返される。

【0044】

図4は、図1の実施例の出力回路部の具体的な構成を示す回路図である。ここでは、互いに逆相の関係にある2つの内部クロック clk_d 、 $clk_b d$ の立ち上がりに同期して、クロックの一周期の期間内に2種のデータ $data_1$ 、 $data_2$ からなるデータ DATAを取り込む場合の出力回路部5の具体的な構成および動作を説明する。

10

【0045】

図4に示す出力回路部5は、第1の内部クロック clk_d に基づいて一方のデータ $data_1$ を通過させるか否かを選択するためのスイッチ動作を行うトランスファスイッチ51a、53aを備えている。また一方で、出力回路部5は、第2の内部クロック $clk_b d$ に基づいて他方のデータ $data_2$ を通過させるか否かを選択するためのスイッチ動作を行うトランスファスイッチ51b、53bを備えている。これらの4つのトランスファスイッチ51a、51b、53aおよび53bの各々は、一つのpMOSトランジスタと一つのnMOSトランジスタとを並列に接続して構成される。

【0046】

この場合、第1の内部クロック clk_d は、トランスファスイッチ51a、53a内の各々のnMOSトランジスタに直接供給されると共に、インバータ50a、52aをそれぞれ介して上記トランスファスイッチ51a、53a内の各々のpMOSトランジスタに供給される。また一方で、第1の内部クロック $clk_b d$ は、トランスファスイッチ51b、53b内の各々のnMOSトランジスタに直接供給されると共に、インバータ50b、52bをそれぞれ介して上記トランスファスイッチ51b、53b内の各々のpMOSトランジスタに供給される。

20

【0047】

上記のような構成のトランスファスイッチ51a、53aは、第1の内部クロック clk_d が立ち上がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオン(ON)の状態になったときに、上記トランスファスイッチが開いて(オンになって)一方のデータ $data_1$ を通過させる。さらに、第1の内部クロック clk_d が立ち下がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオフ(OFF)の状態になったときに、上記トランスファスイッチが閉じて(オフになって)一方のデータ $data_1$ の通過を抑制する。

30

【0048】

また一方で、上記のような構成のトランスファスイッチ51b、53bは、第2の内部クロック $clk_b d$ が立ち上がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオンの状態になったときに、上記トランスファスイッチが開いて他方のデータ $data_2$ を通過させる。さらに、第2の内部クロック $clk_b d$ が立ち下がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオフの状態になったときに、上記トランスファスイッチが閉じて他方のデータ $data_2$ の通過を抑制する。

40

【0049】

さらに、図4に示す出力回路部5は、2つのトランスファスイッチ51a、51bの共通の出力端子に接続され、かつ、上記トランスファスイッチ51a、51bから送出される2種のデータ $data_1$ 、 $data_2$ を保持する第1のラッチ回路を備えている。この第1のラッチ回路は、2つのインバータ54-1、54-2を有しており、一方のインバータ54-1の入力端子と他方のインバータ54-2の出力端子、および、一方のインバータ54-1の出力端子と他方のインバータ54-2の入力端子を接続することにより構成される。さらに、図4の出力回路部5は、入力側が第1のラッチ回路の出力側に接続され

50

るインバータ55と、ゲートがインバータ55の出力側に接続される最終段のpMOSトランジスタ58とを備えている。

【0050】

また一方で、図4の出力回路部5は、2つのトランスファスイッチ53a、53bの共通の出力端子に接続され、かつ、上記トランスファスイッチ53a、53bから送出される2種のデータdata1、data2を保持する第2のラッチ回路を備えている。この第2のラッチ回路は、2つのインバータ56-1、56-2を有しており、一方のインバータ56-1の入力端子と他方のインバータ56-2の出力端子、および、一方のインバータ56-1の出力端子と他方のインバータ56-2の入力端子を接続することにより構成される。さらに、図4の出力回路部5は、入力側が第2のラッチ回路の出力側に接続されるインバータ57と、ゲートがインバータ57の出力側に接続される最終段のnMOSトランジスタ59とを備えている。

10

【0051】

図4に示すように、最終段のpMOSトランジスタ58のソースは電源電圧Vdの高電圧側の電源に接続され、最終段のnMOSトランジスタ59のソースはアース等の低電圧側の電源に接続されている。さらに、pMOSトランジスタ58のドレインは、nMOSトランジスタ59のドレインに接続されており、2種のデータdata1、data2が、上記のpMOSトランジスタおよびnMOSトランジスタの接続箇所から出力信号Dout（出力データDQ）として出力される。

【0052】

図4の出力回路部5においては、第1の内部クロックclk dの立ち上がりおよび立ち下がり、第2の内部クロックclk b dの立ち上がりおよび立ち下がりとが同時に行われるので、これらの第1および第2のクロックclk d、clk b dが立ち上がったとき、2つのトランスファスイッチ51a、51bの両方が一瞬閉じる期間が存在する。このような状態では、上記トランスファスイッチから送出されるデータが確定しないために、インバータ55内のCMOSトランジスタ回路（図示していない）を構成するpMOSトランジスタおよびnMOSトランジスタ間に貫通電流が流れるので消費電流が増加する。このような不都合な事態を回避するために、第1のラッチ回路を設けることにより、2つのトランスファスイッチ51a、51bの両方が一瞬閉じた状態になってもデータの“H”レベルまたは“L”レベルを確定するようにしている。

20

30

【0053】

同様の理由により、他の2つのトランスファスイッチ53a、53bの両方が一瞬閉じる期間が存在する。このような状態では、上記トランスファスイッチから送出されるデータが確定しないために、インバータ57内のCMOSトランジスタ回路（図示していない）を構成するpMOSトランジスタおよびnMOSトランジスタ間に貫通電流が流れるので消費電流が増加する。このような不都合な事態を回避するために、第2のラッチ回路を設けることにより、2つのトランスファスイッチ53a、53bの両方が一瞬閉じた状態になってもデータの“H”レベルまたは“L”レベルを確定するようにしている。

【0054】

上記の第1のラッチ回路により保持されたデータ（data1またはdata2）は、インバータ55を介してpMOSトランジスタ58に入力される。また一方で、上記の第2のラッチ回路により保持されたデータ（data1またはdata2）は、インバータ57を介してnMOSトランジスタ59に入力される。これらのインバータ55、57の出力レベルに応じて最終段のpMOSトランジスタ58およびnMOSトランジスタ59のいずれか一方がオンの状態になり、“H”レベルまたは“L”レベルの出力信号Doutが最終的に出力される。換言すれば、2つの内部クロックclk d、clk b dの各々の立ち上がりに同期して2つのデータdata1またはdata2が出力されることになる。

40

【0055】

図5は、従来例のダミー回路の具体的な構成を示す回路図であり、図6および図7は、そ

50

れぞれ、図1の実施例のダミー回路の具体的な構成を示す図のその1およびその2である。ここでは、従来例のダミー回路と本発明の一実施例(図1)のダミー回路とを比較しながら、本実施例のダミー回路の特徴となる構成を説明する。

【0056】

図5に示す従来例のダミー出力回路部650は、リアル回路内の出力回路部の第1および第2の内部クロックの通過をモニタするために、図4に示した出力回路部5とほぼ同じ回路構成になっている。リアル回路内の位相比較部9(図1)においては、基準クロック $refclk$ の立ち上がりとダミー回路を通過した出力信号(ダミークロック $dumclk3$)の立ち上がりとを比較するので、ダミー出力回路部650に入力されるダミークロック $dumclk1$ の立ち上がりをモニタする必要がある。したがって、ダミー出力回路部650から出力されるダミークロック $dumclk2$ は、ダミーディレイ素子回路部630から供給されるダミークロック $dumclk1$ の立ち上がりのタイミングで“H”レベルの信号を出力する。

10

【0057】

このままではダミークロック $dumclk2$ が“H”のレベルのままであり、“L”のレベルに戻らない。このために、ダミークロック $dumclk1$ の立ち下がりのタイミングを利用し、複数個(ここでは3つ)のインバータ664、665および666とNORゲート667からなるパルス発生回路部663により“H”レベルのパルスを発生させてトランスファスイッチ652bとトランスファスイッチ654bを開くようにする。このようにしてダミークロック $dumclk2$ を“L”のレベルにするように、予めデータを決め

20

【0058】

この場合は、リアル回路内の出力回路に入力される2種のデータ $data1$ 、 $data2$ に相当する部分をそれぞれアースおよび電源電圧 Vd に吊っておくことによって、 $data1 = “L”$ および $data2 = “H”$ になるようにしておく。

より詳しく説明すると、図5に示すダミー出力回路部650は、ダミークロック $dumclk1$ に基づいてスイッチ動作を行うトランスファスイッチ652a、652b、654aおよび654bを備えている。これらの4つのトランスファスイッチ652a、652b、654aおよび654bの各々は、一つのpMOSトランジスタと一つのnMOSトランジスタとを並列に接続して構成される。この場合、ダミークロック $dumclk1$ は、インバータを通さずにトランスファスイッチ652a、652b、654aおよび654b内の各々のnMOSトランジスタに供給されると共に、インバータ651a、651b、653aおよび653bをそれぞれ介して上記トランスファスイッチ内の各々のpMOSトランジスタに供給される。

30

【0059】

上記のような構成のトランスファスイッチ652a、654aは、ダミークロック $dumclk1$ が立ち上がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオンの状態になったときに、上記トランスファスイッチが開いて(オンになって)“L”レベルの信号(データ $data1$)を通過させる。さらに、ダミークロック $dumclk1$ が立ち下がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオフの状態になったときに、上記トランスファスイッチが閉じて(オフになって)“L”レベルの信号の通過を抑制する。

40

【0060】

また一方で、上記のような構成のトランスファスイッチ652b、654bは、ダミークロック $dumclk1$ が立ち上がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオンの状態になったときに、上記トランスファスイッチが開いて“H”レベルの信号(データ $data2$)を通過させる。さらに、ダミークロック $dumclk1$ が立ち下がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオフの状態になったときに、上記トランスファスイッチが閉じて“H”レベルの信号の通過を抑制する。

50

【0061】

さらに、図5に示すダミー出力回路部650は、2つのトランスファスイッチ652a、652bの共通の出力端子に接続され、かつ、上記トランスファスイッチ652a、652bから送出される信号(データdata1、data2)を保持する第1のラッチ回路を備えている。この第1のラッチ回路は、2つのインバータ655、656により構成される。さらに、図5のダミー出力回路部650は、入力側が第1のラッチ回路の出力側に接続されるインバータ657と、ゲートがインバータ657の出力側に接続される最終段のpMOSトランジスタ661とを備えている。

【0062】

また一方で、図5のダミー出力回路部650は、2つのトランスファスイッチ654a、654bの共通の出力端子に接続され、かつ、上記トランスファスイッチ654a、654bから送出される信号(データdata1、data2)を保持する第2のラッチ回路を備えている。この第2のラッチ回路は、2つのインバータ658、659により構成される。さらに、図5のダミー出力回路部650は、入力側が第2のラッチ回路の出力側に接続されるインバータ660と、ゲートがインバータ660の出力側に接続される最終段のnMOSトランジスタ662とを備えている。

【0063】

図5に示すように、最終段のpMOSトランジスタ661のソースは電源電圧Vdの高電圧側の電源に接続され、最終段のnMOSトランジスタ662のソースはアース等の低電圧側の電源に接続されている。さらに、pMOSトランジスタ661のドレインは、nMOSトランジスタ662のドレインに接続されており、ダミー入力回路部640に供給すべきダミークロックdumclk2が、上記のpMOSトランジスタおよびnMOSトランジスタの接続箇所から出力される。

【0064】

ここで、data2 = "H" に吊っている側のトランスファスイッチ652b、654bを制御する場合に、上記トランスファスイッチのpMOSトランジスタの側では、インバータ651b、653bをそれぞれ介してダミークロックdumclk1が供給されるので、上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタの両方とも開く期間が存在する。それゆえに、ダミークロックdumclk1の立ち下がりのタイミングを利用し、前述のパルス発生回路部663により"H"レベルの信号(パルス)を発生させてダミークロックdumclk2が"L"のレベルになるように制御する。

【0065】

さらに、図5に示す従来例のダミー入力回路部640は、リアル回路内の入力回路部の外部クロックの通過をモニタするために、図2の(A)に示した入力初段回路部2aとほぼ同じ回路構成になっている。ただし、ダミー入力回路部640では、〔従来の技術〕の項で既述したように、一つのダミークロックdumclk2のみが一方の入力部に供給されるようになっている。このため、ダミー入力回路部640の他方の入力部にDCレベルの基準信号Vrefを供給することによって、相補クロック形式で2つの外部クロックが入力される入力回路部の構成にできる限り近くなるようにしていた。

【0066】

より詳しく説明すると、図5のダミー入力回路部640は、差動増幅器として機能する一対のnMOSトランジスタ642、644と、回路全体の電流源として機能するnMOSトランジスタ645と、一対のnMOSトランジスタ642、644の一方のnMOSトランジスタ644に流れる電流を調整するためのカレントミラー接続形式の一対のpMOSトランジスタ641、643(これらのpMOSトランジスタ641、643がカレントミラー回路を構成する)とを備えている。さらに、このカレントミラー回路を構成する一対のpMOSトランジスタ641、643の各々のソースは、電源電圧Vdの高電圧側の電源に接続され、上記のpMOSトランジスタ641、643のドレインは、一対のnMOSトランジスタ642、644のドレインにそれぞれ接続される。さらに、一対のn

10

20

30

40

50

MOSトランジスタ642、644の各々のソースは、電流源のnMOSトランジスタ645のドレインに接続される。また一方で、nMOSトランジスタ645のソースは、アース等の低電圧側の電源に接続される。

【0067】

図5のダミー入力回路部640においては、ダミークロックdumclk2が、一对のnMOSトランジスタ642、644の他方のnMOSトランジスタ642のゲートに入力されると共に、DCレベルの基準信号Vrefが、一方のnMOSトランジスタ644のゲートに入力される。さらに、上記ダミークロックdumclk1に対し所定の位相遅れを有するダミークロックdumclk3が、nMOSトランジスタ644のドレインから出力される。

10

【0068】

ついで、図6および図7に基づき、本実施例のダミー回路の主要部をなすダミー出力回路部65、ダミー入力回路部64および逆相信号生成部7の具体的な回路構成について説明する。

図6に示す本実施例のダミー出力回路部65は、出力回路部の第1および第2の内部クロックの通過をモニタするために、図4に示した出力回路部5（または、図5に示したダミー出力回路部650）とほぼ同じ回路構成になっている。リアル回路内の位相比較部9（図1）においては、基準クロックrefclkの立ち上がりとダミー回路を通過した出力信号（ダミークロックdumclk3）の立ち上がりとを比較するので、ダミー出力回路部65に入力されるダミークロックdumclk1の立ち上がりをモニタする必要がある。したがって、ダミー出力回路部65から出力されるダミークロックdumclk2は、ダミーディレイ素子回路部63から供給されるダミークロックdumclk1の立ち上がりのタイミングで“H”レベルの信号を出力する。このままでは、ダミークロックdumclk2が“H”レベルのままであり、“L”レベルに戻らない。このために、ダミークロックdumclk1の立ち下りのタイミングを利用し、直列に接続された複数個（ここでは3つ）のインバータ67a、67bおよび67cとNORゲート67dからなるパルス発生回路部67により“H”レベルのパルスを発生させ、この“H”レベルのパルスによってトランスファスイッチ81bとトランスファスイッチ83bを開くようにする。このようにしてダミークロックdumclk2を“L”レベルにするように、予めデータを決めておくことが必要である。

20

30

【0069】

本実施例の場合には、リアル回路内の出力回路に入力される2種のデータdata1、data2に相当する部分をそれぞれアースおよび電源電圧Vdに吊っておくことによって、data1 = “L” および data2 = “H” になるようにしておく。

より詳しく説明すると、図6に示すダミー出力回路部65は、ダミークロックdumclk1に基づいてスイッチ動作を行うトランスファスイッチ81a、81b、83aおよび83bを備えている。これらの4つのトランスファスイッチ81a、81b、83aおよび83bの各々は、一つのpMOSトランジスタと一つのnMOSトランジスタとを並列に接続して構成される。この場合、ダミークロックdumclk1は、インバータを通過せずにトランスファスイッチ81a、81b、83aおよび83b内の各々のnMOSトランジスタに供給されると共に、インバータ80a、80b、82aおよび82bをそれぞれ介して上記トランスファスイッチ内の各々のpMOSトランジスタに供給される。上記のトランスファスイッチ81a、81b、83aおよび83bは、それぞれ、従来例のダミー出力回路部のトランスファスイッチ652a、652b、654aおよび654bとほぼ同じ機能を有する。

40

【0070】

上記のような構成のトランスファスイッチ81a、83aは、ダミークロックdumclk1が立ち上がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオンの状態になったときに、上記トランスファスイッチが開いて“L”レベルの信号（データdata1）を通過させる。さらに、ダミークロックdumclk1

50

が立ち下がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオフの状態になったときに、上記トランスファスイッチが閉じて“L”レベルの信号の通過を抑制する。

【0071】

また一方で、上記のような構成のトランスファスイッチ81b、83bは、ダミークロックdumclk1が立ち上がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオンの状態になったときに、上記トランスファスイッチが開いて“H”レベルの信号(データdata2)を通過させる。さらに、ダミークロックdumclk1が立ち下がって上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタがオフの状態になったときに、上記トランスファスイッチが閉じて“H”レベルの信号の通過を抑制する。

10

【0072】

さらに、図6に示すダミー出力回路部65は、2つのトランスファスイッチ81a、83aの共通の出力端子に接続され、かつ、上記トランスファスイッチ81a、83aから送出される信号(データdata1、data2)を保持する第1のラッチ回路を備えている。この第1のラッチ回路は、2つのインバータ84-1、84-2により構成される。さらに、図6のダミー出力回路部65は、入力側が第1のラッチ回路の出力側に接続されるインバータ85と、ゲートがインバータ85の出力側に接続される最終段のpMOSトランジスタ88とを備えている。

【0073】

20

また一方で、図6のダミー出力回路部65は、2つのトランスファスイッチ81b、83bの共通の出力端子に接続され、かつ、上記トランスファスイッチ81b、83bから送出される信号(データdata1、data2)を保持する第2のラッチ回路を備えている。この第2のラッチ回路は、2つのインバータ86-1、86-2により構成される。さらに、図6のダミー出力回路部65は、入力側が第2のラッチ回路の出力側に接続されるインバータ87と、ゲートがインバータ87の出力側に接続される最終段のnMOSトランジスタ89とを備えている。

【0074】

図6に示すように、最終段のpMOSトランジスタ88のソースは電源電圧Vdの高電圧側の電源に接続され、最終段のnMOSトランジスタ88のソースはアース等の低電圧側の電源に接続されている。さらに、pMOSトランジスタ88のドレインは、nMOSトランジスタ89のドレインに接続されており、ダミー入力回路部64に供給すべきダミークロックdumclk2が、上記のpMOSトランジスタおよびnMOSトランジスタの接続箇所から出力される。上記の第1のラッチ回路、第2のラッチ回路、インバータ85、インバータ87、pMOSトランジスタ88、およびnMOSトランジスタ89は、それぞれ、従来例のダミー出力回路部の第1のラッチ回路、第2のラッチ回路、インバータ657、インバータ660、pMOSトランジスタ661、およびnMOSトランジスタ662とほぼ同じ機能を有する。

30

【0075】

ここで、data2 = “H” に吊っている側のトランスファスイッチ81b、83bを制御する場合に、上記トランスファスイッチのpMOSトランジスタの側では、インバータ80b、82bをそれぞれ介してダミークロックdumclk1が供給されるので、上記トランスファスイッチ内のpMOSトランジスタおよびnMOSトランジスタの両方とも開く期間が存在する。それゆえに、ダミークロックdumclk1の立ち下がりのタイミングを利用し、前述のパルス発生回路部67により“H”レベルの信号を発生させてダミークロックdumclk2が“L”のレベルになるように制御する。

40

【0076】

さらに、図6に示す本実施例のダミー入力回路部64は、リアル回路内の入力回路部の外部クロックの通過をモニタするために、図2の(A)に示した入力初段回路部2aとほぼ同じ回路構成になっている。ここでは、従来例のダミー入力回路部640(図5)の場合

50

と異なり、ダミークロック $dumc1k2$ を一方の入力部に供給すると共に、上記ダミークロック $dumc1k2$ と逆相の関係にある逆相ダミークロック $dumc1k2x$ を他方の入力部に供給するようになっている。このため、ダミー入力回路部の構成が入力回路部の構成により近くなるので、従来例のように DC レベルの基準信号 $Vref$ を使用する場合よりも、ダミー回路全体のモニタ時間の誤差を小さくすることができる。

【0077】

より詳しく説明すると、図6のダミー入力回路部64は、差動増幅器として機能する一対の $nMOS$ トランジスタ26、28と、回路全体の電流源として機能する $nMOS$ トランジスタ29と、一対の $nMOS$ トランジスタ26、28の一方の $nMOS$ トランジスタ26に流れる電流を調整するためのカレントミラー接続形式の一対の $pMOS$ トランジスタ25、27（これらの $pMOS$ トランジスタ25、27がカレントミラー回路を構成する）とを備えている。さらに、このカレントミラー回路を構成する一対の $pMOS$ トランジスタ25、27の各々のソースは、電源電圧 Vd の高電圧側の電源に接続され、上記の $pMOS$ トランジスタ25、27のドレインは、一対の $nMOS$ トランジスタ26、28のドレインにそれぞれ接続される。さらに、一対の $nMOS$ トランジスタ26、28の各々のソースは、電流源の $nMOS$ トランジスタ29のドレインに接続される。また一方で、 $nMOS$ トランジスタ29のソースは、アース等の低電圧側の電源に接続される。

10

【0078】

図6のダミー入力回路部64においては、ダミー出力回路部65から供給されるダミークロック $dumc1k2$ が、一対の $nMOS$ トランジスタ26、28の他方の $nMOS$ トランジスタ26のゲートに入力されると共に、逆相信号生成部7から供給される逆相ダミークロック $dumc1k2x$ が、一方の $nMOS$ トランジスタ28のゲートに入力される。さらに、上記ダミークロック $dumc1k1$ に対し所定の位相遅れを有するダミークロック $dumc1k3$ が、 $nMOS$ トランジスタ28のドレインから出力される。

20

【0079】

また一方で、図7に示す逆相信号生成部7においては、ダミークロック $dumc1k1$ から分岐した信号が入力される。この逆相信号生成部7は、前述の図6のダミー出力回路部65と実質的に同じ構成を有する。ただし、逆相信号生成部7は、ダミークロック $dumc1k2$ と逆相の関係にある信号（逆相ダミークロック $dumc1k2x$ ）を出力することが必要なので、前述の図6のダミー出力回路部65とは逆に、 $data1 = "H"$ 、 $data2 = "L"$ に吊っている。

30

【0080】

図7の逆相信号生成部7から出力される逆相ダミークロック $dumc1k2x$ は、ダミーディレイ素子回路部63から供給されるダミークロック $dumc1k1$ の立ち上がりのタイミングで“L”レベルの信号を出力する。このままではダミークロック $dumc1k2$ が“L”レベルのままであり、“H”レベルに戻らない。このために、ダミークロック $dumc1k1$ の立ち下りのタイミングを利用し、直列に接続された複数個（ここでは3つ）のインバータ17a、17bおよび17cとNORゲート17dからなるパルス発生回路部17により“H”レベルのパルスが発生させ、この“H”レベルのパルスによってトランスファスイッチ71bとトランスファスイッチ73bを開くようにする。このようにしてダミークロック $dumc1k2$ を“H”レベルにするように、予めデータを決めておくことが必要である。

40

【0081】

この場合には、前述のダミー出力回路部65の場合とは逆に、2種のデータ $data1$ 、 $data2$ に相当する部分をそれぞれ電源電圧 Vd およびアースに吊っておくことによって、 $data1 = "H"$ および $data2 = "L"$ になるようにしておく。

より詳しく説明すると、図7に示す逆相信号生成部7は、ダミークロック $dumc1k1$ に基づいてスイッチ動作を行うトランスファスイッチ71a、71b、73aおよび73bを備えている。これらの4つのトランスファスイッチ71a、71b、73aおよび73bの各々は、一つの $pMOS$ トランジスタと一つの $nMOS$ トランジスタとを並列に接

50

続いて構成される。この場合、ダミークロック $dumck1$ は、インバータを通さずにトランスファスイッチ $71a$ 、 $71b$ 、 $73a$ および $73b$ 内の各々の $nMOS$ トランジスタに供給されると共に、インバータ $70a$ 、 $70b$ 、 $72a$ および $72b$ をそれぞれ介して上記トランスファスイッチ内の各々の $pMOS$ トランジスタに供給される。

【0082】

上記のような構成のトランスファスイッチ $71a$ 、 $73a$ は、ダミークロック $dumck1$ が立ち上がって上記トランスファスイッチ内の $pMOS$ トランジスタおよび $nMOS$ トランジスタがオンの状態になったときに、上記トランスファスイッチが開いて“H”レベルの信号(データ $data1$)を通過させる。さらに、ダミークロック $dumck1$ が立ち下がって上記トランスファスイッチ内の $pMOS$ トランジスタおよび $nMOS$ トランジスタがオフの状態になったときに、上記トランスファスイッチが閉じて“H”レベルの信号の通過を抑制する。

10

【0083】

また一方で、上記のような構成のトランスファスイッチ $71b$ 、 $73b$ は、ダミークロック $dumck1$ が立ち上がって上記トランスファスイッチ内の $pMOS$ トランジスタおよび $nMOS$ トランジスタがオンの状態になったときに、上記トランスファスイッチが開いて“L”レベルの信号(データ $data2$)を通過させる。さらに、ダミークロック $dumck1$ が立ち下がって上記トランスファスイッチ内の $pMOS$ トランジスタおよび $nMOS$ トランジスタがオフの状態になったときに、上記トランスファスイッチが閉じて“L”レベルの信号の通過を抑制する。

20

【0084】

さらに、図7に示す逆相信号生成部7は、2つのトランスファスイッチ $71a$ 、 $73a$ の共通の出力端子に接続され、かつ、上記トランスファスイッチ $71a$ 、 $73a$ から送出される信号(データ $data1$ 、 $data2$)を保持する第1のラッチ回路を備えている。この第1のラッチ回路は、2つのインバータ $74-1$ 、 $74-2$ により構成される。さらに、図7の逆相信号生成部7は、入力側が第1のラッチ回路の出力側に接続されるインバータ 75 と、ゲートがインバータ 75 の出力側に接続される最終段の $pMOS$ トランジスタ 78 とを備えている。

【0085】

また一方で、図7の逆相信号生成部7は、2つのトランスファスイッチ $71b$ 、 $73b$ の共通の出力端子に接続され、かつ、上記トランスファスイッチ $71b$ 、 $73b$ から送出される信号(データ $data1$ 、 $data2$)を保持する第2のラッチ回路を備えている。この第2のラッチ回路は、2つのインバータ $76-1$ 、 $76-2$ により構成される。さらに、図7の逆相信号生成部7は、入力側が第2のラッチ回路の出力側に接続されるインバータ 77 と、ゲートがインバータ 77 の出力側に接続される最終段の $nMOS$ トランジスタ 79 とを備えている。

30

【0086】

図7に示すように、最終段の $pMOS$ トランジスタ 77 のソースは電源電圧 Vd の高電圧側の電源に接続され、最終段の $nMOS$ トランジスタ 77 のソースはアース等の低電圧側の電源に接続されている。さらに、 $pMOS$ トランジスタ 77 のドレインは、 $nMOS$ トランジスタ 79 のドレインに接続されており、ダミー入力回路部64に供給すべき逆相ダミークロック $dumck2x$ が、上記の $pMOS$ トランジスタおよび $nMOS$ トランジスタの接続箇所から出力される。

40

【0087】

ここで、 $data2 = "L"$ に吊っている側のトランスファスイッチ $71b$ 、 $73b$ を制御する場合に、上記トランスファスイッチの $pMOS$ トランジスタの側では、インバータ $70b$ 、 $72b$ をそれぞれ介してダミークロック $dumck1$ が供給されるので、上記トランスファスイッチ内の $pMOS$ トランジスタおよび $nMOS$ トランジスタの両方とも開く期間が存在する。それゆえに、ダミークロック $dumck1$ の立ち下がりのタイミングを利用し、前述のパルス発生回路部17により“H”レベルの信号を発生させてダミ

50

ークロック $dumc1k2$ が "H" のレベルになるように制御する。

【0088】

図8および図9は、それぞれ、図1の実施例および従来例の動作を説明するためのタイミングチャートのその1およびその2である。ただし、ここでは、位相比較部に入力される基準クロック $refc1k$ とダミークロック $dumc1k3$ との位相差が零になってDLL回路がロックオンの状態になっているときに、2種のデータ $data1$ ("L" レベル)、 $data2$ ("H" レベル) を読み出し続けている場合の時間 (t) に対する各部の信号波形の変化を説明することとする。

【0089】

図8のタイミングチャートに示すように、第1のクロック CLK (図8の(a))と、この第1のクロック CLK に対して 180° 位相がずれた第2のクロック/ CLK (図8の(b))は、DLL回路のリアル回路内の入力回路部に供給される。これらの第1のクロック CLK および第2のクロック/ CLK に対し同じ遅延量 t_1 の時間遅れでもって、第1の入力クロック $clkz$ および第2の入力クロック $clkbz$ が入力回路部から出力される(図8の(c)、(d))。さらに、第1の入力クロック $clkz$ および第2の入力クロック $clkbz$ に対し同じ遅延量 t_d の時間遅れでもって、第1の内部クロック $clkd$ および第2の内部クロック $clkbd$ が、第1および第2のディレイ素子回路部からそれぞれ出力される(図8の(e)、(f))。

【0090】

さらに、図8のタイミングチャートに示すように、第1の内部クロック $clkd$ および第2の内部クロック $clkbd$ の立ち上がりに同期して、2種のデータ $data1$ ("L" レベル)、 $data2$ ("H" レベル) が、出力信号 $Dout$ (出力データ DQ) として出力回路部から出力される(図8の(g)、(h)および(i))。より厳密に言えば、第1の内部クロック $clkd$ および第2の内部クロック $clkbd$ に対し同じ遅延量 t_2 の時間遅れでもって、クロックの一周期の半分の期間毎に2種のデータ $data1$ 、 $data2$ が交互に出力される。

【0091】

また一方で、図9のタイミングチャートに示すように、第1の入力クロック $clkz$ および第2の入力クロック $clkbz$ と同じ時間遅れを有する入力ダミークロック $dumc1k0$ が、ダミー回路内のダミーディレイ素子回路部に供給される(図9の(j))。これと同時に、入力ダミークロック $dumc1k1$ と逆相の関係にある基準クロック $refc1k$ が位相比較部に供給される(図9の(k))。さらに、入力ダミークロック $dumc1k0$ に対し遅延量 t_d の時間遅れでもって、ダミークロック $dumc1k1$ がダミーディレイ素子回路部から出力される(図9の(l))。

【0092】

本実施例の場合、ダミークロック $dumc1k1$ に対し遅延量 t_2 の時間遅れを有するダミークロック $dumc1k2$ が、ダミー出力回路部からダミー入力回路部へ供給されると共に(図9の(m))、ダミークロック $dumc1k2$ と逆相の関係にある逆相ダミークロック $dumc1k2x$ が、逆相信号生成部からダミー入力回路部へ供給される(図9の(n))。

【0093】

これに対して、従来例の場合、ダミークロック $dumc1k1$ に対し遅延量 t_2 の時間遅れを有するダミークロック $dumc1k2$ が、ダミー出力回路部からダミー入力回路部へ供給されると共に(図9の(p))、DCレベルの基準電圧 $Vref$ がダミー入力回路部へ供給される(図9の(q))。

換言すれば、本実施例の場合、ダミー回路内のダミー入力回路部の入力側には、リアル回路内の入力回路部の入力側と同じように、ダミークロック $dumc1k2$ および逆相ダミークロック $dumc1k2x$ が相補クロック形式で入力される。上記のような構成においては、従来例のDCレベルの基準信号 $Vref$ の代わりに、逆相信号生成部にて生成された逆相信号をダミー入力回路部に入力することによって、互いに相補関係にある2つのダ

10

20

30

40

50

ミークロックが入力されることになるので、入力回路部のクロックの通過時間とダミー入力回路部のダミークロックの通過時間との間の誤差を比較的小さくすることができる。

【0094】

それゆえに、本実施例においては、ダミークロック $dumclk2$ に対して入力回路部の遅延量とほぼ同じ遅延量 $t1$ でもって、ダミークロック $dumclk3$ が出力される（図9の（o））。これに対し、従来例の場合、ダミークロック $dumclk2$ に対して入力回路部の遅延量より多い遅延量 $t1 +$ でもって、ダミークロック $dumclk3$ が出力される（図9の（r））。

【0095】

図10は、図1の実施例および従来例においてクロックがDLL回路を通過する様子を示すタイミングチャートである。ここでは、第1のクロックCLKおよび第2のクロック/CLKがリアル回路内の入力回路部を通過する様子を実線で示し、ダミークロックがダミー回路内のダミー入力回路部（すなわち、差動入力側）を通過するときの様子を破線で示す。

10

【0096】

図10の上部に示す従来例の場合、第1のクロックCLKがリアル回路内の入力回路部を通過する時間と、ダミークロックがダミー回路内のダミー入力回路部を通過する時間との差は a となる。これに対し、図10の下部に示す本実施例の場合、第1のクロックCLKがリアル回路内の入力回路部を通過する時間と、ダミークロックがダミー回路内のダミー入力回路部を通過する時間との差は b となり、従来例の場合の時間 a よりも だけ小さくなる（ $a - b =$ ）。換言すれば、 $a - b =$ の分だけ、本実施例の場合のダミー回路内のダミー入力回路部の通過時間が、リアル回路内の入力回路部を通過する時間により近くなり、入力回路部のクロックの通過時間とダミー入力回路部のダミークロックの通過時間との間の誤差を比較的小さくすることができる。

20

【0097】

図11は、従来例のクロックと出力データとの関係を示すタイミングチャートであり、図12は、図1の実施例におけるクロックと出力データとの関係を示すタイミングチャートである。

図11に示す従来例においては、前述のように、入力回路部のクロックの通過時間とダミー入力回路部のダミークロックの通過時間との間の誤差が本実施例よりも 分だけ大きいので、データの不確定期間も、第1および第2のクロックCLK、/CLKの各々に対して 分だけ位相が早い側にずれる。ここで、データの不確定期間を図11の破線のように規定した場合、データがアクセス可能であることを示すデータの有効期間が 分ずれるために、実効的なデータの有効期間が実質的に減少することになる。

30

【0098】

これに対し、図12に示す本実施例においては、入力回路部のクロックの通過時間とダミー入力回路部のダミークロックの通過時間との間の誤差が従来例よりも 分小さくなるので、データの不確定期間もその分小さくなる。それゆえに、従来例に比べて、データの有効期間を広く確保することが可能になる。

なお、これまでは、ダミー出力回路部とほぼ同じ構成の逆相信号生成部を設けることによって、ダミークロックと逆相の関係にある逆相信号を生成しているが、本発明では、このような構成に限定されるものではない。例えば、上記の逆相信号生成部の代わりに、周囲温度や電源電圧等の変動に関係なくダミークロックと正確に逆相の関係にある逆相信号を生成する機能を有する回路を、任意のトランジスタやインバータ等により構成してもよい。

40

【0099】

【発明の効果】

以上説明したように、本発明によれば、クロック安定化回路内の入力初段回路部と同じ相補クロック形式で、第1のフィードバッククロックと、この第1のフィードバッククロックに対し逆相の関係にある第2のフィードバッククロックとを同時にダミー入力回路部に

50

入力するので、従来のようにDCレベルの基準信号を使用する場合よりも、ダミー回路全体のモニタ時間の誤差を小さくすることが可能になる。さらに、データがアクセス可能であることを示すデータの有効期間をより広く確保することが可能になる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】図1の実施例の入力初段回路部の具体的な構成を示す回路図である。

【図3】図1の実施例のディレイ素子回路部およびディレイ素子制御回路部の具体的な構成を示す回路図である。

【図4】図1の実施例の出力回路部の具体的な構成を示す回路図である。

【図5】従来例のダミー回路の具体的な構成を示す回路図である。

10

【図6】図1の実施例のダミー回路の具体的な構成を示す図(その1)である。

【図7】図1の実施例のダミー回路の具体的な構成を示す図(その2)である。

【図8】図1の実施例および従来例の動作を説明するためのタイミングチャート(その1)である。

【図9】図1の実施例および従来例の動作を説明するためのタイミングチャート(その2)である。

【図10】図1の実施例および従来例においてクロックがDLL回路を通過する様子を示すタイミングチャートである。

【図11】従来例のクロックと出力データとの関係を示すタイミングチャートである。

【図12】図1の実施例におけるクロックと出力データとの関係を示すタイミングチャートである。

20

【図13】従来例のクロック安定化回路の構成を示すブロック図である。

【符号の説明】

1 ... クロック安定化回路

2 ... クロック入力回路部

2 a ... 第1の入力初段回路部

2 b ... 第2の入力初段回路部

3 a ... 第1のディレイ素子回路部

3 b ... 第2のディレイ素子回路部

4 ... ディレイ素子制御回路部

5 ... 出力回路部

6 ... ダミー回路

7 ... 逆相信号生成部

8 ... 分周器

9 ... 位相比較部

20 a、22 a ... pMOSトランジスタ

21 a、23 a ... nMOSトランジスタ

20 b、22 b ... pMOSトランジスタ

21 b、23 b ... nMOSトランジスタ

32 ... インバータ列

33 - 1 ~ 33 - n ... ANDゲート

34 - 1 ~ 34 - n ... nMOSトランジスタ

41 ... デコーダ

42 ... アップ・ダウンカウンタ

50 a、50 b、52 aおよび52 b ... インバータ

51 a、51 b、53 aおよび53 b ... トランスファスイッチ

63 ... ダミーディレイ素子回路部

64 ... ダミー入力回路部

65 ... ダミー出力回路部

70 a、70 b、72 aおよび72 b ... インバータ

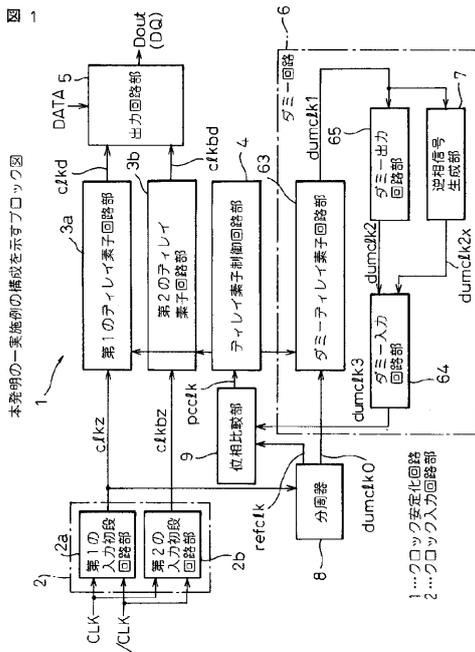
30

40

50

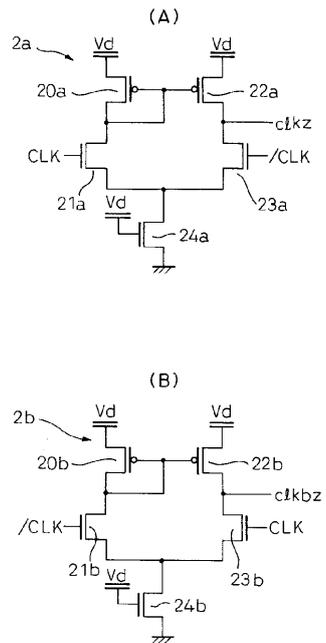
71 a、71 b、73 aおよび73 b...トランスファスイッチ
80 a、80 b、82 aおよび82 b...インバータ

【 図 1 】

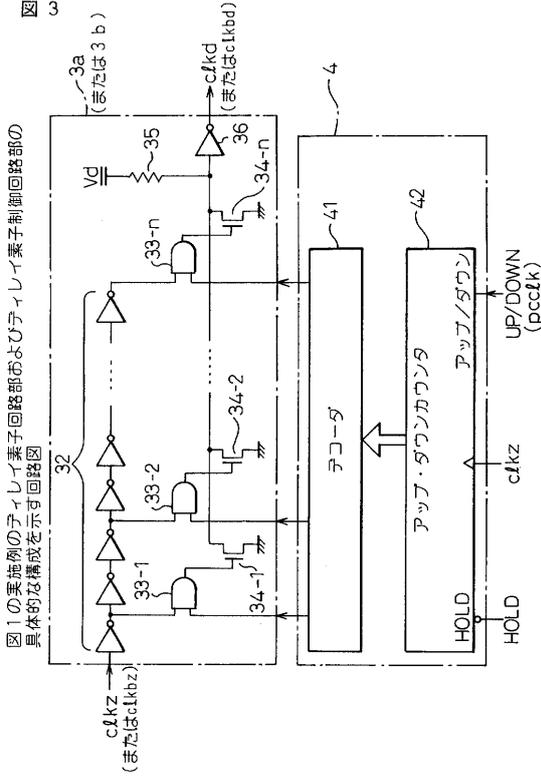


【 図 2 】

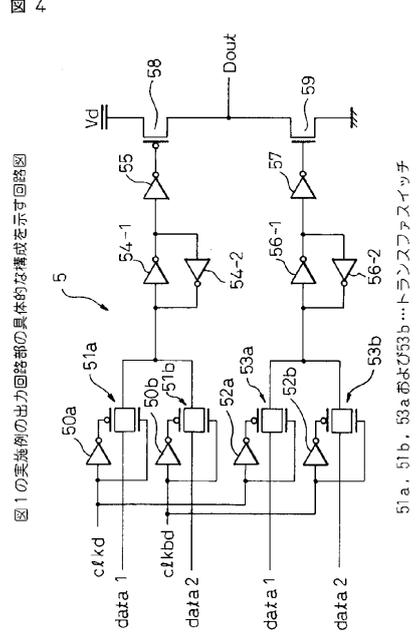
図 2
図 1 の実施例の入力初段回路部の具体的な構成を示す回路図



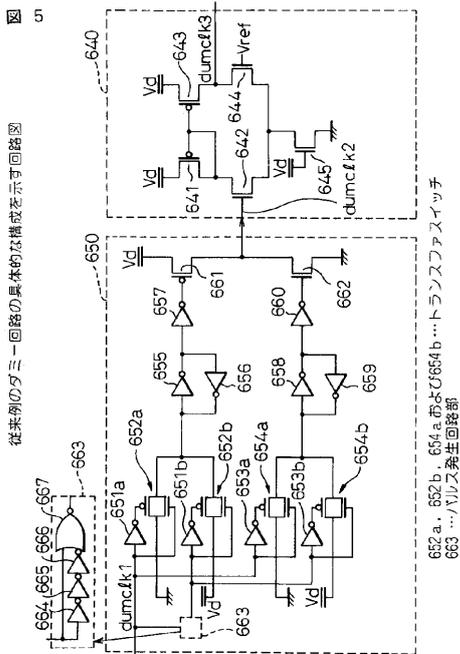
【 図 3 】



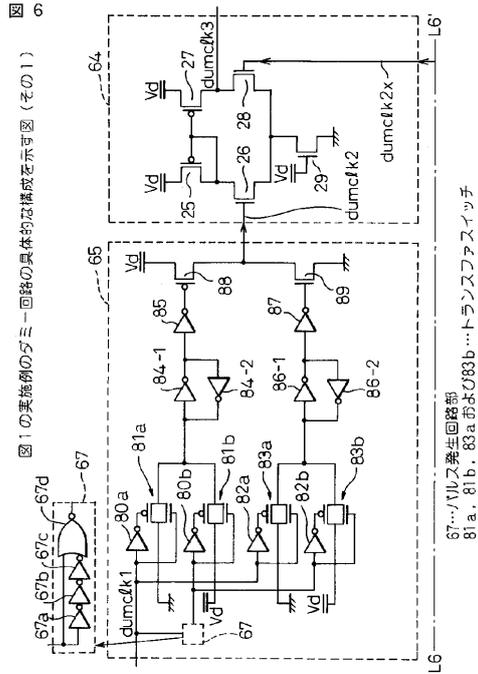
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

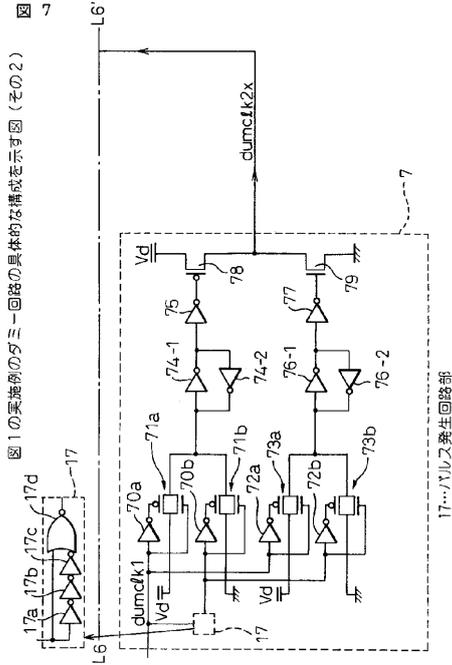


図 1 の実施例のダミー回路の具体的な構成を示す図 (その 2)

17a, 17b, 17c, 17d

17...パルス発生回路部
71a, 71b, 73aおよび73b...トランスタスタスイッチ

【 図 8 】

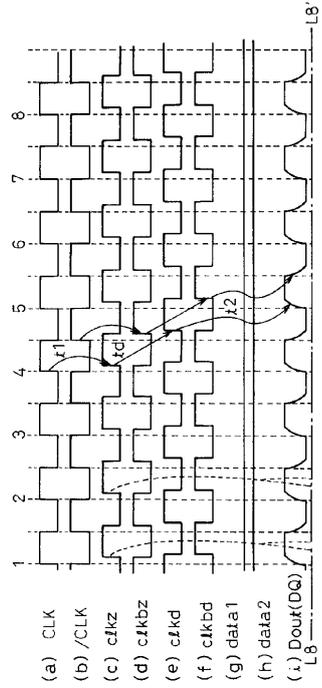
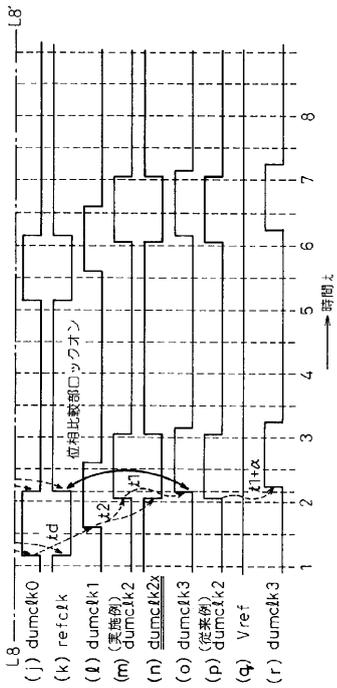


図 1 の実施例および従来例の動作を説明するためのタイミングチャート (その 1)

【 図 9 】

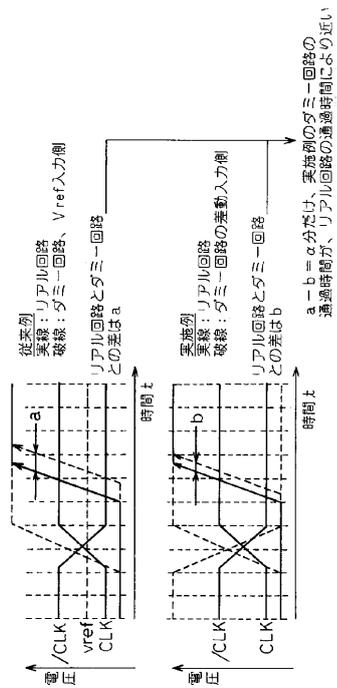
図 9

図 1 の実施例および従来例の動作を説明するためのタイミングチャート (その 2)



【 図 10 】

図 1 の実施例および従来例においてクロックがDLL回路を通過する様子を示すタイミングチャート

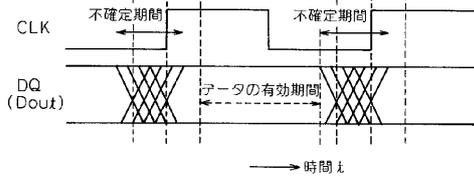


$a - b = \alpha$ 分だけ、実施例のダミー回路の通過時間が、リアル回路の通過時間により近い

【 図 1 1 】

図 11

従来例のクロックと出力データとの関係を示すタイミングチャート

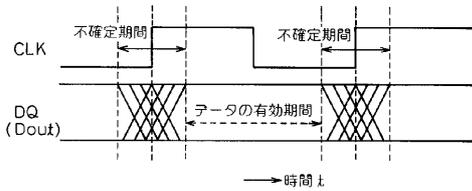


注) 実質的に有効期間が減少するのではなく、
 クロック周期が α 分ずれるだけであるが、
 破線のように規定されると実効的な有効
 期間が減少することになる

【 図 1 2 】

図 12

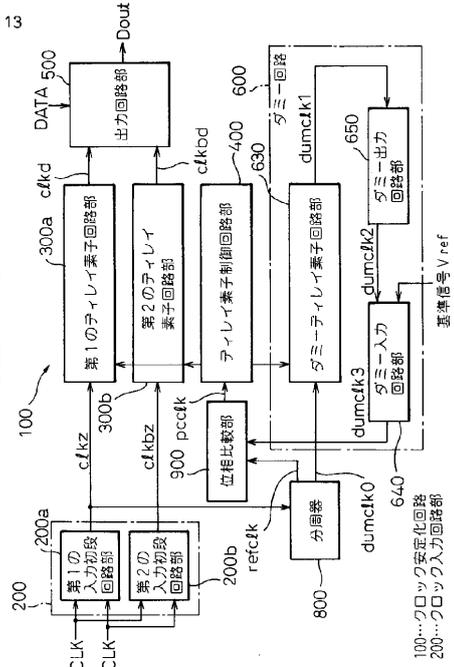
図 1の実施例におけるクロックと出力データとの関係を示すタイミングチャート



【 図 1 3 】

図 13

従来のクロック安定化回路の構成を示すブロック図



フロントページの続き

(72)発明者 藤枝 和一郎
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 富吉 伸弥

(56)参考文献 特開平10-149227(JP,A)
特開2000-163958(JP,A)
特開平11-316618(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
G06F 1/06,
G11C 11/407,
H03K 5/135