



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0070835
(43) 공개일자 2010년06월28일

(51) Int. Cl.

H01L 29/74 (2006.01) H01L 21/8229 (2006.01)

(21) 출원번호 10-2008-0129563

(22) 출원일자 2008년12월18일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김수아

경기도 성남시 분당구 서현동 시범단지현대아파트 408동 2303호

송기환

경기도 용인시 기흥구 중동 롯데캐슬아파트 2004동 2102호

(74) 대리인

권혁수, 송윤호, 오세준

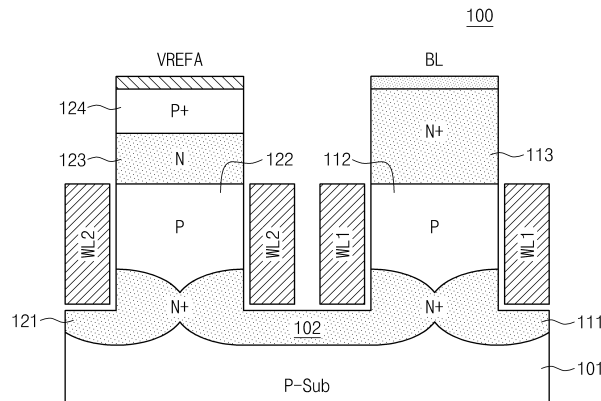
전체 청구항 수 : 총 10 항

(54) 사이리스터를 갖는 메모리 셀 및 그것을 포함한 메모리 장치

(57) 요약

본 발명에 따른 메모리 셀은, 기판 상에 차례로 적층된 제 1 소스/드레인 영역, 채널 영역, 및 제 2 드레인/소스 영역을 갖는 수직형 트랜지스터, 및 상기 기판 상에 차례로 적층된 제 1 도핑 영역, 제 2 도핑 영역, 제 3 도핑 영역, 및 제 4 도핑 영역을 갖는 사이리스터를 포함하되, 상기 제 1 소스/드레인 영역은 제 1 방향으로 연장되어 상기 제 1 도핑 영역과 연결되고, 상기 트랜지스터의 상기 채널 영역을 둘러싼 제 1 워드라인, 상기 사이리스터의 상기 제 2 도핑 영역을 둘러싼 제 2 워드라인, 및 상기 사이리스터의 제 4 도핑 영역에 연결된 기준전압 라인은 상기 제 1 방향과 수직한 제 2 방향으로 연장되고, 상기 트랜지스터의 상기 제 2 드레인/소스 영역에 연결된 비트라인은 상기 제 1 방향으로 연장되는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 상에 차례로 적층된 제 1 소스/드레인 영역, 채널 영역, 및 제 2 드레인/소스 영역을 갖는 수직형 트랜지스터; 및

상기 기관 상에 차례로 적층된 제 1 도핑 영역, 제 2 도핑 영역, 제 3 도핑 영역, 및 제 4 도핑 영역을 갖는 사이리스터를 포함하되,

상기 제 1 소스/드레인 영역은 제 1 방향으로 연장되어 상기 제 1 도핑 영역과 연결되고,

상기 트랜지스터의 상기 채널 영역을 둘러싼 제 1 워드라인, 상기 사이리스터의 상기 제 2 도핑 영역을 둘러싼 제 2 워드라인, 및 상기 사이리스터의 제 4 도핑 영역에 연결된 기준전압 라인은 상기 제 1 방향과 수직한 제 2 방향으로 연장되고,

상기 트랜지스터의 상기 제 2 드레인/소스 영역에 연결된 비트라인은 상기 제 1 방향으로 연장되는 것을 특징으로 하는 메모리 셀.

청구항 2

제 1 항에 있어서,

상기 채널 영역과 상기 제 2 도핑 영역은 동일한 계층에 배치되고,

상기 제 2 드레인/소스 영역과 상기 제 3 도핑 영역은 동일한 계층에 배치되고,

상기 기준전압 라인 위의 계층에 상기 비트라인이 배치되되,

상기 비트라인과 상기 제 2 드레인/소스 영역은 비트라인 콘택을 통하여 전기적으로 연결되는 것을 특징으로 하는 메모리 셀.

청구항 3

제 2 항에 있어서,

상기 제 1 워드라인은 제 1 워드라인 콘택을 통하여 제 1 메인 워드라인에 연결되고,

상기 제 2 워드라인은 제 2 워드라인 콘택을 통하여 제 2 메인 워드라인에 연결되고,

상기 제 1 및 제 2 메인 워드라인은 상기 비트라인 위의 계층에 배치되는 것을 특징으로 하는 메모리 셀.

청구항 4

기관 상에 차례로 적층된 제 1 드레인/소스 영역, 채널 영역, 및 제 2 소스/드레인 영역을 갖는 수직형 트랜지스터; 및

상기 수직형 트랜지스터의 상기 제 2 소스/드레인 영역, 상기 제 2 소스/드레인 영역 위에 차례로 적층된 제 2 도핑 영역, 제 3 도핑 영역, 및 제 4 도핑 영역을 갖는 사이리스터를 포함하되,

상기 제 1 드레인/소스 영역은 제 1 방향으로 연장되고,

상기 트랜지스터의 상기 채널 영역을 둘러싼 제 1 워드라인, 상기 사이리스터의 상기 제 2 도핑 영역을 둘러싼 제 2 워드라인, 및 상기 사이리스터의 제 4 도핑 영역에 연결된 기준전압 라인은 상기 제 1 방향과 수직한 제 2 방향으로 연장되고,

상기 트랜지스터의 상기 제 1 드레인/소스 영역에 매입되어 형성된 비트라인은 상기 제 1 방향으로 연장되는 것을 특징으로 하는 메모리 셀.

청구항 5

제 4 항에 있어서,

상기 제 4 도핑 영역과 상기 기준전압 라인은 기준전압 콘택을 통하여 연결되고,

상기 제 1 워드라인은 제 1 메탈 콘택을 통하여 제 1 메탈 라인에 연결되고,
 상기 제 2 워드라인은 제 2 메탈 콘택을 통하여 제 2 메탈 라인에 연결되고,
 상기 제 2 메탈 라인의 계층은 상기 제 1 메탈 라인의 계층보다 위에 배치되고,
 상기 기준전압 라인과 상기 제 2 메탈 라인은 동일한 계층에 배치되는 것을 특징으로 하는 메모리 셀.

청구항 6

제 4 항에 있어서,
 상기 제 4 도핑 영역과 상기 기준전압 라인은 기준전압 콘택을 통하여 연결되고,
 상기 제 1 워드라인은 제 1 메탈 콘택을 통하여 제 1 메탈 라인에 연결되고,
 상기 제 2 워드라인은 제 2 메탈 콘택을 통하여 제 2 메탈 라인에 연결되고,
 상기 제 1 메탈 라인과 상기 제 2 메탈 라인은 동일한 계층에 배치되고,
 상기 기준전압 라인은 상기 제 1 및 제 2 메탈 라인들의 계층보다 위에 배치되는 것을 특징으로 하는 메모리 셀.

청구항 7

기관 상에 차례로 적층된 제 1 도핑 영역, 제 2 도핑 영역, 제 3 도핑 영역, 및 제 4 도핑 영역을 갖는 사이리스터; 및
 상기 사이리스터의 상기 제 4 도핑 영역, 상기 제 4 도핑 영역에 차례로 적층된 채널 영역, 및 제 2 드레인/소스 영역을 갖는 수직형 트랜지스터를 포함하되,
 상기 제 1 도핑 영역은 제 1 방향으로 연장되고,
 상기 트랜지스터의 상기 채널 영역을 둘러싼 제 1 워드라인, 및 상기 사이리스터의 상기 제 2 도핑 영역을 둘러싼 제 2 워드라인은 상기 제 1 방향과 수직한 제 2 방향으로 연장되고,
 상기 트랜지스터의 상기 제 2 드레인/소스 영역에 연결된 비트라인은 상기 제 1 방향으로 연장되고,
 상기 기관은 상기 사이리스터의 상기 제 1 도핑 영역에 인가되는 기준전압으로 바이어스되는 것을 특징으로 하는 메모리 셀.

청구항 8

제 7 항에 있어서,
 상기 제 1 워드라인은 제 1 메탈 콘택을 통하여 제 2 메탈 라인에 연결되고,
 상기 제 2 워드라인은 제 2 메탈 콘택을 통하여 제 1 메탈 라인에 연결되고,
 상기 제 2 메탈 라인의 계층은 상기 제 1 메탈 라인의 계층보다 위에 배치되고,
 상기 비트라인과 상기 제 1 메탈 라인은 동일한 계층에 배치되는 것을 특징으로 하는 메모리 셀.

청구항 9

제 7 항에 있어서,
 상기 제 1 워드라인은 제 1 메탈 콘택을 통하여 제 1 메탈 라인에 연결되고,
 상기 제 2 워드라인은 제 2 메탈 콘택을 통하여 제 2 메탈 라인에 연결되고,
 상기 제 1 메탈 라인과 상기 제 2 메탈 라인은 동일한 계층에 배치되고,
 상기 비트라인과 상기 제 1 및 제 2 메탈 라인들은 동일한 계층에 배치되는 것을 특징으로 하는 메모리 셀.

청구항 10

복수의 터램 셀들을 갖는 셀 어레이;

로우 어드레스, 로우 활성화 신호, 및 프리차지 명령을 입력받아 디코딩된 어드레스 및 워드라인 활성화 신호를 생성하는 로우 디코더;

읽기/쓰기 명령, 상기 디코딩된 어드레스, 상기 워드라인 활성화 신호에 응답하여 제 1 워드라인을 선택하고, 선택된 제 1 워드라인에 대하여 읽기/쓰기 동작을 수행하는 제 1 워드라인 드라이버;

쓰기 명령과 상기 디코딩된 어드레스, 상기 워드라인 활성화 신호에 응답하여 제 2 워드라인을 선택하고, 선택된 제 2 워드라인에 대하여 쓰기 동작을 수행하는 제 2 워드라인 드라이버; 및

상기 터램 셀들에 제공되는 기준전압을 발생하여 기준전압 바이어싱 회로;

읽기/쓰기 명령 및 컬럼 어드레스에 응답하여 비트 라인들을 선택하고, 선택된 비트라인들에 대하여 읽기/쓰기 동작을 수행하는 컬럼 디코더를 포함하는 터램.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 사이리스터를 갖는 메모리 셀 및 그것을 포함하는 메모리 장치에 관한 것이다.

배경 기술

[0002] 최근에 셀 면적의 축소화가 용이하도록 사이리스터(thyristor)로 구성되는 메모리 셀이 제안되고 있다. 일반적으로 이러한 사이리스터를 이용한 반도체 메모리 장치를 터램(TRAM)이라고 부른다.

발명의 내용

해결 하고자하는 과제

[0003] 본 발명의 목적은 면적을 최소화시키는 사이리스터를 이용한 메모리 셀을 제공하는데 있다.

[0004] 본 발명의 목적은 사이리스터를 이용한 메모리 셀을 갖는 메모리 장치를 제공하는데 있다.

과제 해결수단

[0005] 본 발명에 따른 메모리 셀은: 기관 상에 차례로 적층된 제 1 소스/드레인 영역, 채널 영역, 및 제 2 드레인/소스 영역을 갖는 수직형 트랜지스터; 및 상기 기관 상에 차례로 적층된 제 1 도핑 영역, 제 2 도핑 영역, 제 3 도핑 영역, 및 제 4 도핑 영역을 갖는 사이리스터를 포함하되, 상기 제 1 소스/드레인 영역은 제 1 방향으로 연장되어 상기 제 1 도핑 영역과 연결되고, 상기 트랜지스터의 상기 채널 영역을 둘러싼 제 1 워드라인, 상기 사이리스터의 상기 제 2 도핑 영역을 둘러싼 제 2 워드라인, 및 상기 사이리스터의 제 4 도핑 영역에 연결된 기준전압 라인은 상기 제 1 방향과 수직한 제 2 방향으로 연장되고, 상기 트랜지스터의 상기 제 2 드레인/소스 영역에 연결된 비트라인은 상기 제 1 방향으로 연장되는 것을 특징으로 한다.

[0006] 실시 예에 있어서, 상기 채널 영역과 상기 제 2 도핑 영역은 동일한 계층에 배치되고, 상기 제 2 드레인/소스 영역과 상기 제 3 도핑 영역은 동일한 계층에 배치되고, 상기 기준전압 라인 위의 계층에 상기 비트라인이 배치되며, 상기 비트라인과 상기 제 2 드레인/소스 영역은 비트라인 콘택을 통하여 전기적으로 연결되는 것을 특징으로 한다.

[0007] 실시 예에 있어서, 상기 제 1 워드라인은 제 1 워드라인 콘택을 통하여 제 1 메인 워드라인에 연결되고, 상기 제 2 워드라인은 제 2 워드라인 콘택을 통하여 제 2 메인 워드라인에 연결되고, 상기 제 1 및 제 2 메인 워드라인은 상기 비트라인 위의 계층에 배치되는 것을 특징으로 한다.

[0008] 본 발명에 따른 다른 메모리 셀은: 기관 상에 차례로 적층된 제 1 드레인/소스 영역, 채널 영역, 및 제 2 소스/드레인 영역을 갖는 수직형 트랜지스터; 및 상기 수직형 트랜지스터 위에 차례로 적층된 제 1 도핑 영역, 제 2 도핑 영역, 제 3 도핑 영역, 및 제 4 도핑 영역을 갖는 사이리스터를 포함하되, 상기 제 1 드레인/소스 영역은 제 1 방향으로 연장되고, 상기 트랜지스터의 상기 채널 영역을 둘러싼 제 1 워드라인, 상기 사이리스터의 상기

제 2 도핑 영역을 둘러싼 제 2 워드라인, 및 상기 사이리스터의 제 4 도핑 영역에 연결된 기준전압 라인은 상기 제 1 방향과 수직한 제 2 방향으로 연장되고, 상기 트랜지스터의 상기 제 1 드레인/소스 영역에 매입되어 형성된 비트라인은 상기 제 1 방향으로 연장되는 것을 특징으로 한다.

[0009] 실시 예에 있어서, 상기 제 4 도핑 영역과 상기 기준전압 라인은 기준전압 콘택을 통하여 연결되고, 상기 제 1 워드라인은 제 1 메탈 콘택을 통하여 제 1 메탈 라인에 연결되고, 상기 제 2 워드라인은 제 2 메탈 콘택을 통하여 제 2 메탈 라인에 연결되고, 상기 제 2 메탈 라인의 계층은 상기 제 1 메탈 라인의 계층보다 위에 배치되고, 상기 기준전압 라인과 상기 제 2 메탈 라인은 동일한 계층에 배치되는 것을 특징으로 한다.

[0010] 실시 예에 있어서, 상기 제 4 도핑 영역과 상기 기준전압 라인은 기준전압 콘택을 통하여 연결되고, 상기 제 1 워드라인은 제 1 메탈 콘택을 통하여 제 1 메탈 라인에 연결되고, 상기 제 2 워드라인은 제 2 메탈 콘택을 통하여 제 2 메탈 라인에 연결되고, 상기 제 1 메탈 라인과 상기 제 2 메탈 라인은 동일한 계층에 배치되고, 상기 기준전압 라인은 상기 제 1 및 제 2 메탈 라인들의 계층보다 위에 배치되는 것을 특징으로 한다.

[0011] 본 발명에 따른 또 다른 메모리 셀은: 기판 상에 차례로 적층된 제 1 도핑 영역, 제 2 도핑 영역, 제 3 도핑 영역, 및 제 4 도핑 영역을 갖는 사이리스터; 및 상기 사이리스터 위에 차례로 적층된 제 1 소스/드레인 영역, 채널 영역, 및 제 2 드레인/소스 영역을 갖는 수직형 트랜지스터를 포함하되, 상기 제 1 도핑 영역은 제 1 방향으로 연장되고, 상기 트랜지스터의 상기 채널 영역을 둘러싼 제 1 워드라인, 및 상기 사이리스터의 상기 제 2 도핑 영역을 둘러싼 제 2 워드라인은 상기 제 1 방향과 수직한 제 2 방향으로 연장되고, 상기 트랜지스터의 상기 제 2 드레인/소스 영역에 연결된 비트라인은 상기 제 1 방향으로 연장되고, 상기 기판은 상기 사이리스터의 상기 제 1 도핑 영역에 인가되는 기준전압으로 바이어싱되는 것을 특징으로 한다.

[0012] 실시 예에 있어서, 상기 제 1 워드라인은 제 1 메탈 콘택을 통하여 제 2 메탈 라인에 연결되고, 상기 제 2 워드라인은 제 2 메탈 콘택을 통하여 제 1 메탈 라인에 연결되고, 상기 제 2 메탈 라인의 계층은 상기 제 1 메탈 라인의 계층보다 위에 배치되고, 상기 비트라인과 상기 제 1 메탈 라인은 동일한 계층에 배치되는 것을 특징으로 한다.

[0013] 실시 예에 있어서, 상기 제 1 워드라인은 제 1 메탈 콘택을 통하여 제 1 메탈 라인에 연결되고, 상기 제 2 워드라인은 제 2 메탈 콘택을 통하여 제 2 메탈 라인에 연결되고, 상기 제 1 메탈 라인과 상기 제 2 메탈 라인은 동일한 계층에 배치되고, 상기 비트라인과 상기 제 1 및 제 2 메탈 라인들은 동일한 계층에 배치되는 것을 특징으로 한다.

[0014] 본 발명에 따른 터램은: 복수의 터램 셀들을 갖는 셀 어레이; 로우 어드레스, 로우 활성화 신호, 및 프리차지 명령(PRE)을 입력받아 디코딩된 어드레스 및 워드라인 활성화 신호를 생성하는 로우 디코더; 읽기/쓰기 명령, 상기 디코딩된 어드레스, 상기 워드라인 활성화 신호에 응답하여 제 1 워드라인을 선택하고, 선택된 제 1 워드라인에 대하여 읽기/쓰기 동작을 수행하는 제 1 워드라인 드라이버; 쓰기 명령과 상기 디코딩된 어드레스, 상기 워드라인 활성화 신호에 응답하여 제 2 워드라인을 선택하고, 선택된 제 2 워드라인에 대하여 쓰기 동작을 수행하는 제 2 워드라인 드라이버; 및 상기 터램 셀들에 제공되는 기준전압을 발생하여 기준전압 바이어싱 회로; 읽기/쓰기 명령 및 컬럼 어드레스에 응답하여 비트 라인들을 선택하고, 선택된 비트라인들에 대하여 읽기/쓰기 동작을 수행하는 컬럼 디코더를 포함한다.

효과

[0015] 본 발명에 따른 터램은 레이아웃 관점에서 크기가 대폭 축소된다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 본 발명의 실시 예를 첨부된 도면을 참조하여 설명한다.

[0017] 본 발명에 따른 반도체 메모리 장치는 수직형 사이리스터와 수직형 액세스 트랜지스터로 구현된 메모리 셀을 포함한다. 본 발명에 따른 반도체 메모리 장치는 수직형으로 메모리 셀을 구현함으로써 종래의 그것과 비교하여 메모리 셀의 크기를 줄일 수 있게 된다.

[0018] 도 1은 본 발명에 따른 터램 셀(100) 구조에 대한 제 1 실시 예를 보여주는 도면이다. 도 1을 참조하면, 터램 셀(100)은 사이리스터(PNPN) 및 액세스 트랜지스터(NMOS)를 포함한다. 본 발명의 터램 셀(100)은 사이리스터(PNPN) 및 액세스 트랜지스터(NMOS)가 기판(P-sub:101)에 대하여 수직 방향으로 적층되어 구현된다. 여기서 기

관(101)는 P형 도펀트로 도핑된다.

- [0019] 억세스 트랜지스터(NMOS)는 기관(101) 위에 차례로 제 1 소스/드레인 영역(111), 채널 영역(112), 및 제 2 드레인/소스 영역(113)이 적층된다. 제 1 소스/드레인 영역(111)은 기관(101) 위에 N+ 도펀트로 도핑되고, 채널 영역(112)은 P형 도펀트로 도핑되며, 제 2 드레인/소스 영역(113)은 N+ 도펀트로 도핑된다.
- [0020] 제 1 소스/드레인 영역(111)은 사이리스터(PNPN)의 캐소드에 전기적으로 연결된다. 채널 영역(112)은 제 1 워드라인(WL1)으로 둘러싸여 있다. 즉, 제 1 워드라인(WL1)은 억세스 트랜지스터(NMOS)의 게이트 전극에 연결된다. 따라서, 제 1 워드라인(WL1)에 인가되는 전압에 따라 채널 영역(112)의 채널 형성 여부가 결정된다. 도 1에 도시되어 있지는 않지만, 제 1 워드라인(WL1)은 P형 영역(112)을 감싸안은 구조이다. 또한 제 1 워드라인(WL1)과 P형 영역(112) 사이에는 절연막(예를 들어, 산화막)이 형성된다. 제 3 드레인/소스 영역(113)은 비트라인(BL)에 전기적으로 연결된다.
- [0021] 사이리스터(PNPN)는 기관(101) 위에 차례로 제 1 도핑 영역(121), 제 2 도핑 영역(122), 제 3 도핑 영역(123), 및 제 4 도핑 영역(124)이 적층된다. 제 1 도핑 영역(121)은 N+ 도펀트로 도핑되고, 제 2 도핑 영역(122)은 P 도펀트로 도핑되고, 제 3 도핑 영역(123)은 N 도펀트로 도핑되고, 제 4 도핑 영역(124)은 P+ 도펀트로 도핑된다. 여기서 제 1 도핑 영역(121)은 사이리스터(PNPN)의 캐소드이고, 제 2 도핑 영역(122)은 사이리스터(PNPN)의 게이트이고, 제 4 도핑 영역(124)은 사이리스터(PNPN)의 애노드이다.
- [0022] 도 1에 도시된 바와 같이 제 1 도핑 영역(121)은 트랜지스터(NMOS)의 제 1 소스/드레인 영역(111)에 전기적으로 연결된다. 즉, 기관(101)에 형성된 N+ 영역(102)은 사이리스터(PNPN) 및 억세스 트랜지스터(NMOS)에 의해 공유된다. 제 2 도핑 영역(122)은 제 2 워드라인(WL2)으로 둘러싸여 있다. 여기서 제 2 워드라인(WL2)에 인가되는 전압은 쓰기 동작을 제어한다. 사이리스터(PNPN)의 제 2 도핑 영역(122) 즉 P형 베이스(122)는 데이터가 저장되는 영역이다. 여기서 데이터는 사이리스터(PNPN)의 고저항 특성과 저저항 특성을 이용하여 저장된다. 제 4 도핑 영역(124)은 기준 전압 라인(VREFA)에 연결된다.
- [0023] 또한, 기준 전압 라인(VREFEFA)과 비트라인(BL)은 동일한 계층에 배치될 것이다. 즉, 기준 전압 라인(VREFEFA) 및 비트라인(BL)은 실리콘의 같은 표면에 위치할 것이다.
- [0024] 본 발명의 터램 셀(100)은 전류-전압 특성에서 사이리스터(PNPN)의 고저항 특성과 억세스 트랜지스터(NMOS)의 교점을 데이터 '0'이라 하고, 사이리스터(PNPN)의 저저항 특성과 억세스 트랜지스터(NMOS)의 교점을 데이터 '1'이라 하겠다.
- [0025] 쓰기 동작시 제 1 워드라인(WL1) 및 제 2 워드라인(WL2)으로 전압이 인가된다. 이때, 기준전압 라인(VREFA)의 전압과 비교하여 비트라인(BL)의 전압이 저전압인지 혹은 고전압인지에 따라 사이리스터(PNPN)의 저항이 저저항인지 혹은 고저항인지가 결정된다. 예를 들어, 기준전압 라인(VREFA)의 전압과 비교하여 비트라인(BL)의 전압이 저전압이면, 사이리스터(PNPN)은 저저항을 갖고, 이에 따라 데이터 '1'이 저장된다. 반면에 기준전압 라인(VREFA)의 전압과 비교하여 비트라인(BL)의 전압이 고전압이면, 사이리스터(PNPN)은 고저항을 갖고, 이에 따라 데이터 '0'이 저장된다.
- [0026] 읽기 동작시, 제 1 워드라인(WL1)으로 읽기 전압이 인가된다. 이때 억세스 트랜지스터(NMOS)은 턴온된다. 기준 전압 라인(VREFA)의 전압은 비트라인(BL)의 전압에 있어서 고전압이 인가되고, 비트라인(BL)에 흐르는 전류를 통하여 읽기 동작을 수행한다. 데이터 '1'이 저장된 상태 즉 사이리스터(PNPN)의 저저항성에서는 전류 흐름이 감지될 것이고, 데이터 '0' 저장된 상태 즉 사이리스터(PNPN)의 고저항성에서는 전류 흐름이 감지되지 않을 것이다.
- [0027] 도 2은 도 1에 도시된 터램 셀(100)의 등가회로도이다. 도 2를 참조하면, 터램 셀(100)은 억세스 트랜지스터(110) 및 사이리스터(120)를 포함한다. 여기서 억세스 트랜지스터(110)는 엔모스 트랜지스터(NM1)을 포함하고, 사이리스터(120)는 P형 바이폴라 트랜지스터(PB), N형 바이폴라 트랜지스터(NB) 및 엔모스 트랜지스터(NM2)를 포함한다.
- [0028] 도 3은 도 1에 도시된 터램 셀(100)의 또 다른 등가회로도이다. 도 3을 참조하면, 사이리스터 장치(120)는 두 개의 다이오드들(D1,D2) 및 다이오드(D2)에 연결된 게이트 전극을 갖는 스위치(MIS)를 포함한다.
- [0029] 도 4는 도 1에 도시된 터램 셀(100)의 수직 단면에 대한 실시 예를 보여주는 도면이다. 도 4를 참조하면, 터램 셀(100)은 공유된 N+ 도핑 영역(102) 위에 수직으로 사이리스터(PNPN) 및 억세스 트랜지스터(NMOS)가 형성된다. 사이리스터(PNPN)의 제 1 도핑 영역 및 억세스 트랜지스터(NMOS)의 제 1 소스/드레인 영역은 모두 제 1 방향의

N+ 도핑 영역(102)에 형성된다.

- [0030] 억세스 트랜지스터(NMOS)의 제 2 드레인/소스 영역(113)은 비트라인 콘택(BL CNT)을 통하여 비트라인(BL)에 연결된다. 또한 사이리스터(PNP)의 제 4 도핑 영역(124)은 기준전압 콘택(VREFA CNT)을 통하여 기준전압 라인(VREFA)에 연결된다.
- [0031] 제 1 워드라인(WL1), 제 2 워드라인(WL2), 및 기준전압 라인(VREFA)은 제 1 방향과 수직한 제 2 방향을 따라 연장된다. 또한, 비트라인(BL)은 N+ 도핑 영역(102)의 제 1 방향과 동일한 방향으로 연장된다.
- [0032] 도 5은 도 4에 도시된 티랩 셀(100)의 레이아웃을 보여주는 도면이다. 도 5을 참조하면, 본 발명의 티랩 셀(100)은 8F2 셀로 구현된다.
- [0033] 도 6은 본 발명에 따른 티랩 셀(MC)을 갖는 메모리 셀 어레이를 보여주는 도면이다. 도 6을 참조하면, 비트라인들(BLi,BLi+1)에는 억세스 트랜지스터들의 드레인들이 연결되고, 제 1 워드라인들(WL1i,WL1i+1)에는 억세스 트랜지스터들의 게이트들이 연결되고, 제 2 워드라인들(WL2i,WL2i+1)에는 사이리스터들의 게이트들이 연결되고, 기준전압 라인들(VREFA)에는 사이리스터들의 애노드들이 연결된다.
- [0034] 도 7은 도 6에 도시된 메모리 셀 어레이를 갖는 티랩(10)에 대한 제 1 실시 예 보여주는 도면이다. 도 7를 참조하면, 티랩(10)은 메모리 제 1 및 제 2 워드라인(WL1,WL2), 기준전압 라인(VREFA), 비트라인(BL)들이 교차하여 형성된 복수의 메모리 셀들을 갖는 메모리 셀 어레이(12), 제 1 워드라인들(WL1i,WL1i+1) 및 제 2 워드라인들(WL2i,WL2i+1)을 제어하는 로우 제어기(14), 비트라인들(BLi,BLi+1)에 흐르는 전류를 감지하는 비트라인 감지 블록(16), 및 비트라인의 활성화를 제어하는 컬럼 제어기(18)를 포함한다. 특히, 로우 제어기(14)는 읽기/쓰기 동작시 입력된 어드레스에 대응되는 제 1 워드라인(WL1) 및 제 2 워드라인(WL2)을 제어한다. 컬럼 제어기(18)는 읽기/쓰기 동작시 입력된 어드레스에 대응되는 비트라인을 제어한다.
- [0035] 도 8은 도 7에 도시된 A-A' 단면도이다. 도 8을 참조하면, 본 발명의 메모리 셀(MC)은 P 기판내에 n+ 도핑 영역 위로부터 p 도핑 영역 계층, n+ 도핑 영역 계층, p+ 도핑 영역 계층으로 스택된다. 사이리스터의 p+ 애노드에는 기준전압 라인(VREFA)이 연결된다. 억세스 트랜지스터의 N+ 드레인/소스 영역은 비트라인 콘택(BL CNT)을 통하여 비트라인(BL)에 연결된다.
- [0036] 도 9는 도 6에 도시된 메모리 셀 어레이를 갖는 티랩(20)의 제 2 실시 예를 보여주는 도면이다. 도 9를 참조하면, 티랩(20)은 제 1 워드라인들(WL1i,WL1i+1)을 제어하는 제 1 로우 제어기(24) 및 제 2 워드라인들(WL2i,WL2i+1)을 제어하는 제 2 로우 제어기(25)를 포함한다. 제 1 로우 제어기(24)와 제 2 로우 제어기(25)는 도 9에 도시된 바와 같이 메모리 셀 어레이(22)를 사이에 두고 배치된다.
- [0037] 도 10은 도 6에 도시된 메모리 셀 어레이를 갖는 티랩(30)의 제 3 실시 예를 보여주는 도면이다. 도 10을 참조하면, 티랩(30)은 스트랩(Strap)을 이용하여 제 1 워드라인들(WL1i,WL1i+1) 및 제 2 워드라인들(WL2i,WL2i+1)을 제어하도록 구현된다. 여기서 스트랩은 일정한 간격으로 워드라인들이 분절되도록 한다. 도시되지 않았지만, 워드라인들은 메인 워드라인들과 서브 워드라인들을 포함하고, 이러한 메인 워드라인과 서브 워드라인들은 계층적으로 배치된다. 스트랩을 이용한 티랩(30)은 대용량 어레이 구성이 가능케 한다.
- [0038] 도 11은 도 10에 도시된 스트랩 영역(S1)의 단면도이다. 도 11을 참조하면, 스트랩 영역(S1)은 메인 제 1 워드라인(Main WL1)과 서브 제 1 워드라인(Sub WL1)이 연결된 지점을 보여주고 있다. 메인 제 1 워드라인(Main WL1)과 서브 제 1 워드라인(Sub WL1)은 제 1 및 제 2 콘택(CNT1,CNT2)을 통하여 연결된다. 또한, 제 1 콘택(CNT1) 및 제 2 콘택(CNT2)사이에는 랜딩 패드가 존재한다.
- [0039] 도 12는 도 10에 도시된 스트랩 영역(S2)의 단면도이다. 도 12를 참조하면, 스트랩 영역(S2)은 메인 제 2 워드라인(Main WL2)과 서브 제 2 워드라인(Sub WL2)이 연결된 지점을 보여주고 있다. 메인 제 2 워드라인(Main WL2)과 서브 제 1 워드라인(Sub WL1)은 제 1 및 제 2 콘택(CNT1,CNT2)을 통하여 연결된다. 또한, 제 1 콘택(CNT1) 및 제 2 콘택(CNT2)사이에는 랜딩 패드(Landing pad)가 존재한다.
- [0040] 도 13은 도 10에 도시된 스트랩 영역(S3)의 단면도이다. 도 13을 참조하면, 스트랩 영역(S3)은 기준전압 라인(VREFA)과 서브 제 2 워드라인(Sub WL2)이 만나는 지점을 보여주고 있다. 기준전압 라인(VREFA)은 사이리스터의 애노드 위에 곧바로 형성된다.
- [0041] 도 14는 도 10에 도시된 메모리 셀 영역(C1)의 단면도이다. 도 14을 참조하면, 메인 워드라인들(WL1,WL2)은 비트라인(BL) 위에 배치된다.

- [0042] 도 15는 본 발명에 따른 티랩 셀(200) 구조에 대한 제 2 실시 예를 보여주는 도면이다. 도 15를 참조하면, 티랩 셀(200)은 스택형 역세스 트랜지스터 위에 사이리스터가 형성된다.
- [0043] 스택형 역세스 트랜지스터는 기관(201) 위에 차례로 제 1 소스/드레인 영역(202), 채널 영역(203), 및 제 2 드레인/소스 영역(204)이 적층된다. 제 1 소스/드레인 영역(202)은 N+ 도펀트로 도핑되고, 채널 영역(203)은 P 도펀트로 도핑되고, 제 2 드레인/소스 영역(204)은 N+ 도펀트로 도핑된다.
- [0044] 사이리스터는 역세스 트랜지스터의 제 2 드레인/소스 영역(204) 및 제 2 드레인/소스 영역(204) 위에 차례로 적층된 제 2 도핑 영역(205), 제 3 도핑 영역(206), 및 제 3 도핑 영역(207)을 포함한다. 제 2 도핑 영역(205)은 P 도펀트로 도핑되고, 제 3 도핑 영역(206)은 N 도펀트로 도핑되고, 제 4 도핑 영역(207)은 P+ 도펀트로 도핑된다. 특히, 제 2 드레인/소스 영역 즉 N+ 도핑 영역(202)에는 매입형 구조의 비트라인(BL)이 포함된다.
- [0045] 도 16은 도 15에 도시된 티랩 셀(200)의 등가회로를 보여주는 도면이다.
- [0046] 도 17은 도 15에 도시된 티랩 셀(200)의 다른 등가회로를 보여주는 도면이다.
- [0047] 도 18은 도 15에 도시된 티랩 셀(200)의 수직 단면도이다. 도 18을 참조하면, 티랩 셀(200)은 제 1 방향으로 연장된 N+ 도핑 영역(202) 위에, P 도핑 영역(203) 계층, N 도핑 영역(204) 계층, P 도핑 영역(205) 계층, N 도핑 영역(206) 계층, 및 P+ 도핑 영역(207) 계층이 차례로 스택된다. 제 1 워드라인(WL1)은 P 도핑 영역(203)을 에워싸며 제 1 방향의 수직한 제 2 방향으로 연장되어 배치되고, 제 2 워드라인(WL2)은 P 도핑 영역(205)을 에워싸며 제 2 방향으로 연장되어 배치된다. 기준전압 라인(VREFA)은 기준전압 콘택을 통하여 P+ 도핑 영역(203)에 연결되고, 제 2 방향으로 연장되어 배치된다.
- [0048] 도 19는 도 15에 도시된 티랩 셀(200)의 레이아웃을 보여주는 도면이다. 도 19를 보면, 기준전압 라인(VREFA)과 사이리스터의 P 도핑 영역(207)은 기준전압 콘택(VREFA CNT)을 통하여 연결된다. 하나의 티랩 셀(200)은 4F2으로 구현된다.
- [0049] 도 20은 도 15에 도시된 티랩 셀을 갖는 메모리 셀 어레이를 보여주는 도면이다.
- [0050] 도 21은 도 20에 도시된 메모리 셀 어레이(42)를 갖는 티랩(40)에 대한 제 1 실시 예를 보여주는 도면이다. 도 21을 참조하면, 티랩(40)은 제 1 워드라인들(WL1i, WL1i+1) 및 제 2 워드라인들(WL2i, WL2i+1)을 모두 제어하는 로우 제어기(44)를 포함한다. 제 1 워드라인(WL1), 제 2 워드라인(WL2), 및 기준전압 라인(VREFA)은 스택형 구조이다. 그러나 도 21에서는 제 1 워드라인(WL1), 제 2 워드라인(WL2), 및 기준전압 라인(VREFA)을 편의상 구분되도록 도시했다.
- [0051] 도 22는 도 20에 도시된 A-A'의 단면도이다. 도 22를 참조하면, 매입형 비트라인(BL) 위에 티랩 셀들이 스택형 구조로 형성된다.
- [0052] 도 23은 도 20에 도시된 B-B'의 단면도이다. 도 23을 참조하면, 제 1 워드라인(WL1)과 제 1 메탈라인(M1)이 연결되고, 제 2 워드라인(WL2)과 제 2 메탈라인(M2)이 연결된다. 제 2 메탈라인(M2)과 동일한 계층에 기준전압 라인(VREFA)이 배치된다.
- [0053] 도 24는 도 20에 도시된 메모리 셀 어레이(52)를 갖는 티랩(50)에 대한 제 2 실시 예를 보여주는 도면이다. 도 24를 참조하면, 티랩(50)은 제 1 워드라인들(WL1i, WL1i+1)을 제어하는 제 1 로우 제어기(54) 및 제 2 워드라인들(WL2i, WL2i+1)을 제어하는 제 2 로우 제어기(55)를 포함한다. 제 1 로우 제어기(54) 및 제 2 로우 제어기(55)는 메모리 셀 어레이(52)를 사이에 두고 배치된다.
- [0054] 도 25는 도 24에 도시된 A-A'의 단면도이다. 도 25를 참조하면, 매입형 비트라인(BL) 위에 티랩 셀들이 스택형 구조로 형성된다.
- [0055] 도 26은 도 24에 도시된 B-B'의 단면도이다. 도 26을 참조하면, 제 1 워드라인(WL1) 및 제 2 워드라인(WL2) 모두 제 1 메탈라인(M1)이 연결된다. 제 2 메탈라인(M2)과 동일한 계층에 기준전압 라인(VREFA)이 배치된다.
- [0056] 도 27은 본 발명에 따른 티랩 셀(300) 구조에 대한 제 3 실시 예를 보여주는 도면이다. 도 27를 참조하면, 티랩 셀(300)은 사이리스터 위에 스택형 역세스 트랜지스터가 형성된다.
- [0057] 스택형 역세스 트랜지스터는 제 1 및 제 2 소스/드레인 영역들(304, 306) 및 채널 영역(305)을 포함한다. 여기서 제 1 및 제 2 소스/드레인 영역들(304, 306)은 N+ 도펀트로 도핑되고, 채널 영역(305)은 P 도펀트로 도핑된다.
- [0058] 사이리스터는 N 도핑 영역(302), P 도핑 영역(303), N+ 도핑 영역(304), 및 P 도핑 영역(305)을 포함한다.

특히, 제 1 드레인/소스 영역(306)에는 비트라인(BL)이 연결된다. P형 기관(301)은 공통 웰로 사용되고, 기준전압(VREFA)이 인가된다.

- [0059] 도 28은 도 27에 도시된 터램 셀(300)의 등가회로를 보여주는 도면이다.
- [0060] 도 29는 도 27에 도시된 터램 셀(300)의 다른 등가회로를 보여주는 도면이다.
- [0061] 도 30은 도 27에 도시된 터램 셀(300)의 수직 단면도이다. 도 30을 참조하면, 터램 셀(300)은 기준전압(VREFA)이 바이어스된 P형 기관(301) 위에 N 도핑 영역(302), P 도핑 영역(303) 계층, N+ 도핑 영역(304) 계층, P 도핑 영역(305) 계층, N+ 도핑 영역(306) 계층이 차례로 스택되는 구조이다. 여기서 N+ 도핑 영역(306)은 기관 위에 제 1 방향으로 연장되어 배치된다. 제 1 워드라인(WL1)은 P 도핑 영역(305)을 에워싸며 제 1 방향에 수직 한 제 2 방향으로 연장되어 배치된다. 제 2 워드라인(WL2)은 P 도핑 영역(303)을 에워싸며 제 2 방향으로 연장 되어 배치된다.
- [0062] 도 31는 도 27에 도시된 터램 셀(300)의 레이아웃을 보여주는 도면이다. 도 31을 참조하면, 비트라인(BL)과 액세스 트랜지스터의 N+ 도핑 영역(306)은 비트라인 콘택(BL CNT)을 통하여 연결된다. 하나의 터램 셀(300)은 4F2 으로 구현된다.
- [0063] 도 32은 도 27에 도시된 터램 셀을 갖는 메모리 셀 어레이를 보여주는 도면이다.
- [0064] 도 33은 도 32에 도시된 메모리 셀 어레이(62)를 갖는 터램(60)에 대한 제 1 실시 예를 보여주는 도면이다. 도 33을 참조하면, 터램(60)은 제 1 워드라인들(WL_i, WL_{i+1}) 및 제 2 워드라인들(WL_{2i}, WL_{2i+1})을 모두 제어하는 로우 제어기(54)를 포함한다. 제 1 워드라인(WL1), 제 2 워드라인(WL2), 및 기준전압 라인(VREFA)은 스택형 구조이다. 그러나 도 21에서는 제 1 워드라인(WL1), 제 2 워드라인(WL2), 및 기준전압 라인(VREFA)을 편의상 구분 되도록 도시했다.
- [0065] 도 34는 도 33에 도시된 A-A'의 단면도이다. 도 34를 참조하면, 기준전압(VREF)으로 바이어스된 P형 기관(301) 위에 터램 셀들이 스택형 구조로 형성된다.
- [0066] 도 35는 도 33에 도시된 B-B'의 단면도이다. 도 35를 참조하면, 제 1 워드라인(WL1)과 제 2 메탈라인(M2)이 연결되고, 제 2 워드라인(WL2)과 제 1 메탈라인(M1)이 연결된다. 제 1 메탈라인(M1)의 계층에는 비트라인(BL)이 배치된다.
- [0067] 도 36은 도 33에 도시된 B1-B'의 단면도이다. 도 36을 참조하면, 제 1 워드라인(WL1) 및 제 2 워드라인(WL2) 모두 제 2 메탈라인(M1)이 연결된다.
- [0068] 도 37은 도 32에 도시된 메모리 셀 어레이(72)를 갖는 터램(70)에 대한 제 2 실시 예를 보여주는 도면이다. 도 37을 참조하면, 터램(70)은 제 1 워드라인들(WL_i, WL_{i+1})을 제어하는 제 1 로우 제어기(74) 및 제 2 워드라인 들(WL_{2i}, WL_{2i+1})을 제어하는 제 2 로우 제어기(75)를 포함한다. 제 1 로우 제어기(74) 및 제 2 로우 제어기(75)는 메모리 셀 어레이(72)를 사이에 두고 배치된다.
- [0069] 도 38은 도 37에 도시된 A-A'의 단면도이다. 도 38을 참조하면, 기준전압(VREF)으로 바이어스된 P형 기관(301) 위에 터램 셀들이 스택형 구조로 형성된다.
- [0070] 도 39은 도 37에 도시된 B-B'의 단면도이다. 도 39을 참조하면, 제 1 워드라인(WL1)과 제 1 메탈라인(M1)이 연결되고, 제 2 워드라인(WL2)과 제 2 메탈라인(M2)이 연결된다. 제 1 메탈라인(M1)의 계층에는 비트라인(BL)이 배치된다.
- [0071] 도 40은 도 37에 도시된 B1-B'의 단면도이다. 도 40을 참조하면, 제 1 워드라인(WL1) 및 제 2 워드라인(WL2) 모두 제 2 메탈라인(M2)이 연결된다.
- [0072] 도 41은 도 32에 도시된 메모리 셀 어레이(82)를 갖는 터램(80)에 대한 제 3 실시 예를 보여주는 도면이다.
- [0073] 도 42는 도 41에 도시된 스트랩 영역(S4)에 대한 단면도이다. 도 42를 참조하면, 제 1 로컬 워드라인(Local WL1)은 콘택을 통하여 제 1 메인 워드라인(Main WL1)에 연결된다. 콘택 사이에는 랜딩 패드가 존재한다.
- [0074] 도 43은 도 41에 도시된 셀 영역(C2)에 대한 단면도이다. 도 43을 참조하면, 기준전압 라인(VREFA)은 콘택을 통하여 기관에 형성된 N 도핑 영역(302)에 연결된다. 랜딩 패드가 존재하는 계층에 비트라인(BL)이 배치된다. 제 1 및 제 2 메인 워드라인(Main WL1, WL2)과 기준전압 라인(VREFA)은 동일한 계층에 배치된다.
- [0075] 도 44는 도 41에 도시된 셀 영역(C3)에 대한 단면도이다. 도 44를 참조하면, 기준전압 라인(VREFA)은 콘택을 통

하여 기관이에 형성된 N+ 도핑 영역(302)에 연결된다. 랜딩 패드가 존재하는 계층에 비트라인(BL)이 배치된다. 제 1 및 제 2 메인 워드라인(Main WL1,WL2)과 기준전압 라인(VREFA)은 동일한 계층에 배치된다.

- [0076] 도 45은 본 발명에 따른 티램(90)을 보여주는 도면이다. 도 45을 참조하면, 본 발명의 티램(90)은 셀 어레이(91), 로우 디코더(92), 제 1 워드라인 드라이버(93), 제 2 워드라인 드라이버(94), 기준전압 바이어싱 회로(95), 컬럼 디코더(96), 및 명령/어드레스 버퍼(97)를 포함한다. 여기서 로우 디코더(92), 제 1 워드라인 드라이버(93), 제 2 워드라인 드라이버(94), 기준 전압 바이어싱 회로(95)를 로우 제어기라고 부른다.
- [0077] 셀 어레이(91)는 복수의 티램 셀(MC)들을 포함하고 있다. 여기서 티램 셀(MC)s는 도 1에 도시된 티램 셀(100), 도 15에 도시된 티램 셀(200), 및 도 27에 도시된 티램 셀(300)들 중 어느 하나이다.
- [0078] 로우 디코더(92)는 명령/어드레스 버퍼(97)로부터 로우 어드레스(Row ADDR), 로우 활성화 신호(Row ACT), 및 프리차지 명령(PRE)을 입력받아 디코딩된 어드레스 및 워드라인 활성화 신호(WLen)을 생성한다.
- [0079] 제 1 워드라인 드라이버(93)는 명령/어드레스 버퍼(97)로부터 입력된 읽기/쓰기 명령(Read/Write)과 로우 디코더(92)로부터 입력된 디코딩된 어드레스 및 워드라인 활성화 신호(WLen)에 응답하여, 제 1 워드라인(WL1)을 선택하고, 선택된 제 1 워드라인(WL1)에 대하여 읽기/쓰기 동작을 수행한다.
- [0080] 제 2 워드라인 드라이버(94)는 명령/어드레스 버퍼(97)로부터 입력된 쓰기 명령(Write)과 로우 디코더(92)로부터 입력된 디코딩된 어드레스 및 워드라인 활성화 신호(WLen)에 응답하여 제 2 워드라인(WL2)을 선택하고, 선택된 제 2 워드라인(WL2)에 대하여 쓰기 동작을 수행한다.
- [0081] 기준전압 바이어싱 회로(95)는 기준전압을 발생하여 기준전압 라인(VREFA)으로 제공한다.
- [0082] 컬럼 디코더(96)는 명령/어드레스 버퍼(97)로부터 입력된 읽기/쓰기 명령(Read/Write) 및 컬럼 어드레스(Col ADDR)에 응답하여, 비트 라인들을 선택하고, 선택된 비트라인들에 대하여 읽기/쓰기 동작을 수행한다.
- [0083] 도 46은 본 발명의 티램(90)의 읽기/쓰기 동작시 바이어스 전압들을 보여주는 도면이다.
- [0084] 제 1 워드라인 전압(VWL1)은 읽기/쓰기 동작시 하이 레벨을 유지한다.
- [0085] 제 2 워드라인 전압(VWL2)은 데이터 '1' 혹은 데이터 '0' 쓰기 동작시 하이 레벨을 유지한다.
- [0086] 비트라인 전압(VBL)은 데이터 '0' 쓰기 동작시 하이 레벨을 유지한다. 도 46을 참조하면, 비트라인 전압(VBL)은 데이터 '1' 읽기 동작시 감지될 정도로 상승하고, 데이터 '0' 읽기 동작시 로우 레벨을 유지한다.
- [0087] 도 47은 제 1 워드라인 드라이버(93)의 구동 방식을 보여주기 위한 도면이다. 도 47을 참조하면, 제 1 워드라인 드라이버(93)는 제 1 드라이버 활성화 신호생성기(92a)에 의해 구동된다. 여기서 제 1 드라이버 활성화 신호 생성기(92a)는 로우 디코더(92)에 포함될 것이다.
- [0088] 제 1 드라이버 활성화 신호 생성기(92a)는 워드라인 활성화 신호(WLen) 및 쓰기 명령(Write) 혹은 읽기 명령(Read)을 입력받아 제 1 드라이버 활성화 신호(DRVEN1)을 생성한다. 제 1 드라이버 활성화 신호 생성기(92a)는 노아 논리 회로(NOR), 인버터(INV), 피모스트랜지스터(IPM1), 및 엔모스트랜지스터들(1NM1,1NM2)을 포함한다.
- [0089] 제 1 워드라인 드라이버(93)는 제 1 드라이버 활성화 신호 생성기(92a)로부터 생성된 제 1 드라이버 활성화 신호(DRVEN1) 및 디코딩된 로우 어드레스(Decoded Row ADDR)을 입력받아 대응하는 워드라인을 선택하고, 선택된 워드라인에 대한 읽기/쓰기 동작을 수행한다.
- [0090] 도 48은 제 2 워드라인 드라이버(94)의 구동 방식을 보여주기 위한 도면이다. 도 48을 참조하면, 제 2 워드라인 드라이버(94)는 제 2 드라이버 활성화 신호생성기(92b)에 의해 구동된다. 여기서 제 2 드라이버 활성화 신호 생성기(92b)는 로우 디코더(92)에 포함될 것이다.
- [0091] 제 2 드라이버 활성화 신호 생성기(92b)는 워드라인 활성화 신호(WLen) 및 쓰기 명령(Write)을 입력받아 제 2 드라이버 활성화 신호(DRVEN2)을 생성한다. 제 2 드라이버 활성화 신호 생성기(92b)는 인버터들(INV1,INV2), 피모스트랜지스터(2PM1), 및 엔모스트랜지스터들(2NM1,2NM2)을 포함한다.
- [0092] 제 2 워드라인 드라이버(94)는 제 2 드라이버 활성화 신호 생성기(92b)로부터 생성된 제 2 드라이버 활성화 신호(DRVEN2) 및 디코딩된 로우 어드레스(Decoded Row ADDR)을 입력받아 대응하는 워드라인을 선택하고, 선택된 워드라인에 대한 쓰기 동작을 수행한다.
- [0093] 도 49은 본 발명의 티램의 구동 방식을 보여주는 타이밍도이다. 도 45 내지 도 49을 참조하면, 읽기/쓰기 동작

은 아래와 같이 진행된다.

- [0094] 읽기/쓰기 동작시, 명령/어드레스 버퍼(97)로부터 로우 어드레스(Row ADDR) 및 읽기/쓰기 명령(Read/Write)이 로우 디코더(92)로 전송된다. 이때, 활성화 신호(ACT)가 소정의 구간 동안 활성화 된다. 로우 디코더(92)는 활성화 신호(ACT)에 응답하여 워드라인 활성화 신호(WLen)을 하이 레벨로 유지시킨다.
- [0095] 만약, 전송된 명령이 읽기 명령(Read)일 경우에, 읽기 명령(Read)에 응답하여 제 1 드라이버 활성화 신호(DRVEN1)이 생성된다. 제 1 워드라인 드라이버(93)은 제 1 드라이버 활성화 신호(DRVEN1) 및 디코드된 로우 어드레스에 응답하여 제 1 워드라인(WL1)을 선택하고, 선택된 제 1 워드라인(WL1)의 전압을 하이레벨로 만든다.
- [0096] 만약, 전송된 명령이 쓰기 명령(Write)일 경우에, 쓰기 명령(Write)에 응답하여 제 1 및 제 2 드라이버 활성화 신호(DRVEN1, DRVEN2)이 생성된다. 제 1 워드라인 드라이버(93)은 제 1 드라이버 활성화 신호(DRVEN1) 및 디코드된 로우 어드레스에 응답하여 제 1 워드라인(WL1)을 선택하고, 선택된 제 1 워드라인(WL1)의 전압을 하이레벨로 만든다. 제 2 워드라인 드라이버(94)은 제 2 드라이버 활성화 신호(DRVEN2) 및 디코드된 로우 어드레스에 응답하여 제 2 워드라인(WL2)을 선택하고, 선택된 제 1 워드라인(WL2)의 전압을 하이레벨로 만든다.
- [0097] 한편, 쓰기 명령(Write)이 전송된 경우에, 컬럼 디코더(96)는 쓰기 명령(Write) 및 쓰여질 데이터에 따라 비트라인 전압의 레벨을 조정한다. 예를 들어, 데이터 '0'을 쓸 때에 비트라인 전압은 하이레벨(W0)이고, 데이터 '1'을 쓸 때에 비트라인 전압은 로우레벨(W1)이다.
- [0098] 한편, 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있다. 그러므로 본 발명의 범위는 상술한 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구범위 뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

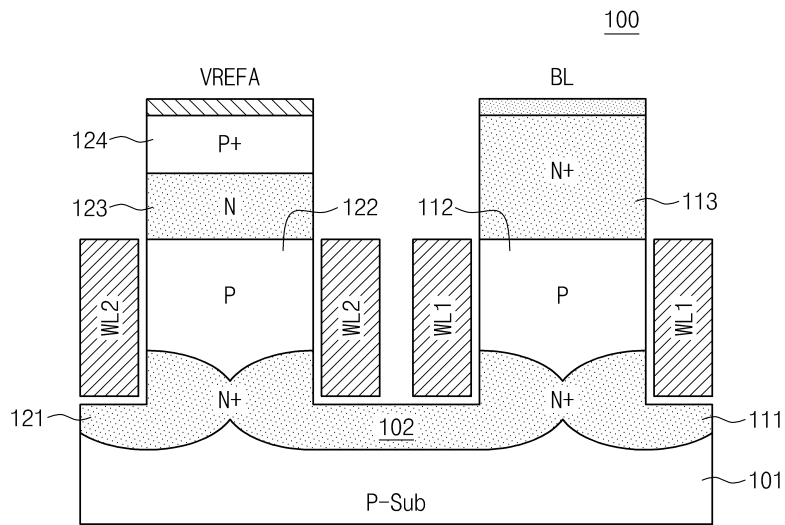
도면의 간단한 설명

- [0099] 도 1은 본 발명에 따른 티램 셀 구조에 대한 제 1 실시 예를 보여주는 도면이다.
- [0100] 도 2은 도 1에 도시된 티램 셀의 등가회로도이다.
- [0101] 도 3은 도 1에 도시된 티램 셀의 또 다른 등가회로도이다.
- [0102] 도 4는 도 1에 도시된 티램 셀의 수직 단면에 대한 실시 예를 보여주는 도면이다.
- [0103] 도 5은 도 4에 도시된 티램 셀의 레이아웃을 보여주는 도면이다.
- [0104] 도 6은 본 발명에 따른 티램 셀을 갖는 메모리 셀 어레이를 보여주는 도면이다.
- [0105] 도 7은 도 6에 도시된 메모리 셀 어레이를 갖는 티램에 대한 제 1 실시 예 보여주는 도면이다.
- [0106] 도 8은 도 7에 도시된 A-A' 단면도이다.
- [0107] 도 9는 도 6에 도시된 메모리 셀 어레이를 갖는 티램의 제 2 실시 예를 보여주는 도면이다.
- [0108] 도 10은 도 6에 도시된 메모리 셀 어레이를 갖는 티램의 제 3 실시 예를 보여주는 도면이다.
- [0109] 도 11은 도 10에 도시된 스트랩 영역(S1)의 단면도이다.
- [0110] 도 12는 도 10에 도시된 스트랩 영역(S2)의 단면도이다.
- [0111] 도 13은 도 10에 도시된 스트랩 영역(S3)의 단면도이다.
- [0112] 도 14는 도 10에 도시된 메모리 셀 영역(C1)의 단면도이다.
- [0113] 도 15는 본 발명에 따른 티램 셀 구조에 대한 제 2 실시 예를 보여주는 도면이다.
- [0114] 도 16은 도 15에 도시된 티램 셀의 등가회로를 보여주는 도면이다.
- [0115] 도 17은 도 15에 도시된 티램 셀의 다른 등가회로를 보여주는 도면이다.
- [0116] 도 18은 도 15에 도시된 티램 셀의 수직 단면도이다.
- [0117] 도 19는 도 15에 도시된 티램 셀의 레이아웃을 보여주는 도면이다.
- [0118] 도 20은 도 15에 도시된 티램 셀을 갖는 메모리 셀 어레이를 보여주는 도면이다.

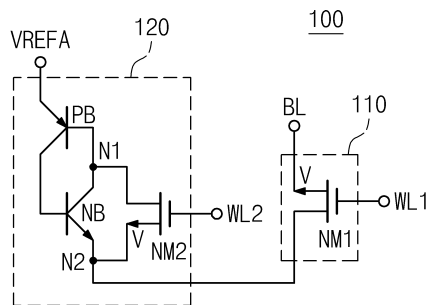
- [0155] WL1: 제 1 워드라인 WL2: 제 2 워드라인
- [0156] VREFA: 기준전압 라인
- [0157] 91: 셀 어레이 92: 로우 디코더
- [0158] 93: 제 1 워드라인 드라이버 94: 제 2 워드라인 드라이버
- [0159] 95: 기준전압 바이어싱 회로 96: 컬럼 디코더
- [0160] 97: 명령/어드레스 버퍼

도면

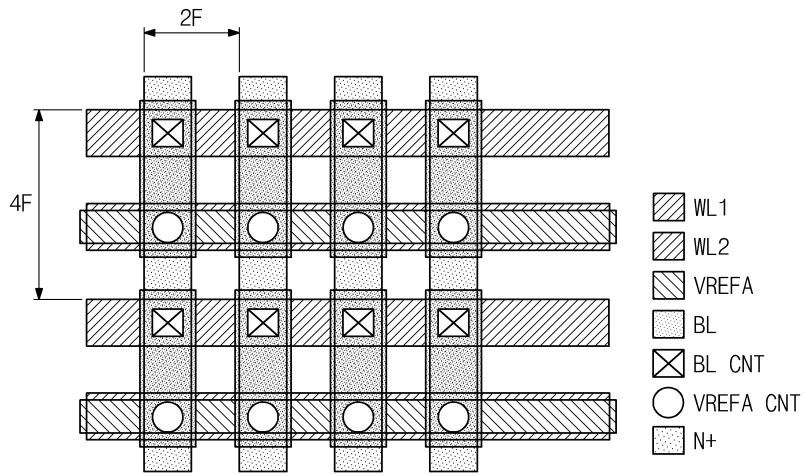
도면1



도면2

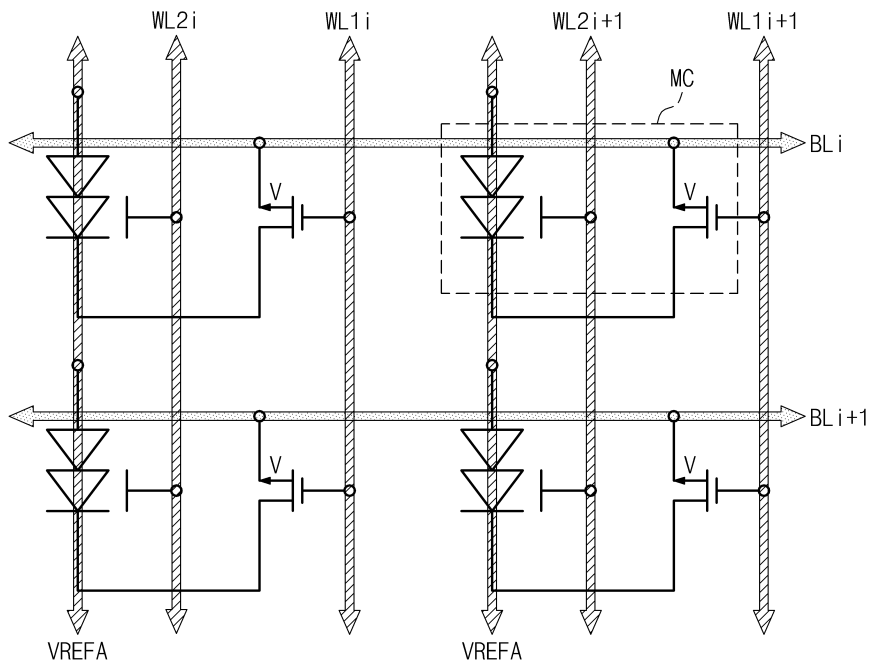


도면5

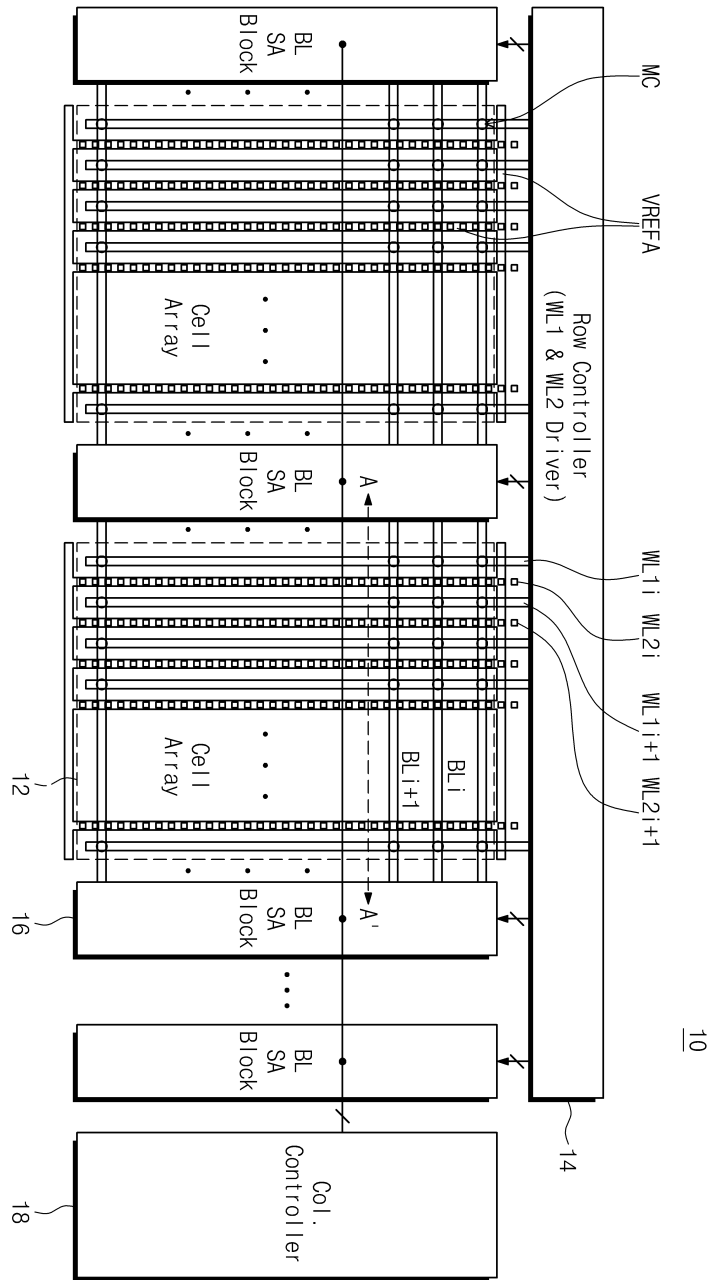


도면6

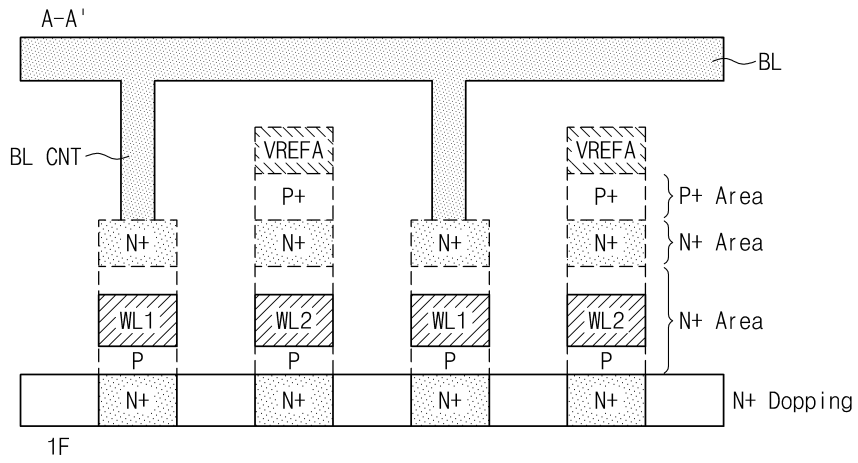
12



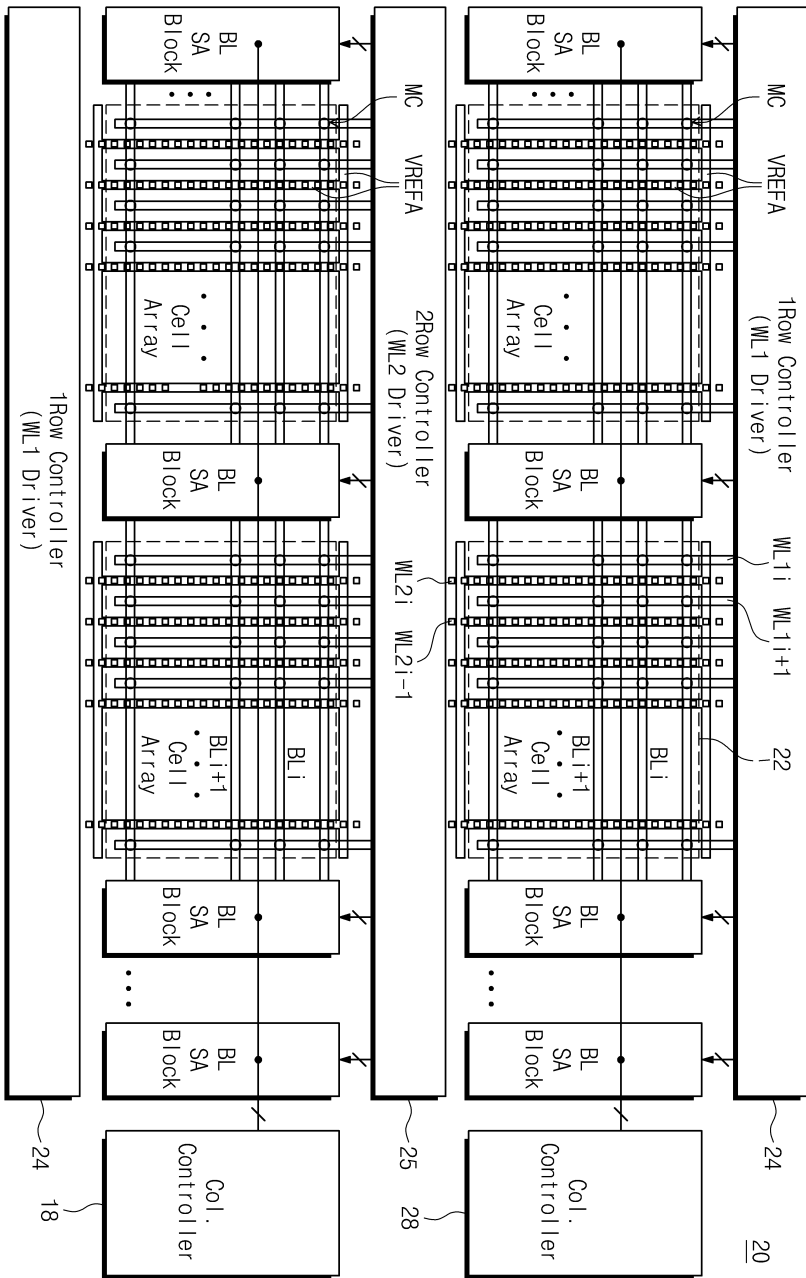
도면7



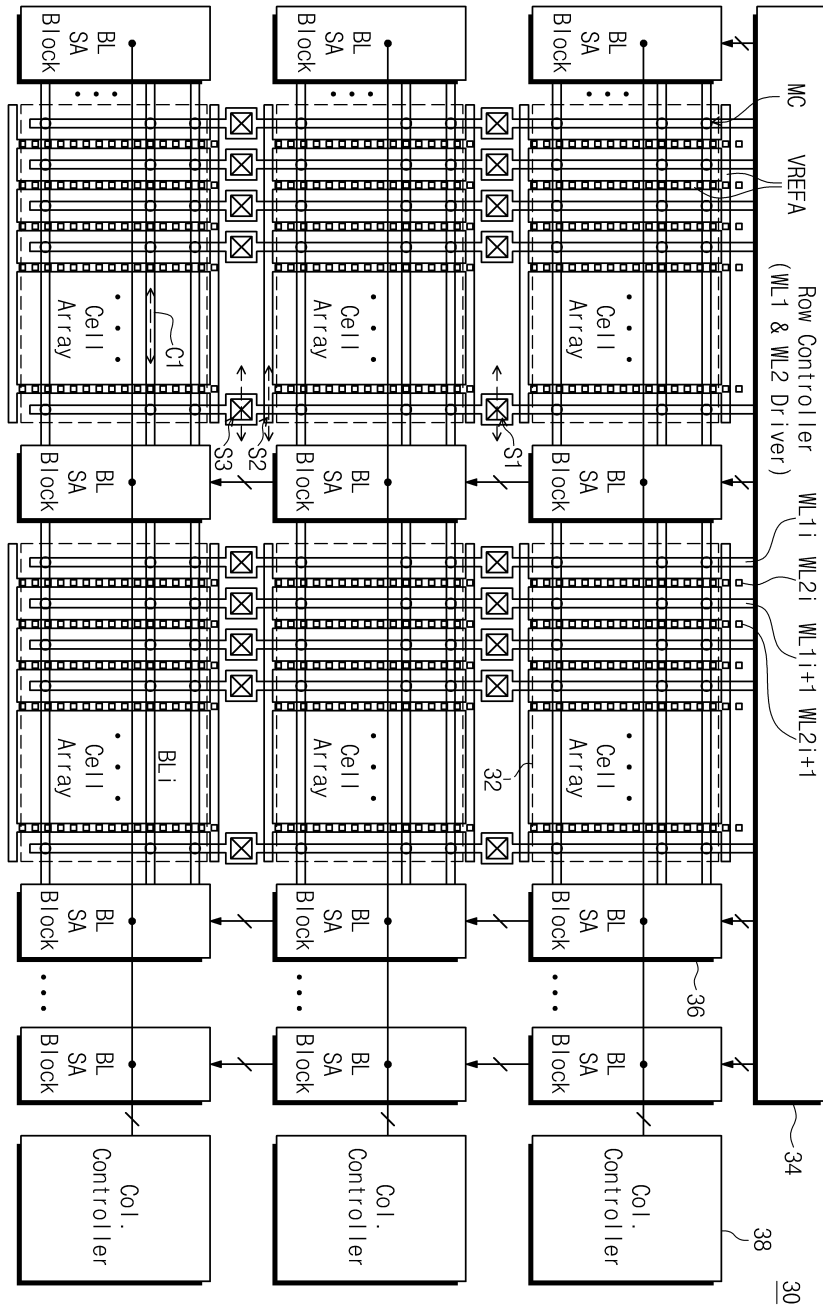
도면8



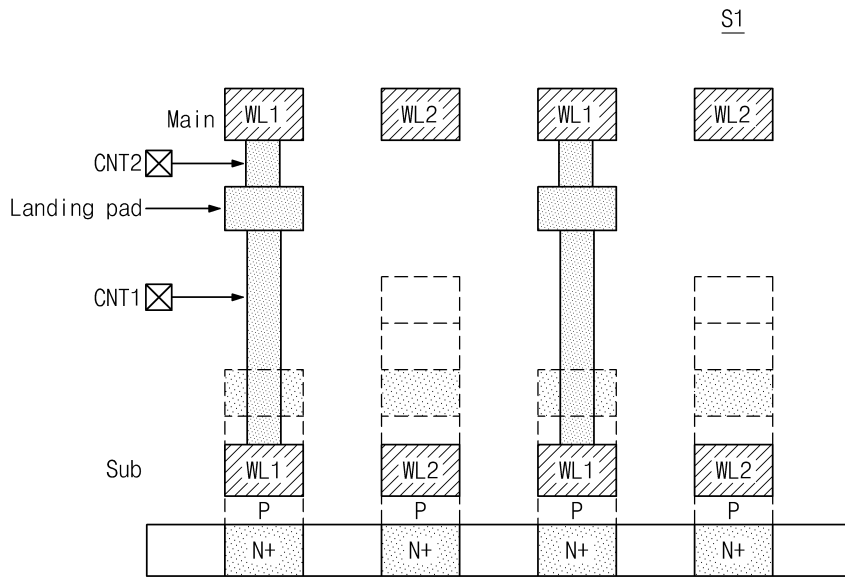
도면9



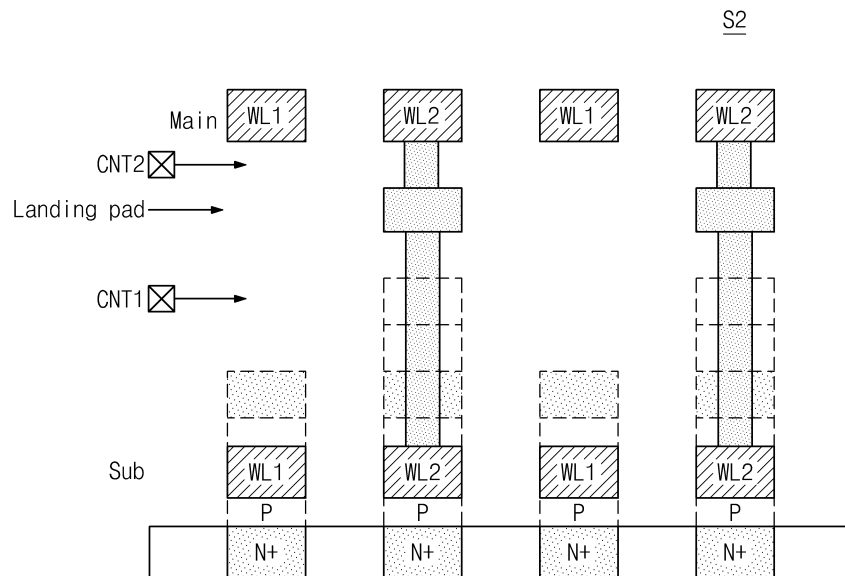
도면10



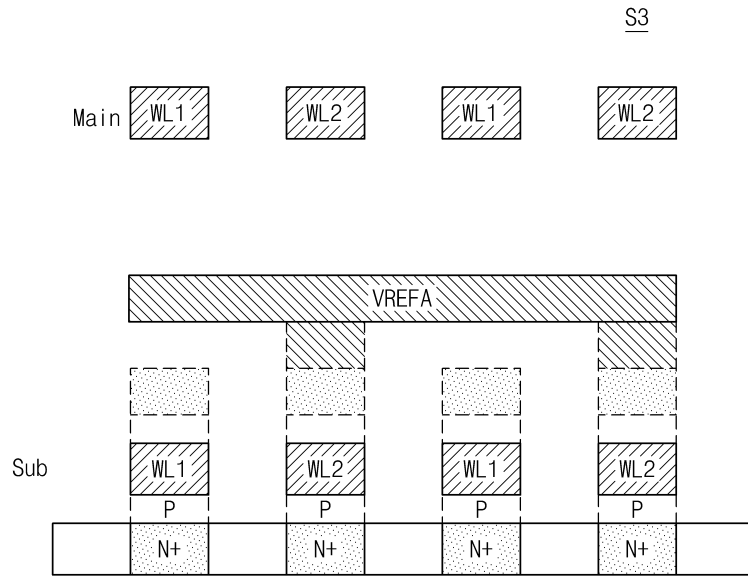
도면11



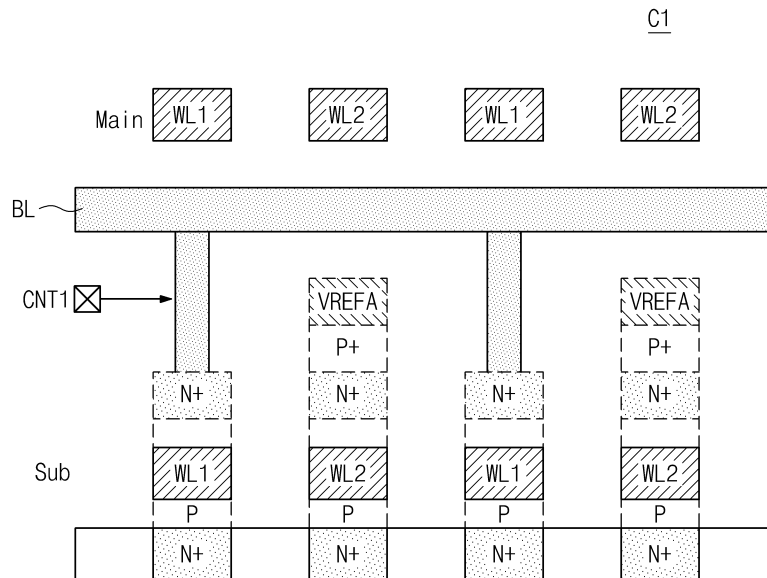
도면12



도면13

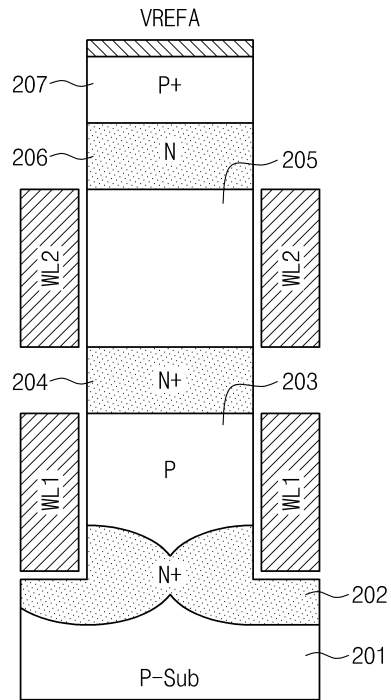


도면14

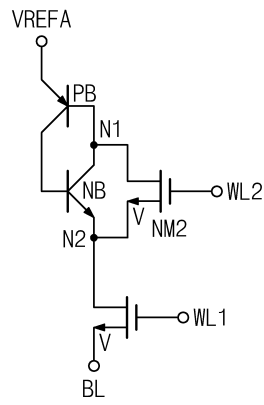


도면15

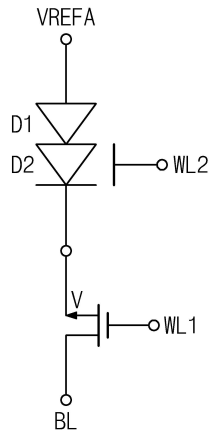
200



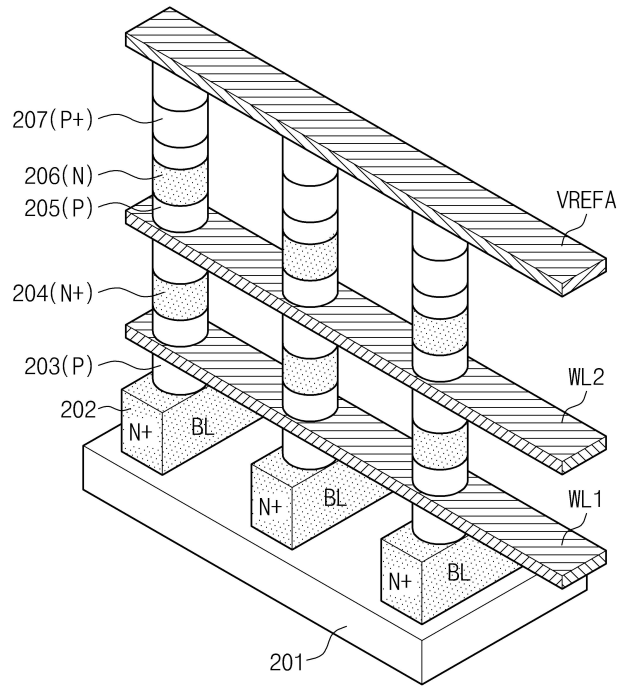
도면16



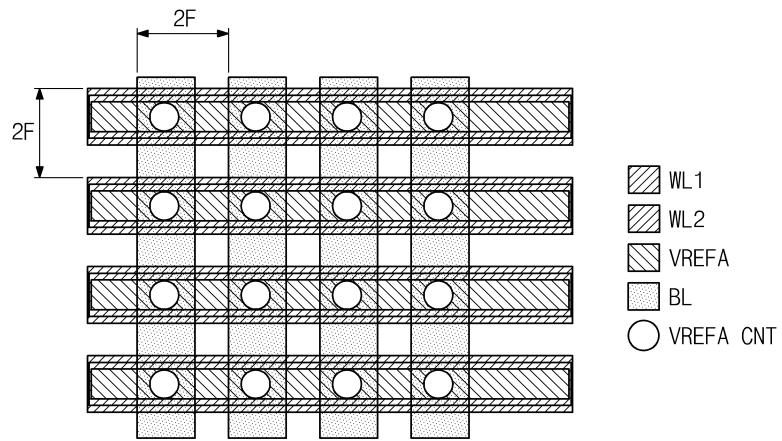
도면17



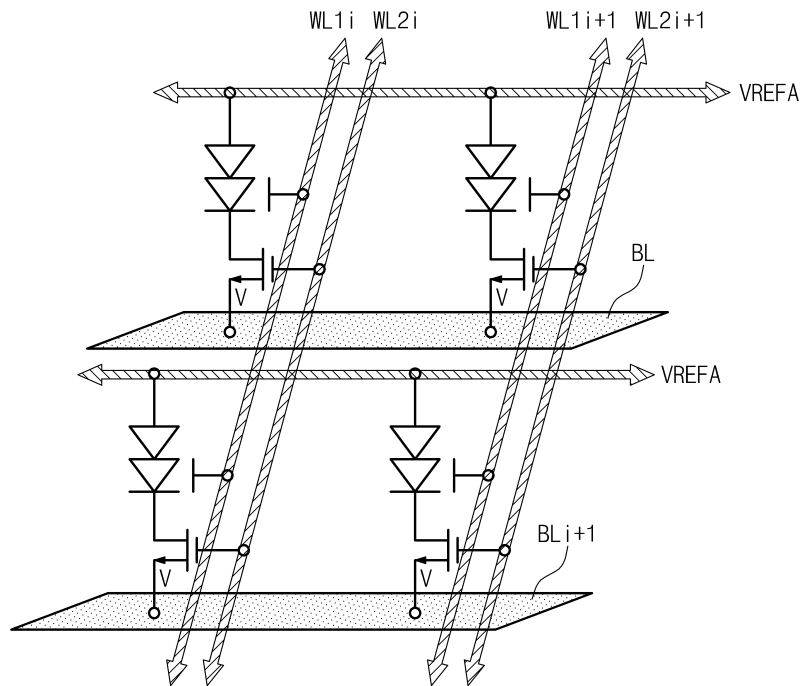
도면18



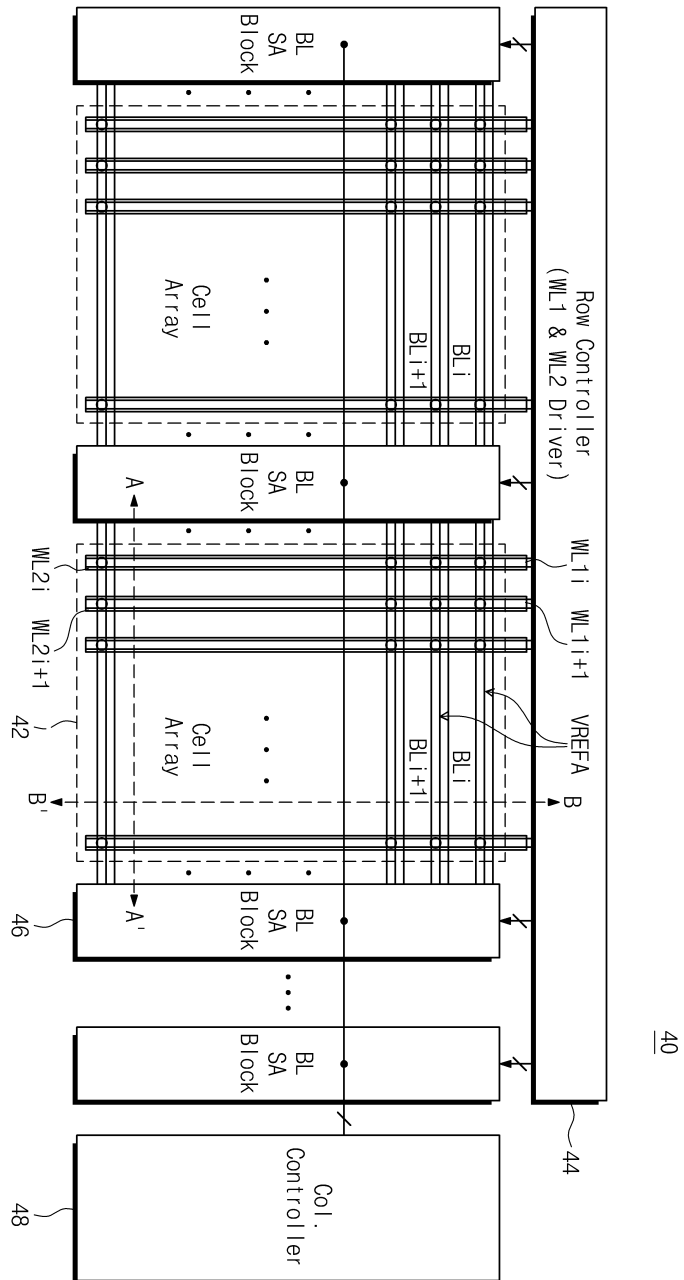
도면19



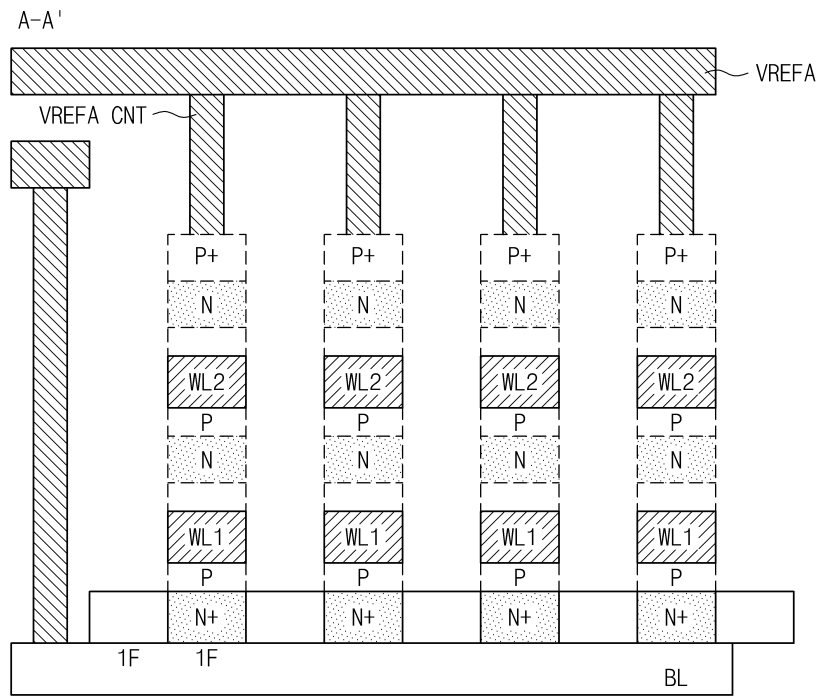
도면20



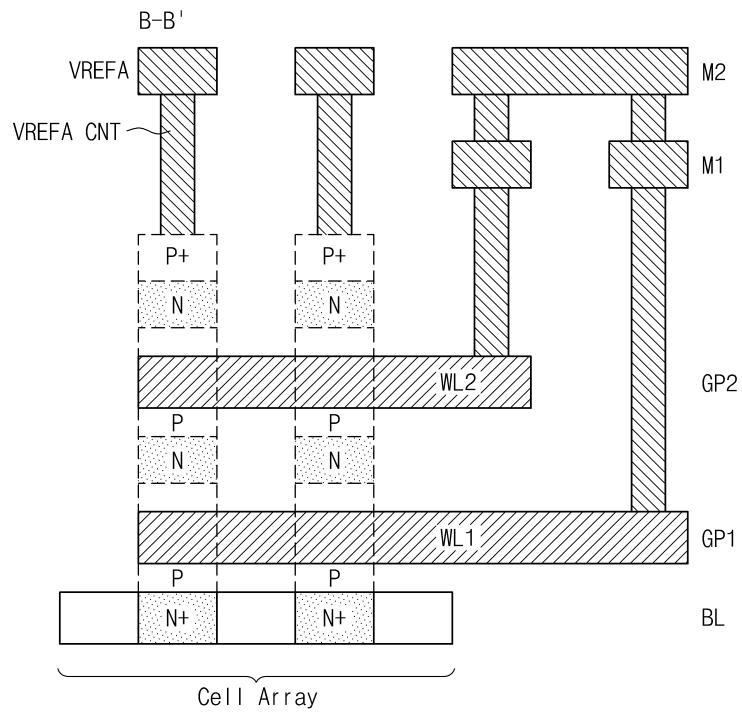
도면21



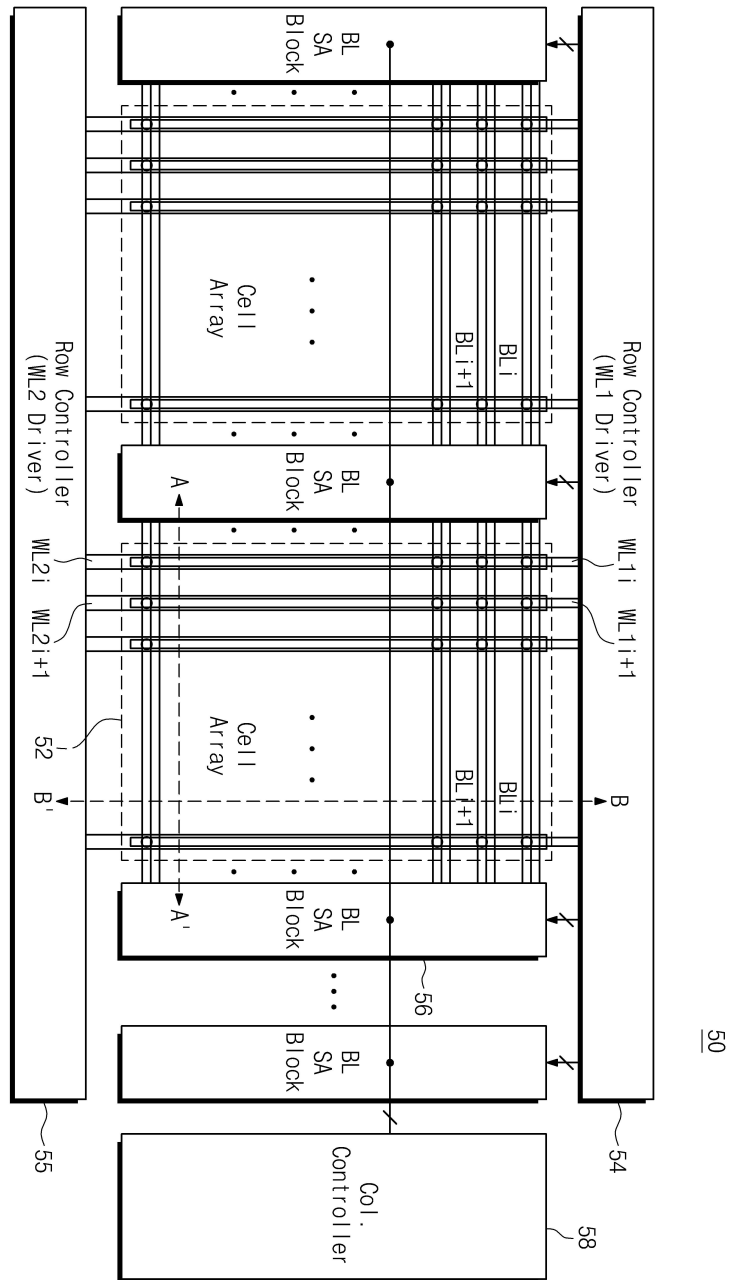
도면22



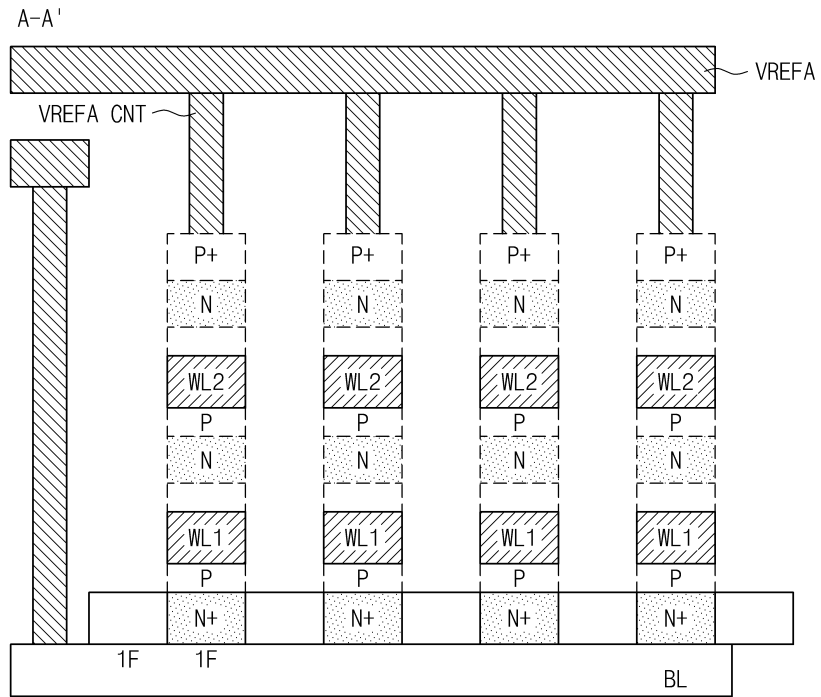
도면23



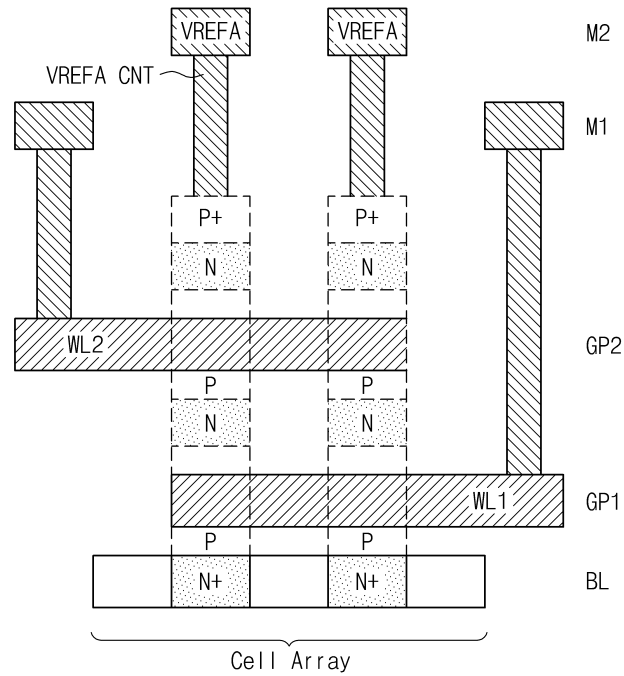
도면24



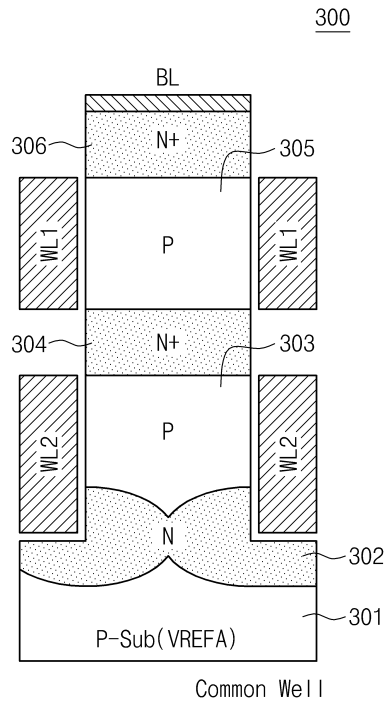
도면25



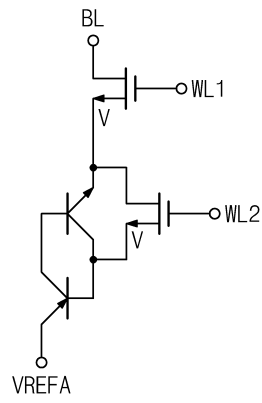
도면26



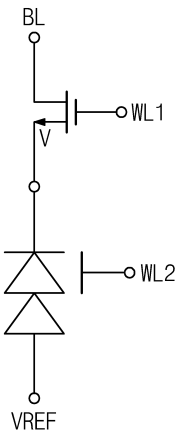
도면27



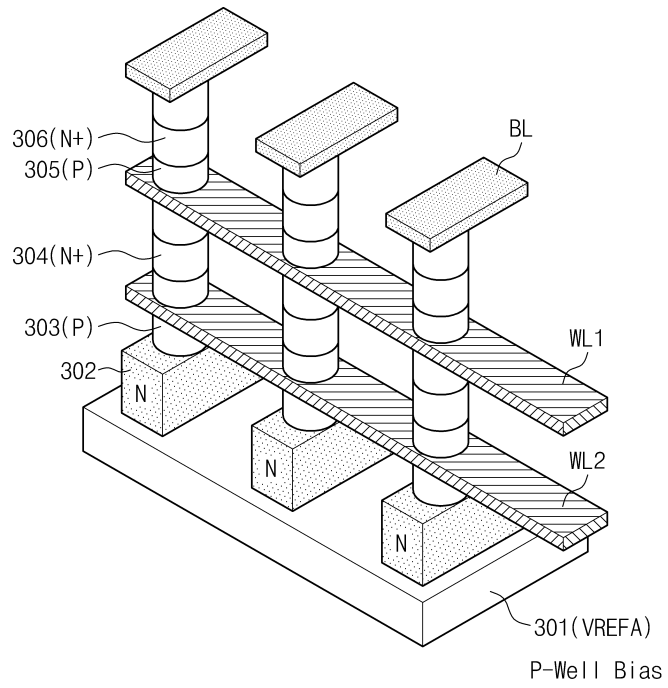
도면28



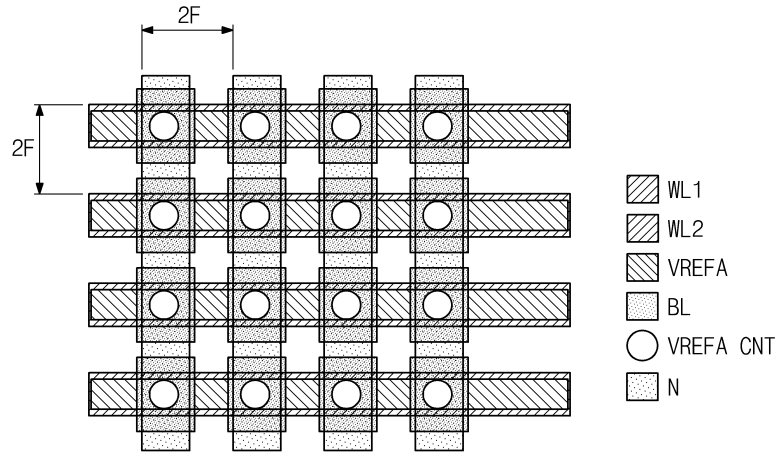
도면29



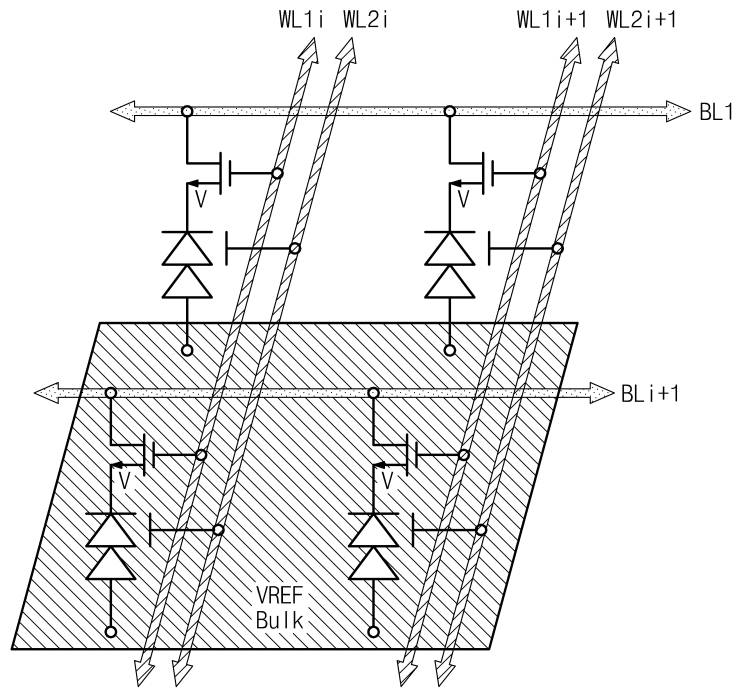
도면30



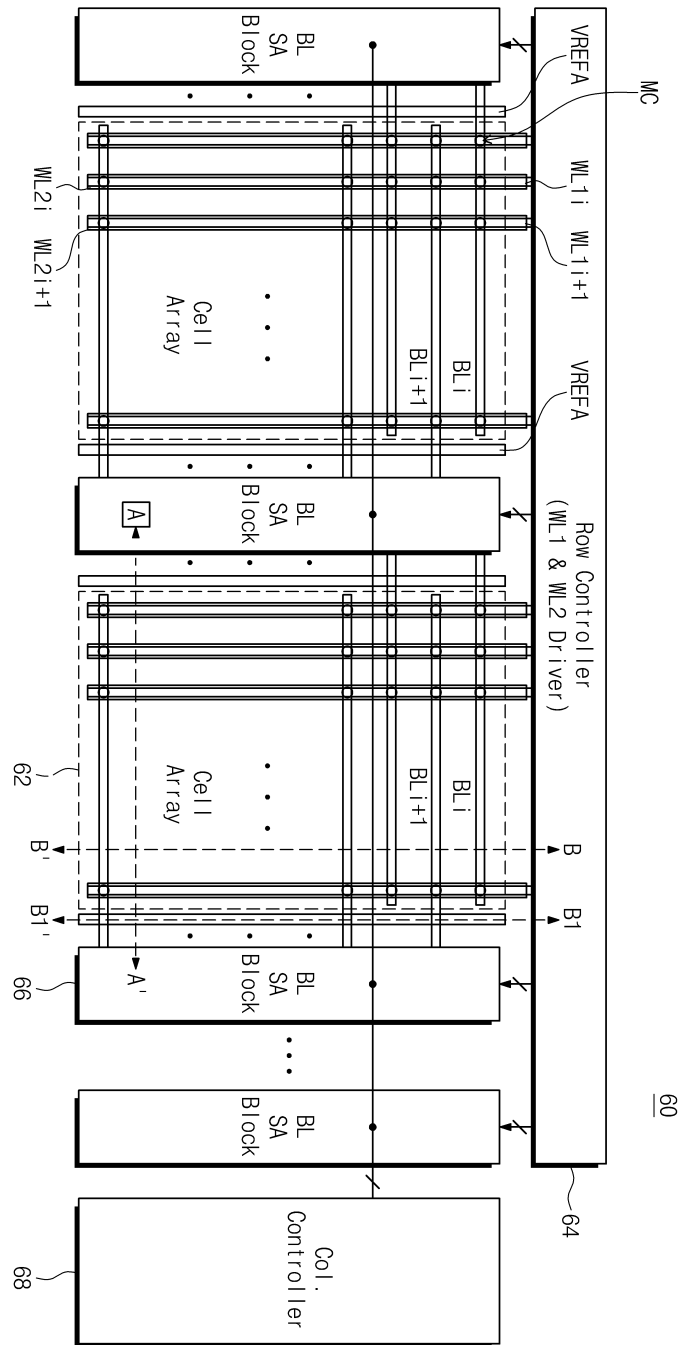
도면31



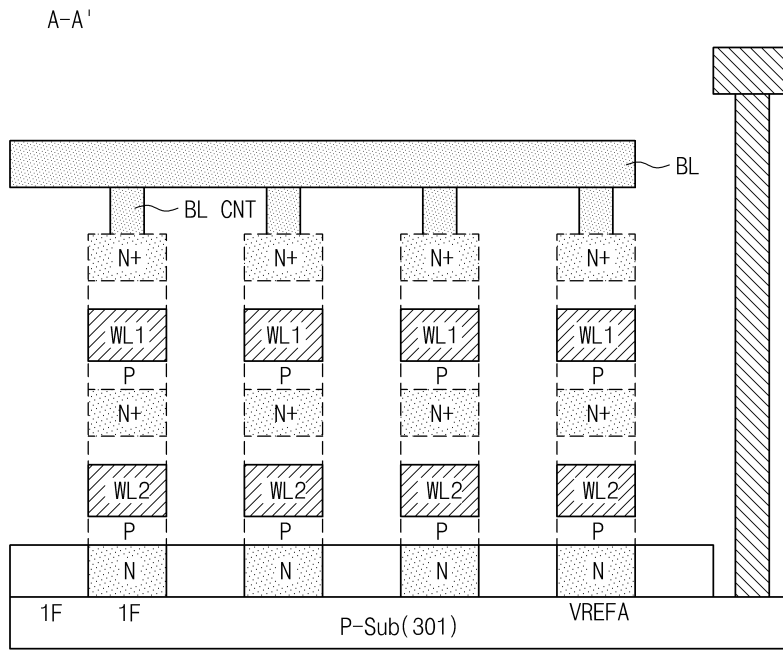
도면32



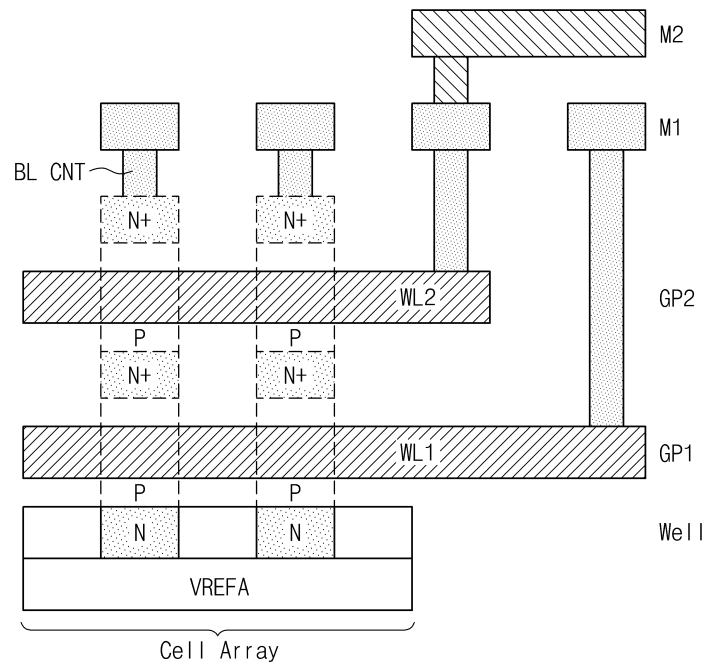
도면33



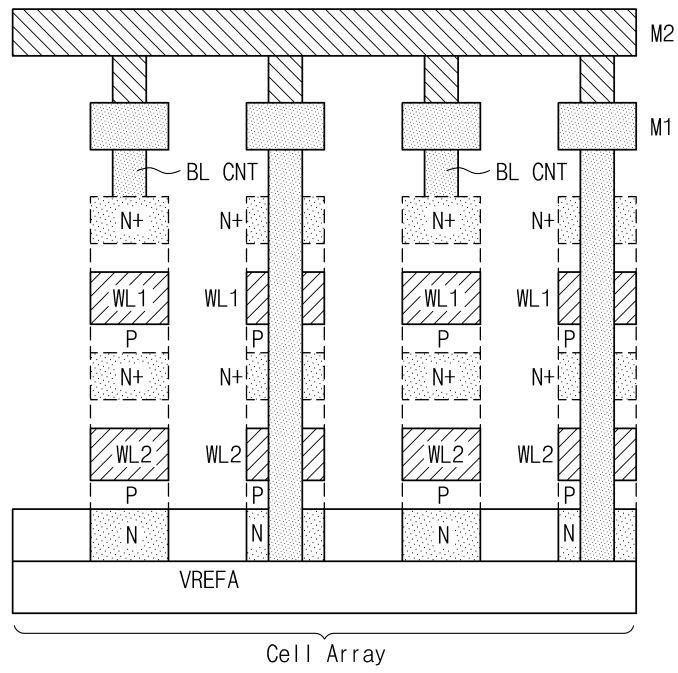
도면34



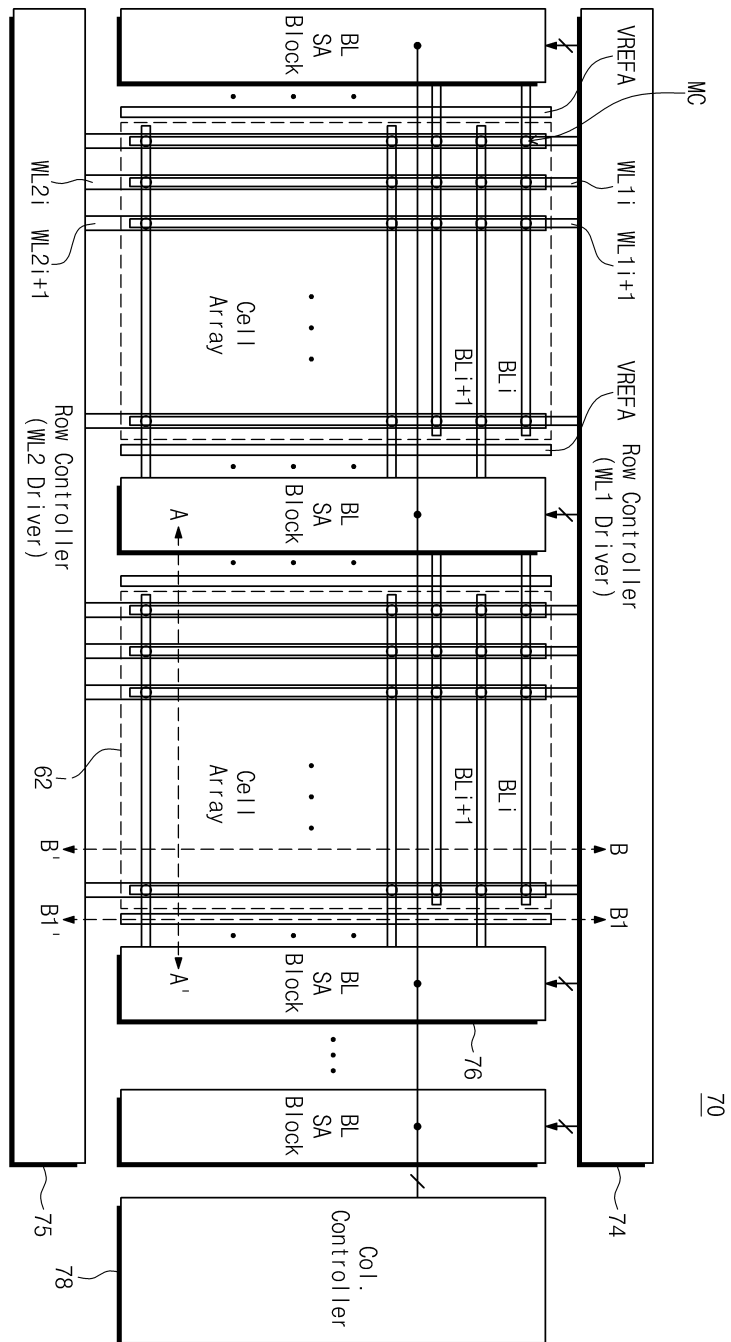
도면35



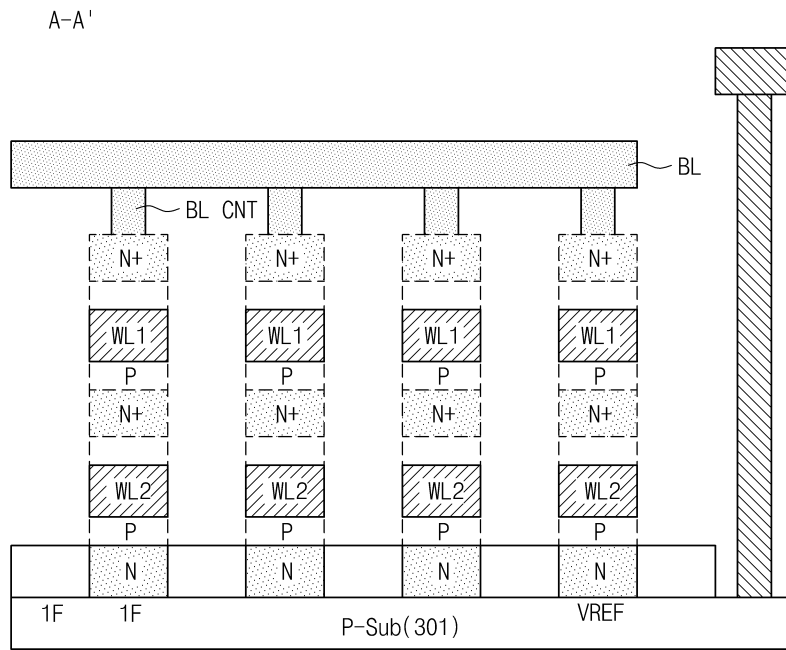
도면36



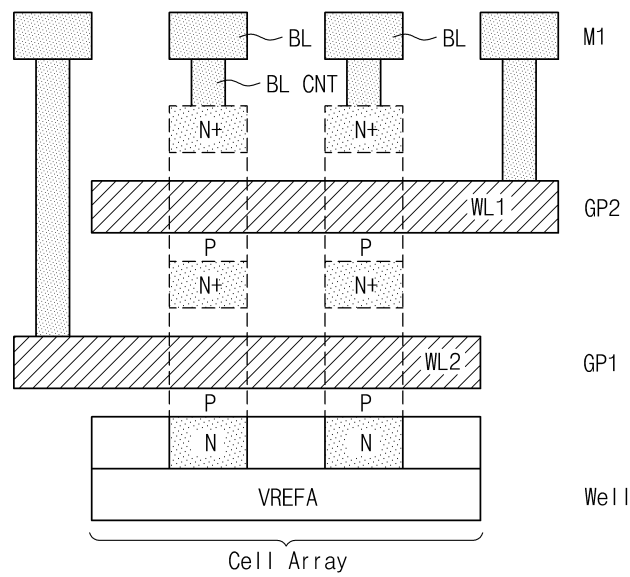
도면37



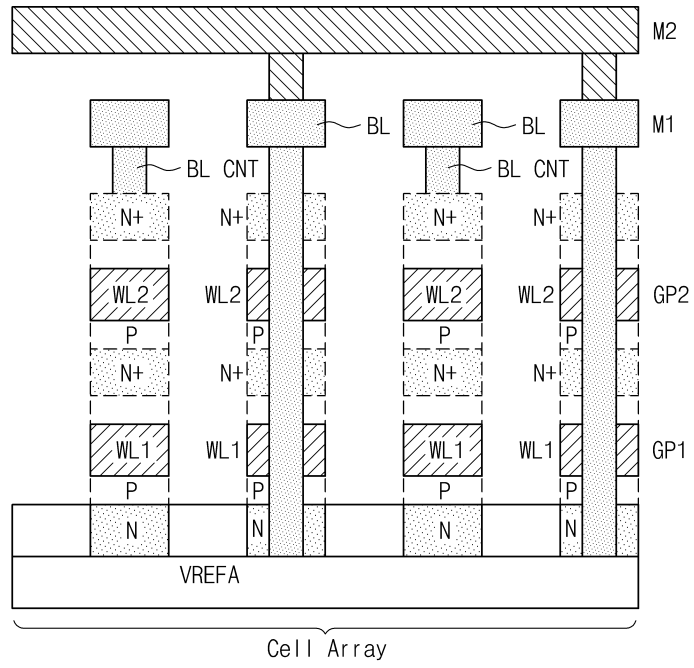
도면38



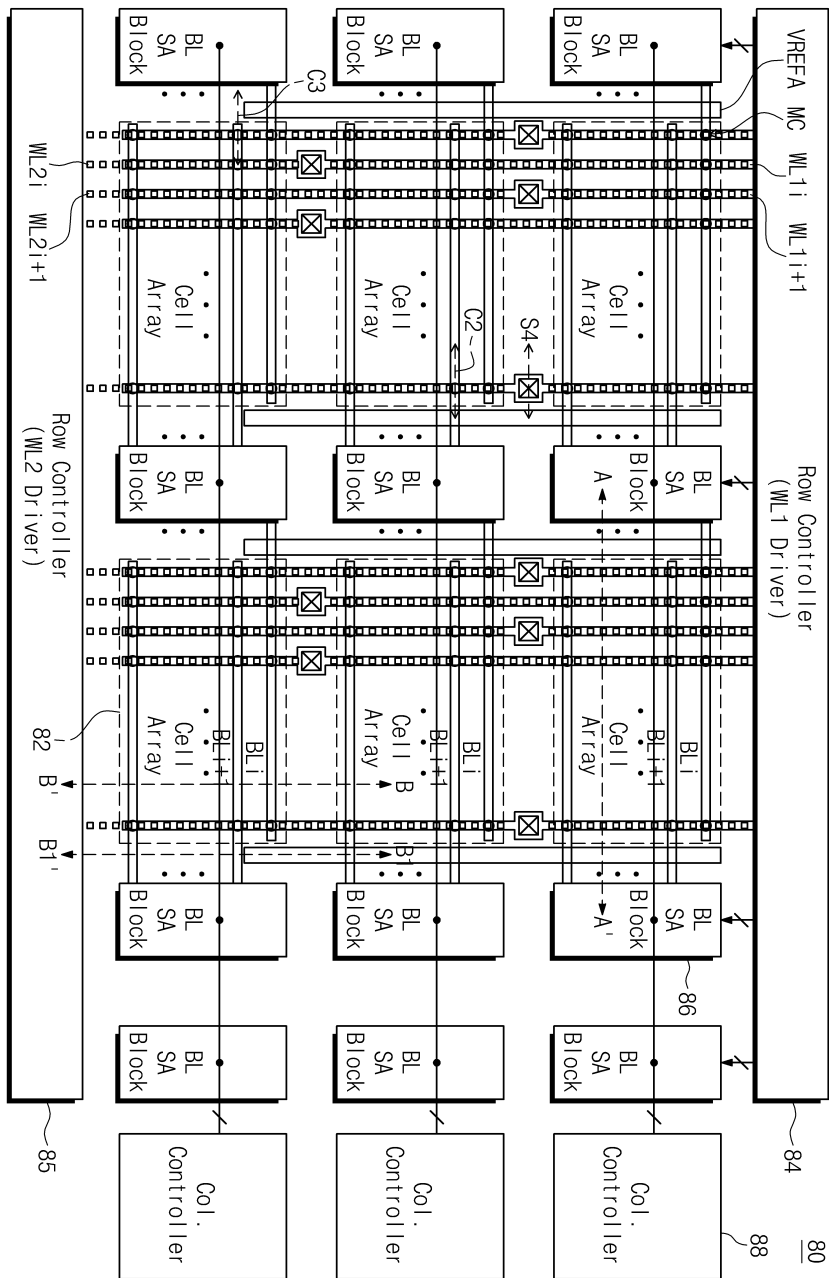
도면39



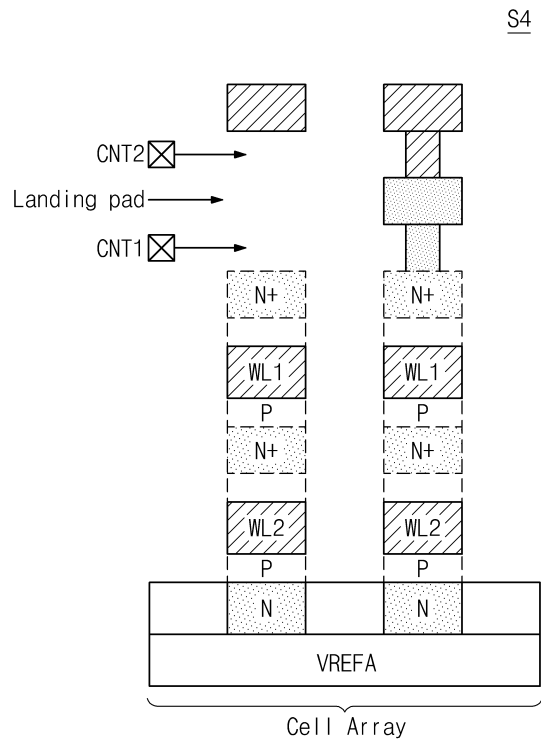
도면40



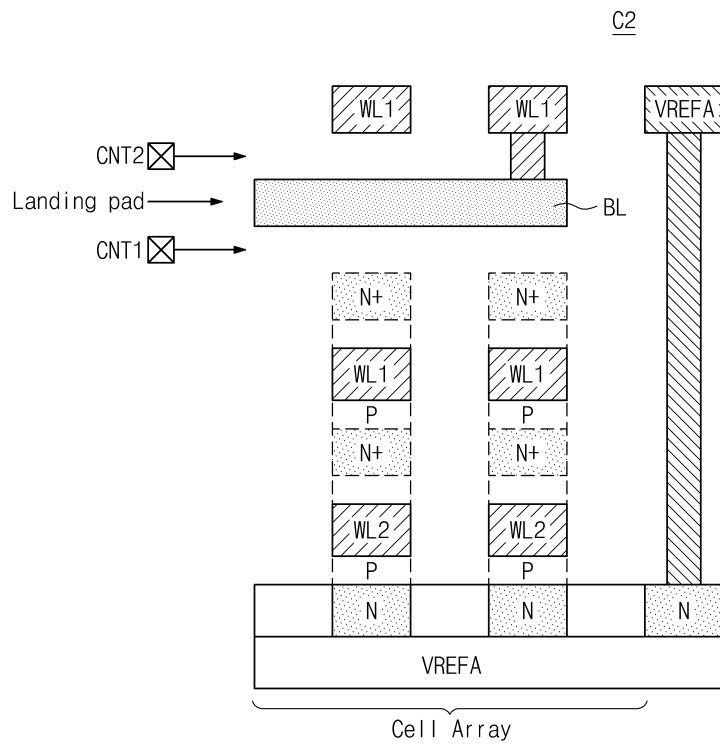
도면41



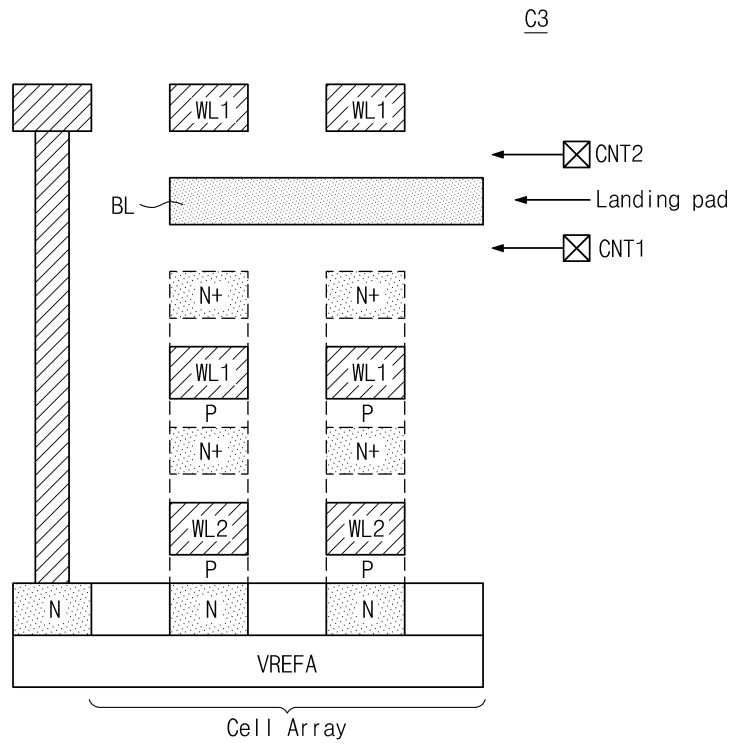
도면42



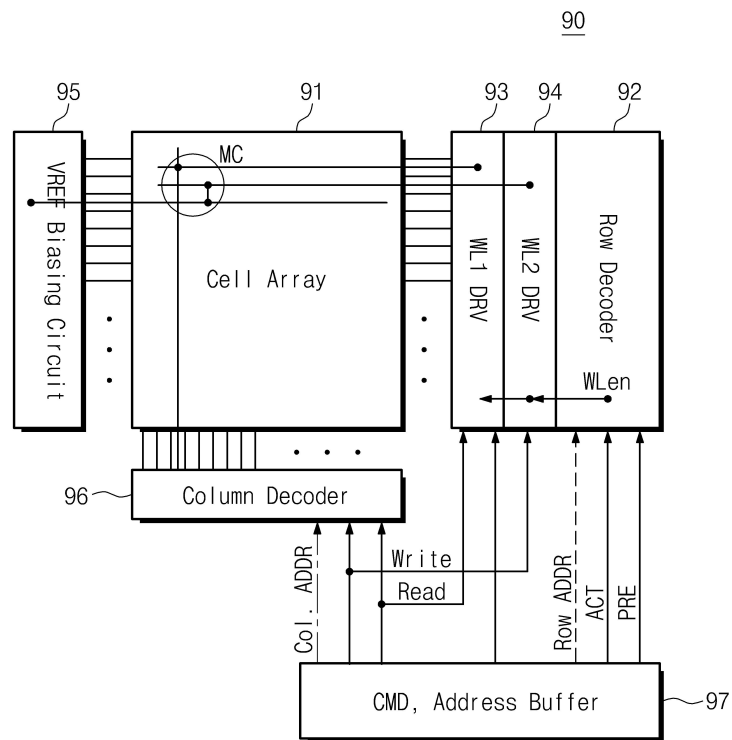
도면43



도면44



도면45



도면49

