



(12) 发明专利

(10) 授权公告号 CN 112201614 B

(45) 授权公告日 2024. 10. 22

(21) 申请号 201910609645.8

(22) 申请日 2019.07.08

(65) 同一申请的已公布的文献号
申请公布号 CN 112201614 A

(43) 申请公布日 2021.01.08

(73) 专利权人 中芯国际集成电路制造(上海)有限公司
地址 201203 上海市浦东新区张江路18号
专利权人 中芯国际集成电路制造(北京)有限公司

(72) 发明人 王楠

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227
专利代理师 吴敏

(51) Int. Cl.

H01L 21/768 (2006.01)

H01L 21/336 (2006.01)

H01L 23/538 (2006.01)

H01L 29/06 (2006.01)

H01L 29/78 (2006.01)

(56) 对比文件

CN 108122827 A, 2018.06.05

CN 108807514 A, 2018.11.13

审查员 赵萌

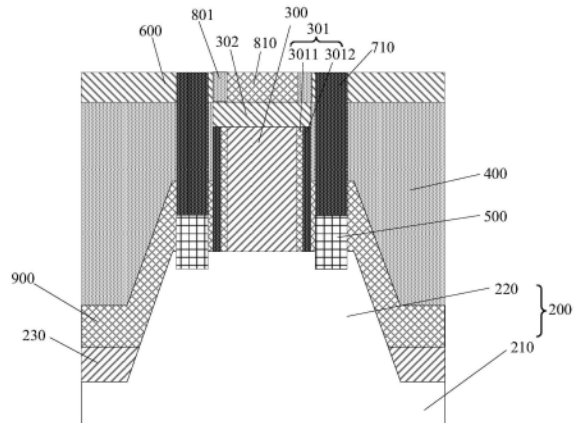
权利要求书2页 说明书8页 附图16页

(54) 发明名称

半导体器件及其形成方法

(57) 摘要

本发明提供一种半导体器件及其形成方法,包括:提供基底,基底上有栅极结构、第一介质层以及源漏掺杂层,源漏掺杂层位于栅极结构两侧的基底内;在源漏掺杂层之间的栅极结构的表面形成掩膜层;在第一介质层上形成第二介质层,第二介质层的表面暴露出掩膜层的表面;以掩膜层为掩膜,刻蚀第二介质层以及第一介质层,形成第一沟槽,第一沟槽的底部暴露出源漏掺杂层;在第一沟槽内形成第一导电结构;图形化掩膜层,在掩膜层内形成第二沟槽,第二沟槽的底部暴露出栅极结构;在第二沟槽的侧壁上形成侧墙。本发明使得工艺过程得到简化,同时解决第一导电结构和第二导电结构之间的短路、漏电的问题,从而使得半导体器件的性能得到提升。



1. 一种半导体器件的形成方法,其特征在于,包括:
 - 提供基底,所述基底上有栅极结构、第一介质层以及源漏掺杂层,所述源漏掺杂层位于所述栅极结构两侧的所述基底内;
 - 在所述源漏掺杂层之间的所述栅极结构的表面形成掩膜层;
 - 在所述第一介质层上形成第二介质层,所述第二介质层的表面暴露出所述掩膜层的表面;
 - 以所述掩膜层为标记,刻蚀所述第二介质层以及所述第一介质层,形成第一沟槽,所述第一沟槽的底部暴露出所述源漏掺杂层;
 - 在所述第一沟槽内形成第一导电结构;
 - 图形化所述掩膜层,在所述掩膜层内形成第二沟槽,所述第二沟槽的底部暴露出所述栅极结构;
 - 在所述第二沟槽的侧壁上形成侧墙;
 - 在所述第二沟槽内形成第二导电结构。
2. 根据权利要求1所述的半导体器件的形成方法,其特征在于,所述掩膜层的材料包括:氮化硅、氮碳化硅、氮硼化硅、碳氮氧化硅或氮氧化硅。
3. 如权利要求1所述半导体器件的形成方法,其特征在于,所述基底包括衬底和鳍部,所述鳍部位于所述衬底上,所述栅极结构位于所述衬底上且横跨所述鳍部,所述源漏掺杂层位于所述栅极结构两侧的所述鳍部内。
4. 如权利要求3所述半导体器件的形成方法,其特征在于,还包括隔离结构,所述隔离结构位于所述衬底上且覆盖所述鳍部的部分侧壁。
5. 如权利要求4所述半导体器件的形成方法,其特征在于,还包括刻蚀停止层,所述刻蚀停止层形成在所述衬底上,所述鳍部的部分侧壁上、所述源漏掺杂层的顶部和侧壁上以及所述栅极结构的侧壁上。
6. 如权利要求1所述半导体器件的形成方法,其特征在于,所述第一介质层的材料包括氧化硅、碳化硅、氮氧化硅、氮化硅。
7. 如权利要求1所述半导体器件的形成方法,其特征在于,所述第二介质层的材料包括:未掺杂硅酸盐玻璃。
8. 如权利要求1所述半导体器件的形成方法,其特征在于,所述第一导电结构的材料包括钨、钴、钛或镍。
9. 如权利要求1所述半导体器件的形成方法,其特征在于,所述第二导电结构的材料包括钨、钴、钛或镍。
10. 一种采用权利要求1至9任一项方法所形成的半导体器件,其特征在于,包括:
 - 基底;
 - 栅极结构,位于所述基底上;
 - 源漏掺杂层,位于所述栅极结构两侧的所述基底内;
 - 第一介质层,位于所述基底上,覆盖所述源漏掺杂层;
 - 掩膜层,位于所述源漏掺杂层之间的所述栅极结构的顶部;
 - 第二介质层,位于所述第一介质层上且表面暴露出所述掩膜层的表面;
 - 第一沟槽,位于所述第二介质层以及所述第一介质层内,底部暴露出所述源漏掺杂层;

第一导电结构,位于所述第一沟槽内;
第二沟槽,位于所述掩膜层内且底部暴露出所述栅极结构;
侧墙,位于所述第二沟槽的侧壁上;
第二导电结构,位于所述第二沟槽内。

半导体器件及其形成方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种半导体器件及其形成方法。

背景技术

[0002] 随着半导体制造技术的飞速发展,半导体器件朝着更高的元件密度,以及更高的集成度的方向发展。器件作为最基本的半导体器件,目前正被广泛应用,传统的平面器件对沟道电流的控制能力变弱,产生短沟道效应而导致漏电流,最终影响半导体器件的电学性能。

[0003] 鳍式场效应晶体管(Fin FET),鳍式场效应晶体管是一种常见的多栅器件,鳍式场效应晶体管的结构包括:位于半导体衬底表面的鳍部和隔离结构,所述隔离结构覆盖部分所述鳍部的侧壁,位于衬底上且横跨的栅极结构;位于所述栅极结构两侧的鳍部内的源区和漏区。

[0004] 然而随着半导体器件的尺寸不断缩小,器件密度的提高,如何保证形成质量好的半导体器件,这是目前急需解决的问题。

发明内容

[0005] 本发明解决的技术问题是提供一种半导体器件及其形成方法,以提高半导体器件的性能。

[0006] 为解决上述技术问题,本发明提供一种半导体器件的形成方法,包括:提供基底,所述基底上有栅极结构、第一介质层以及源漏掺杂层,所述源漏掺杂层位于所述栅极结构两侧的所述基底内;在所述源漏掺杂层之间的所述栅极结构的表面形成掩膜层;在所述第一介质层上形成第二介质层,所述第二介质层的表面暴露出所述掩膜层的表面;以所述掩膜层为掩膜,刻蚀所述第二介质层以及所述第一介质层,形成第一沟槽,所述第一沟槽的底部暴露出所述源漏掺杂层;在所述第一沟槽内形成第一导电结构;图形化所述掩膜层,在所述掩膜层内形成第二沟槽,所述第二沟槽的底部暴露出所述栅极结构;在所述第二沟槽的侧壁上形成侧墙。

[0007] 可选的,形成所述侧墙之后,还包括:在所述第二沟槽内形成第二导电结构。

[0008] 可选的,所述掩膜层的材料包括:氮化硅、氮碳化硅、氮硼化硅、碳氮氧化硅或氮氧化硅。

[0009] 可选的,所述基底包括衬底和鳍部,所述鳍部位于所述衬底上,所述栅极结构位于所述衬底上且横跨所述鳍部,所述源漏掺杂层位于所述栅极结构两侧的所述鳍部内。

[0010] 可选的,还包括隔离结构,所述隔离结构位于所述衬底上且覆盖所述鳍部的部分侧壁。

[0011] 可选的,还包括刻蚀停止层,所述刻蚀停止层形成在所述衬底上,所述鳍部的部分侧壁上、所述源漏掺杂层的顶部和侧壁上以及所述栅极结构的侧壁上。

[0012] 可选的,所述第一介质层的材料包括:氧化硅、碳化硅、氮氧化硅、氮化硅。

[0013] 可选的,所述第二介质层的材料包括:未掺杂硅酸盐玻璃。

[0014] 可选的,所述第一导电结构的材料包括钨、钴、钛或镍。

[0015] 可选的,所述第二导电结构的材料包括钨、钴、钛或镍。

[0016] 相应的,本发明还提供一种采用上述任一项方法所形成的半导体器件,包括:基底;栅极结构,位于所述基底上;源漏掺杂层,位于所述栅极结构两侧的所述基底内;第一介质层,位于所述基底上,覆盖所述源漏掺杂层;掩膜层,位于所述源漏掺杂层之间的所述栅极结构的顶部;第二介质层,位于所述第一介质层上且表面暴露出所述掩膜层的表面;第一沟槽,位于所述第二介质层以及所述第一介质层内,底部暴露出所述源漏掺杂层;第一导电结构,位于所述第一沟槽内;第二沟槽,位于所述掩膜层内且底部暴露出所述栅极结构;侧墙,位于所述第二沟槽的侧壁上。

[0017] 与现有技术相比,本发明实施例的技术方案具有以下有益效果:

[0018] 以所述掩膜层为掩膜刻蚀所述第二介质层以及所述第一介质层,形成第一沟槽,在第一沟槽内形成第一导电结构,图形化所述掩膜层,在所述掩膜层内形成第二沟槽,在所述第二沟槽的侧壁上形成侧墙,由于侧墙的存在,后续在所述第二沟槽内形成第二导电结构时,在所述第二沟槽的侧壁上形成所述侧墙能够增加所述第一导电结构和所述第二导电结构之间的距离,将形成的所述第一导电结构和所述第二导电结构之间进行隔离开,这样解决所述第一导电结构和所述第二导电结构之间的短路、漏电的问题,从而使得半导体器件的性能得到提升。

附图说明

[0019] 图1是一种半导体器件的结构示意图;

[0020] 图2至图10是本发明第一实施例中半导体器件形成过程的结构示意图;

[0021] 图11至图20是本发明第二实施例中半导体器件形成过程的结构示意图。

具体实施方式

[0022] 在半导体器件中,通常需要形成用于连接第一金属互连层和源漏掺杂层的第一导电结构、用于连接第一金属互连层与栅极结构的第二导电结构,但是目前形成的半导体器件容易出现短路的问题,从而造成半导体器件的失效,限制了半导体器件的使用。

[0023] 图1是一种半导体器件的结构示意图。

[0024] 一种半导体器件,包括衬底100,衬底100表面具有鳍部110和隔离层101,所述隔离层101覆盖部分鳍部110侧壁,位于衬底100上且横跨所述鳍部110的栅极结构120,位于所述栅极结构120两侧的所述鳍部110内的所述源漏掺杂层130;位于所述衬底100上的介质层140,所述介质层140覆盖所述源漏掺杂层130顶部表面和所述栅极结构120的顶部与侧壁;位于所述介质层140内的第一导电结构150和第二导电结构160,所述第一导电结构150覆盖所述源漏掺杂层130的顶部,所述第二导电结构160覆盖部分所述栅极结构120的顶部表面。

[0025] 发明人研究发现,上述实施例中,第一导电结构用于连接第一金属互连层和源漏掺杂层,第二导电结构用于连接第一金属互连层与栅极结构。形成第一导电结构后,形成第二导电结构,第一导电结构与第二导电结构之间没有任何间隔层,这就导致在使用的过程中,容易造成第一导电结构和第二导电结构之间的短路或者漏电的问题,从而导致所形成

的半导体器件性能不佳。

[0026] 本发明通过在形成第一导电结构之后,形成第二沟槽,在第二沟槽的侧壁上形成侧墙,这样在第二沟槽内形成第二导电结构时,由于侧墙的存在,将形成的第一导电结构和第二导电结构进行隔离,减少第二导电结构与相邻的第一导电结构之间发生漏电的概率,所述方法提高了半导体器件的性能。

[0027] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0028] 第一实施例

[0029] 图2至图10是本发明第一实施例中半导体器件形成过程的结构示意图。

[0030] 首先参考图2至图3,提供基底200,所述基底200上有栅极结构300、第一介质层400以及源漏掺杂层500。

[0031] 图2是图3在剖面A-A的剖视图。

[0032] 本实施例中,所述基底200的材料为硅;其他实施例中,所述基底200的材料还可为硅锗、锗、砷化镓、铟镓砷等半导体材料。

[0033] 本实施例中,所述基底200包括衬底210和位于所述衬底210上鳍部220。

[0034] 本实施例中,所述鳍部220的材料为硅;其他实施例中,所述鳍部220的材料还可为锗硅等半导体材料。

[0035] 本实施例中,所述栅极结构300位于所述基底200上且横跨所述鳍部220,所述栅极结构300为金属栅极结构。

[0036] 本实施例中,形成所述栅极结构300的工艺为后栅工艺;其他实施例中,形成所述栅极结构的工艺还可为前栅工艺。

[0037] 所述源漏掺杂层500位于所述栅极结构300两侧的所述基底200内。

[0038] 本实施例中,所述源漏掺杂层500位于所述栅极结构300两侧的所述鳍部220内。

[0039] 本实施例中,所述栅极结构300的形成方法包括:在所述衬底210上形成横跨所述鳍部220的伪栅结构;形成覆盖所述衬底210、所述鳍部220的顶部和侧壁以及伪栅结构的侧壁的第一介质层400,去除所述伪栅结构,在所述第一介质层400内形成栅极开口,在栅极开口内形成所述栅极结构300。

[0040] 本实施例中,所述栅极结构300包括栅介质层和位于栅介质层上的栅极层。所述栅介质层的材料为高K(K大于3.9)介质材料,所述栅极层的材料为金属,如钨。

[0041] 本实施例中,所述栅极结构300的侧壁上形成有栅极侧墙301,所述栅极侧墙301用于定义后续形成的源漏掺杂层的位置,且所述栅极侧墙301用作保护所述栅极结构300侧壁,避免后续形成的栅极层出现形貌缺陷,影响半导体结构的电学性能。

[0042] 本实施例中,所述栅极侧墙301为叠层结构,包括第一栅极侧墙3011和第二栅极侧墙3012,所述第一栅极侧墙3011位于所述栅极结构的侧壁上,所述第二栅极侧墙3012位于所述第一栅极侧墙3011的侧壁上,第一侧墙用于定义轻掺杂区的位置,第一侧墙和第二侧墙用于定义源漏掺杂层的位置。

[0043] 本实施例中,在形成所述第一介质层400之前,还包括,在所述伪栅结构两侧的所述鳍部220内形成源漏掺杂层500。

[0044] 本实施例中,采用外延工艺形成所述源漏掺杂层500;其他实施例中,还可采用离

子注入工艺形成所述源漏掺杂层500。

[0045] 本实施例中,形成所述源漏掺杂层500的方法包括:在所述伪栅结构两侧的所述鳍部220内形成凹槽,在所述凹槽内外延形成所述源漏掺杂层500。

[0046] 本实施例中,所述源漏掺杂层500具有源漏离子,当所述半导体器件的类型为N型时,源漏离子的导电类型为N型,如磷离子;当所述半导体器件的类型为P型时,源漏离子的导电类型为P型,如硼离子。

[0047] 本实施例中,所述第一介质层400为层间介电层(ILD),所述第一介质层400的材料为氮化硅;其他实施例中,所述第一介质层400的材料还可为碳化硅、氧化硅等。

[0048] 本实施例中,采用化学气相沉积的方法形成所述第一介质层400;其他实施例中,还可采用原子层沉积法或者物理气相沉积法形成所述第一介质层400。

[0049] 本实施例中,所述第一介质层400是用来隔离金属导线和元件。

[0050] 参考图4至图5,在源漏掺杂层500之间的所述栅极结构300的表面形成掩膜层310。

[0051] 图4为图5在剖面A-A的剖视图。

[0052] 所述掩膜层310的材料包括:氮化硅、氮碳化硅、氮硼化硅、碳氮氧化硅或氮氧化硅。

[0053] 本实施例中,所述掩膜层310的材料为氮化硅。

[0054] 本实施例中,采用自对准双重曝光技术(SADP)在所述源漏掺杂层500之间的所述栅极结构300的表面形成所述掩膜层310;其他实施例中,还可采用曝光-刻蚀-曝光-刻蚀(Litho-Etch-Litho-Etch,LELE)的工艺形成所述掩膜层310。

[0055] 本实施例中,采用自对准双重曝光技术(SADP)形成所述掩膜层310的目的是简化后续形成第一沟槽时,设计图形化层的工序,提高图形传递的精准性和生产效率。

[0056] 参考图6,在所述第一介质层400上形成第二介质层600,所述第二介质层600的表面暴露出所述掩膜层310的表面。

[0057] 本实施例中,形成所述第二介质层600的方法包括:在所述第一介质层400以及所述掩膜层310的表面沉积所述第二介质层600,平坦化所述第二介质层600表面,直至所述第二介质层600的表面暴露出所述掩膜层310的表面

[0058] 本实施例中,所述第二介质层600为金属层间介电层(IMD),所述第二介质层600的材料包括:未掺杂硅酸盐玻璃。

[0059] 本实施例中,所述第二介质层600的作用是用来隔离金属导线与其他金属导线。

[0060] 参考图7,以所述掩膜层310为掩膜,刻蚀所述第二介质层600以及所述第一介质层400,形成第一沟槽700,所述第一沟槽700的底部暴露出所述源漏掺杂层500。

[0061] 本实施例中,干法刻蚀所述第二介质层600以及所述第一介质层400,形成所述第一沟槽700。

[0062] 本实施例中,形成所述第一沟槽700的工艺参数包括:选用氦气(He)、氨气(NH₃)以及NF₃气体作为刻蚀气氛,其中所述氦气(He)的气体流量范围是600sccm~2000sccm,所述氨气(NH₃)的气体流量为200sccm~5000sccm,所述NF₃气体流量为20sccm~2000sccm,刻蚀压强为2~100毫托,刻蚀处理时间为20~1000s。

[0063] 本实施例中,由于所述栅极结构300的表面形成所述掩膜层310,所述掩膜层310可以作为刻蚀所述第一介质层400和所述第二介质层600的刻蚀停止层保护所述掩膜层310下

面的所述栅极结构300,同时能够所述掩膜层310可以作为标记使用,简化了在形成所述第一沟槽700时图形化层设计的复杂性,使得图形化层能够具有较大的图形开口,从而使得刻蚀所述第一介质层400和所述第二介质层600变得更加容易。

[0064] 参考图8,在所述第一沟槽700内形成第一导电结构710。

[0065] 本实施例中,所述第一导电结构710用于连接第一金属互联层和源漏掺杂层500。

[0066] 本实施例中,所述第一导电结构710的材料为金属,如钨、钴、钛或镍等。

[0067] 本实施例中,所述第一导电结构710的形成方法包括:在所述第一沟槽700内和所述第二介质层600上形成第一导电材料层;平坦化所述第一导电材料层,直至暴露出所述第二介质层600表面,在所述第一沟槽700内形成第一导电结构710。

[0068] 参考图9,图形化所述掩膜层310,在所述掩膜层310内形成第二沟槽800,所述第二沟槽800的底部暴露出所述栅极结构300。

[0069] 本实施例中,所述第二沟槽800的底部暴露出所述栅极结构300的顶部。

[0070] 本实施例中,图形化所述掩膜层310的步骤包括:在所述掩膜层310上形成图形化层,以图形化层为掩膜,刻蚀部分所述掩膜层310,在所述掩膜层310内形成所述第二沟槽800。

[0071] 本实施例中,采用干法刻蚀所述掩膜层310,所述干法刻蚀的工艺参数包括:采用的气体包括 CF_4 和 CH_3F , CF_4 的流量为20sccm~200sccm, CH_3F 的流量为20sccm~50sccm,源射频功率为200瓦~500瓦,腔室压强为1torr~10torr。

[0072] 本实施例中,形成所述第二沟槽800是在图形化所述掩膜层310的条件下形成的,从而形成自对准的图形化层,简化工艺流程。

[0073] 参考图10,在所述第二沟槽800的侧壁上形成侧墙801。

[0074] 本实施例中,所述侧墙801的材料为氮化硅;其他实施例中,所述侧墙801的材料还可为碳化硅等。

[0075] 本实施例中,由于所述侧墙801的存在,能够增加形成的所述第一导电结构710和后续形成的第二导电结构之间的距离,将形成的所述第一导电结构710和第二导电结构隔离开来,这样减少了第二导电结构与相邻的所述第一导电结构710之间短路或者漏电的概率,使得形成的半导体器件的使用性能得到提高,增加了半导体器件的使用寿命和使用范围,提高形成的半导体器件的性能。

[0076] 利用上述方法形成的一种半导体器件,具体参考图10,包括:基底200,基底包括衬底210和位于衬底上的鳍部220;栅极结构300,位于所述基底200上且横跨鳍部220;栅极侧墙301,位于栅极结构300的侧壁上,包括第一栅极侧墙3011和第二栅极侧墙3012,所述第一栅极侧墙3011位于所述栅极结构300的侧壁上,所述第二栅极侧墙3012位于所述第一栅极侧墙3011的侧壁上;源漏掺杂层500,位于所述栅极结构300两侧的所述基底200内;第一介质层400,位于所述基底200上,覆盖所述源漏掺杂层500;掩膜层310,位于所述源漏掺杂层500之间的所述栅极结构300的顶部;第二介质层600,位于所述第一介质层400上且表面暴露出所述掩膜层310的表面;第一沟槽700,位于所述第二介质层600以及所述第一介质层400内,底部暴露出所述源漏掺杂层500;第一导电结构710,位于所述第一沟槽700内;第二沟槽800,位于所述掩膜层310内且底部暴露出所述栅极结构300;侧墙801,位于所述第二沟槽800的侧壁上。

- [0077] 第二实施例
- [0078] 图11至图20本发明第二实施例中半导体器件形成过程的结构示意图。
- [0079] 参考图11,提供基底200。
- [0080] 本实施例中,所述基底200包括衬底210和鳍部220,所述鳍部220位于所述衬底210上。
- [0081] 本实施例中,所述衬底210的材料为硅;其他实施例中,所述衬底210的材料还可为锗硅或砷化镓等半导体材料。
- [0082] 本实施例中,形成所述鳍部220的方法包括:在所述衬底210沉积鳍部膜,图形化所述鳍部膜,在所述衬底210上形成所述鳍部220。
- [0083] 本实施例中,所述鳍部220的材料为硅。
- [0084] 参考图12,所述基底200上形成隔离结构230。
- [0085] 本实施例中,在所述基底200上形成有隔离结构230;其他实施例中,还可不在所述基底200上形成所述隔离结构230。
- [0086] 本实施例中,所述隔离结构230为浅沟道隔离结构(STI),覆盖所述鳍部220的部分侧壁,所述隔离结构230的材料为氧化硅。
- [0087] 参考图13,所述基底200上有栅极结构300、第一介质层400、源漏掺杂层500以及刻蚀停止层900。
- [0088] 本实施例中,所述栅极结构300、所述第一介质层400以及所述源漏掺杂层500的方法与第一实施例中相同,这里不再赘述说明。
- [0089] 本实施例中,在所述栅极结构300的顶部还形成有硬掩膜层302;其他实施例中,还可不形成所述硬掩膜层302。
- [0090] 本实施例中,在所述衬底210上、所述鳍部220的部分侧壁上、所述源漏掺杂层500的顶部和侧壁上、以及所述栅极结构300的侧壁形成所述刻蚀停止层900;其他实施例中,还可不形成所述刻蚀停止层900。
- [0091] 本实施例中,形成所述源漏掺杂层500之后,形成所述刻蚀停止层900。
- [0092] 本实施例中,所述刻蚀停止层900在后续的工艺过程中起到保护的作用。
- [0093] 本实施例中,所述刻蚀停止层900的材料为氧化硅;其他实施例中,所述刻蚀停止层900的材料为氮化硅、碳化硅、碳氧化硅或碳氮化硅。
- [0094] 参考图14,在源漏掺杂层500之间的所述栅极结构300的表面形成硬掩膜层310。
- [0095] 本实施例中,所述掩膜层310的材料为碳氮氧化硅。
- [0096] 本实施例中,所述掩膜层310位于所述硬掩膜层302的表面上。
- [0097] 本实施例中,采用曝光-刻蚀-曝光-刻蚀(Litho-Etch-Litho-Etch, LELE)的方法在所述栅极结构300的表面形成所述掩膜层310。
- [0098] 参考图15,在所述第一介质层400上形成第二介质层600,所述第二介质层600的表面暴露出所述掩膜层310的表面。
- [0099] 本实施例中,形成所述第二介质层600的方法与第一实施例中形成所述第二介质层600的方法相同。
- [0100] 参考图16,以所述掩膜层310为掩膜,刻蚀所述第二介质层600以及所述第一介质层400,形成第一沟槽700,所述第一沟槽700的底部暴露出所述源漏掺杂层500。

[0101] 本实施例中,形成所述第一沟槽700的工艺与第一实施例中形成所述第一沟槽700的工艺相同;其他实施例中,还可采用不同的工艺形成所述第一沟槽700。

[0102] 参考图17,在所述第一沟槽700内形成第一导电结构710。

[0103] 本实施例中,所述第一导电结构710的材料为钨。

[0104] 本实施例中,在所述第一沟槽700内沉积初始第一导电结构材料,平坦化初始第一导电结构材料直至暴露出所述第二介质层600和所述掩膜层310的表面,在所述第一沟槽700内形成第一导电结构710。

[0105] 参考图18,图形化所述掩膜层310,在所述掩膜层310内形成第二沟槽800,所述第二沟槽800的底部暴露出所述硬掩膜层302的顶部。

[0106] 本实施例中,形成所述第二沟槽800的方法与第一实施例中相同,这里不再累赘说明。

[0107] 参考图19,在所述第二沟槽800的侧壁上形成侧墙801。

[0108] 本实施例中,所述侧墙801的材料为氮化硅;其他实施例中,所述侧墙801的材料还可为碳化硅、氧化硅或碳氧化硅等。

[0109] 本实施例中,所述侧墙801采用单层结构;其他实施例中,所述侧墙801的材料还可为叠层结构。

[0110] 本实施例中,所述侧墙801位于所述第一栅极侧墙3011和所述第二栅极侧墙3012的顶部,且位于所述第二沟槽800的侧壁上,所述侧墙801的厚度与所述第一栅极侧墙3011和所述第二栅极侧墙3012的总厚度相同。

[0111] 其他实施例中,所述侧墙801的厚度还可与所述第一栅极侧墙3011和所述第二栅极侧墙3012的总厚度不同。

[0112] 参考图20,在所述第二沟槽800内形成第二导电结构810。

[0113] 本实施例中,所述第二导电结构810用于将栅极结构300与后续形成的第一金属互连层相连接。

[0114] 本实施例中,所述第二导电结构810的形成方法包括:在所述第二沟槽800内和第二介质层600上沉积初始第二导电材料层;平坦化初始第二导电材料层,直至暴露出所述第二介质层600表面,在所述第二沟槽800内形成第二导电结构810。

[0115] 利用上述方法形成的一种半导体器件,具体参考图20,包括:基底200,包括衬底210以及鳍部220;隔离结构230,位于基底200上;栅极结构300,位于所述基底200上;栅极侧墙301,位于栅极结构300的侧壁上,包括第一栅极侧墙3011和第二栅极侧墙3012,所述第一栅极侧墙3011位于所述栅极结构300的侧壁上,所述第二栅极侧墙3012位于所述第一栅极侧墙301的侧壁上;硬掩膜层302,位于所述栅极结构300的顶部;源漏掺杂层500,位于所述栅极结构300两侧的所述基底200内;第一介质层400,位于所述基底200上,覆盖所述源漏掺杂层500;掩膜层310,位于所述源漏掺杂层500之间的所述栅极结构300的顶部;第二介质层600,位于所述第一介质层400上且表面暴露出所述掩膜层310的表面;第一沟槽700,位于所述第二介质层600以及所述第一介质层400内,底部暴露出所述源漏掺杂层500;第一导电结构710,位于所述第一沟槽700内;第二沟槽800,位于所述掩膜层310内且底部暴露出所述硬掩膜层302的顶部;侧墙801,位于所述第二沟槽800的侧壁上;第二导电结构810,位于所述第二沟槽800内。

[0116] 虽然本发明披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

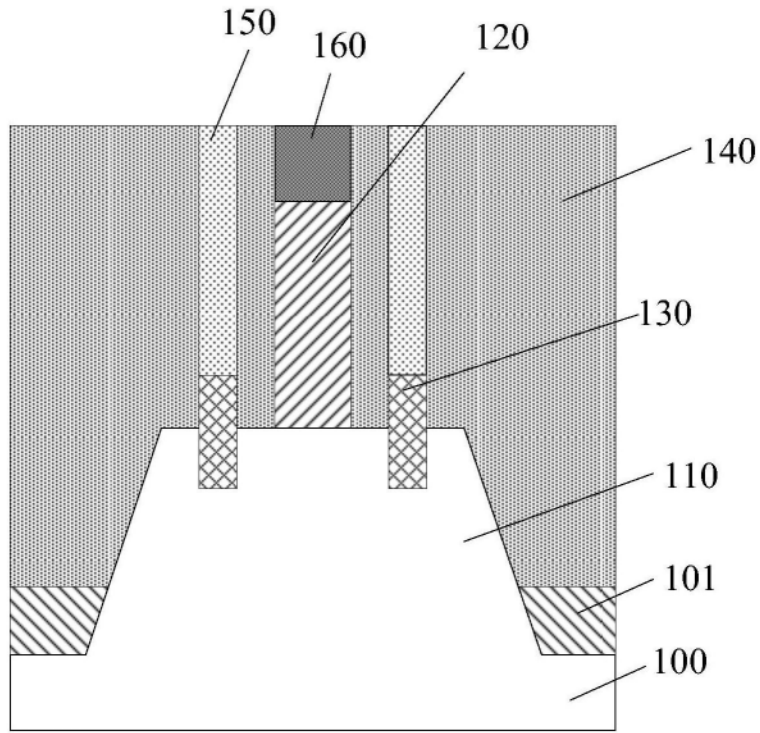


图1

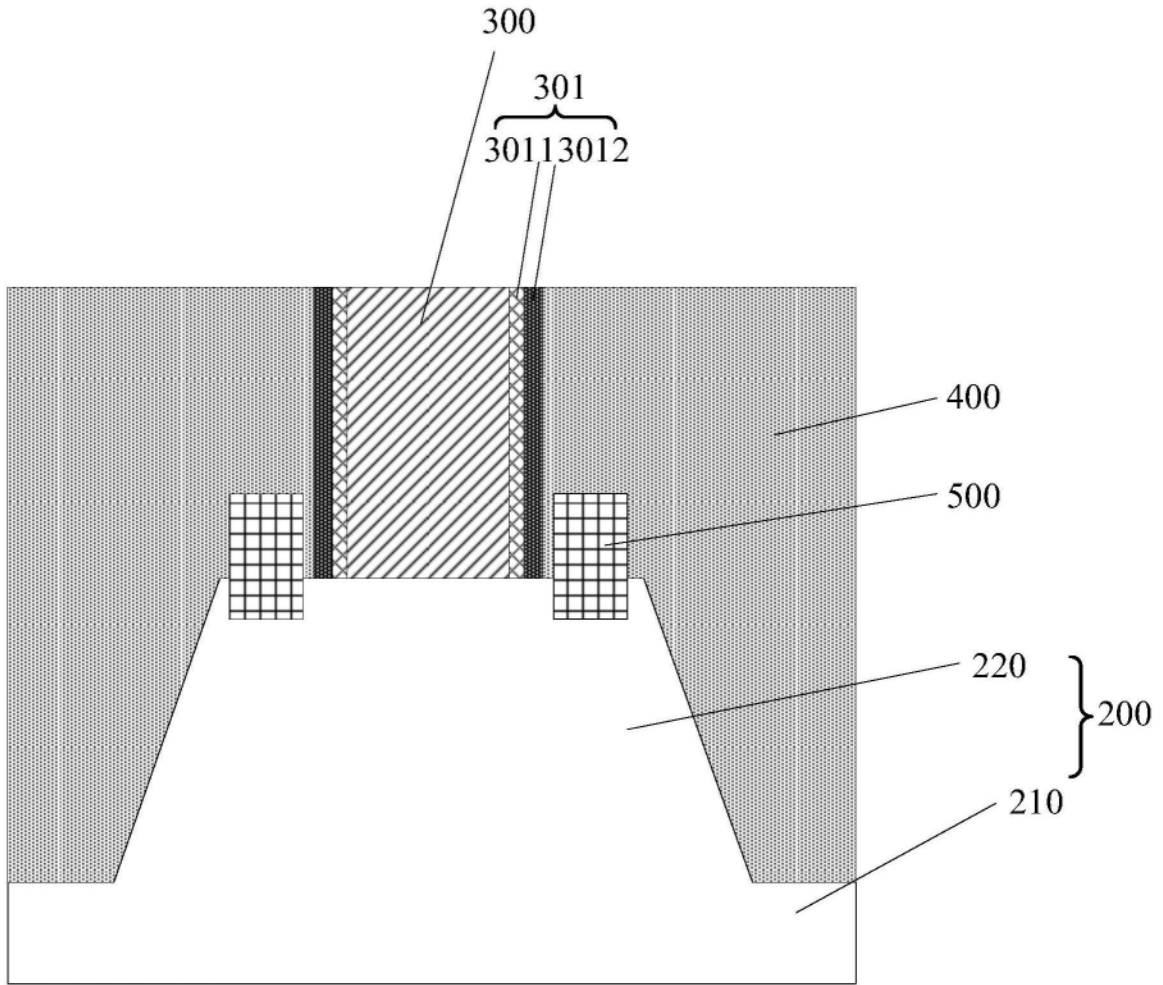


图2

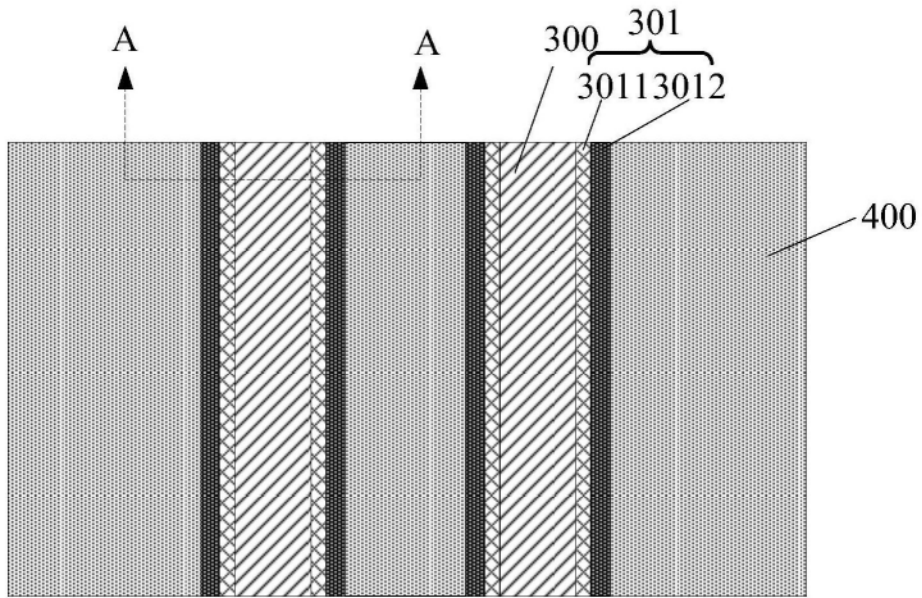


图3

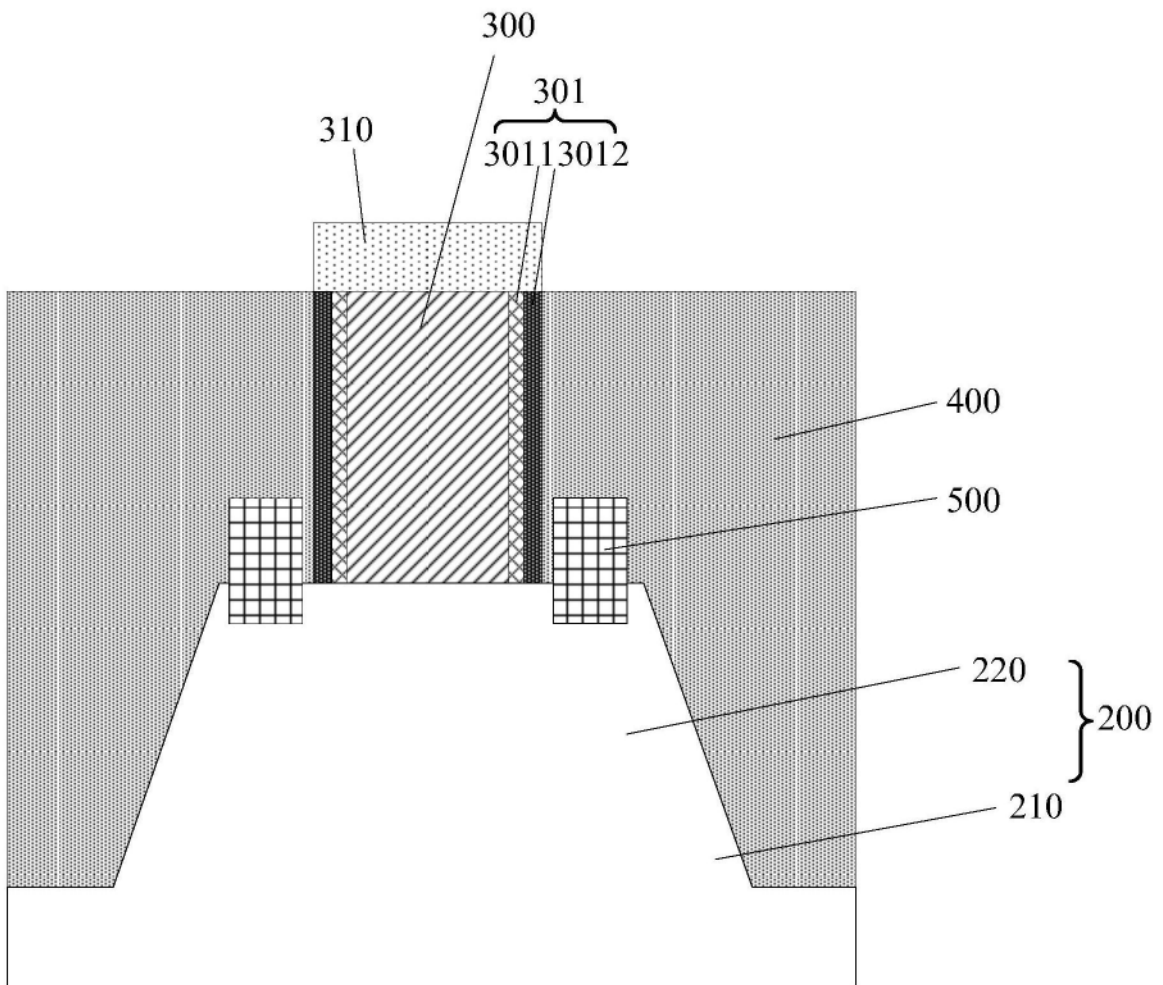


图4

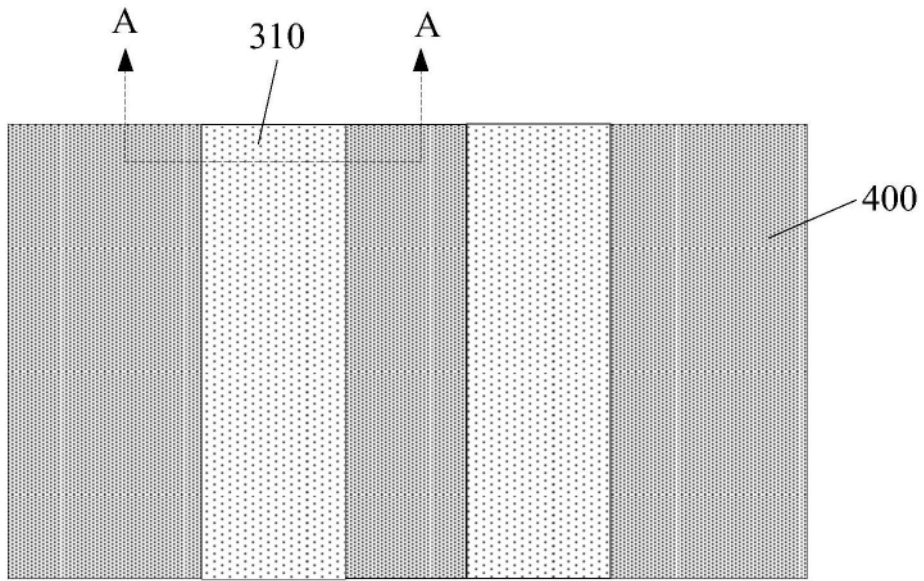


图5

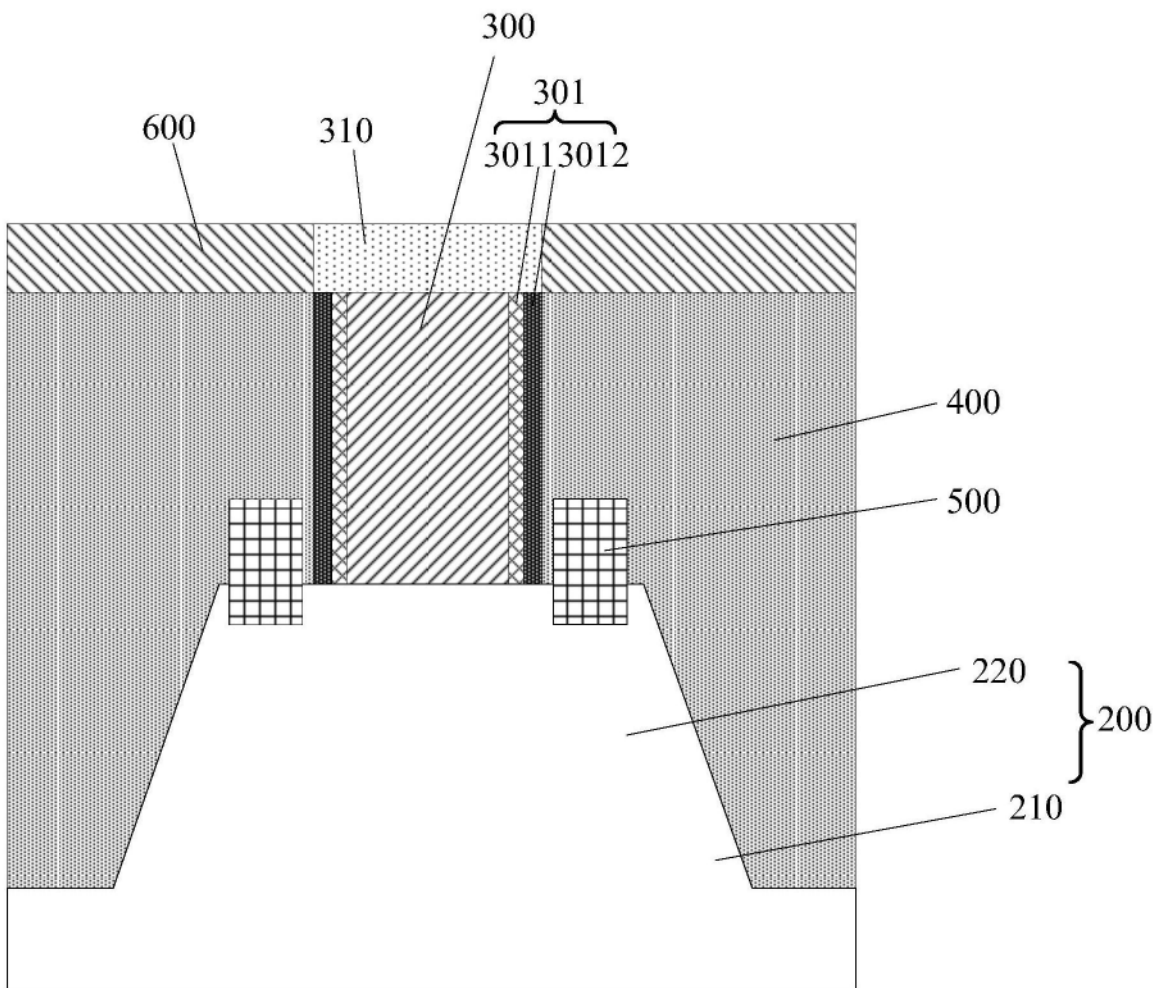


图6

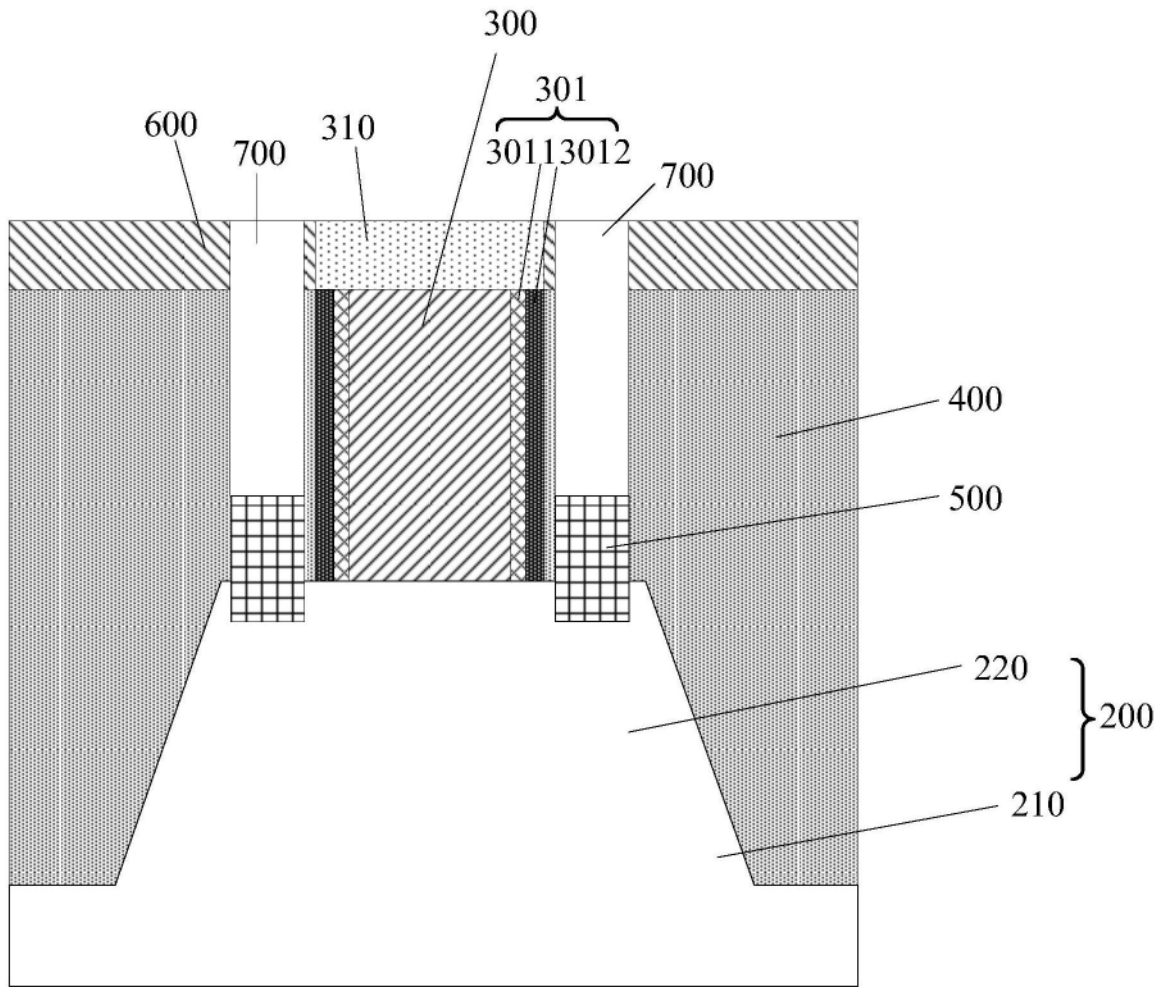


图7

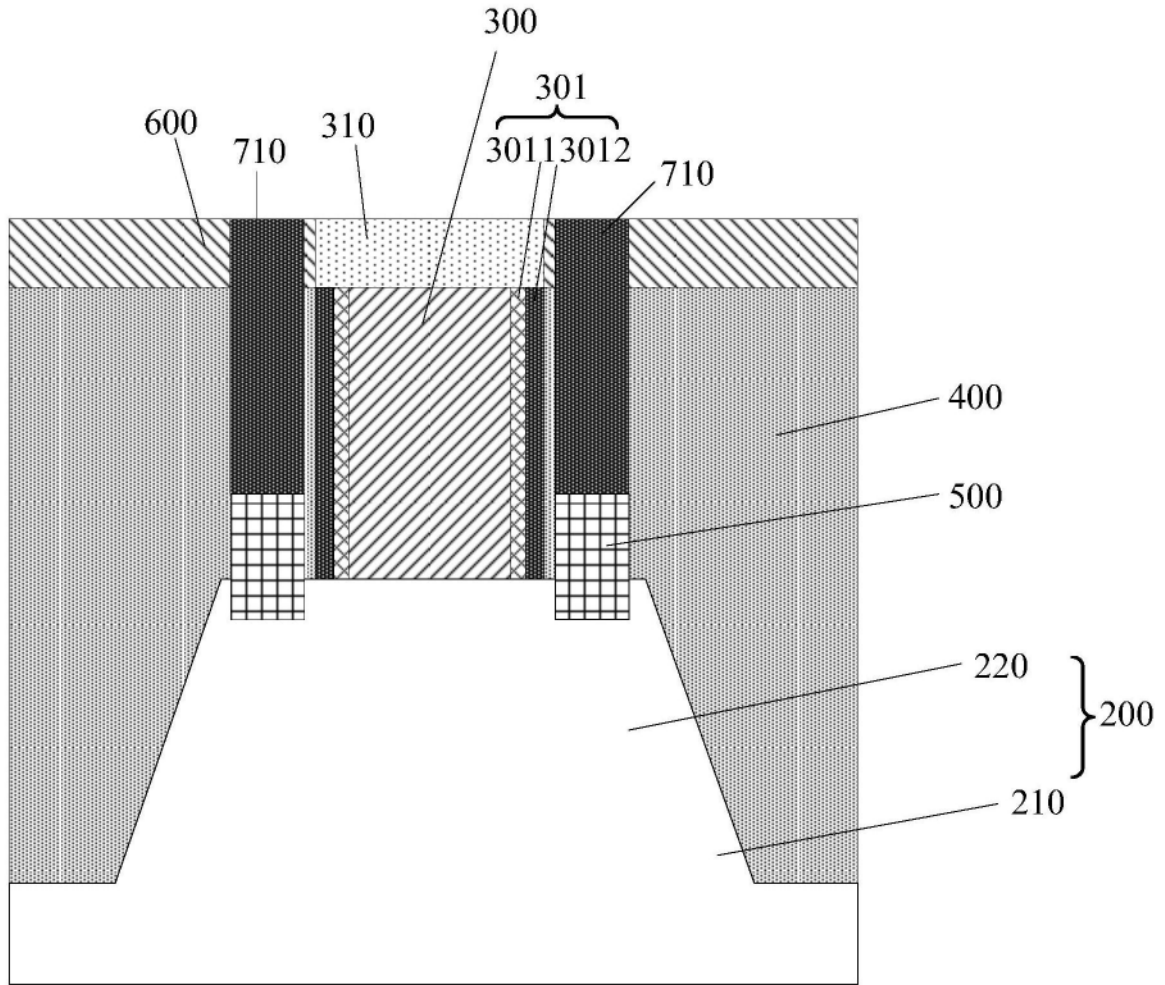


图8

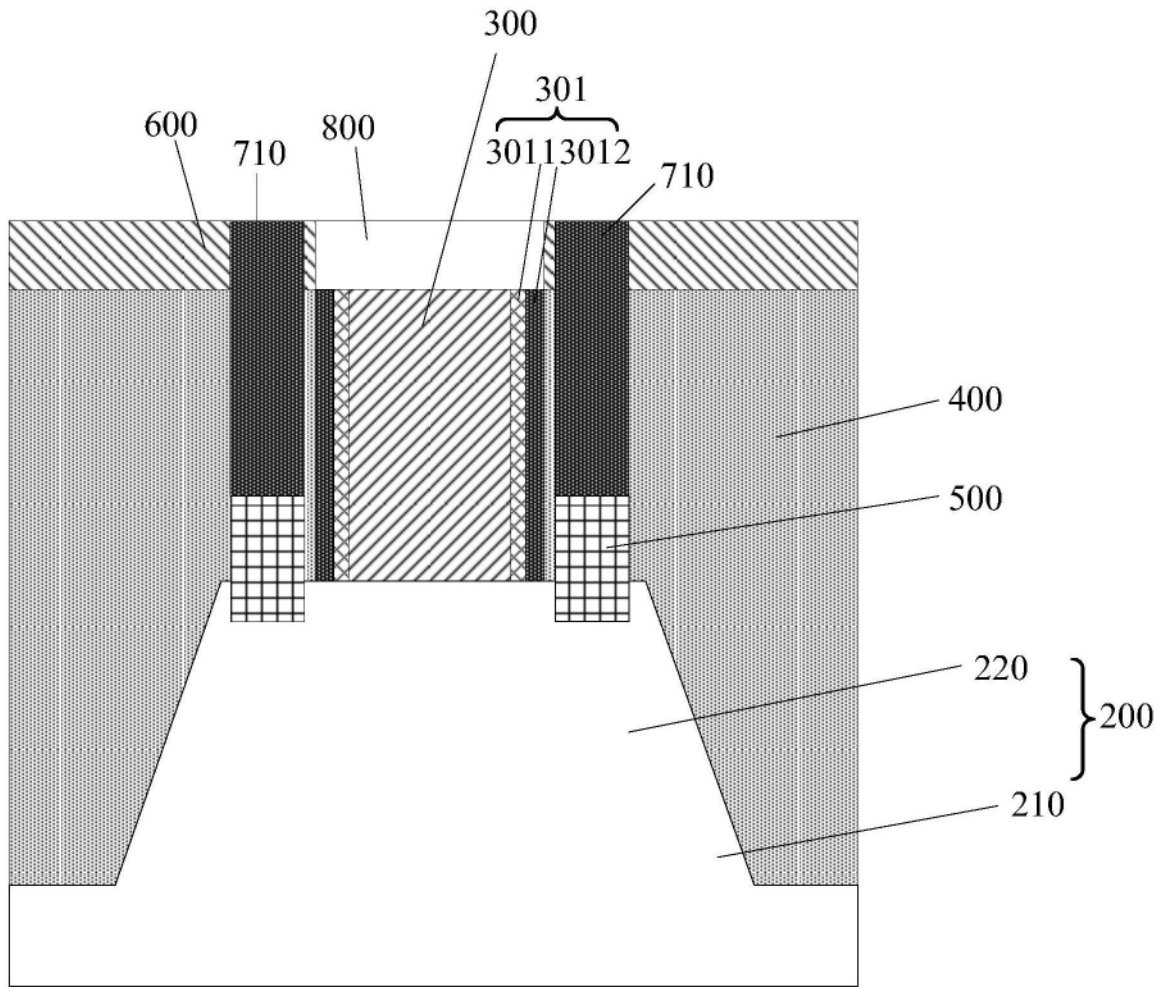


图9

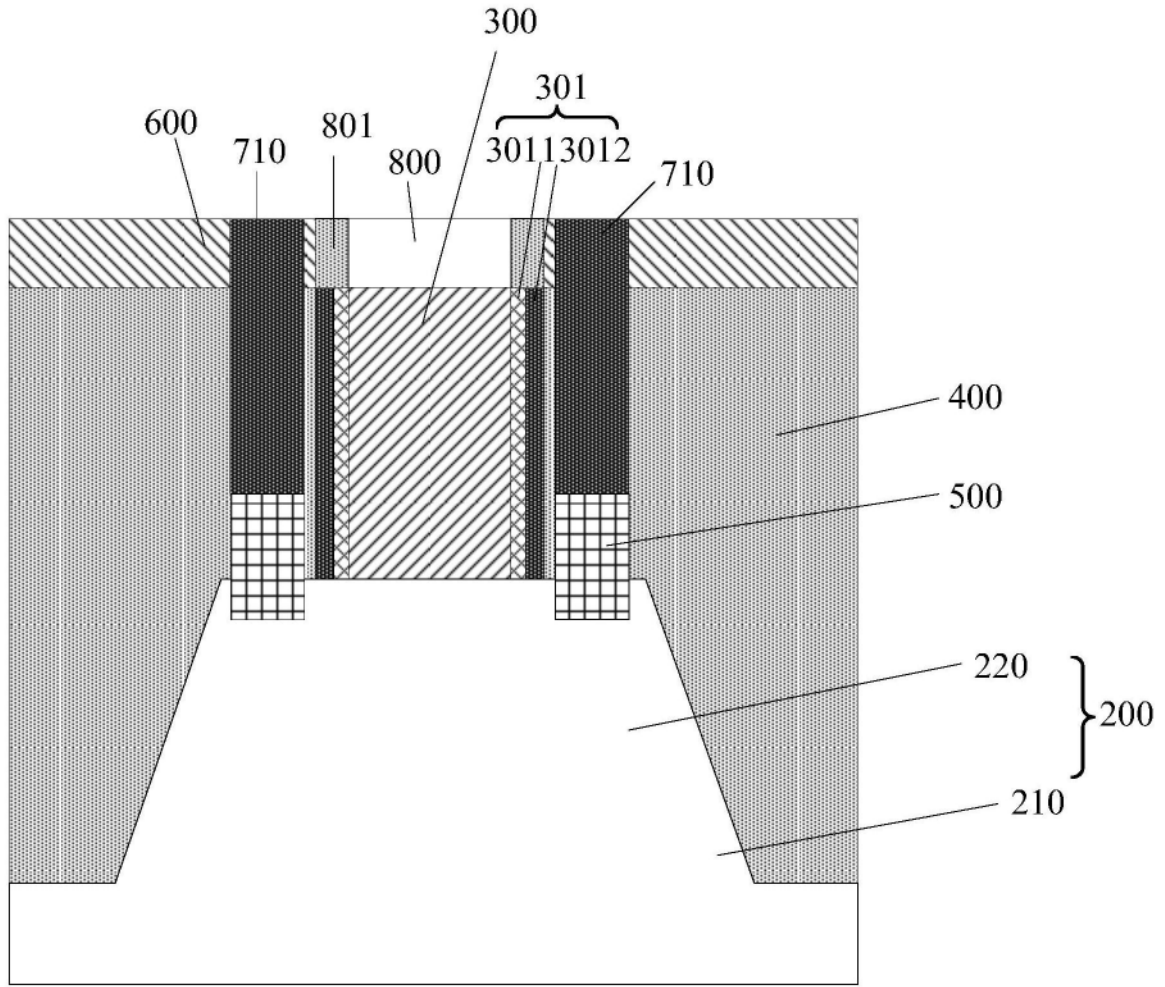


图10

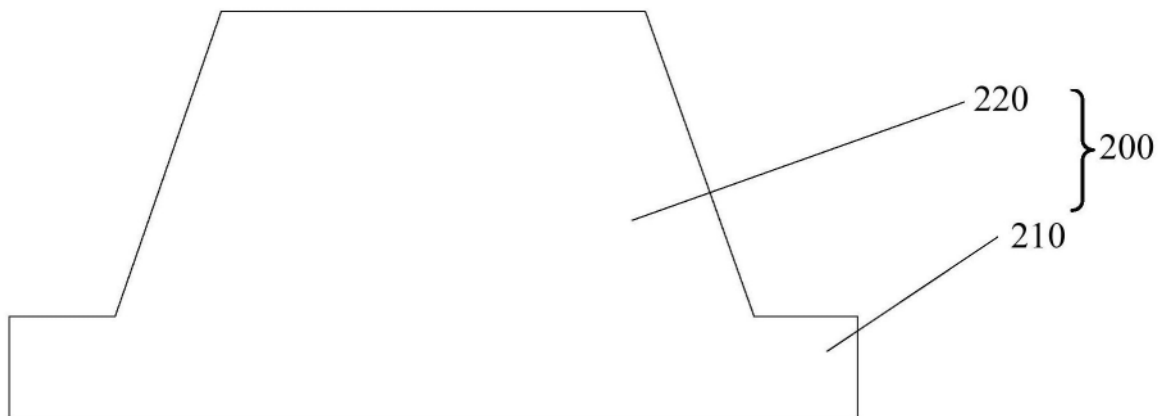


图11

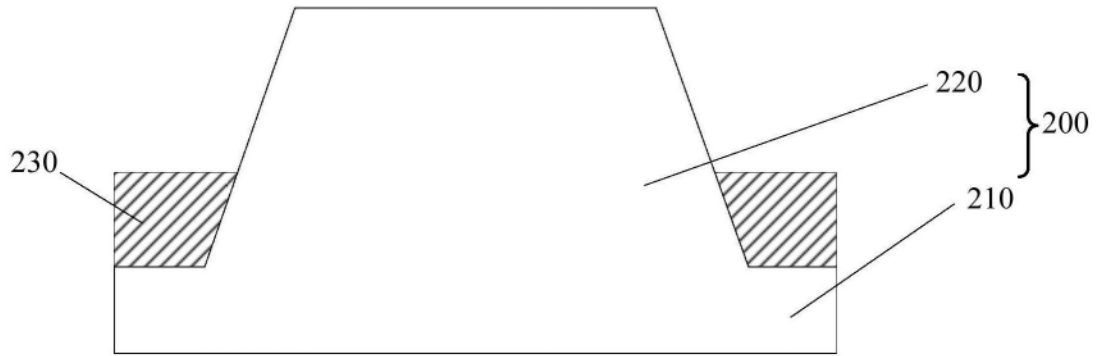


图12

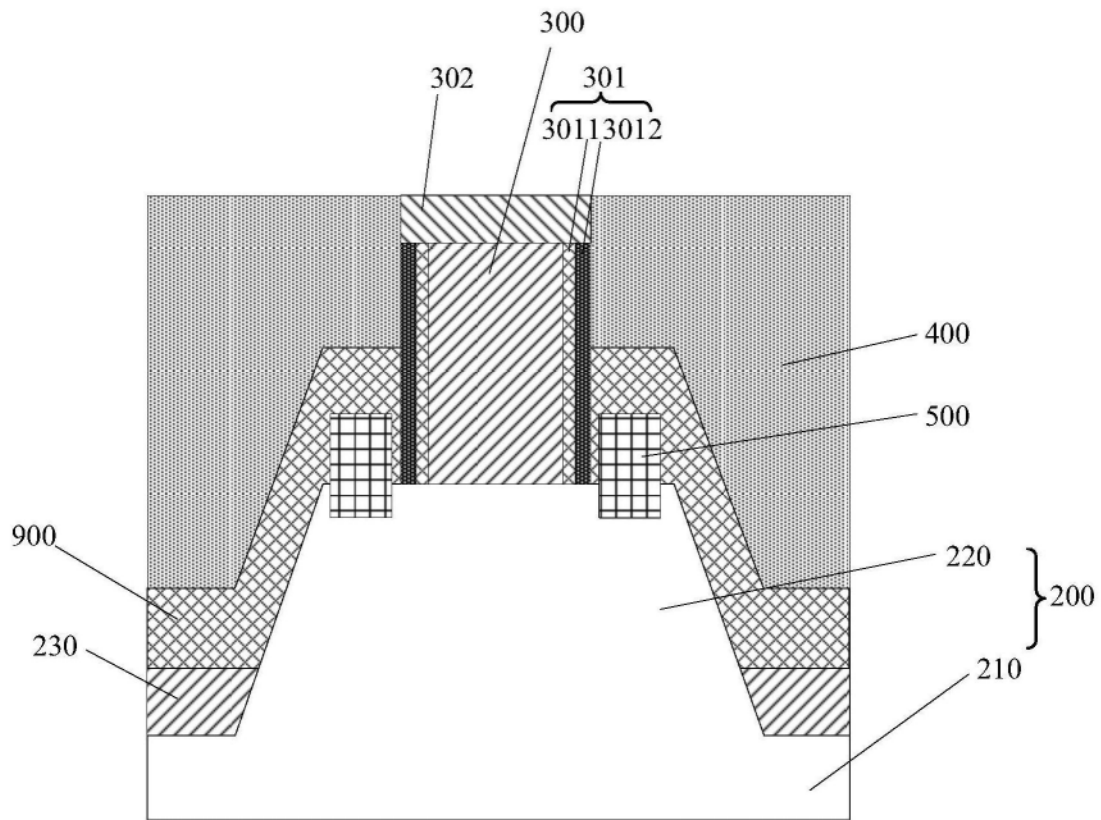


图13

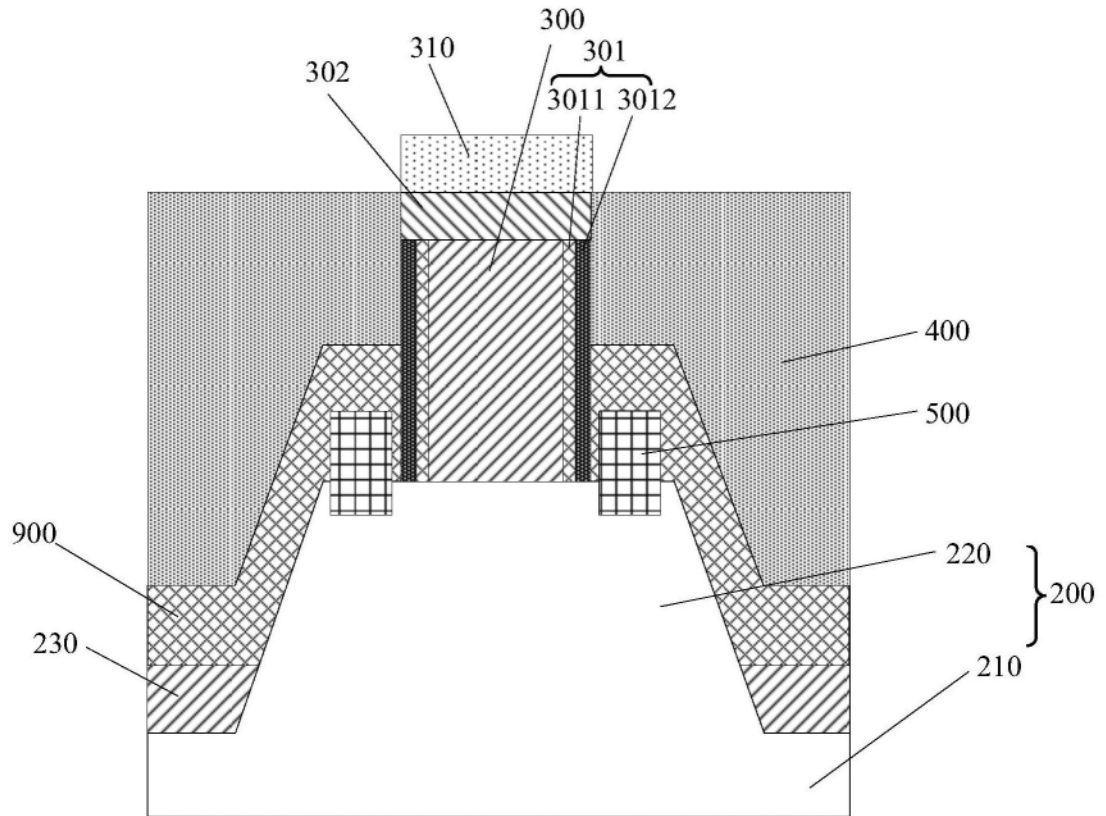


图14

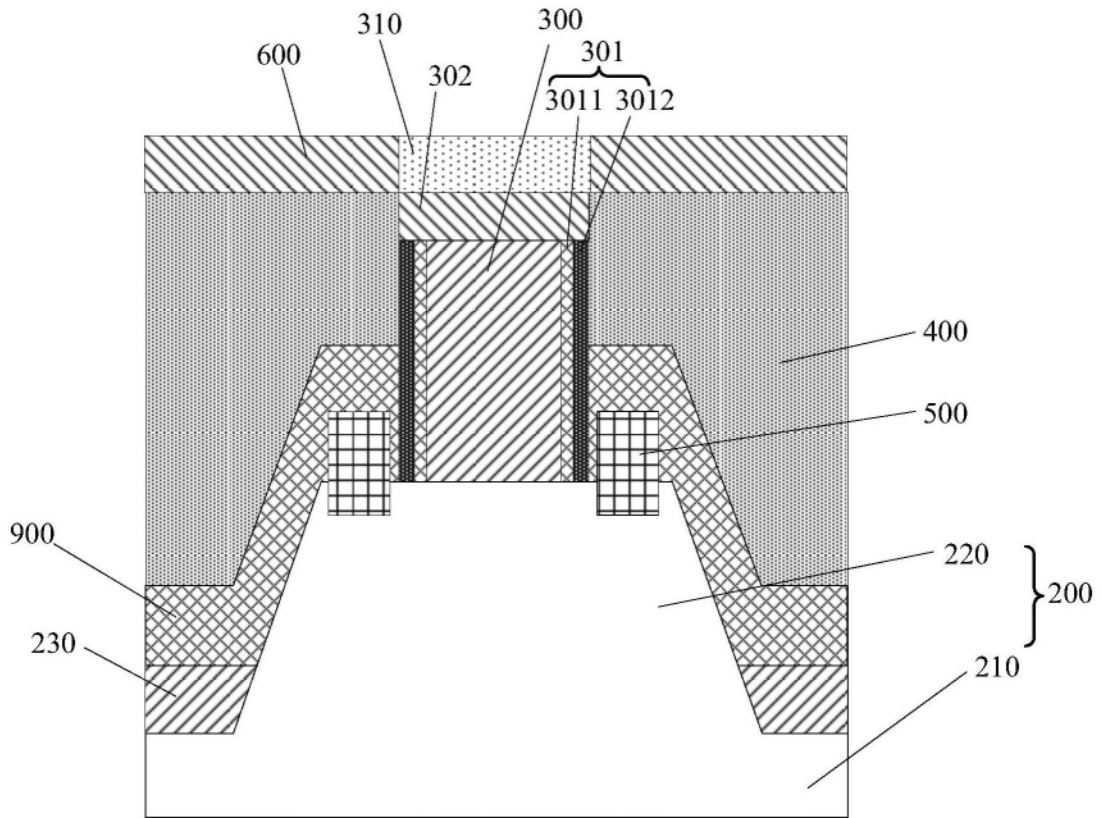


图15

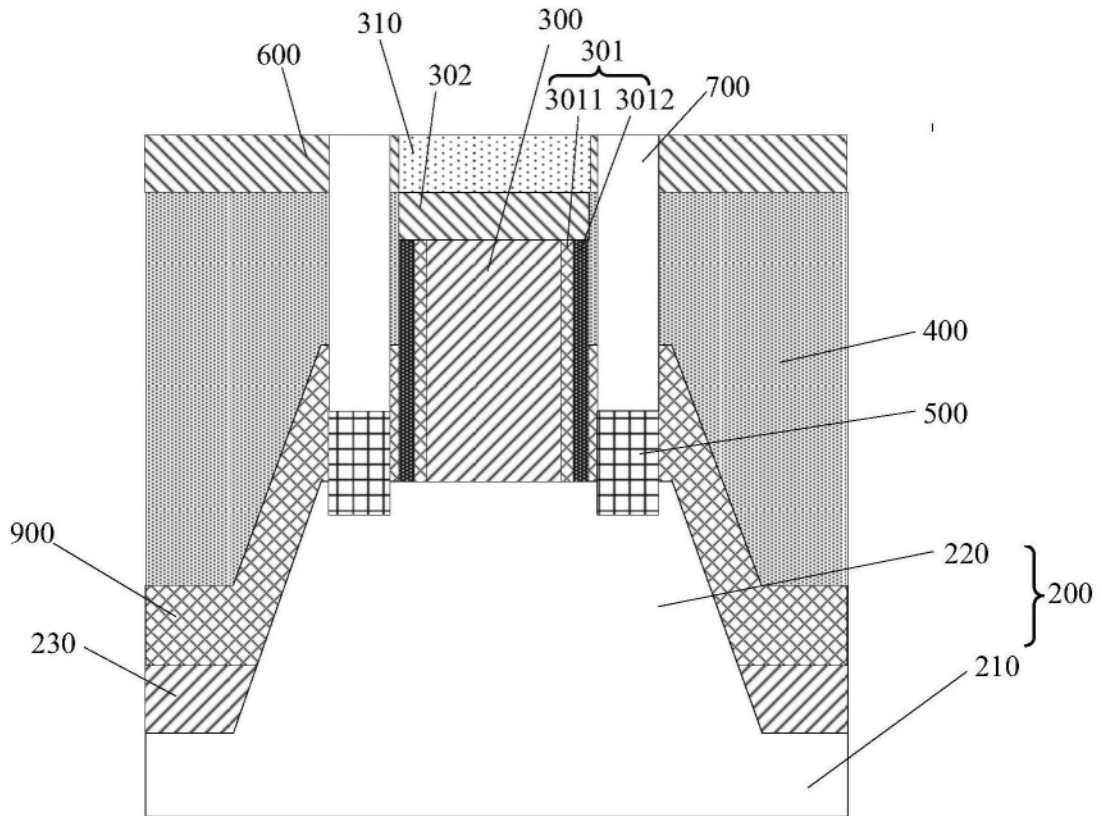


图16

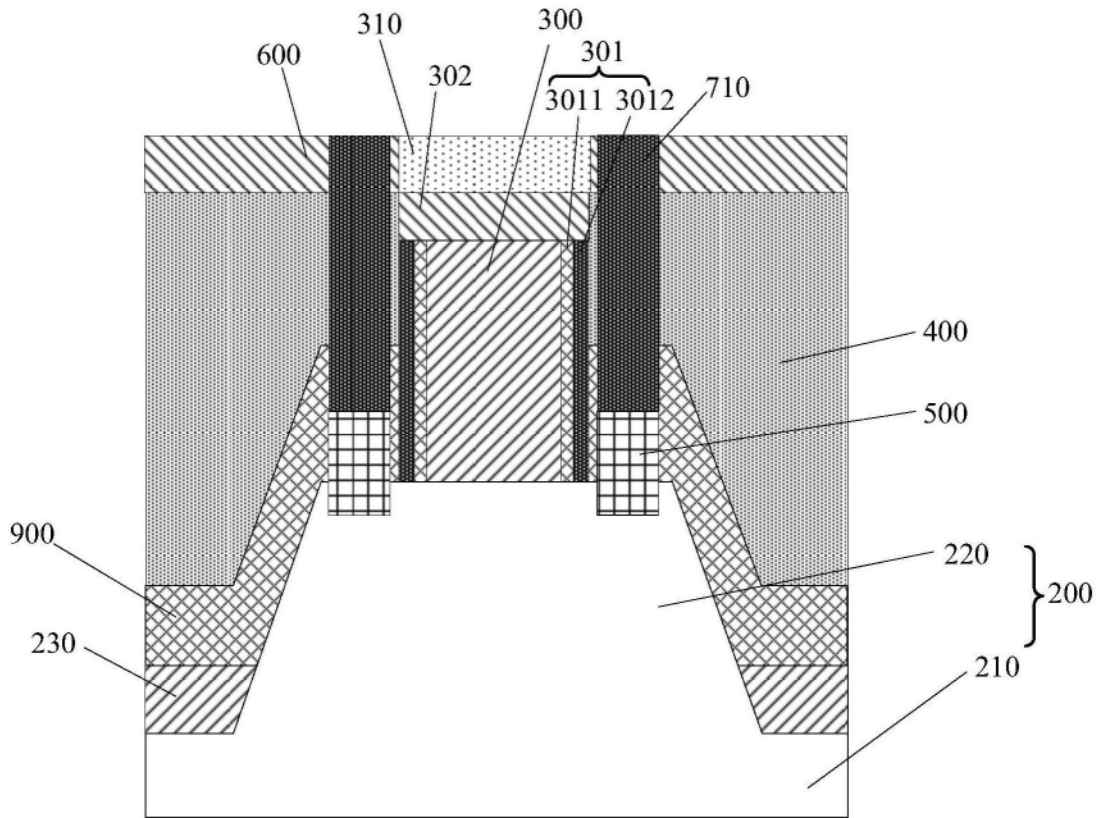


图17

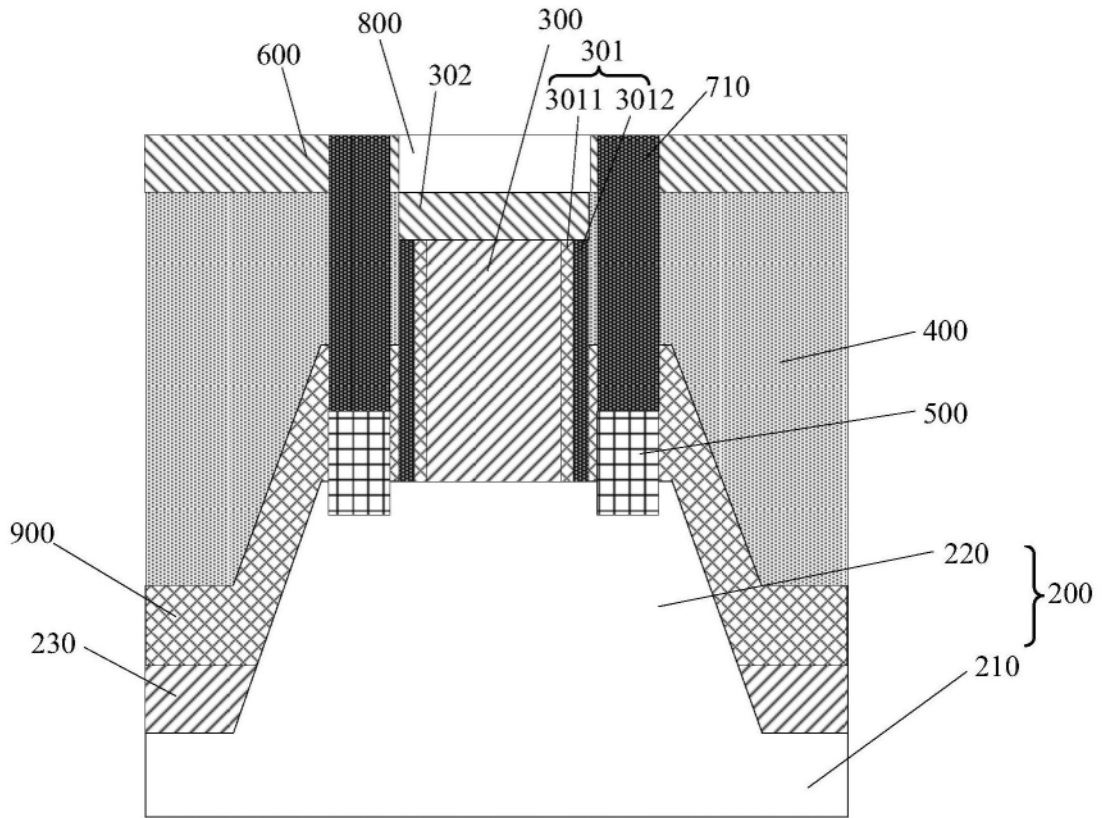


图18

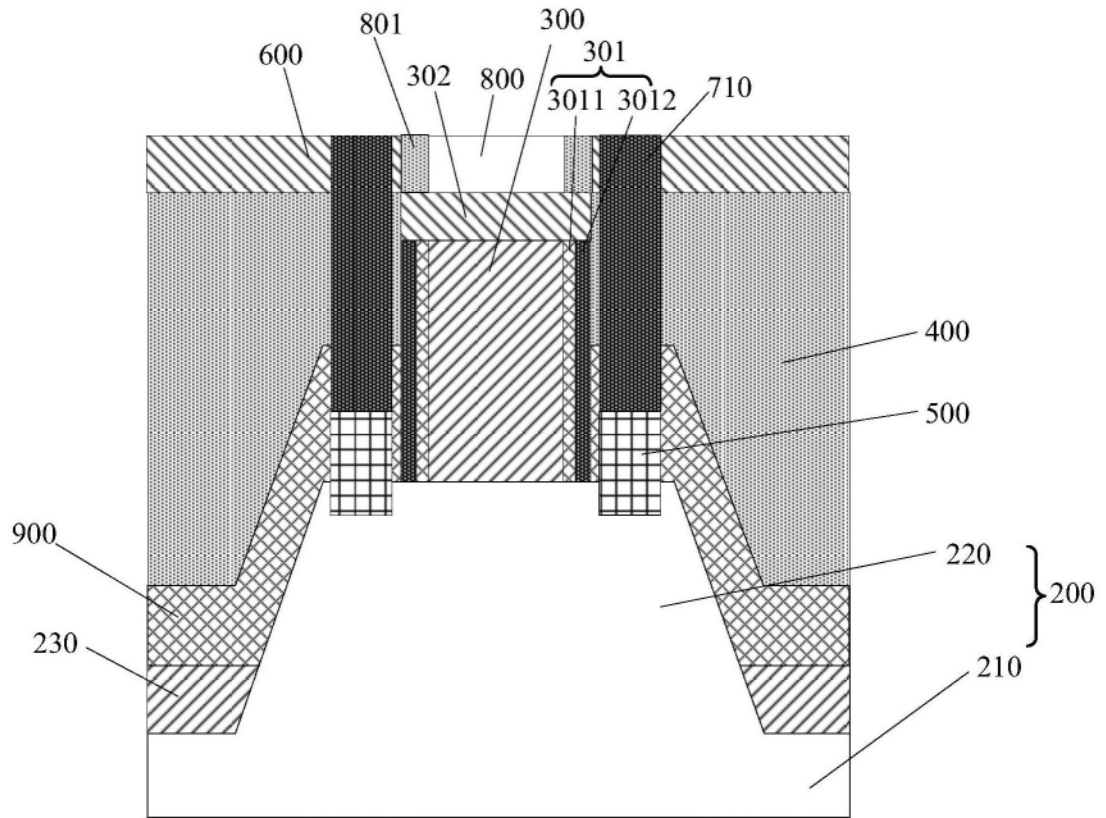


图19

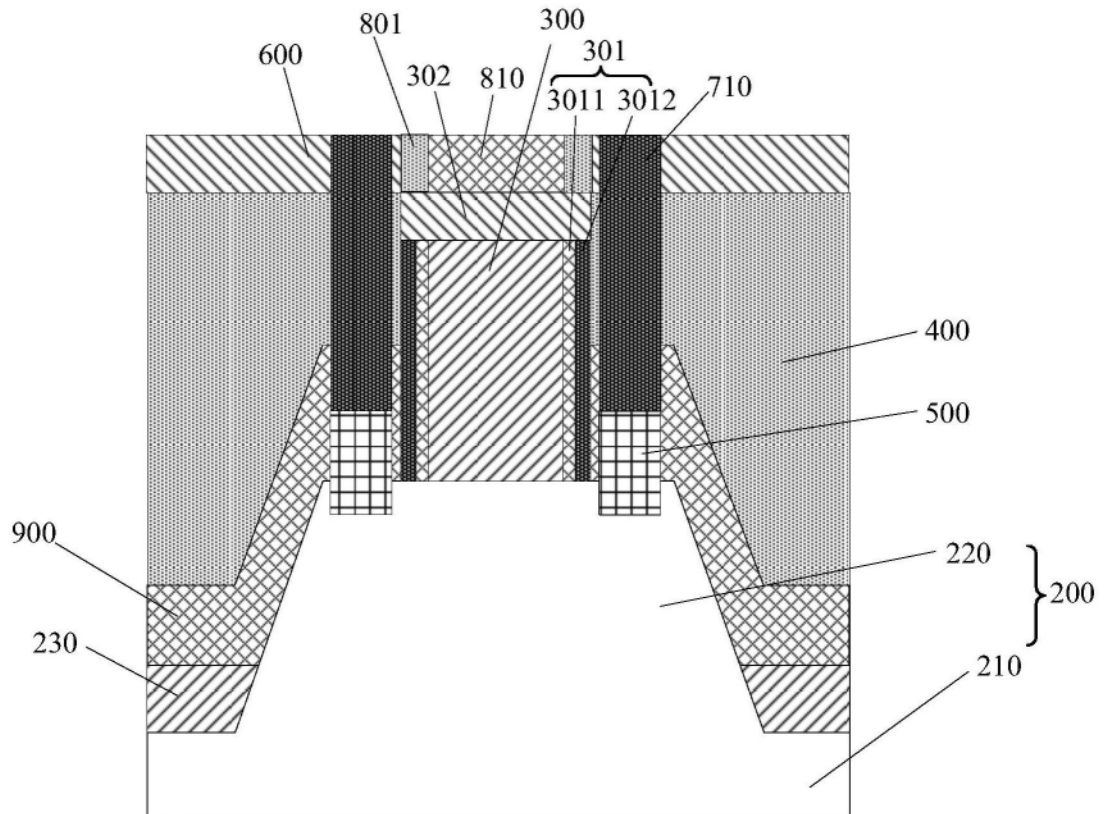


图20